



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월06일
(11) 등록번호 10-2019599
(24) 등록일자 2019년09월02일

(51) 국제특허분류(Int. Cl.)
H01L 31/10 (2006.01) H01L 31/18 (2006.01)
H01L 33/36 (2010.01)
(52) CPC특허분류
H01L 31/10 (2013.01)
H01L 31/18 (2013.01)
(21) 출원번호 10-2018-0040509
(22) 출원일자 2018년04월06일
심사청구일자 2018년04월06일
(56) 선행기술조사문헌
Du Xiang et al., "Surface Transfer
Doping-Induced, High-Performance
Graphene/Silicon Schottky Junction-Based,
Self-Powered Photodetector", Small, Vol.11,
pp.4829-4836*
(뒷면에 계속)

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경
희대학교 국제캠퍼스내)
(72) 발명자
최재우
서울특별시 송파구 송파대로 567, 510동 307호(잠
실동, 주공아파트)
박홍기
서울특별시 성북구 보국문로30길 15, 101동 1202
호(정릉동, 정릉대우아파트)
(74) 대리인
김연권

전체 청구항 수 : 총 7 항

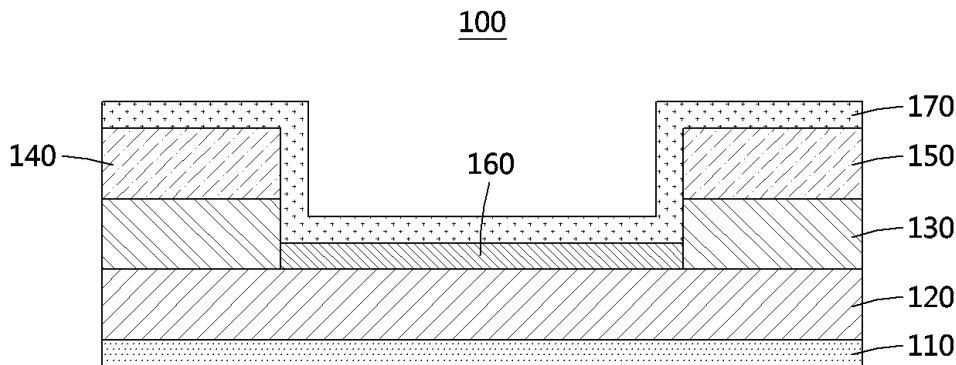
심사관 : 박성호

(54) 발명의 명칭 그래핀 기반의 포토 다이오드 및 그 제조방법

(57) 요약

본 발명은 그래핀 기반의 포토 다이오드 및 그 제조방법을 개시한다. 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드는 제1전극, 제1전극 상에 형성되는 반도체 기판, 기판 상에 형성되는 절연층, 절연층 상에 서로 이격되어 형성되는 제2전극, 제2전극이 형성된 영역을 제외한 상기 절연층의 식각에 의해 노출된 반도체 기판의 윈도우 상에 성장한 반도체 산화막 및 상기 제2전극 및 상기 반도체 산화막 상에 형성되는 그래핀으로 구성되고, 상기 그래핀의 페르미 준위가 제어되어 상기 반도체 기판 및 상기 그래핀의 일함수(work function)의 차이가 조절되고, 다수 캐리어(Majority carrier)가 상기 그래핀으로부터 상기 반도체 기판으로 이동하는 것을 특징으로 한다.

대표도 - 도1g



(52) CPC특허분류

H01L 33/36 (2013.01)

(56) 선행기술조사문헌

Xinming Li et al., "High Detectivity Graphene-Silicon Heterojunction Photodetector", *Small*, Vol.12, pp.595-601*

Dhiraj Sinha et al., "Ideal Graphene/Silicon Schottky Junction Diodes", *Nano Lett.*, Vol.14, pp2660-4664

Xia Wan et al., "A self-powered high-performance graphene/silicon ultraviolet photodetector with ultra-shallow junction:

breaking the limit of silicon?", *NPJ*, Vol.4 KR101598779 B1

*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호 2017035891

부처명 한국연구재단

연구관리전문기관 한국연구재단

연구사업명 한국연구재단(학술진흥) 기본

연구과제명 신 유형 대형화 가능 발광 소자 개발

기 여 율 1/1

주관기관 경희대학교 산학협력단

연구기간 2017.06.01 ~ 2019.02.28

공지예외적용 : 있음

명세서

청구범위

청구항 1

제1전극;

상기 제1전극 상에 형성되는 반도체 기판;

상기 반도체 기판 상에 형성되는 절연층;

상기 절연층 상에 서로 이격되어 형성되는 제2전극;

상기 제2전극이 형성된 영역을 제외한 상기 절연층의 식각에 의해 노출된 반도체 기판의 윈도우 상에 성장한 반도체 산화막; 및

상기 제2전극 및 상기 반도체 산화막 상에 형성되는 그래핀;

을 포함하고,

상기 그래핀의 페르미 준위가 제어되어 상기 반도체 기판 및 상기 그래핀의 일함수(work function)의 차이가 조절되고, 다수 캐리어(Majority carrier)가 상기 그래핀으로부터 상기 반도체 기판으로 이동하며,

상기 반도체 기판은 p형 반도체로 구성되고,

상기 반도체 기판 및 상기 그래핀의 쇼트키 장벽 높이가 0.51 eV 이하이며,

상기 반도체 산화막은 상기 기판과 상기 그래핀의 역 바이어스 전압을 갖는 계면 상태에서 페르미 준위를 디핀(de-pin)할 수 있게 하는 그래핀 기반의 포토 다이오드에서,

상기 그래핀 기반의 포토 다이오드는 5.5AW^{-1} 이하의 광 응답성을 갖는 것을 특징으로 하는 그래핀 기반의 포토 다이오드.

청구항 2

제1항에 있어서,

상기 그래핀의 페르미 준위는 상기 반도체 기판 및 상기 그래핀의 계면에 성장하는 상기 반도체 산화막으로 인하여 광원에 의해 유도된 소수 캐리어(Minority carrier)가 상기 계면에 축적되어 제어되며,

상기 제어된 페르미 준위에 의해 상기 다수 캐리어가 상기 그래핀으로부터 상기 기판으로 이동하는 것을 특징으로 하는 그래핀 기반의 포토 다이오드.

청구항 3

제1항에 있어서,

상기 반도체 기판 및 상기 그래핀의 개방 회로 전압에 비례하여 상기 반도체 기판 및 상기 그래핀의 일함수 차이가 작아지는 것을 특징으로 하는 그래핀 기반의 포토 다이오드.

청구항 4

제1항에 있어서,

상기 반도체 기판 및 상기 그래핀의 일함수 차이는 0.2eV 이하인 것을 특징으로 하는 그래핀 기반의 포토 다이

오드.

청구항 5

제1항에 있어서,

상기 반도체 산화막은 0.3nm 내지 5nm의 두께로 형성되는 것을 특징으로 하는 그래핀 기반의 포토 다이오드.

청구항 6

제1항에 있어서,

상기 절연층은 5nm 내지 300nm의 두께로 형성되는 것을 특징으로 하는 그래핀 기반의 포토 다이오드.

청구항 7

제1전극 상에 반도체 기판을 형성하는 단계;

상기 반도체 기판 상에 절연층을 형성하는 단계;

상기 절연층 상에 서로 이격되어 제2전극을 형성하는 단계;

상기 제2전극이 형성된 영역을 제외한 상기 절연층의 식각에 의해 노출된 반도체 기판의 윈도우(window) 상에 반도체 산화막이 성장하는 단계; 및

상기 제2전극 및 상기 반도체 산화막 상에 그래핀을 전사하는 단계;

를 포함하고,

상기 그래핀의 페르미 준위가 제어되어 상기 반도체 기판 및 상기 그래핀의 일함수(work function)의 차이가 조절되고, 다수 캐리어(Majority carrier)가 상기 그래핀으로부터 상기 반도체 기판으로 이동하며,

상기 반도체 기판은 p형 반도체로 구성되고,

상기 반도체 기판 및 상기 그래핀의 쇼트키 장벽 높이가 0.51 eV 이하이며,

상기 반도체 산화막은 상기 기판과 상기 그래핀의 역 바이어스 전압을 갖는 계면 상태에서부터 페르미 준위를 디핀(de-pin)할 수 있게 하는 그래핀 기반의 포토 다이오드에서,

상기 그래핀 기반의 포토 다이오드는 5.5AW^{-1} 이하의 광 응답성을 갖는 것을 특징으로 하는 그래핀 기반의 포토 다이오드의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 그래핀 기반의 포토 다이오드 및 그 제조방법에 관한 것으로, 더욱 상세하게는 반도체 기판 및 그래핀의 계면에 성장하는 반도체 산화막을 포함하는 포토 다이오드를 이용하여 높은 광반응도(photo-responsivity) 및 검출도(detectivity)를 갖는 포토 다이오드 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 그래핀은 2차원의 탄소 나노물질로서 낮은 면저항, 높은 전기전도도, 높은 투과도 및 높은 기계적 강도로 인하여 플렉서블 디스플레이, 터치패널 등의 차세대 디스플레이 분야와 태양전지 등의 에너지 산업분야 및 스마트 윈도우, RFID 등의 다양한 전자 산업분야에서 신소재로 활용도가 확대되고 있다.

[0003] 그래핀은 최근 수년간 기초적인 학문의 발전뿐만 아니라, 산업적인 기술을 성장시킬 수 있는 가능성 때문에 많은 관심을 받고 있다. 특히 최근에는 그래핀의 대면적 제작기술이 개발되면서 다양한 산업분야에 그 응용 가능

성이 확대되고 있다.

- [0004] 그래핀을 광 소자 및 전자 소자에 활용하기 위해서는 반도체 소자구조의 기본인 다이오드 구조를 실현할 수 있어야 하며, 특히 그래핀이 현 산업전반에 널리 사용하는 실리콘 기반의 물질과 하이브리드 구조를 이루어 소자로 개발된다면 다른 물질과 비교하여 그 파급효과는 매우 클 것이다.
- [0005] 그래핀이 가지고 있는 고유의 물리적 특성을 이용하는 그래핀 기반 광전자 디바이스 중 그래핀 기반 포토 다이오드가 많이 연구 되고 있으나, 그래핀 기반의 포토 다이오드는 높은 캐리어 이동도로 인한 높은 응답 속도를 나타내는 반면 그래핀 자체의 낮은 광 흡수성으로 인한 상대적으로 매우 낮은 응답성을 가지며, 그래핀의 금속성에 의해 높은 암전류로 인한 높은 소비 전력을 가지고 있는 문제점이 존재한다.
- [0006] 이에 따라, 그래핀 근처에 위치한 다른 재료에 의해 전하 캐리어를 의도적으로 감속 시키거나, 유지시키려는 상당한 노력이 있었다.
- [0007] 그 중에서도 양자점-그래핀 헤테로 구조를 갖는 포토 다이오드의 경우는 그래핀에 존재하는 양자점에 한 종류의 전하 캐리어를 보유하기 위해 사용되었다. 그 결과, 매우 높은 응답성을 나타냈지만, 높은 누설 전류 및 느린 응답 속도에 의한 높은 소비 전력을 갖는 문제점이 존재하였다.
- [0008] 최근 연구는 양자점이 아닌 실리콘에서 기계적으로 박리된 그래핀을 사용하고, 한 종류의 광-유도 전하 캐리어를 유지함으로써, 낮은 광 출력(<1nW)에서 높은 응답성($\sim 10^3 \text{ AW}^{-1}$)과 마찬가지로 높은 응답속도($\sim 400\text{ns}$)를 보여 주었다. 그러나 누설 전류가 광-유도된 광전류에 비해 극도로 컸으며, 결과적으로 낮은 검출도를 나타내었다.
- [0009] 따라서, 높은 응답성, 높은 검출도, 낮은 전력 소모 및 높은 응답 속도를 나타내는 그래핀 기반의 포토 다이오드의 개발에 대한 필요성이 대두되었다.

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 한국등록특허공보 제10-1479395호(2014.12.29, 그래핀-부도체-반도체의 구조를 갖는 투과 다이오드, 투과 트랜지스터, 투과 광다이오드 및 투과 광트랜지스터)

비특허문헌

- [0011] (비특허문헌 0001) Yi Song, "Role of Interfacial Oxide in High-Efficiency Graphene-Silicon Schottky Barrier Solar Cells" (2015.02.17)
- (비특허문헌 0002) Myungji Kim, "Ultraviolet-enhanced photodetection in a graphene/SiO₂/Si capacitor structure with a vacuum channel" (2015.09.14)
- (비특허문헌 0003) Yanbin An, "Forward-bias diode parameters, electronic noise, and photoresponse of graphene/silicon Schottky junctions with an interfacial native oxide layer" (2015.10.29)
- (비특허문헌 0004) Xinming Li, "High Detectivity Graphene-Silicon Heterojunction Photodetector" (2015.12.08.)

발명의 내용

해결하려는 과제

- [0012] 본 발명의 실시예는 반도체 기판 및 그래핀의 계면에 성장하는 반도체 산화막을 포함하는 그래핀 기반의 포토 다이오드 및 그 제조방법을 제공하고자 한다.
- [0013] 본 발명의 실시예는 그래핀의 페르미 준위의 제어를 통해 반도체 기판 및 그래핀의 일함수 차이를 조절하여 포토 다이오드의 응답성 및 검출도를 향상시킨 그래핀 기반의 포토 다이오드 및 그 제조방법을 제공하고자 한다.
- [0014] 본 발명의 실시예는 반도체 기판 및 그래핀의 계면에 성장하는 반도체 산화막으로 인하여 다수 캐리어(Majority

carrier)가 그래핀으로부터 반도체 기판으로 이동함으로써 양자효율이 향상된 그래핀 기반의 포토 다이오드 및 그 제조방법을 제공하고자 한다.

[0015] 본 발명의 실시예는 그래핀-반도체 산화막-반도체 기판으로 구성된 이중접합구조로써 쇼트키 장벽 (Schottky barrier)을 조절함으로써 다수 캐리어에 의해 증폭되는 그래핀 기반의 포토 다이오드 및 그 제조방법을 제공하고자 한다.

[0016] 본 발명의 실시예는 그래핀-반도체 산화막-반도체 기판으로 구성된 이중접합구조로써 낮아진 쇼트키 장벽에 의해서 발생하는 누설전류가 반도체 산화막을 통해서 억제되는 그래핀 기반의 포토 다이오드 및 그 제조방법을 제공하고자 한다.

과제의 해결 수단

[0017] 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드는 제1전극; 상기 제1전극 상에 형성되는 반도체 기판; 상기 반도체 기판 상에 형성되는 절연층; 상기 절연층 상에 서로 이격되어 형성되는 제2전극; 상기 제2전극이 형성된 영역을 제외한 상기 절연층의 식각에 의해 노출된 반도체 기판 윈도우 상에 성장한 반도체 산화막; 및 상기 제2전극 및 상기 반도체 산화막 상에 형성되는 그래핀을 포함하고, 상기 그래핀의 페르미 준위가 제어되어 상기 반도체 기판 및 상기 그래핀의 일함수(work function)의 차이가 조절되고, 다수 캐리어(Majority carrier)가 상기 그래핀으로부터 상기 반도체 기판으로 이동하는 것을 특징으로 한다.

[0018] 상기 그래핀의 페르미 준위는 상기 반도체 기판 및 상기 그래핀의 계면에 성장하는 상기 반도체 산화막으로 인하여 광원에 의해 유도된 소수 캐리어(Minority carrier)가 상기 계면에 축적되어 제어되며, 상기 제어된 페르미 준위에 의해 상기 다수 캐리어가 상기 그래핀으로부터 상기 반도체 기판으로 이동할 수 있다.

[0019] 상기 반도체 기판 및 상기 그래핀의 개방 회로 전압에 비례하여 상기 반도체 기판 및 상기 그래핀의 일함수 차이가 낮아질 수 있다.

[0020] 상기 반도체 기판 및 상기 그래핀의 일함수 차이는 0.2eV 이하일 수 있다.

[0021] 상기 반도체 산화막은 0.3nm 내지 5nm의 두께로 형성될 수 있다.

[0022] 상기 절연층은 5nm 내지 300nm의 두께로 형성될 수 있다.

[0023] 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 제조방법은 제1전극 상에 반도체 기판을 형성하는 단계; 상기 반도체 기판 상에 절연층을 형성하는 단계; 상기 절연층 상에 서로 이격되어 제2전극을 형성하는 단계; 상기 제2전극이 형성된 영역을 제외한 상기 절연층의 식각에 의해 노출된 반도체 기판의 윈도우상에 반도체 산화막이 성장하는 단계; 및 상기 제2전극 및 상기 반도체 산화막 상에 그래핀을 전사하는 단계;를 포함하고, 상기 그래핀의 페르미 준위가 제어되어 상기 반도체 기판 및 상기 그래핀의 일함수(work function)의 차이가 조절되며, 다수 캐리어(Majority carrier)가 그래핀으로부터 상기 반도체 기판으로 이동하는 것을 특징으로 한다.

발명의 효과

[0024] 본 발명의 실시예는 반도체 기판 및 그래핀의 계면에 성장하는 반도체 산화막을 포함하는 그래핀 기반의 포토 다이오드를 제공할 수 있다.

[0025] 본 발명의 실시예는 그래핀의 페르미 준위의 제어를 통해 반도체 기판 및 그래핀의 일함수 차이를 조절하여 포토 다이오드의 응답성 및 검출도를 향상시킨 그래핀 기반의 포토 다이오드를 제공할 수 있다.

[0026] 본 발명의 실시예는 반도체 기판 및 그래핀의 계면에 성장하는 반도체 산화막으로 인하여 다수 캐리어(Majority carrier)가 그래핀으로부터 반도체 기판으로 이동함으로써 양자효율이 향상된 그래핀 기반의 포토 다이오드를 제공할 수 있다.

[0027] 본 발명의 실시예는 그래핀-반도체 산화막-반도체 기판으로 구성된 이중접합구조로써 쇼트키 장벽 (Schottky barrier)을 조절함으로써 다수 캐리어에 의해 증폭되는 그래핀 기반의 포토 다이오드 및 그 제조방법을 제공할 수 있다.

[0028] 본 발명의 실시예는 그래핀-반도체 산화막-반도체 기판으로 구성된 이중접합구조로써 낮아진 쇼트키 장벽에 의해서 발생하는 누설전류가 반도체 산화막을 통해서 억제되는 그래핀 기반의 포토 다이오드 및 그 제조방법을 제

공할 수 있다.

도면의 간단한 설명

[0029]

도 1a 내지 도 1g는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 제조방법을 설명하기 위하여 도시한 것이다.

도 2는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 암전류 밀도-전압(J-V) 곡선을 나타낸 그래프이다.

도 3은 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 조사한 광의 광 출력 밀도의 변화에 따른 전류 밀도-전압(J-V) 곡선을 나타낸 그래프이다.

도 4는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 역 바이어스 전압(V_R)에 따른 암전류 밀도에 대한 광전류 밀도의 비율을 나타낸 그래프이다.

도 5는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 광 출력 밀도의 변화에 따른 전압-쇼트키 장벽 높이 특성을 나타낸 그래프이다.

도 6a 및 도 6b는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 커패시턴스-전압(C-V) 특성을 나타낸 그래프이다.

도 7a 및 도 7b는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 광-유도된 계면 커패시턴스(C_{int}) 및 광-유도된 반전 커패시턴스(C_{inv})의 피크 위치, 높이 및 넓이 특성을 나타낸 그래프이다.

도 8은 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 역 바이어스 전압 영역에서의 광전류 밀도를 도시한 그래프이다.

도 9는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 광 출력 밀도 및 역 바이어스 전압에 따른 광 응답성(R)을 도시한 그래프이다.

도 10a 및 도 10b는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 시간에 따른 광 반응을 도시한 그래프이다.

도 11a, 도 11b 및 도 11c는 그래핀 페르미 준위의 이동 및 반도체 산화막의 전압 강화에 따른 광전류 증폭 과정에 대한 메커니즘을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0030]

이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.

[0031]

본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다.

[0032]

본 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0033]

본 명세서에서 사용되는 "실시예", "예", "측", "예시" 등은 기술된 임의의 양상(aspect) 또는 설계가 다른 양상 또는 설계들보다 양호하다거나, 이점이 있는 것으로 해석되어야 하는 것은 아니다.

[0034]

또한, "또는"이라는 용어는 배타적 논리합 "exclusive or"이기보다는 포함적인 논리합 "inclusive or"를 의미한다. 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, "x가 a 또는 b를 이용한다"라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

[0035]

또한, 본 명세서 및 청구항들에서 사용되는 단수 표현("a" 또는 "an")은 달리 언급하지 않는 한, 또는 단수 형태에 관한 것이라고 문맥으로부터 명확하지 않는 한, 일반적으로 "하나 이상"을 의미하는 것으로 해석되어야 한다.

[0036]

아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는

용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.

- [0037] 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.
- [0038] 또한, 막, 층, 영역, 구성 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 층, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0039] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또한 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0040] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다.
- [0041] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 또한, 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0042] 이하에서는 도 1a 내지 1g를 참조하여 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 제조방법을 설명하기로 한다.
- [0043] 도 1a 내지 도 1g는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 제조방법을 설명하기 위하여 도시한 것이다.
- [0044] 본 발명의 일 실시예에 따른 그래핀 기반의 포토 다이오드(100)는 제1전극(110), 반도체 기관(120), 절연층(130), 제2전극(140, 150), 반도체 산화막(160) 및 그래핀(170)을 포함한다.
- [0045] 도 1a 및 1b를 참조하면, 본 발명의 일 실시예에 따른 그래핀 기반의 포토 다이오드(100)의 제조 방법은 제1전극(110)을 준비하고, 준비된 제1전극(110) 상에 반도체 기관(120)을 형성한다.
- [0046] 반도체 기관(120)은 다양한 크기의 에너지 밴드갭을 가진 반도체(Si, aSi, Ge, GaAs, GaN, InGaAs, AlGaAs, Metal Oxides 등)로서 n형 반도체나 p형 반도체로 구성되고, 통상적으로 사용되는 반도체 기관으로 이루어질 수 있으나, 이에 제한되지 않고, 다양한 물질로 이루어질 수 있다.
- [0047] 이하, 실시예에서는 반도체 기관(120)이 p형 반도체로 구성된 경우로 설명하기로 하며, 반도체 기관(120)이 n형 반도체로 구성된 경우는 p형 반도체로 구성된 경우에 인가되는 전압 바이어스(bias)와 이동 전하의 종류가 바뀔 뿐이므로 설명을 생략하도록 한다.
- [0048] 도 1a 및 도 1b에 도시된 바와 같이 반도체 기관(120)의 하부에 형성되는 제1전극(110)은 반도체 기관(120)과 오믹 컨택(Ohmic contact)을 하기 위하여, 반도체 기관(120)의 하부에 제1전극(110)을 증착하여 오믹 컨택을 형성한다.
- [0049] 오믹 컨택이란 불순물 농도가 낮은 반도체에 금속이 접촉되면 접촉면에 전위 장벽이 형성되기 때문에 캐리어에 대한 전위 장벽이 형성되지 않도록 하기 위하여 전압-전류 특성이 옴의 법칙을 따르는 금속과 반도체를 컨택시키는 것을 의미한다.
- [0050] 제1전극(110)은 금(Au), 은(Ag), 주석(Sn), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al), 티타늄/금(Ti/Au), 티타늄/알루미늄(Ti/Al), 티타늄/알루미늄/백금/금(Ti/Al/Pt/Au), 알루미늄/백금(Al/Pt), 알루미늄/백금/금(Al/Pt/Au), 백금/갈륨(Pt/Ga), 인듐(In), 인듐/금(In/Au) 및 레늄/티타늄/금(Re/Ti/Au) 중 어느 하나 또는 이들의 조합으로 이루어질 수 있으나, 이에 제한되지 않고, 다양한 물질로 이루어질 수 있다.
- [0051] 도 1c를 참조하면, 본 발명의 일 실시예에 따른 그래핀 기반의 포토 다이오드(100)의 제조 방법은 반도체 기관(120) 상에 절연층(130)을 형성한다.
- [0052] 절연층(130)은 진공 증착법(vacuum deposition), 화학 기상 증착법(chemical vapor deposition), 물리 기상

증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition), 유기금속 화학 증착법(Metal Organic Chemical Vapor Deposition), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(Molecular Beam Epitaxy), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy), 스퍼터링(Sputtering), 스핀 코팅(spin coating), 딥 코팅(dip coating) 및 존 캐스팅(zone casting) 중 적어도 하나의 방법을 이용하여 형성될 수 있다.

[0053] 절연층(130)은 실리콘옥사이드(SiO_x), 실리콘나이트라이드(SiN_x), 티타늄옥사이드(TiO_x), hafnium 옥사이드(HfO_x)와 같은 무기물 또는 폴리비닐알코올(PVA), 폴리비닐피롤리돈(PVP), 폴리메틸메타크릴레이트(PMMA)와 같은 유기물일 수 있다.

[0054] 그러나, 절연층(130)을 구성하는 물질 및 공정 방법은 이에 한정되지 않으며, 공지된 다른 물질 및 다른 방법들이 이용될 수도 있다.

[0055] 상기 절연층은 5nm 내지 300nm의 두께로 형성될 수 있다.

[0056] 도 1d를 참조하면, 본 발명의 일 실시예에 따른 그래핀 기반의 포토 다이오드(100)의 제조 방법은 절연층(130) 상에 제2전극(140, 150)이 서로 이격되어 형성된다.

[0057] 예를 들어, 제2전극(140, 150)은 진공 증착법(vacuum deposition), 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition), 유기금속 화학 증착법(Metal Organic Chemical Vapor Deposition), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(Molecular Beam Epitaxy), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy), 스퍼터링(Sputtering), 스핀 코팅(spin coating), 딥 코팅(dip coating) 및 존 캐스팅(zone casting) 중 적어도 하나의 방법을 이용하여 형성될 수 있다.

[0058] 제2전극(140, 150)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 백금(Pt) 또는 탄탈(Ta)과 같은 저저항의 도전 물질을 사용할 수 있다.

[0059] 또한, 제2전극(140, 150)은 인듐 틴 옥사이드(ITO), 인듐 징크옥사이드(IZO) 또는 인듐 틴 징크 옥사이드(ITZO)와 같은 투명한 도전 물질을 사용할 수 있다.

[0060] 실시예에 따라서는 제2전극(140, 150)은 상기 도전 물질이 두 가지 이상 적층된 다층 구조로 형성될 수도 있다.

[0061] 도 1e 및 도 1f를 참조하면, 본 발명의 일 실시예에 따른 그래핀 기반의 포토 다이오드(100)의 제조 방법은 제2전극(140, 150)이 형성된 영역을 제외한 절연층(130)의 식각에 노출된 반도체 기판(120)의 윈도우(window) 상에 반도체 산화막(160)이 형성된다.

[0062] 제2전극(140, 150)이 형성된 영역을 제외한 절연층(130)을 식각함으로써, 반도체 기판(120)의 윈도우가 노출된다. 상기 반도체 기판의 윈도우가 상온에서 주변 공기에 노출되면, 건식 식각(Dry oxidation) 또는 습식 식각(Wet oxidation) 등의 별도의 식각 과정을 거치지 않아도, 주변 공기와 미세한 반응을 일으켜 상기 반도체 기판의 윈도우 상에 자연적으로 반도체 산화막(160)이 성장하게 된다.

[0063] 절연층(130)을 식각한 후 노출된 반도체 기판(120)의 윈도우의 크기는 절연층(130) 상에 이격되어 형성된 제2전극(140, 150)을 제외한 영역의 크기와 같거나 작을 수 있다.

[0064] 반도체 산화막(160)의 두께는 대수함수 성장속도 법칙(logarithmic rate law)에 의해 증가하고, 시간에 따라 안정적일 수 있다.

[0065] 상기 반도체 산화막은 0.3nm 내지 5nm의 두께로 형성될 수 있다.

[0066] 도 1g를 참조하면, 본 발명의 일 실시예에 따른 그래핀 기반의 포토 다이오드(100)의 제조 방법은 제2전극(140, 150) 및 반도체 산화막(160) 상에 그래핀(170)이 전사된다.

[0067] 그래핀(170)을 형성하는 방법은 당업계에서 그래핀 성장을 위해 통상적으로 사용하는 방법을 특별히 제한 없이 사용할 수 있다.

[0068] 예를 들어, 화학기상증착(Chemical Vapour Deposition; CVD) 방법을 이용할 수 있으나 단결정 그래파이트로부터 물리적으로 또는 화학적으로 그래핀을 분리하는 방법으로 형성될 수 있다.

[0069] 상기 화학기상증착법은 고온 화학기상증착(Rapid Thermal Chemical Vapour Deposition; RTCVD), 유도결합플라즈마 화학기상증착(Inductively Coupled Plasma-Chemical Vapor Deposition; ICP-CVD), 저압 화학기상증착(Low

Pressure Chemical Vapor Deposition; LPCVD), 상압 화학기상증착(Atmospheric Pressure Chemical Vapor Deposition; APCVD), 금속 유기화학기상증착(Metal Organic Chemical Vapor Deposition; MOCVD), 및 플라즈마 화학기상증착(Plasma-enhanced chemical vapor deposition; PECVD) 방법을 포함할 수 있으나, 이제 제한되는 것은 아니다.

- [0070] 이하에서는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 특성을 설명하기로 한다.
- [0071] (실시예)
- [0072] (그래핀의 준비)
- [0073] 화학기상증착법을 이용하여, 흑매층으로서 ~100 μ m 두께의 구리 호일(Cu foil)을 상에서 그래핀을 합성하였다.
- [0074] 성장된 그래핀/구리 호일 상에 PMMA(Polymethyl methacrylate, 폴리메타크릴산메틸)를 증착하였다. PMMA 코팅은 과황산암모늄(ammonium persulfate) 용액을 사용하여 구리 호일을 제거할 때 그래핀 박막을 고정시키는 역할을 한다.
- [0075] 이후 구리 호일(면적 7mm $\times$ 7mm)을 Fe₂Cl₃을 사용하여 제거한 후, 그래핀 박막 상에 잔존하는 Fe₂Cl₃을 초순수(DI water)로 세척하였다.
- [0076] (기판의 준비 및 그래핀의 전사)
- [0077] 에칭된 p⁺-Si 기판의 하면에 금(Au)을 증착하여, Si 기판에 대한 오믹 접촉(Ohmic contact)을 형성하였고, p⁺-Si 기판 상에는 300nm 두께의 실리콘 옥사이드(SiO₂)층을 형성하였다.
- [0078] 그 다음 SiO₂/p⁺-Si 기판 상에 섀도우 마스크(shadow mask) 및 DC 마그네트론 스퍼터링(DC Magnetron Sputtering)을 이용하여 제2전극으로 이용할 알루미늄(Al) 전극을 2mm $\times$ 5mm의 크기로 증착하였다.
- [0079] 알루미늄(Al) 전극이 형성된 영역을 제외한 p⁺-Si 기판 상에 형성된 SiO₂의 식각에 의해 저항률이 1-10 Ω m이고, 크기가 1.2mm $\times$ 1.2mm인 실리콘 기판 윈도우를 형성하였다.
- [0080] 이후, 실리콘 기판 윈도우 및 증착된 알루미늄(Al) 상에 그래핀(7mm $\times$ 7mm)을 전사하여, 그래핀-실리콘 산화막-실리콘의 구조를 갖는 그래핀 기반의 포토다이오드를 형성하였다.
- [0081] 실시예에 따라 제조한 그래핀 기반의 포토다이오드의 광학적 특성을 연구를 위하여, 실리콘 기판 윈도우와 동일한 크기(1.2mm $\times$ 1.2mm)의 개구부(aperture)를 구비한 광차단막(opaque mask)을 그래핀 기반의 포토다이오드 상에 접촉시켰다.
- [0082] 사용된 광원은 458nm의 파장을 갖는 LED이며, 노출된 광 출력은 14.7 μ Wcm⁻²에서 1.45mWcm⁻²로 제어하였고, 광은 광차단막의 개구부를 통한 광투과만을 허용하며, 그래핀 기반의 포토다이오드의 활성 영역인 실리콘 기판 윈도우에만 조사된다.
- [0083] (암/광전류-전압(I-V) 특성, 커패시턴스-전압(C-V) 특성 및 광반응의 측정)
- [0084] Keithley 6430 Sub-femtoamp SourceMeter를 사용하여 암전류 및 광전류(I-V) 특성을 조사하였다.
- [0085] -5V부터 1V의 전압 범위에서 0.1V 스텝 전압으로 Au(+) 전극과 Al(-) 전극 사이에 바이어스 전압(V)을 인가하였다. 적용된 바이어스 전압 범위를 0.1V 스텝 전압으로 -5V에서 3V까지 스캔하면서 HP 4192A LF 임피던스 분석기를 사용하여 1kHz의 변조 주파수에서 커패시턴스-전압(C-V) 특성을 측정하였다.
- [0086] 시간에 따른 광-반응은 Tektronix TDS 1012B 오실로스코프를 사용하여 그래핀 기반 포토다이오드에 직렬로 연결된 저항(1k Ω)의 전압을 모니터링하고, -5V 역바이어스 전압에서 그래핀 기반 포토다이오드에 LED를 조사하여 측정하였다.
- [0087] 도 2는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 암전류 밀도-전압(J-V) 곡선을 나타낸 그래프이다.
- [0088] 도 2를 참조하면, 그래핀 기반의 포토 다이오드의 암전류 밀도-전압(J-V) 곡선은 쇼트키 다이오드(Schottky Barrier Diode, SBD)와 같이 동작하는 정류 동작을 나타낸다.

[0089] 그래핀 기반의 포토 다이오드의 암전류 밀도-전압(J-V) 특성은 실리콘 산화막을 통한 다수 캐리어의 터널링(tunneling)을 설명하는 수정된 열전자 방출(thermionic emission) 이론으로부터 식 (1)과 같이 도출된다.

$$J = A^* T^2 \exp(-\sqrt{\xi} d) \exp\left(-\frac{\beta \Phi_s}{q}\right) \left\{ \exp\left[\frac{\beta(V - IR_s)}{\eta}\right] - 1 \right\} \dots \dots (1)$$

[0090]

[0091] 상기 식 (1)에서 A*는 유효 리차드슨 상수(Richardson constant), T는 켈빈 온도(K), ξ 는 터널링 배리어 높이(eV), d는 산화막의 두께(Å), Φ_s 는 쇼트키 장벽 높이(eV), R_s 는 직렬 저항(Ω) 및 $\beta = q/k_B T$ 으로, k_B 는 볼츠만 상수이다. 또한, η 는 이상적인 요소이며, 인가된 바이어스 전압에 의존한다.

[0092] ~3.9k Ω 의 값을 나타내는 직렬 저항 R_s 는 순방향 바이어스 영역(2.5V~3V)의 선형 기울기로부터 유도되고, 넓은 바이어스 전압 범위(-5V~3V)에서의 암전류 밀도-전압(J-V) 곡선은 식 1을 기반으로 도 2와 같이 나타낼 수 있다.

[0093] 도 2에서의 빨간 점선은 식 (1)을 기초로 하여 직접 피팅(fitting)된 암전류 밀도-전압(J-V) 곡선이고, 검은색 원은 실험적으로 도출된 암전류 밀도-전압(J-V) 곡선이다.

[0094] 그러나, 낮은 바이어스 영역에서 직접 피팅(fitting)된 곡선은 실험으로 도출된 곡선과 편차를 나타낸다. 이것은 고밀도의 계면 상태로 인하여 유효 쇼트키 장벽 높이(Schottky Barrier Height, SBH)가 높은 바이어스 전압에서 보다 낮은 바이어스 영역에서 높다는 것을 알 수 있다.

[0095] 또한, 순 바이어스 전압 범위(1.3V~3V)에서 바이어스 전압이 제한되는 경우에는 Cheung의 방법이 사용될 수 있다(도 2의 삽입된 이미지). 순방향 바이어스 영역에서 실험적인 암전류 밀도-전압(J-V) 곡선을 기반으로 암전류 밀도에 대한 $d(V)/d(\ln J)$ (검정원) 및 $H(J)$ (빨간색 사각형)을 나타낸다.

[0096] -5V ~ 3V의 바이어스 전압 범위의 쇼트키 방출 이론과 1.3V ~ 3V의 바이어스 범위에 대한 Cheung의 방법을 사용하여 추출된 물리적 파라미터는 하기의 [표 1]에 나있다.

[0097] [표 1]

Method	Voltage range (V)	A (cm ²)	A'(Acm ⁻² K ⁻²)	T (K)	ξ (eV)	d (nm)	Φ_s (eV)	R_s (k Ω)	η
Schottky	-5 ~ 3	1.44 x 10 ⁻²	30	288	3.3	0.42	0.38	3.9	6.88
Cheung	1.3 ~ 3	1.44 x 10 ⁻²	30	288	3.3	0.42	0.3	3.5	7.52

[0098]

[0099] [표 1]의 물리적 파라미터는 직접 피팅에 의해 추출된 것으로, 쇼트키 장벽 높이(Φ_s), 직렬 저항(R_s) 및 이상 계수(η)에서 서로 상이한 값을 갖는 것을 알 수 있으며, 이것은 물리적 파라미터가 적용된 바이어스 전압에 의존하는 반면 실리콘 산화막 두께(d)는 두 경우 모두 ~0.42nm로 추정된다는 것을 명확하게 알 수 있다.

[0100] 도 3은 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 조사한 광의 광 출력 밀도의 변화에 따른 전류 밀도-전압(J-V) 곡선을 나타낸 그래프이다.

[0101] 도 3의 삽입된 그래프는 -0.2V~0.2V의 낮은 바이어스 전압 영역에서의 전류 밀도-전압(J-V) 곡선을 도시한 것으로, 광 출력 밀도가 증가함에 따라 개방 회로 전압 및 단락 회로 전류가 증가함을 알 수 있다. 또한, 전류 밀도-전압(J-V) 곡선에서 높은 직렬 저항 및 고밀도 계면 상태로 인하여 4 사분면(4th quadrant)에서 빈약한 필팩터(fill factor)가 나타남을 알 수 있다.

[0102] 상대적으로 높은 광 출력 밀도의 조사에서 그래핀 기반의 포토다이오드의 개방형 셀 전압은 도 3의 삽입된 그래프에서 추정할 때 ~0.1V이다. 이는 실리콘 기판과 그래핀 사이의 일함수 차이가 ~0.1 eV로 낮다는 것을 알 수 있다. 따라서, 실리콘 기판 및 그래핀의 개방 회로 전압에 비례하여 실리콘 기판 및 그래핀의 일함수 차이가 작아짐을 알 수 있다.

[0103] 쇼트키 장벽 높이가 매우 낮더라도 암 상태에서 누설 전류 밀도는 현저히 낮다. 암 상태에서 실리콘 산화막으

로 인해 낮은 누설 전류를 나타내며, 암 누설 전류는 낮은 바이어스 영역에서 역 바이어스 전압에 따라 증가한다.

[0104] 임계 전압 이상에서는 암 누설 전류가 거의 포화되지만, 역 바이어스의 전압에 따라 약간 증가한다. 이것은 공핍 영역이 넓어짐에 따라 열적으로 생성된 소수 캐리어가 증가하고, 역 바이어스 전압이 증가함에 따라 증가하는 실리콘 산화막의 전압 및 전압 의존적인 그래핀 페르미 준위의 이동으로 인해 쇼트키 장벽 높이가 낮아질 수 있기 때문이다.

[0105] 그러나, 도 3에 도시된 광-유도된 누설 전류는 100% 양자 효율에서 예상되는 가능한 최대 광-전류보다 예상치 못하게 높다. 이는 그래핀 기반의 포토다이오드에서 광전류 증폭이 발생함을 알 수 있다.

[0106] 도 4는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 역 바이어스 전압(V_R)에 따른 암전류 밀도에 대한 광전류 밀도의 비율을 나타낸 그래프이다.

[0107] 도 4를 참조하면, 암전류 밀도에 대한 광전류 밀도의 비율인 J_P/J_D 에서 J_P 및 J_D 는 각각 광전류 밀도 및 암전류 밀도를 나타내며, $\sim 1.45 \text{mWcm}^{-2}$ 의 광 출력 밀도에서 최대 ~ 12.7 임을 알 수 있다.

[0108] 일반적으로 광전도성 모드 그래핀 광검출기(photoconductivity mode graphene photodetectors)는 높은 응답성을 나타내지만, 평균 전류 비는 갭이 없는 그래핀에 의해 고유의 높은 누설 전류 때문에 1보다 훨씬 낮다.

[0109] 도 5는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 광 출력 밀도의 변화에 따른 전압-쇼트키 장벽 높이 특성을 나타낸 그래프이다.

[0110] 도 5를 참조하면, 광-유도된 쇼트키 장벽 높이의 강하로 인해 광전류는 100% 양자 효율을 넘어서 증폭되고, 이는 식 (1)에 기초하여 플롯되며, 쇼트키 장벽 높이는 식 (2)와 같이 계산될 수 있다.

[0111]
$$\Phi_s = -\frac{\left(\frac{q}{\beta}\right) \ln(J)}{A \cdot T^2 \exp(-\sqrt{\xi} d)} \dots \dots \dots (2)$$

[0112] 0V에서의 쇼트키 장벽 높이는 암 상태에서 약 0.51eV이다. 이는 그래핀의 페르미 준위($E_{F(G)}$)가 Si($E_{V(Si)}$)의 밸런스 밴드(Valence band) 가장자리에서 $\sim 0.51\text{eV}$ 위에 위치하고, 해당 그래핀의 일함수($E_{F(G)}$)가 $\sim 4.68\text{eV}$ 라는 것을 의미한다.

[0113] 여기서 벌크 Si($E_{V(Si)}$)의 밸런스 밴드(Valence band) 가장자리는 진공 레벨로부터 5.19eV에 위치한다고 가정한다. 그래핀의 예상 일함수는 디랙점(Dirac points)보다 높으며, 이것으로부터 그래핀이 p-doping됨을 알 수 있다.

[0114] 쇼트키 장벽 높이 및 그래핀과 실리콘 기판 사이의 일함수 차이에 따라, 실리콘 기판의 페르미 레벨은 4.69eV일 수 있으며, 이는 커패시턴스-전압(C-V) 연구에서 추정된 4.86eV와는 차이가 있다. 이러한 불일치 현상은 실리콘 기판 표면에서의 고밀도 계면 상태로 인한 페르미 준위의 피닝(pinning) 때문에 나타남을 알 수 있다.

[0115] 페르미 준위의 피닝은 그래핀과 금속의 접합시 이론적으로 그래핀과 금속의 일함수 차이로 전자가 이동하여 그래핀의 페르미 준위가 변화하게 되는데, 그래핀과 금속의 계면 상태에 의해 그래핀의 페르미 준위가 특정 준위로 고정되는 현상을 의미한다.

[0116] 그러나, 쇼트키 장벽 높이는 역 바이어스 전압과 함께 실리콘 산화막 전압(V_{ox}) 및 전압 의존성 그래핀 페르미 준위 이동()로 인해 더 낮아진다. 실리콘 산화막은 역 바이어스 전압을 갖는 계면 상태로부터 페르미 준위를 디핀(de-pin)할 수 있게 한다.

[0117] 그러나, 역 바이어스 전압을 갖는 쇼트키 장벽 높이의 변동은 임계 전압 이상에서 거의 포화된다. 이는 실리콘 기판에 작용하는 비선형적으로 변하는 전압과의 상호작용으로 인해 실리콘 산화막의 전압 및 그래핀 페르미 준위의 이동이 역 바이어스 전압에 따라 비선형적으로 변화함을 알 수 있다.

[0118] 암 상태에서 역 바이어스 전압 의존성 쇼트키 장벽 높이의 변화 이외에도 광-유도된 쇼트키 장벽 높이의 저하는 다수 캐리어에 의해 기하 급수적으로 높은 누설 전류를 발생시킨다.

[0119] 쇼트키 장벽 높이의 저하는 광-유도된 실리콘 산화막 전압의 향상뿐만 아니라 그래핀 페르미 레벨 이동(에 의해

유발될 수 있다. 그러나 광 조사로 인한 그래핀의 페르미 준위의 이동은 광 출력 밀도 의존성 라만 시프트에 의해 나타나는 사용된 광 출력 밀도에서의 실리콘 산화막 전압에 비해 현저하지 않을 수 있다.

- [0120] 따라서, 본 실시예에서의 광-유도된 쇼트키 장벽 높이의 저하는 사용된 광 출력 밀도에서 에 의해 암묵적으로 표현될 수 있으며, 인가된 역 바이어스 전압에서 광-생성된 전자-홀(e-h)쌍에 의한 공핢 영역의 전도도 향상으로 인해 광-유도된 실리콘 산화막의 전압이 강화될 수 있다.
- [0121] 결과적으로 암 상태에서 공핢 영역에 작용하는 인가된 바이어스 전압의 일부는 감소되어 광조사하에서 실리콘 산화막으로 전달된다. 주어진 바이어스 전압에서 향상된 실리콘 산화막 전압으로 인해, 유효 쇼트키 장벽 높이는 만큼 낮아짐을 알 수 있다.
- [0122] 도 6a 및 도 6b는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 커패시턴스-전압(C-V) 특성을 나타낸 그래프이다.
- [0123] 도 6a를 참조하면, 그래핀 기반의 포토 다이오드의 커패시턴스는 광 출력 밀도에 종속되고, 순 바이어스 영역에서 순 바이어스 전압이 감소함에 따라 커패시턴스는 서서히 감소하지만, 광학적 광 조사에는 의존하지 않음을 알 수 있으며, 0V에서 1V 사이의 정체기(plateau)는 실리콘 기판 및 그래핀의 계면 상태와 연관되어 있다.
- [0124] 도 6b를 참조하면, 병렬로 연결된 3개의 커패시턴스 및 직렬로 연결된 커패시턴스(실리콘 산화막 커패시턴스 포함)가 실험용 광 커패시턴스에 맞춰져있다. 3개의 커패시턴스는 역 바이어스 전압에 의존하며, 각각 공핢 커패시턴스(C_D), 계면 커패시턴스(C_{int}) 및 반전 커패시턴스(C_{inv})이다.
- [0125] 암상태에서 커패시턴스는 인가된 역 바이어스 전압의 수 십V 범위내에서 갑자기 감소한 후에 천천히 감소한다. 또한, 실리콘 기판 및 그래핀의 계면 상태로 인하여 낮은 역 바이어스 전압 범위에서의 급격한 감소가 발생하지만, 초기의 급격한 변화 이후에 역 바이어스 전압이 증가함에 따라 공핢 영역이 넓어짐에 따라 커패시턴스의 느린 감소가 발생한다.
- [0126] 그러나, -5V의 상대적으로 높은 역 바이어스 전압 및 1kHz의 비교적 낮은 AC 변조 주파수에서 측정이 수행되더라도 강한 반전 거동은 관찰되지 않는다. 이것은 더 높은 역 바이어스 전압에서의 얇은 실리콘 산화막을 통한 소수 캐리어의 높은 터널링 속도뿐만 아니라, 고밀도의 실리콘 기판 및 그래핀의 계면 상태에 의한 높은 재결합 속도 때문임을 알 수 있다.
- [0127] 도 6a에 도시된 광 출력 밀도에 의존적인 커패시턴스-전압(C-V) 곡선은 암 상태에서의 커패시턴스-전압(C-V) 곡선과는 상이하며, 광 출력 밀도가 증가함에 따라 높은 역 바이어스 전압 범위에서 공핢이 우세한 커패시턴스가 관찰됨을 알 수 있다.
- [0128] 상대적으로 낮은 역 바이어스 전압 범위에서의 커패시턴스는 실리콘 기판 및 그래핀의 계면 상태에 의해 크게 영향을 받는다. 실리콘 기판 및 그래핀의 계면 상태는 낮은 역 바이어스 전압 범위에서 전하 저장 및 재결합 센터 역할을 하며, 그 효과는 광 출력 밀도가 증가함에 따라 저 바이어스 전압의 넓은 범위에 걸쳐 나타난다.
- [0129] 광 출력 밀도가 증가함으로써, 상대적으로 높은 역 바이어스 전압에서 광 유도 반전이 명확히 관찰된다. 상대적으로 높은 역 바이어스 전압에서, 공핢 영역의 폭은 실리콘 산화막을 통한 현저한 터널링 및 실리콘 기판 및 그래핀의 계면 상태를 통한 재조합이 있더라도 실리콘 기판 및 그래핀의 계면에서 광 생성 소수 캐리어가 누적될 만큼 충분히 넓다. 따라서, 광 유도 반전 거동은 공핢 영역에서 광 생성 소수 캐리어가 충분히 큰 경우에 비교적 높은 역 전압에서 관찰된다.
- [0130] 그러나, 역 바이어스 전압이 임계 전압보다 높아지면 광에 의한 반전 커패시턴스(C_{inv})가 약해진다. 이는 역 바이어스 전압이 증가함에 따라 쇼트키 장벽 높이가 낮아지면서 그래핀 전극으로부터 터널링된 다수 캐리어가 증가함에 따라 광 생성 소수 캐리어들의 재결합이 중요함을 알 수 있다. 또한 소수 캐리어의 터널링은 역 바이어스 전압에 따라 증가함을 알 수 있다.
- [0131] 공핢 영역의 초과된 광-캐리어는 공핢 영역의 저항을 감소시킨다. 결과적으로, 소정의 역 바이어스 전압에서, 상대적인 실리콘 산화물 전압은 증가하고, 광 출력 밀도가 증가함에 따라 접합 전압은 감소된다.
- [0132] 따라서, 소정의 역 바이어스 전압에서의 공핢 영역의 폭은 광 출력 밀도가 증가함에 따라 감소된다. 이것은 도 6a에 도시된 바와 같이 광 출력 밀도가 증가함에 따라 높은 역 바이어스 전압에서 비교적 높은 공핢 커패시턴스(C_D)에 의해 표시된다.

- [0133] 도 7a 및 도 7b는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 광-유도된 계면 커패시턴스(C_{int}) 및 광-유도된 반전 커패시턴스(C_{inv})의 피크 위치, 높이 및 넓이 특성을 나타낸 그래프이다.
- [0134] 도 7a를 참조하면, 광 출력 밀도가 증가함에 따라 계면 커패시턴스(C_{int})의 피크 위치 및 세기는 크게 변하지 않지만, 도 7b를 참조하면 낮은 역 바이어스 전압 범위에서 피크 폭이 더 넓어짐을 알 수 있다.
- [0135] 그러나, 반전 커패시턴스(C_{inv})는 중간 전압 범위에서 강하게 되고, 피크의 위치는 높은 역 바이어스 전압으로 이동하며, 피크폭은 도 7b에 도시된 바와 같이 광 출력 밀도가 증가함에 따라 더 넓어지게 됨을 알 수 있다.
- [0136] 이것은 실리콘 기판 및 그래핀의 계면 상태가 전하 저장의 역할을 하고, 광 출력 밀도에 따른 반전 커패시턴스(C_{inv})의 증가는 소수 캐리어 전류가 터널링 제한을 받는다는 것을 나타낸다.
- [0137] 피크의 위치가 광 출력 밀도에 따라 더 높은 역 바이어스 전압으로 이동한다는 것은 주어진 바이어스 전압에서 반도체에 작용하는 전압 부분이 광 출력 밀도에 따라 낮아짐을 나타낸다. 이는 광 조사에 의한 실리콘 기판 영역의 전도도 향상이 반도체에 작용하는 유효 바이어스 전압을 감소시키는 반면, 실리콘 산화막에 효과적으로 작용하는 전압은 광 출력 밀도가 증가함에 따라 증가한다는 것을 나타낸다.
- [0138] 이러한 효과는 도 7a에 도시된 바와 같이 광 출력 밀도가 증가함에 따른 이상 계수의 향상으로 나타난다.
- [0139] 도 8은 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 역 바이어스 전압 영역에서의 광전류 밀도를 도시한 그래프이다.
- [0140] 도 8을 참조하면 역 바이어스 전압에 의존하는 광전류 거동은 3개의 영역으로 분류될 수 있다.
- [0141] 영역 I은 밝은 파란색으로 표시되는 영역으로, 비교적 낮은 광전류 영역을 나타내며, 영역 I의 상세한 그래프는 도 8의 삽입된 그래프에 도시되어 있다. 영역 II는 옅은 파란색으로 표시되는 영역으로, 인가된 바이어스 전압에 따라 선형적으로 증가하는 광전류 영역을 나타낸다. 영역 III은 진한 파란색으로 표시되는 영역으로, 거의 포화된 광전류 영역을 나타낸다.
- [0142] 영역 I(밝은 파란색 영역)은 낮은 역 바이어스 영역($0V \sim 0.6V$)에 해당하며, 일반적으로 광전류는 낮고, 인가된 역 바이어스 전압에 덜 의존하며, 양자 효율은 100% 미만이다. 이것은 낮은 역 바이어스 전압에서의 상대적으로 좁은 공핍 영역의 폭뿐만 아니라 실리콘 기판과 평형인 고밀도의 실리콘 기판 및 그래핀의 계면 상태에 기인한다. 실리콘 기판 및 그래핀의 계면 상태는 전하 저장 및 광 생성 캐리어의 재결합 센터로서 역할을 하고, 결과적으로 광 생성 캐리어의 포집 효율이 낮다.
- [0143] 영역 II(옅은 파란색 영역)는 역 바이어스 전압이 증가함에 따라 광전류가 선형적으로 증가함을 알 수 있다. 선형적으로 증가하는 거동은 영역 I과 달리 역 바이어스 전압에 따라 공핍 영역의 폭이 증가함을 나타낸다. 특히 영역 II의 양자 효율은 이상적인 한계인 100% 보다 높다. 이것은 광-유도 실리콘 산화막의 전압 강화에 의해 쇼트키 장벽 높이의 저하에 의한 다수 전류에 대한 전압 의존적인 공핍 영역의 폭 확대 및 광 유도 게이팅으로부터 캐리어 증폭 과정이 있음을 알 수 있다.
- [0144] 영역 III(진한 파란색 영역)은 광전류가 역 바이어스 전압에 따라 약간 증가하더라도 거의 포화된 광전류를 나타내는 영역에 해당한다. 이것은 영역 II의 끝에 있는 공핍 영역의 폭이 입사광의 침투 깊이보다 이미 넓음을 알 수 있다. 결과적으로, 영역 II의 끝을 넘어서, 공핍 영역의 폭의 확대 및 넓은 영역에서의 잔류 광 흡수에 기인한 역 바이어스 전압에 의해 전류가 천천히 증가한다.
- [0145] 영역 III에서, 전자의 저장 및 광 유도된 반전으로 작용하는 실리콘 기판 및 그래핀의 계면 상태의 영향은 다수 캐리어 및 소수 캐리어의 높은 재결합 속도 및 터널링 속도로 인해 약해진다. 그 결과, 역 바이어스 전압이 증가하더라도 광전류의 현저한 향상은 없음을 알 수 있다.
- [0146] 순 광전류 밀도는 도 8과 같이 조사된 광 출력 밀도의 함수로 플롯되고, 광전류는 광 출력 밀도에 따라 증가한다. 매우 얇고 투명도가 높은 그래핀($\sim 97\%$)으로 인해 조사된 대부분의 가시광선(파장 485nm)은 실리콘 기판에 흡수된다.
- [0147] 따라서, 광 출력 밀도가 증가함에 따라 실리콘 기판에서 광-생성된 전자-정공의 쌍이 증가하고, 광 조사 영역에서의 실리콘 기판의 전도도가 증가한다. 그래핀은 소수 캐리어 콜렉터 역할뿐만 아니라, 역 바이어스 전압에서 실리콘 기판에 조절이 가능한 다수 캐리어 공급 역할을 한다.

- [0148] 도 9는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 광 출력 밀도 및 역 바이어스 전압에 따른 광 응답성(R)을 도시한 그래프이다.
- [0149] 광 응답성(R), 광 출력 밀도(OPD) 및 광전류 밀도(J_{ph})는 $R = J_{ph}/OPD$ 로 나타낼 수 있다. 보라색 평면 격자는 100%의 양자 효율($Q.E=1$)에 해당하는 광 응답성($R=0.37A/W$)을 나타낸다.
- [0150] 도 9를 참조하면, 광 출력 밀도가 0.15 mWcm^{-2} 미만일 때 광 출력이 증가함에 따라 광 응답성이 감소하며, 0.15 mWcm^{-2} 보다 높은 광 출력 밀도에서의 광 응답성은 큰 변화가 없음을 알 수 있다.
- [0151] 이것은 실리콘 기판 또는 그래핀과의 평형 상태의 상호 작용으로 볼 수 있다. 낮은 광 출력에서 가장 많은 광 생성 전자는 계면 상태에 의해 많이 포획된다. 결과적으로, 충전된 계면 상태는 과도한 전하가 제공되는 한 유지되고 이것은 실리콘 산화막을 가로 질러 비교적 높은 실리콘 산화물 전압을 유도한다.
- [0152] 이로 인해 다수 캐리어의 쇼트키 장벽 높이가 낮아진다. 쇼트키 장벽 높이 변화의 절대 크기는 중요하지 않지만 누설 전류가 쇼트키 장벽 높이 변화에 따라 기하 급수적으로 변화하기 때문에 암전류에 비해 현저한 전류 변화를 유도한다.
- [0153] 또한, 광 생성 캐리어의 밀도가 낮으면 실리콘 기판 및 그래핀의 계면 상태를 통한 재결합 속도가 낮아져, 낮은 광 출력 밀도에서의 응답성이 높아진다. 광 출력 밀도가 증가함에 따라, 중간 역 바이어스 전압 영역에서 대부분의 소수 캐리어가 계면에 축적되어 반전층이 형성된다.
- [0154] 높은 광 출력 조사에서, 많은 광 생성 전자 및 정공이 각각 전도대 (Conduction band) 및 밸런스 밴드 (Valence band)에서 이용이 가능하다. 결과적으로 광 생성된 전자-정공의 쌍이 증가함에 따라 실리콘 기판 및 그래핀의 계면 상태를 통한 재결합률과 같은 SRH(Schockley-Read-Hall)이 높아진다. 그 결과, 응답성은 조명의 광 출력에 따라 감소한다.
- [0155] 또한, 재결합률은 높은 역 바이어스 전압에서 낮은 커패시턴스에 의해 다수 캐리어 터널링에 따라 더 높아진다.
- [0156] 도 10a 및 도 10b는 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드의 시간에 따른 광 반응을 도시한 그래프이다.
- [0157] 도 10a 및 10b를 참조하면, 그래핀 기반의 포토 다이오드의 실리콘 기판 윈도우 상에 다양한 광을 노출시키고, -5V의 역 바이어스 전압의 조건 하에, 시간에 따른 광 반응을 측정하였다.
- [0158] 그래핀 기반의 포토 다이오드의 상승 시간(τ_r)은 의 지수 함수로 추정되며, $\sim 12\mu s$ 이다. 상승 시간(τ_r)은 도 10a에 도시된 바와 같이 조사된 광 출력 밀도에 의존하고, 이는 상승 시간이 광 조사에 의한 실리콘 영역의 전도도 향상에 의해 야기되는 쇼트키 배리어 높이의 저하에 필요한 시간에 크게 좌우된다는 점에 기인함을 알 수 있으며, 광이 조사되는 즉시 나타난다.
- [0159] 그러나, 도 10a 및 도 10b에 도시된 바와 같이 초기 낙하 속도(τ_f)는 빠르지만, 낙하 속도(τ_s)는 상대적으로 느리다.
- [0160] 도 10b에 도시된 바와 같이, 빠른 응답(τ_f)의 시상수는 조사한 광 출력과 함께 빠른 응답(τ_f)의 시상수는 조사한 광 출력과 함께 $4.0 \times 10^{-5} \text{ sec}$ 에서 $1.3 \times 10^{-5} \text{ sec}$ 까지 감소하고, 느린 응답(τ_f)의 시상수는 광 출력과 함께 $2.0 \times 10^{-4} \text{ sec}$ 에서 $1.6 \times 10^{-4} \text{ sec}$ 까지 약간 감소한다.
- [0161] 그래핀 기반의 포토 다이오드의 시간 응답은 그래핀과 전극 사이의 접촉, 실리콘 산화막을 통한 다수 캐리어 및 소수 캐리어의 터널링, 실리콘 기판 및 그래핀과의 계면 상태 평형, 접합 계면에서의 충전 및 방전, 그래핀에서의 이동 시간, 실리콘 기판에서의 이동 시간, 측정 시스템의 저항-커패시턴스 시간 상수 등 다양한 물리적 요소와 연관되어 있다.
- [0162] 광 조사가 중단되자마자, 광-유도된 광-캐리어 생성이 종료되고, 그 결과 공핍 영역의 저항이 크게 증가한다. 결과적으로 다수 캐리어에 대한 쇼트키 배리어 높이는 광 출력이 종료되고 공핍 영역의 폭이 넓어짐과 동시에 증가한다.
- [0163] 또한 공핍 영역 및 확산 영역의 잔류 광-생성된 소수 캐리어는 접합 계면으로 이동하고, 그래핀으로 터널링되거나

나 실리콘 기판 및 그래핀의 계면 상태에 의해 포획 및 재결합된다. 따라서 초기 낙하 속도(τ_f)는 상승 시간만큼 빠르며, 쇼트키 배리어 높이의 복구 시간과 상승 시간 상수(τ_r)와 거의 같다.

[0164] 그러나 공핍층의 가장자리에 있는 광 생성 소수 캐리어와 쇼트키 배리어 높이의 회복으로 인한 공핍 영역의 넓이는 실리콘 산화막을 통과하는 터널링과 실리콘 기판 및 그래핀의 계면 상태를 통한 재결합에 의해 공백을 제거하는 더 느린 과정을 일으킨다. 소수 캐리어는 실리콘 기판 및 그래핀의 계면 상태에 의해 포획되고, 광 생성 캐리어의 재조합률은 광 출력에 따라 증가한다. 따라서, 느린 응답에 대한 시간 상수는 도 10b에 도시된 것처럼 광 출력에 따라 더 작아진다.

[0165] 도 11a, 도 11b 및 도 11c는 그래핀 페르미 준위의 이동 및 실리콘 산화막 전압 강화에 따른 광전류 증폭 과정에 대한 메커니즘을 도시한 것이다.

[0166] 도 11a를 참조하면, 암 상태에서는 역 바이어스 전압이 증가함에 따라 공핍 영역의 폭이 넓어지고, 실리콘 산화막 전압에 의한 쇼트키 배리어 높이의 강하가 증가한다. 암 상태의 낮은 역 바이어스 전압(영역 I)에서 고밀도의 실리콘 기판 및 그래핀의 계면 상태에 의한 페르미 준위의 피닝에 의해 쇼트키 배리어 높이는 높게 나타난다. 역 바이어스 전압이 증가함에 따라, 쇼트키 배리어 높이는 페르미 준위(영역 II)의 실리콘 산화막 전압 및 디-피닝(de-pinning)에 의해 낮아지고, 공핍 영역의 증가된 저항에 의해 발생한 실리콘 산화막 전압의 작은 향상으로 인해 약간 변화한다(영역 III).

[0167] 도 11b를 참조하면, 광이 그래핀 기반의 포토 다이오드에 조사되면, 광이 조사된 실리콘 기판 영역(높은 저항성 공핍 영역 포함)의 전도도는 광-생성 캐리어에 의해 향상된다. 그 결과, 주어진 역 바이어스 전압에서 실리콘 기판(V_D)에 작용하는 유효 전압은 감소하지만, 실리콘 산화막의 전압(V_{ox})은 증가하고, 쇼트키 배리어 높이는 낮아지게 된다.

[0168] 그래핀에 의한 광 흡수로 인해, 그래핀 페르미 준위에 의한 쇼트키 배리어 높이가 낮아질 가능성도 존재하지만, 그래핀 페르미 준위의 이동은 광 출력 밀도 레벨에서는 중요하지 않다. 광-유도된 쇼트키 배리어 높이의 저하의 결과 광-유도된 전류는 크게 증폭되고 응답성이 높아지게 된다.

[0169] 영역 II에서, 현저한 광전류 증폭이 발생하고, 인가된 역 바이어스 전압에 따라 선형적으로 증가한다. 이는 전압 의존적인 공핍 영역 폭의 확대와 실리콘 산화막 전압의 향상으로 인한 광 유도된 쇼트키 배리어 높이의 저하에 기인하고, 공핍 영역 폭은 역 바이어스 전압에 따라 증가한다. 따라서 공핍 영역 내의 광 생성된 소수 캐리어는 공핍 영역이 광흡수 깊이 이상으로 넓어질때까지 역 바이어스 전압 및 광 출력 밀도에 비례하여 증가한다.

[0170] 영역 III에서 광전류 증폭은 광 흡수 깊이 보다 큰 공핍 영역의 폭 때문에 임계 전압 이상으로 거의 포화된다. 또한 더 높은 역 바이어스 전압에서 다수 캐리어의 강화된 터널링 속도는 도 11c에 도시된 바와 같이 별크 결합 상태뿐만 아니라, 실리콘 기판 및 그래핀의 계면 상태로 인해 광 생성 소수 캐리어의 높은 재결합을 발생시킨다.

[0171] 그래핀 기반의 포토 다이오드의 성능 지수는 노이즈 등가 전력(noise equivalent power, NEP), 검출력 및 대역폭을 고려하여 추정할 수 있다. 1Hz의 대역폭에서 1의 신호 대 잡음비(S/N)를 제공하는 광 출력에 대응하는 NEP는 다음 식 (3)에 의해 표현된다.

[0172] 여기서 q , I_D 및 I_{ph} 는 각각 기본 전하, 암전류 및 광전류를 나타낸다. $5\mu W$ 의 역 바이어스 전압에서 $15\mu W cm^{-2}$ 의 암전류(I_D) 및 광전류(I_{ph})가 얻어진다. 식 (3)에 기초한 그래핀 기반의 포토 다이오드의 추정된 NEP는 $5.09 pW Hz^{-1/2}$ 이다. $D^* = \sqrt{A/NEP}$ 에 기초한 추정된 검출도(D^*)는 $2.35 \times 10^{10} cm Hz^{1/2} W^{-1}$ 이고, 여기서 A 는 접합 면적이다.

[0173] 본 발명의 실시예에 따른 그래핀 기반의 포토 다이오드는 낮은 광 출력 밀도($15\mu W cm^{-2}$)에서 $5.5 A W^{-1}$ 의 매우 높은 광 응답성 및 매우 높은 신호 검출도($2.35 \times 10^{10} cm Hz^{1/2} W^{-1}$)를 보여준다. 또한, 사용된 그래핀의 활성 영역은 $1.2mm \times 1.2mm$ 이고, 사용된 그래핀은 매우 낮은 결함을 가지며, 이것은 대역폭을 서브 MHz 단위로 제한할 수 있다.

[0174] 그래핀의 크기를 마이크로 미터 스케일 및 그래핀의 결함 밀도를 감소시키면, 대역폭이 기가 Hz로 증가할 수 있다. 또한 실리콘 기판 및 그래핀의 계면 상태 평형을 감소시킴으로써 응답성을 향상시킬 수 있는 효과를 나타낸

다.

[0175] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

[0176] 100: 그래핀 기반의 포토 다이오드

110: 제1전극

120: 반도체 기판

130: 절연층

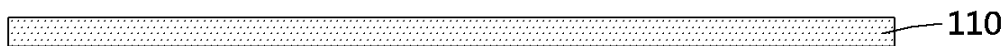
140, 150: 제2전극

160: 반도체 산화막

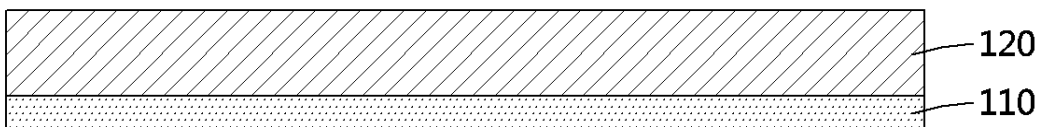
170: 그래핀

도면

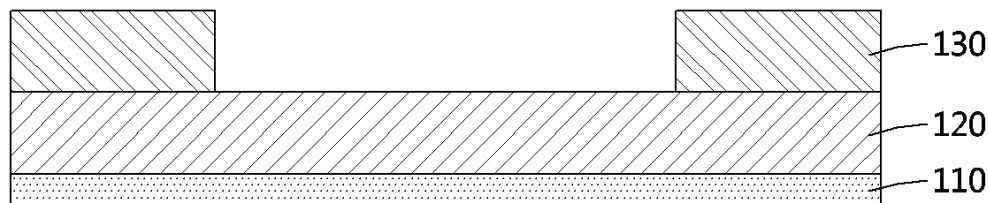
도면1a



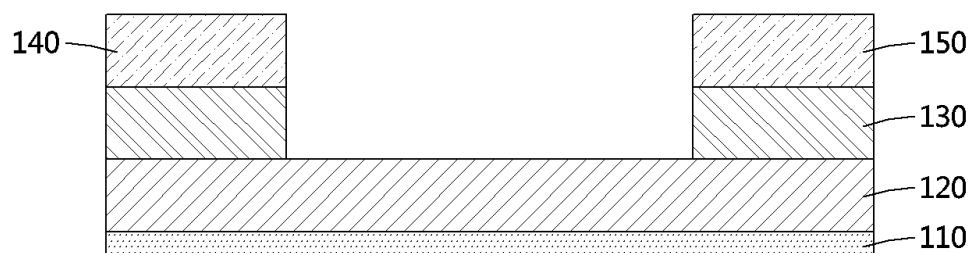
도면1b



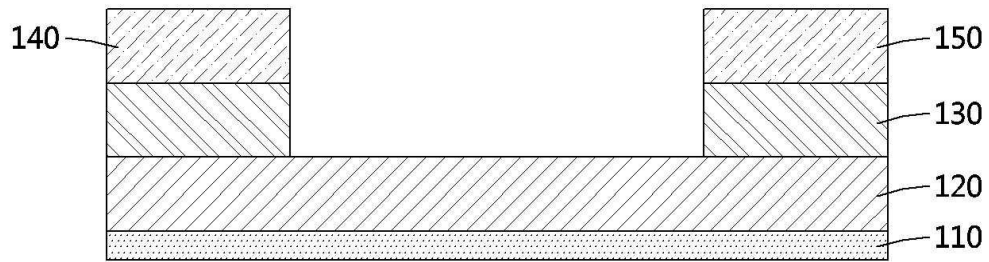
도면1c



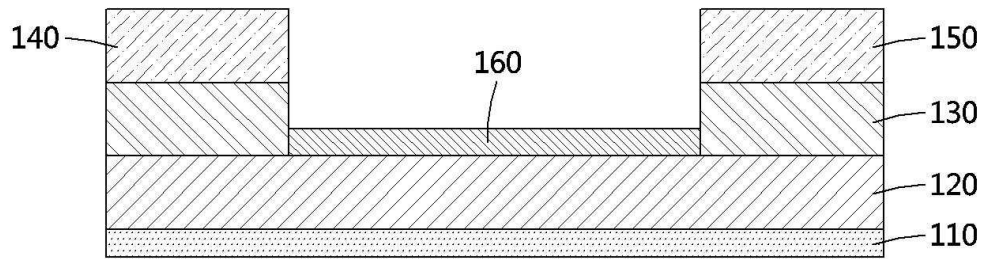
도면1d



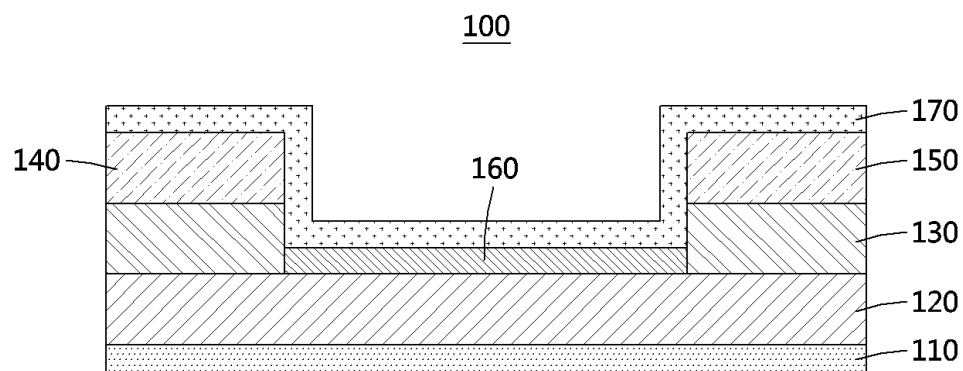
도면1e



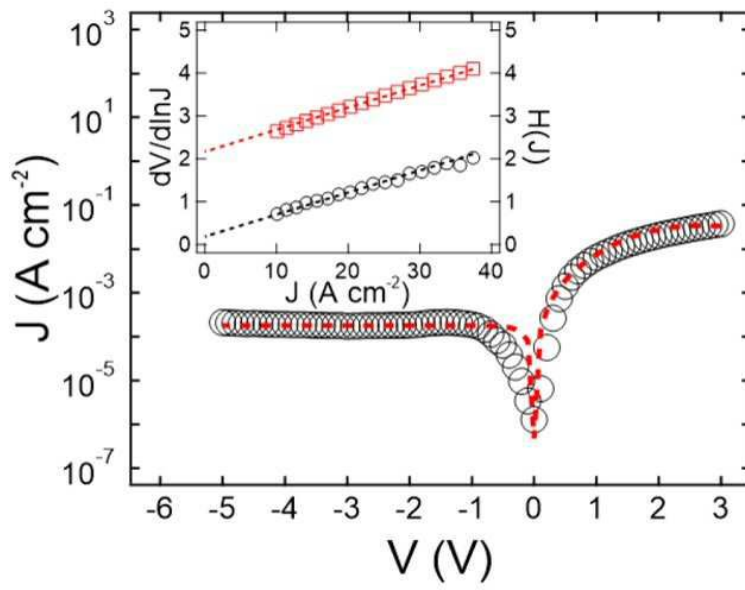
도면1f



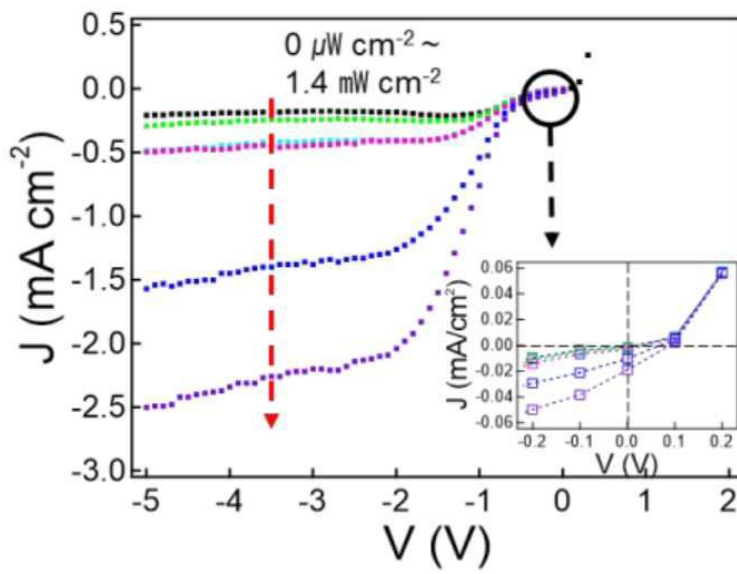
도면1g



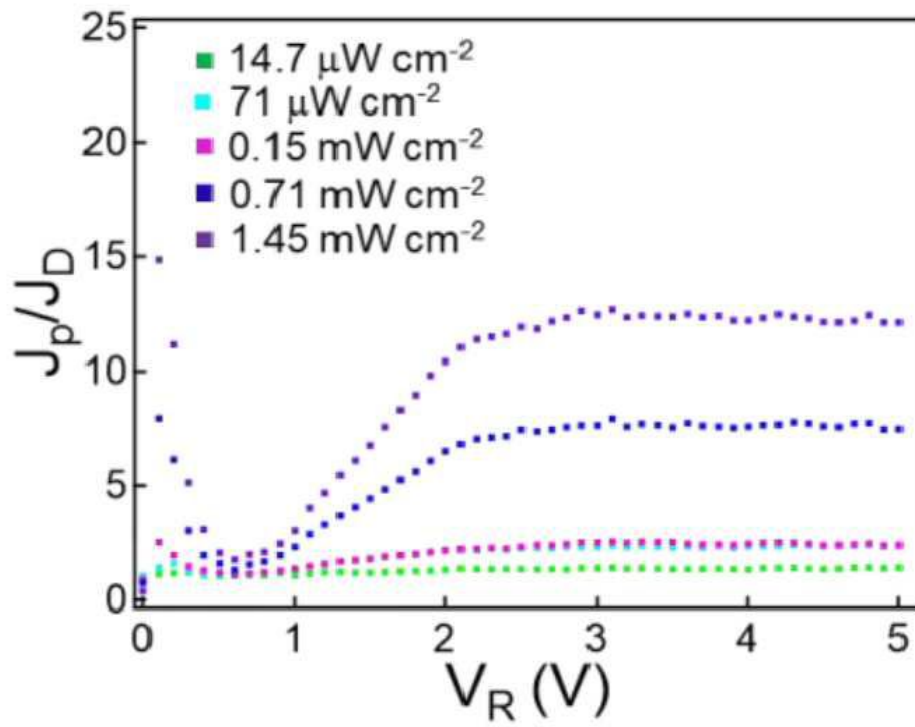
도면2



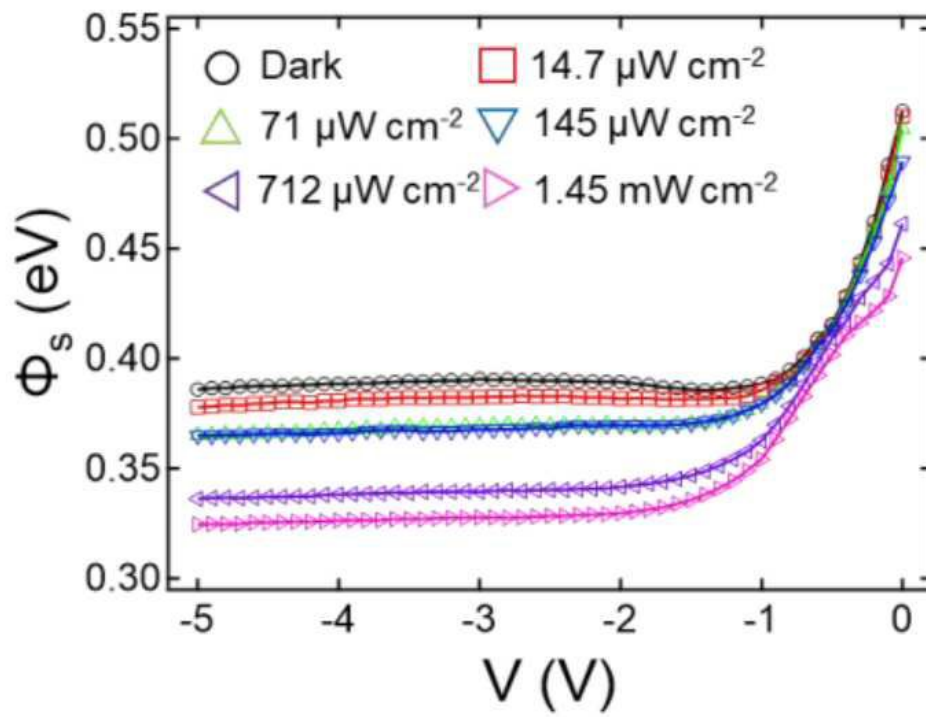
도면3



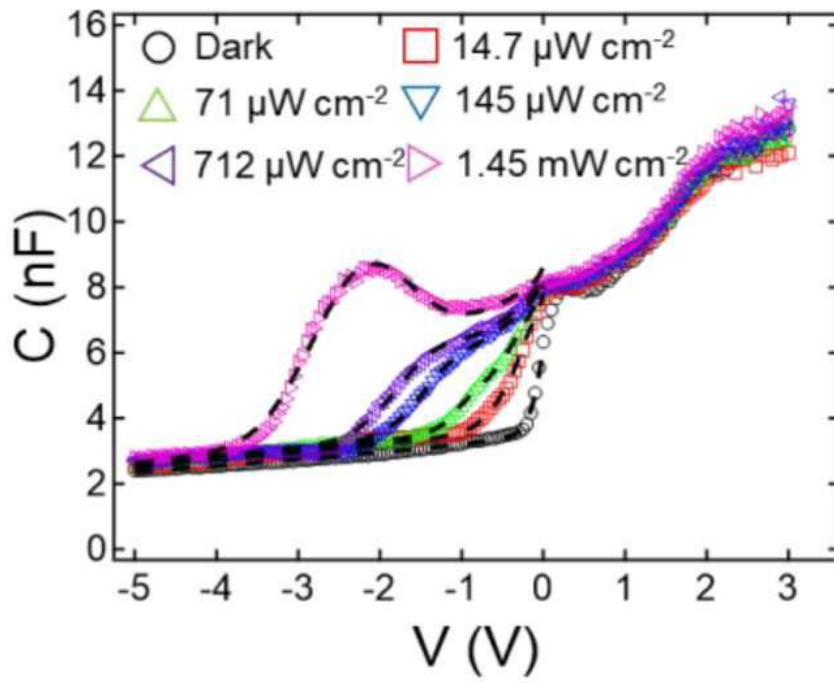
도면4



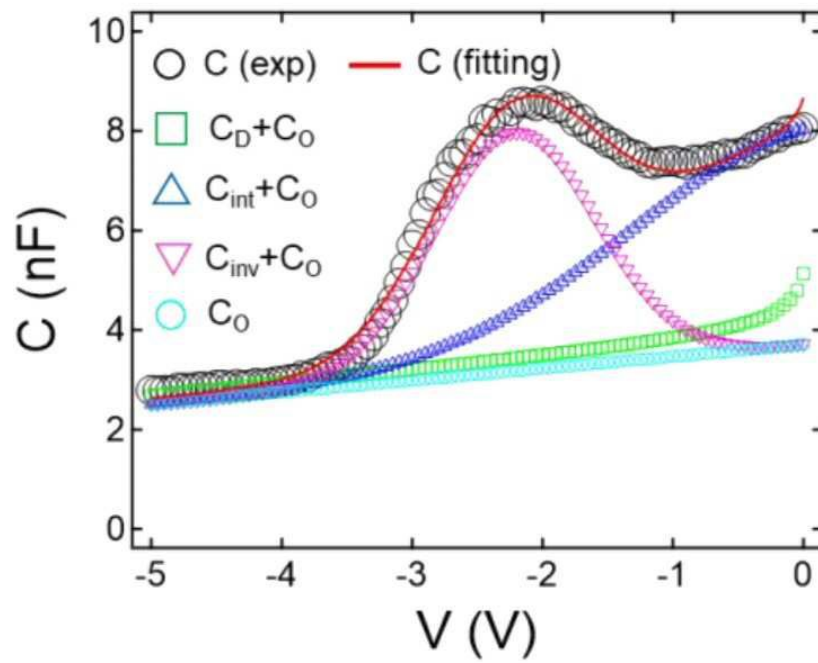
도면5



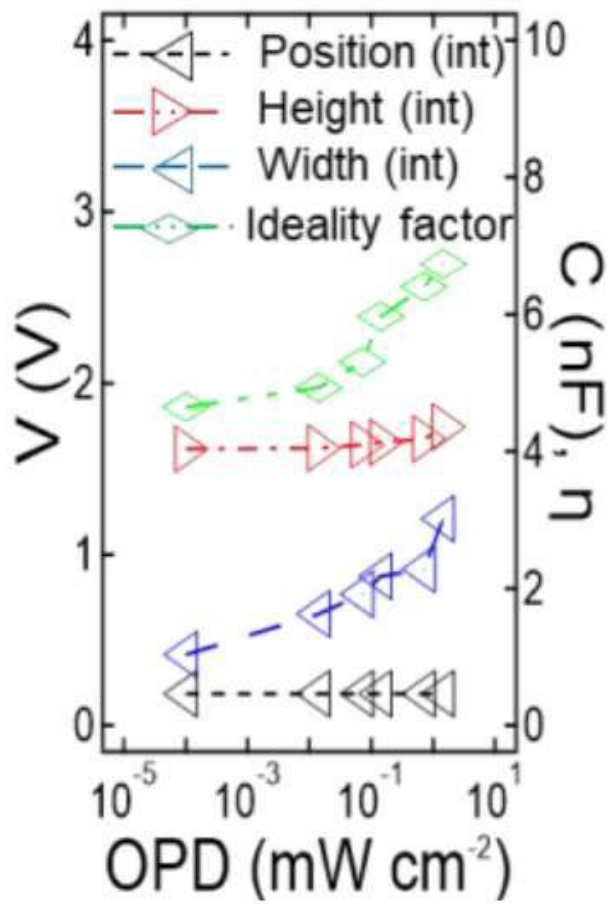
도면6a



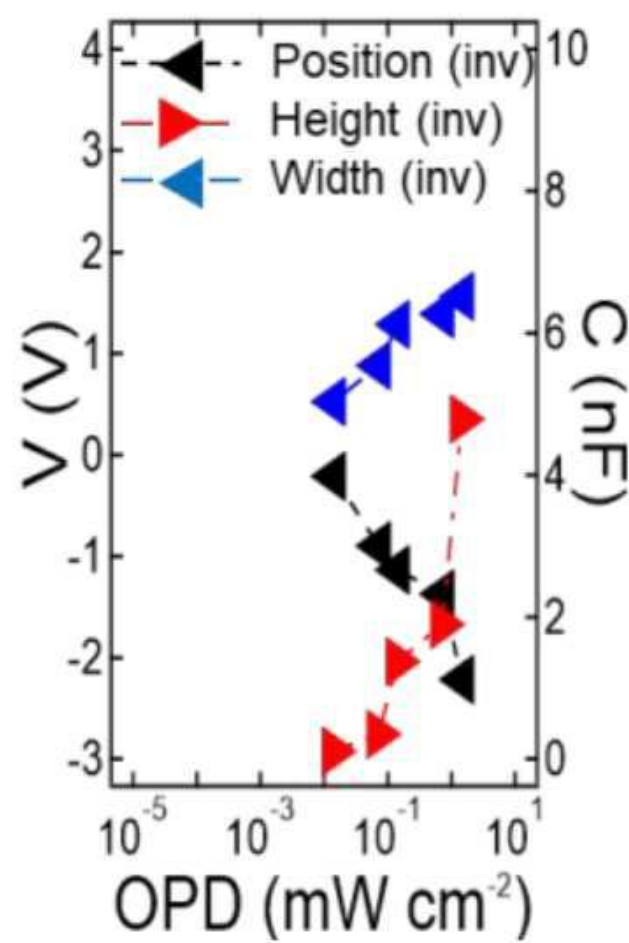
도면6b



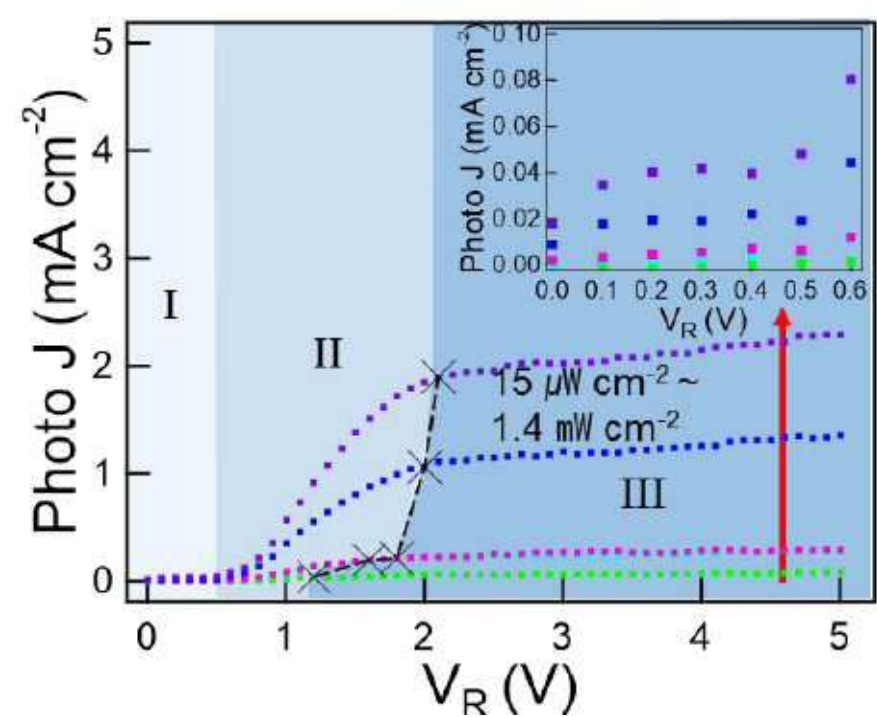
도면7a



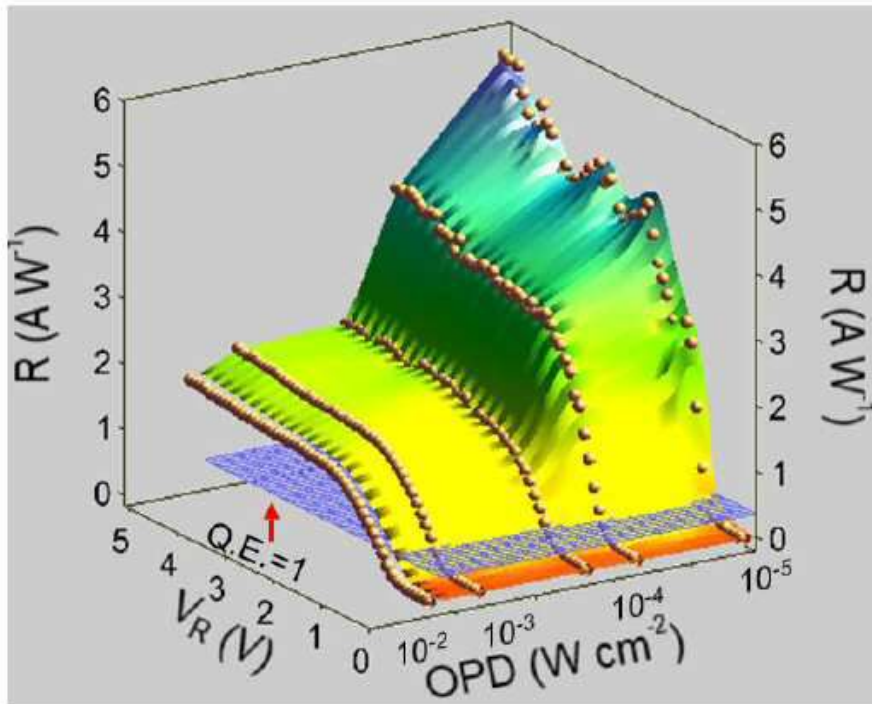
도면7b



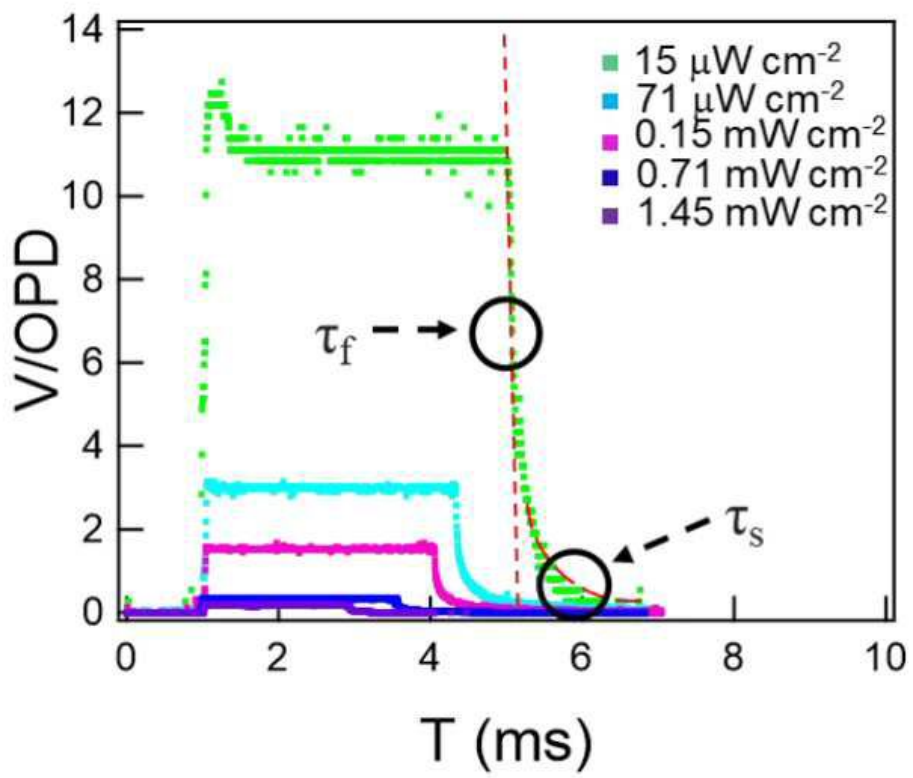
도면8



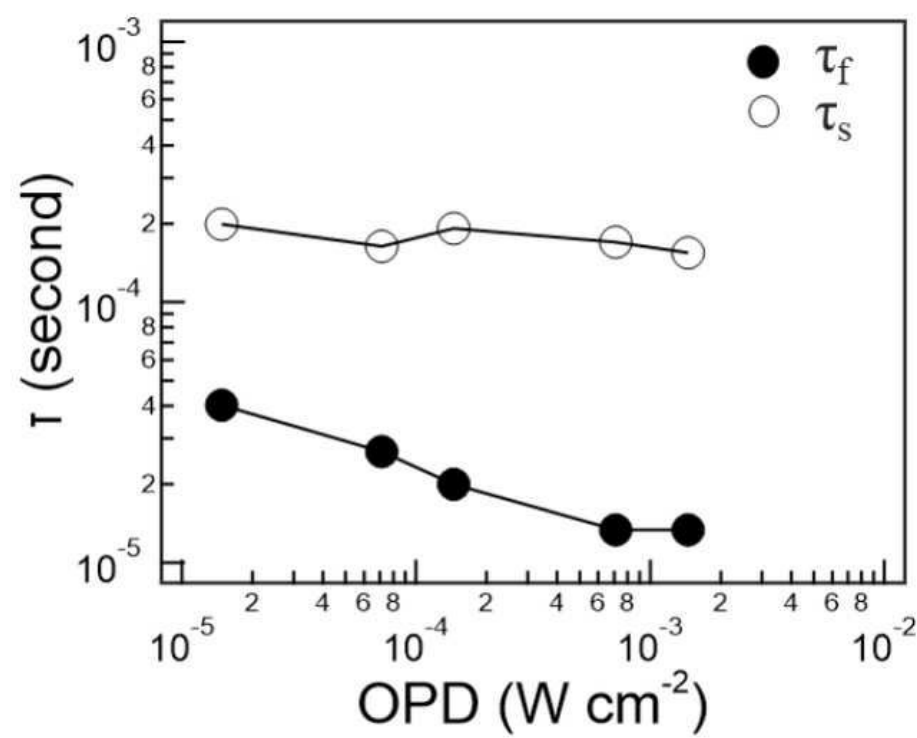
도면9



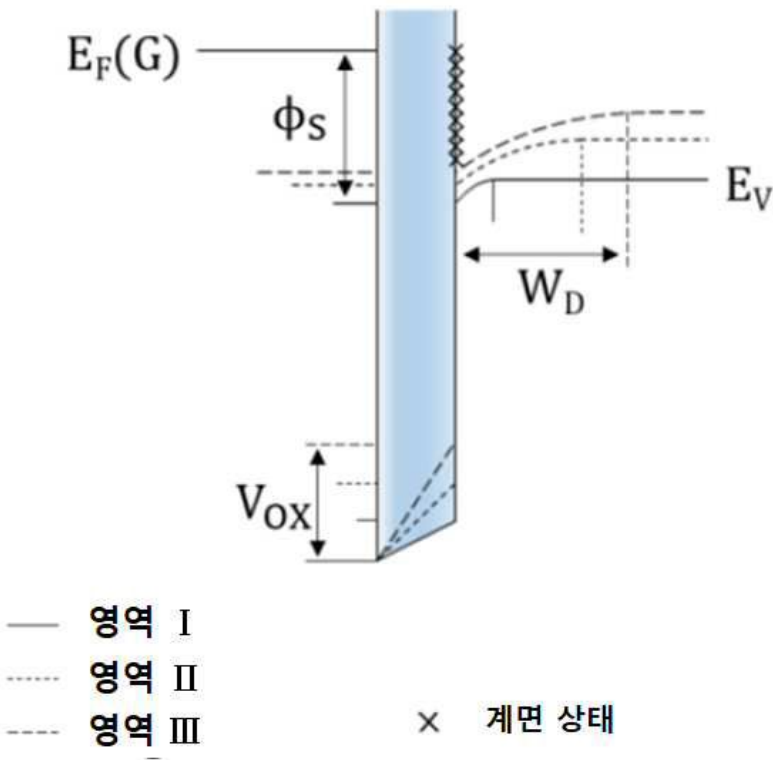
도면10a



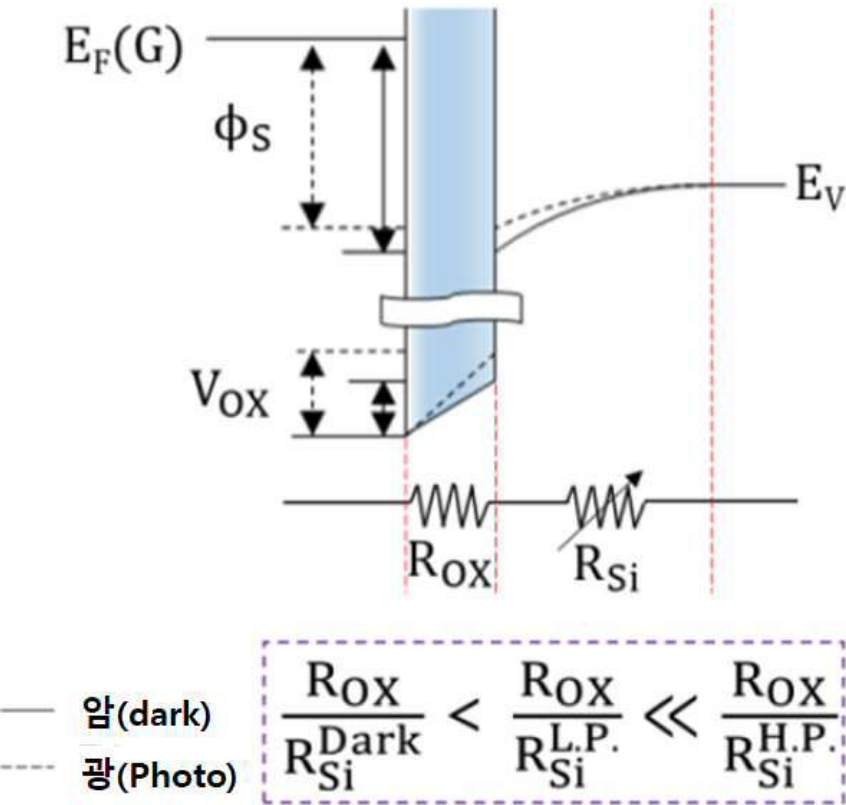
도면10b



도면11a



도면11b



도면11c

