

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成19年1月11日(2007.1.11)

【公開番号】特開2004-187285(P2004-187285A)

【公開日】平成16年7月2日(2004.7.2)

【年通号数】公開・登録公報2004-025

【出願番号】特願2003-386060(P2003-386060)

【国際特許分類】

H 03 K 17/30 (2006.01)

H 03 K 19/096 (2006.01)

H 03 K 19/0185 (2006.01)

【F I】

H 03 K 17/30 K

H 03 K 19/096 B

H 03 K 19/00 101D

【手続補正書】

【提出日】平成18年11月17日(2006.11.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

補正手段と論理回路とを有する半導体装置であって、

前記補正手段は容量素子、第1のスイッチ及び第2のスイッチを有し、

前記容量素子の第1の電極は入力端子に電気的に接続されており、

前記容量素子の第2の電極は、前記論理回路が有するトランジスタのゲートに電気的に接続されており、

前記第1のスイッチは前記トランジスタのゲートとドレインの電気的な接続を制御しており、

前記第2のスイッチは、前記トランジスタのドレインに与えられる電位を制御していることを特徴とする半導体装置。

【請求項2】

補正手段と論理回路とを有する半導体装置であって、

前記補正手段は容量素子と、第1乃至第4のスイッチとを有し、

前記第3のスイッチによって、入力信号の電位の、前記容量素子の第1の電極への供給が制御されており、

前記第4のスイッチによって、第1の電源電位の、前記容量素子の第1の電極への供給が制御されており、

前記容量素子の第2の電極は、前記論理回路が有するトランジスタのゲートに電気的に接続されており、

前記第1のスイッチは前記トランジスタのゲートとドレインの電気的な接続を制御しており、

前記第2のスイッチは、前記トランジスタのドレインに与えられる電位を制御していることを特徴とする半導体装置。

【請求項3】

請求項1または請求項2において、前記第2のスイッチは、前記トランジスタのドレイン

ンと出力端子との電気的な接続を制御していることを特徴とする半導体装置。

【請求項 4】

補正手段と論理回路とを有する半導体装置であって、  
前記補正手段は容量素子及びスイッチを有し、  
前記容量素子の第1の電極は入力端子に電気的に接続されており、  
前記容量素子の第2の電極は、前記論理回路が有する第1のトランジスタのゲートに電気的に接続されており、  
前記スイッチは前記第1のトランジスタのゲートとドレインの電気的な接続を制御しており、  
前記論理回路が有する第2のトランジスタは、前記第1のトランジスタのドレインに与えられる電位を制御していることを特徴とする半導体装置。

【請求項 5】

補正手段と論理回路とを有する半導体装置であって、  
前記補正手段は容量素子と、第1乃至第3のスイッチとを有し、  
前記第2のスイッチによって、入力信号の電位の、前記容量素子の第1の電極への供給が制御されており、  
前記第3のスイッチによって、第1の電源電位の、前記容量素子の第1の電極への供給が制御されており、  
前記容量素子の第2の電極は、前記論理回路が有する第1のトランジスタのゲートに電気的に接続されており、  
前記第1のスイッチは前記第1のトランジスタのゲートとドレインの電気的な接続を制御しており、  
前記論理回路が有する第2のトランジスタは、前記第1のトランジスタのドレインに与えられる電位を制御していることを特徴とする半導体装置。

【請求項 6】

請求項4または請求項5において、前記第2のトランジスタは、前記第1のトランジスタのドレインと出力端子との電気的な接続を制御していることを特徴とする半導体装置。

【請求項 7】

容量素子の第1の電極に入力信号の高電位側または低電位側のいずれか一方の電位を供給し、ゲートが前記容量素子の第2の電極に電気的に接続され前記ゲートとドレインが電気的に接続されたトランジスタのソースに第1の電源電位を供給し、なおかつスイッチをオンにすることで前記トランジスタのドレインに第2の電源電位を供給し、

前記スイッチをオフして前記容量素子に蓄積された電荷を放電し、  
前記トランジスタのゲートとドレインを電気的に切り離し、  
前記第1の電極に入力信号の高電位側または低電位側の電位を供給することを特徴とする半導体装置の駆動方法。

【請求項 8】

請求項7において、  
前記トランジスタの極性がpチャネル型のとき、  
前記入力信号の高電位側の電位を前記第1の電極に供給することで前記容量素子に電荷を蓄積し、  
前記第2の電源電位よりも前記入力信号の高電位側の電位の方が高く、  
前記入力信号の高電位側の電位よりも前記第1の電源電位の方が高いことを特徴とする半導体装置の駆動方法。

【請求項 9】

請求項7において、  
前記トランジスタの極性がnチャネル型のとき、  
前記入力信号の低電位側の電位を前記第1の電極に供給することで前記容量素子に電荷を蓄積し、  
前記第1の電源電位よりも前記入力信号の低電位側の電位の方が高く、

前記入力信号の低電位側の電位よりも前記第2の電源電位の方が高いことを特徴とする半導体装置の駆動方法。

【請求項10】

請求項7乃至9のいずれか一において、

前記トランジスタのゲートとドレインを電気的に切り離すことで、前記容量素子に前記トランジスタの閾値電圧を保持させることを特徴とする半導体装置の駆動方法。

【請求項11】

第1のスイッチをオンにすることで容量素子の第1の電極に第1の電源電位を供給し、ゲートが前記容量素子の第2の電極に電気的に接続され前記ゲートとドレインが電気的に接続されたトランジスタのソースに第2の電源電位を供給し、なおかつ第2のスイッチをオンにすることで前記トランジスタのドレインに第3の電源電位を供給し、

前記第2のスイッチをオフして前記容量素子に蓄積された電荷を放電し、

前記トランジスタのゲートとドレインを電気的に切り離し、

前記第1のスイッチをオフし、

前記第1の容量素子の第1の電極に入力信号の電位を供給することを特徴とする半導体装置の駆動方法。

【請求項12】

請求項11において、

前記トランジスタの極性はpチャネル型であり、

前記第3の電源電位よりも前記第1の電源電位の方が高く、

前記第1の電源電位よりも前記入力信号の高電位側の電位の方が高く、

前記入力信号の高電位側の電位よりも前記第2の電源電位の方が高いことを特徴とする半導体装置の駆動方法。

【請求項13】

請求項11において、

前記トランジスタの極性はnチャネル型であり、

前記第2の電源電位よりも前記入力信号の低電位側の電位の方が高く、

前記入力信号の低電位側の電位よりも前記第1の電源電位の方が高く、

前記第1の電源電位よりも前記第3の電源電位の方が高いことを特徴とする半導体装置の駆動方法。

【請求項14】

請求項11乃至13のいずれか一において、

前記トランジスタのゲートとドレインを電気的に切り離すことで、前記容量素子に前記トランジスタの閾値電圧を保持させることを特徴とする半導体装置の駆動方法。