

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 19 年 1 月 11 日 (2007.1.11)

【公開番号】特開 2004-187285 (P2004-187285A)
 【公開日】平成 16 年 7 月 2 日 (2004.7.2)
 【年通号数】公開・登録公報 2004-025
 【出願番号】特願 2003-386060 (P2003-386060)
 【国際特許分類】

H 0 3 K 17/30 (2006.01)

H 0 3 K 19/096 (2006.01)

H 0 3 K 19/0185 (2006.01)

【F I】

H 0 3 K 17/30 K

H 0 3 K 19/096 B

H 0 3 K 19/00 1 0 1 D

【手続補正書】
 【提出日】平成 18 年 11 月 17 日 (2006.11.17)
 【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

補正手段と論理回路とを有する半導体装置であって、
 前記補正手段は容量素子、第 1 のスイッチ及び第 2 のスイッチを有し、
 前記容量素子の第 1 の電極は入力端子に電氣的に接続されており、
 前記容量素子の第 2 の電極は、前記論理回路が有するトランジスタのゲートに電氣的に接続されており、
 前記第 1 のスイッチは前記トランジスタのゲートとドレインの電氣的な接続を制御しており、
 前記第 2 のスイッチは、前記トランジスタのドレインに与えられる電位を制御していることを特徴とする半導体装置。

【請求項 2】

補正手段と論理回路とを有する半導体装置であって、
 前記補正手段は容量素子と、第 1 乃至第 4 のスイッチとを有し、
 前記第 3 のスイッチによって、入力信号の電位の、前記容量素子の第 1 の電極への供給が制御されており、
 前記第 4 のスイッチによって、第 1 の電源電位の、前記容量素子の第 1 の電極への供給が制御されており、
 前記容量素子の第 2 の電極は、前記論理回路が有するトランジスタのゲートに電氣的に接続されており、
 前記第 1 のスイッチは前記トランジスタのゲートとドレインの電氣的な接続を制御しており、
 前記第 2 のスイッチは、前記トランジスタのドレインに与えられる電位を制御していることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、前記第 2 のスイッチは、前記トランジスタのドレイ

ンと出力端子との電氣的な接続を制御していることを特徴とする半導体装置。

【請求項 4】

補正手段と論理回路とを有する半導体装置であって、

前記補正手段は容量素子及びスイッチを有し、

前記容量素子の第 1 の電極は入力端子に電氣的に接続されており、

前記容量素子の第 2 の電極は、前記論理回路が有する第 1 のトランジスタのゲートに電氣的に接続されており、

前記スイッチは前記第 1 のトランジスタのゲートとドレインの電氣的な接続を制御しており、

前記論理回路が有する第 2 のトランジスタは、前記第 1 のトランジスタのドレインに与えられる電位を制御していることを特徴とする半導体装置。

【請求項 5】

補正手段と論理回路とを有する半導体装置であって、

前記補正手段は容量素子と、第 1 乃至第 3 のスイッチとを有し、

前記第 2 のスイッチによって、入力信号の電位の、前記容量素子の第 1 の電極への供給が制御されており、

前記第 3 のスイッチによって、第 1 の電源電位の、前記容量素子の第 1 の電極への供給が制御されており、

前記容量素子の第 2 の電極は、前記論理回路が有する第 1 のトランジスタのゲートに電氣的に接続されており、

前記第 1 のスイッチは前記第 1 のトランジスタのゲートとドレインの電氣的な接続を制御しており、

前記論理回路が有する第 2 のトランジスタは、前記第 1 のトランジスタのドレインに与えられる電位を制御していることを特徴とする半導体装置。

【請求項 6】

請求項 4 または請求項 5 において、前記第 2 のトランジスタは、前記第 1 のトランジスタのドレインと出力端子との電氣的な接続を制御していることを特徴とする半導体装置。

【請求項 7】

容量素子の第 1 の電極に入力信号の高電位側または低電位側のいずれか一方の電位を供給し、ゲートが前記容量素子の第 2 の電極に電氣的に接続され前記ゲートとドレインが電氣的に接続されたトランジスタのソースに第 1 の電源電位を供給し、なおかつスイッチをオンにすることで前記トランジスタのドレインに第 2 の電源電位を供給し、

前記スイッチをオフして前記容量素子に蓄積された電荷を放電し、

前記トランジスタのゲートとドレインを電氣的に切り離し、

前記第 1 の電極に入力信号の高電位側または低電位側の電位を供給することを特徴とする半導体装置の駆動方法。

【請求項 8】

請求項 7 において、

前記トランジスタの極性が p チャネル型のとき、

前記入力信号の高電位側の電位を前記第 1 の電極に供給することで前記容量素子に電荷を蓄積し、

前記第 2 の電源電位よりも前記入力信号の高電位側の電位の方が高く、

前記入力信号の高電位側の電位よりも前記第 1 の電源電位の方が高いことを特徴とする半導体装置の駆動方法。

【請求項 9】

請求項 7 において、

前記トランジスタの極性が n チャネル型のとき、

前記入力信号の低電位側の電位を前記第 1 の電極に供給することで前記容量素子に電荷を蓄積し、

前記第 1 の電源電位よりも前記入力信号の低電位側の電位の方が高く、

前記入力信号の低電位側の電位よりも前記第 2 の電源電位の方が高いことを特徴とする半導体装置の駆動方法。

【請求項 10】

請求項 7 乃至 9 のいずれかーにおいて、

前記トランジスタのゲートとドレインを電氣的に切り離すことで、前記容量素子に前記トランジスタの閾値電圧を保持させることを特徴とする半導体装置の駆動方法。

【請求項 11】

第 1 のスイッチをオンにすることで容量素子の第 1 の電極に第 1 の電源電位を供給し、ゲートが前記容量素子の第 2 の電極に電氣的に接続され前記ゲートとドレインが電氣的に接続されたトランジスタのソースに第 2 の電源電位を供給し、なおかつ第 2 のスイッチをオンにすることで前記トランジスタのドレインに第 3 の電源電位を供給し、

前記第 2 のスイッチをオフして前記容量素子に蓄積された電荷を放電し、

前記トランジスタのゲートとドレインを電氣的に切り離し、

前記第 1 のスイッチをオフし、

前記第 1 の容量素子の第 1 の電極に入力信号の電位を供給することを特徴とする半導体装置の駆動方法。

【請求項 12】

請求項 11 において、

前記トランジスタの極性は p チャンネル型であり、

前記第 3 の電源電位よりも前記第 1 の電源電位の方が高く、

前記第 1 の電源電位よりも前記入力信号の高電位側の電位の方が高く、

前記入力信号の高電位側の電位よりも前記第 2 の電源電位の方が高いことを特徴とする半導体装置の駆動方法。

【請求項 13】

請求項 11 において、

前記トランジスタの極性は n チャンネル型であり、

前記第 2 の電源電位よりも前記入力信号の低電位側の電位の方が高く、

前記入力信号の低電位側の電位よりも前記第 1 の電源電位の方が高く、

前記第 1 の電源電位よりも前記第 3 の電源電位の方が高いことを特徴とする半導体装置の駆動方法。

【請求項 14】

請求項 11 乃至 13 のいずれかーにおいて、

前記トランジスタのゲートとドレインを電氣的に切り離すことで、前記容量素子に前記トランジスタの閾値電圧を保持させることを特徴とする半導体装置の駆動方法。