(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3539757号
(P3539757)
(45)発行日　平成16年7月7日(2004.7.7)　(24)登録日　平成16年4月2日(2004.4.2)

(51)Int.Cl.[7]	F I		
H03K 17/567	H03K	17/56	E
H03K 17/00	H03K	17/00	J
H03K 17/16	H03K	17/16	F
H03K 19/08	H03K	19/08	A

請求項の数 8　(全 12 頁)

(21)出願番号　特願平6-80506
(22)出願日　平成6年4月19日(1994.4.19)
(65)公開番号　特開平6-326582
(43)公開日　平成6年11月25日(1994.11.25)
審査請求日　平成13年4月16日(2001.4.16)
(31)優先権主張番号　08/049741
(32)優先日　平成5年4月19日(1993.4.19)
(33)優先権主張国　米国(US)

(73)特許権者　590000248
コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ
Ｋｏｎｉｎｋｌｉｊｋｅ　Ｐｈｉｌｉｐｓ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｎ．Ｖ．
オランダ国　５６２１　ベーアー　アインドーフェン　フルーネヴァウツウェッハ　１
Ｇｒｏｅｎｅｗｏｕｄｓｅｗｅｇ　１，５６２１　ＢＡ　Ｅｉｎｄｈｏｖｅｎ，Ｔｈｅ　Ｎｅｔｈｅｒｌａｎｄｓ
(74)代理人　100072051
弁理士　杉村　興作
(74)代理人　100065363
弁理士　佐藤　安徳

最終頁に続く

(54)【発明の名称】ＢｉＣＭＯＳ駆動回路を有する電子回路

(57)【特許請求の範囲】

【請求項１】

ＣＭＯＳ入力装置と、このＣＭＯＳ入力装置によって制御されるとともに駆動回路出力部に接続されたバイポーラ出力装置とを有し、直流電源電圧を供給する直流電源接続点と基準電圧を供給する基準電圧接続点との間に配置され、前記駆動回路出力部を前記基準電圧以上のバイポーラコレクターエミッタ飽和電圧降下 で十分に降下させるように、前記直流電源接続点から前記バイポーラ出力装置の制御電極への電流経路を形成する手段を更に具えるＢｉＣＭＯＳ駆動回路を有する電子回路において、前記出力部におけるほぼ全体のハイ－ロー遷移に亘って前記バイポーラ出力装置をターンオフさせる手段を更に具えることを特徴とするＢｉＣＭＯＳ駆動回路を有する電子回路。

【請求項２】

前記ターンオフさせる手段は、前記ＣＭＯＳ入力装置の電源入力部と前記直流電源接続点との間にスイッチを具え、このスイッチを前記駆動回路出力部によって制御することを特徴とする請求項１記載のＢｉＣＭＯＳ駆動回路を有する電子回路。

【請求項３】

前記スイッチはＰＦＥＴ又はＮＦＥＴを具え、前記ターンオフさせる手段は、前記駆動回路出力部と前記ＰＦＥＴ又はＮＦＥＴのゲート電極とを結合するインバータ又は非反転回路を具えることを特徴とする請求項２記載のＢｉＣＭＯＳ駆動回路を有する電子回路。

【請求項４】

前記バイポーラ出力装置が深く飽和して駆動されるのを制約する手段を更に具えることを

特徴とする請求項１記載のＢｉＣＭＯＳ駆動回路を有する電子回路。
【請求項５】
前記バイポーラ出力装置は第１のバイポーラトランジスタを具え、このバイポーラトランジスタは、前記バイポーラ出力装置の制御電極を形成するとともに前記ＣＭＯＳ入力装置の出力部によって制御されるベースと、前記駆動回路出力部に接続されたコレクタと、前記基準電圧接続点に接続されたエミッタとを有し、前記電流経路を形成する手段は第２のバイポーラトランジスタを具え、この第２のバイポーラトランジスタは、前記ＣＭＯＳ入力装置の出力部に接続されたベースと、前記第１のバイポーラトランジスタのベースに接続されたエミッタと、前記バイポーラ出力装置が深く飽和して駆動されるのを防ぐために前記駆動出力部に接続したコレクタとを有することを特徴とする請求項４記載のＢｉＣＭＯＳ駆動回路を有する電子回路。
【請求項６】
前記バイポーラ出力装置は第１のバイポーラトランジスタを具え、このバイポーラトランジスタは、前記バイポーラ出力装置の制御電極を形成するとともに前記ＣＭＯＳ入力装置の出力部によって制御されるベースと、前記駆動回路出力部に接続されたコレクタと、前記基準電圧接続点に接続されたエミッタとを有し、前記電流経路を形成する手段は第２のバイポーラトランジスタを具え、この第２のバイポーラトランジスタは、前記ＣＭＯＳ入力装置の出力部に接続されたベースと、前記第１のバイポーラトランジスタのベースに接続されたエミッタと、前記直流電源接続点に結合されたコレクタとを有し、前記制約する手段は、前記第２バイポーラトランジスタのベースから前記駆動回路出力部に電流を供給するダイオード手段を具えることを特徴とする請求項４記載のＢｉＣＭＯＳ駆動回路を有する電子回路。
【請求項７】
前記ダイオード手段は、前記第２のバイポーラトランジスタのベースに接続されたアノードを有するＰＮダイオードと、このＰＮダイオードのカソードに接続されたアノード及び前記駆動回路出力部に接続されたカソードを有するショットキーダイオードを具えることを特徴とする請求項６記載のＢｉＣＭＯＳ駆動回路を有する電子回路。
【請求項８】
前記バイポーラ出力装置は第１のバイポーラトランジスタを具え、このバイポーラトランジスタは、前記バイポーラ出力装置の制御電極を形成するとともに前記ＣＭＯＳ入力装置の出力部によって制御されるベースと、前記駆動回路出力部に接続されたコレクタと、前記基準電圧接続点に接続されたエミッタとを有し、前記電流経路を形成する手段は第２のバイポーラトランジスタを具え、この第２のバイポーラトランジスタは、前記ＣＭＯＳ入力装置の出力部に接続されたベースと、前記第１のバイポーラトランジスタのベースに接続されたエミッタと、前記直流電源接続点に結合されたコレクタとを有し、前記第１及び第２のバイポーラトランジスタをショットキークランプトランジスタとすることを特徴とする請求項４記載のＢｉＣＭＯＳ駆動回路を有する電子回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、電界効果トランジスタとバイポーラトランジスタを組み合わせた回路に関するものであり、特に通常バスで他の回路に相互接続する論理回路のような回路に関するものである。更に詳しくは本発明は、ＣＭＯＳ入力回路と、このＣＭＯＳ入力回路によって制御されるとともに駆動回路出力部に接続されたバイポーラ出力回路とを有するＢｉＣＭＯＳ駆動回路を具える電子回路に関するものである。駆動回路は、直流電源電圧を供給する直流電源接続点と基準電圧を供給する基準電圧接続点との間に配置されている。
【０００２】
【従来の技術】
ＣＰＵやＰＣのようなより大きいシステム内のバスに相互接続する論理回路が広く知られている。システムの性能が増大するに従って、ＢｉＣＭＯＳとして一般に知られている相

補形ＭＯＳ（ＣＭＯＳ）とバイポーラトランジスタとを組み合わせたものを使用する傾向にある。ＢｉＣＭＯＳの重要な利点は高速で電力消費が少ないことである。一般的なＢｉＣＭＯＳ回路では、ＣＭＯＳ回路が入力部を形成し、バイポーラ回路が出力部を形成する。Philips Components-Signeticsから市販のこのようなデバイスの種類は、ABT Advanced BiCMOS Interface Logic として既知である。この種のデバイスは全て一般に５Ｖの直流電源で動作する。通常、回路出力部は複数の他の回路が接続されている共通バスに直接又は間接に接続されており、入力はＣＰＵの一部すなわち周辺装置から取り出されている。重要な点は、動作中にバス電圧が通常５Ｖの電源と接地電圧のような基準電圧との間で振動し、これらの遷移はバスに接続されたインタフェース回路により信号として表される。

【０００３】

従来のゼロ安定出力ＢｉＣＭＯＳ駆動回路は、駆動回路出力部からプルダウンバイポーラトランジスタのベースに電流を流すことによってハイ－ロー遷移を発生する。この回路は、出力が接地電圧以上のバイポーラトランジスタのベース－エミッタ電圧降下V_{BE}付近になるとプルダウントランジスタがターンオフを開始するので、自動的なゼロ安定出力である。しかし、バイポーラ回路はグランド電圧を出力することができない。一般に、出力をほぼグランドに等しくするためにＮＭＯＳ回路を追加する。しかしながら、相当広い表面積を占める非常に大きなＮＭＯＳ回路を用いない場合ハイ－ロー遷移に対する残存電圧をほぼゼロにするためには、負荷に応じて比較的長時間を要する。このことは多くの用途に対して不所望である。

【０００４】

望ましいバス駆動回路の二つの特性は入射波スイッチング(Incident Wave Switching) とグリッチ抑制(Glitch Suppresion) である。入射波スイッチングは伝送ラインの特性である。伝送ラインの一方の側の論理レベルが切り替えられると、全電荷の一部に等しい電気波形がラインに送りだされる。その後ラインは新たな状態となる。入射波スイッチングは、ラインに送りだされた最初のすなわち入射電気波形で有効な論理レベルが到達することを意味し、これによりバスの使用者は時間を節約する。

【０００５】

グリッチ抑制はバス上の論理レベルの完全な状態を維持するバス駆動回路の能力である。このことはバス上のノイズが駆動回路の動作を混乱させるおそれがあるので望ましい。既知の駆動回路では、大きなバス電流を迅速に接地電流まで放出することにより入射波スイッチングができるようにしている。

【０００６】

【発明が解決しようとする課題】

しかしながら既知の回路には、一定の負荷状態の下では回路が非常に迅速に応答するので出力から大電流を放出させることができないという問題がある。この不所望な結果によりリンギングすなわちノイズが発生し、このために駆動回路の適切な動作が妨害されるおそれがある。さらに従来の回路では低出力電圧では電流を大きく放出させることができない。

【０００７】

本発明の目的は改善された出力駆動回路を提供することである。本発明の他の目的は、十分迅速に出力を論理ローレベルに降下させることができるＢｉＣＭＯＳ出力駆動回路を提供することである。

【０００８】

【課題を解決するための手段】

このために本発明のＢｉＣＭＯＳ駆動回路を有する電子回路は、前記駆動回路は、前記直流電源接続点から前記バイポーラ出力回路の制御電極への電流経路を形成する手段を具え、前記駆動回路出力部を前記基準電圧以上のバイポーラコレクター－エミッタ飽和電圧降下V_{SAT}で十分に降下させるように構成したことを特徴とするものである。アクティブな制御により、電流をバイポーラ出力回路に供給し、バイポーラ出力駆動回路を電流降下が生ずるように導通させる。

【０００９】
例えば、前記バイポーラ出力回路は第１のバイポーラトランジスタを具え、このバイポーラトランジスタは、前記バイポーラ出力回路の制御電極を形成するとともに前記ＣＭＯＳ入力回路の出力部によって制御されるベースと、前記駆動回路出力部に接続されたコレクタと、前記基準電圧接続点に接続されたエミッタとを有する。前記電流経路を形成する手段は第２のバイポーラトランジスタを具え、この第２のバイポーラトランジスタは、前記ＣＭＯＳ入力回路の出力部に接続されたベースと、前記第１のバイポーラトランジスタのベースに接続されたエミッタとを有する。第１及び第２のバイポーラトランジスタは実際にはダーリントン対を形成することができる。
【００１０】
好適例ではゼロ安定出力を達成するために、ＢｉＣＭＯＳ駆動回路を有する電子回路は、前記出力部におけるほぼ全体のハイ－ロー遷移に亘って前記バイポーラ出力回路部をターンオフさせる手段を更に具える。前記ターンオフさせる手段は、前記ＣＭＯＳ入力回路の電源入力部と前記直流電源接続点との間にスイッチを具えてもよく、このスイッチを前記駆動回路出力部によって制御する。
【００１１】
ＢｉＣＭＯＳ駆動回路を有する電子回路は好ましくは、前記バイポーラ出力回路部が深く飽和して駆動されるのを防ぐために動作する。このことは例えば、駆動回路出力部に接続された第２のバイポーラトランジスタのコレクタによって行われる。駆動回路出力部における出力電圧が低下すると、第１のバイポーラトランジスタに流される電流も同様に減少する。代わりに、第２のバイポーラトランジスタが電源接続点に結合されたコレクタを有する場合及び回路が第２のバイポーラトランジスタのベースから駆動回路出力部に電流を供給するダイオード手段を具える場合にも深い飽和を防ぐことができる。一旦出力電圧が所定のレベル以下に降下すると、ダイオード手段は第２のバイポーラトランジスタのベースから電流を取り出す。
【００１２】
ダイオード手段は、出力電圧が所定のレベル以上に増大するとターンオフされるのでグリッチを抑制する。
【００１３】
したがって本発明の回路は、ローノイズのＢｉＣＭＯＳバスインターフェース回路として用いられる場合特に有利である。この回路は、グリッチを抑制するとともに駆動回路の入射波スイッチングを行う大きい電流降下の能力を有するローノイズのＢｉＣＭＯＳ駆動回路となる。電圧接続点又は駆動回路出力部をモニタするとともに、電流を迅速に（著しいリンギングが発生するほど迅速でなく）取り出すことによって出力部における論理ローレベルを維持するのに必要な電流を降下することにより、リンギングを十分防止することができる。本発明の特徴によれば、プルダウン回路を制御する出力部からの帰還を用いる。これらの特徴は主に以下の点で異なる。第１の特徴によれば、回路が出力回路を降下させるように動作し、その後電力を最小にするためにターンオフする。第２の特徴によれば、回路は十分なハイ－ロー遷移が起こるまでターンオンせず、その後ターンオンして電圧を低く保持する。これらの特徴を別個に用いても一緒に用いてもよく、一緒に用いる場合第１の回路が出力を電圧降下させた後第２の回路は出力をロー状態に維持するように作用する。
【００１４】
【実施例】
本発明の実施例を説明する前に従来のＢｉＣＭＯＳプルダウン回路について説明する。
図１に示す従来のＢｉＣＭＯＳプルダウン回路はＰＦＥＴ　Ｍ１及びＮＦＥＴＭ２を具え、これらＰＦＥＴ　Ｍ１及びＮＦＥＴ　Ｍ２のゲートを入力部ＩＮに並列接続する。これらＰＦＥＴ　Ｍ１及びＮＦＥＴ　Ｍ２の共通ドレイン－ソース接続点をＮ形バイポーラトランジスタＱ１のベースに接続し、このバイポーラトランジスタＱ１のコレクタを出力部ＯＵＴに接続し、この出力部ＯＵＴには、他のインターフェース回路が同様に接続された

バス（図示せず）又は別の回路段に直接又は間接に接続する。駆動直流電源も図示しない。

【００１５】

図１に示すＢｉＣＭＯＳプルダウン回路は、ハイ－ロー遷移を発生するために入力信号に応答して出力部ＯＵＴからバイポーラトランジスタＱ１のベースまでの電流チャネルを形成する。その結果バイポーラトランジスタＱ１は、駆動回路の出力部ＯＵＴがグランド電圧以上のバイポーラトランジスタのベース－エミッタ電圧降下V_{BE}（通常０．７Ｖ）以下の電圧となると遮断する。通常小型のＮＦＥＴ（図示せず）を、従来のＢｉＣＭＯＳプルダウン回路に並列に用い、出力を僅かに変更させて残存する電圧をほぼグランド電圧と等しくする。一般に、この回路構成により約１Ｖの急な遷移降下が発生し、その後の遷移が出力負荷に依存して飛躍的に遅くなるおそれがある。このためにゆるやかな伝搬遅延が生じ、かつ、次の回路段に迅速に切り替えない場合でも次の回路段でリーク電流が発生するおそれがある。

【００１６】

図２は、本発明による十分に給電されたゼロ安定出力プルダウン駆動回路の一形態を示す。この回路はハイ－ロー遷移に亘って安定したプルダウン電流を供給することによって従来の回路を改善したものである。ハイ－ロー遷移は直流電源V_{CC}からバイポーラトランジスタＱ２のベースへの電流チャネルを形成することにより行われ、この結果出力をバイポーラ電圧降下V_{SAT}まで降下させることができ、このバイポーラ電圧降下V_{SAT}は、グランド電圧以上で飽和コレクター－エミッタ電圧（通常０．２Ｖ）である。図２の駆動回路は、ゼロ安定出力を維持する十分なハイ－ロー遷移の後にプルダウン回路をターンオフするために、２０で示された出力部ＯＵＴからのフィードバックを用いている。このフィードバックはＰＦＥＴ　Ｍ１及びＮＦＥＴ　Ｍ２に直列なＰＦＥＴ　Ｍ３によって得られ、ＰＦＥＴ　Ｍ３のゲートをインバータＵ１を介して出力部ＯＵＴに接続する。動作に際して、ハイ－ロー遷移の生ずる前で、回路の入力部ＩＮ及び出力部ＯＵＴは共にハイである。この状態ではバイポーラトランジスタＱ１及びＱ２並びにＦＥＴ　Ｍ１はオフであり、かつ、（バイポーラトランジスタＱ２のベースから電荷を取り出すように作用する）ＦＥＴ　Ｍ２，Ｍ３及びＭ４はオンである。入力部ＩＮがローになると、ＦＥＴ　Ｍ２及びＭ４がターンオフし、かつ、ＦＥＴ　Ｍ１がターンオンする。また、バイポーラトランジスタＱ１及びＱ２によって形成されたダーリントンをターンオンにする。バイポーラトランジスタＱ２がインバータＵ１の閾値以下で出力を取り出すと、インバータＵ１はＰＦＥＴ　Ｍ３をターンオフに切り替えて回路をゼロ安定出力状態にする。インバータＵ１の伝搬遅延及びバイポーラトランジスタＱ１及びＱ２のベースに蓄えられた電荷のために、出力はグランド電圧のV_{SAT}まで降下する。

【００１７】

ダーリントンの構成は二つの理由から重要である。第１に、バイポーラトランジスタＱ１が非常に小型のデバイスであるにもかかわらず大型のバイポーラトランジスタＱ２を駆動することができるので、バイポーラトランジスタＱ１は低いベースキャパシタンスを有し、小型のＰＦＥＴ　Ｍ１によってでさえ迅速にターンオンすることができる。第２に、バイポーラトランジスタＱ１はバイポーラトランジスタＱ２のベースを「オーバーチャージ」する。したがってバイポーラトランジスタＱ２のベースに残存する電荷により、ＰＦＥＴ　Ｍ３がターンオフした後でさえ出力はV_{SAT}まで降下させることができる。

【００１８】

しかしながら図２の回路は深い飽和状態でバイポーラトランジスタＱ２を駆動するおそれがある。このために回路の再起動が遅くなりすなわち回路の遮断時間が低速となるおそれがあり、その結果最高動作周波数が低下する。

【００１９】

トランジスタを深い飽和から防ぐ本発明の他の特徴によれば、二つの簡便な方法がある。第１の方法を図３に示す。図３においてバイポーラトランジスタＱ１のコレクタを直流電源V_{CC}ではなく出力部ＯＵＴに結合する。出力電圧が低下すると、バイポーラトランジス

タＱ１からバイポーラトランジスタＱ２に供給される電流（したがってバイポーラトランジスタＱ２が飽和するおそれ）も減少する。しかしながら一般に、バイポーラトランジスタＱ２は出力をバイポーラ電圧降下V_{SAT}まで降下する必要がある。

【００２０】

トランジスタを深い飽和から防ぐ第２の方法を図４に示す。ＰＮ接合ダイオードＤ１及びショットキーダイオードＤ２は、一旦出力電圧が約０．２Ｖ以下に降下するとバイポーラトランジスタＱ１のベースから電流を取り出す手段を構成する。これによりバイポーラトランジスタＱ１を遮断するとともにバイポーラトランジスタＱ２を飽和から防止する。この動作については、図６の説明に関連して後に別に説明する。

【００２１】

図５に示す回路も本発明の変形例であるが、この回路はダーリントン形態の利点を有さない。この回路は利得を更に大きくすることなく、また、出力からのフィードバック２０により遮断される前に出力を降下することができる保証がない。

【００２２】

図４も回路の変形例の一つを示す。Ｐチャネル／インバータ結合の代わりにＮＦＥＴ　Ｍ３′を帰還回路２０′中に用いているので、インバータ段が変換する際の遅延が発生することなくＮＦＥＴ　Ｍ３（図２，図３）が迅速にターンオフする点を除いて、同一の機能を有する。

【００２３】

他の変形例は以下のものである。

（１）Ｑ１及びＱ２としてショットキークランプトランジスタを使用する。このために、動作周波数を増加する飽和状態においてトランジスタが動作するのを防ぐ。

（２）Ｍ３を駆動する切替段を更に追加する。このような構成により、回路の遮断遅延が増加する。

【００２４】

上述した回路には、出力から、ＣＭＯＳ入力部に接続されたＦＥＴスイッチへのフィードバックが設けられている。このＦＥＴスイッチは直流電源V_{CC}から電流チャネルを形成し、バイポーラトランジスタをターンオンさせて出力電圧をグランド以上の電圧降下V_{SAT}まで降下させ、電力消費が最小となるようにＦＥＴスイッチをターンオンさせる。

【００２５】

次の一連の実施例において、同様の回路配置は別の機能を有する。

図６は、本発明の電流放出要求出力駆動回路の回路配置の一形態を示す。この回路は、ＰＦＥＴ　Ｍ１及びＮＦＥＴ　Ｍ２を有するＣＭＯＳ入力のＢｉＣＭＯＳ配置を具え、ＰＦＥＴ　Ｍ１のソース－ドレイン電極及びＮＦＥＴ　Ｍ２のソース－ドレイン電極を直流電源V_{CC}と接地点との間で直列接続する。ＩＮで表された入力信号をＣＭＯＳゲートに並列に供給する。ＣＭＯＳ出力をＮＰＮバイポーラトランジスタＱ１のベース電極に接続し、ＮＰＮバイポーラトランジスタＱ１のコレクタを直流電源V_{CC}に接続し、このエミッタをＮＦＥＴ　Ｍ４を介して接地する。ＮＦＥＴ　Ｍ４のゲートも入力信号ＩＮによって駆動される。ＮＰＮバイポーラトランジスタＱ１のエミッタを第２のＮＰＮバイポーラトランジスタＱ２のベースにも接続し、ＮＰＮバイポーラトランジスタＱ２のエミッタを接地し、ＮＰＮバイポーラトランジスタＱ２のコレクタを出力部ＯＵＴに接続する。出力部ＯＵＴとＮＰＮバイポーラトランジスタＱ１との間に２個の直列接続されたダイオードＤ１及びＤ２を接続する。第１のダイオードＤ１をＰＮ接合ダイオードとし、第２のダイオードＤ２をショットキーダイオードとする。両方のダイオードは負端子を出力部ＯＵＴに接続する。

【００２６】

この回路の通常の動作中には入力部ＩＮを論理ローレベルで駆動し、ＮＰＮバイポーラトランジスタＱ１及びＱ２のベースがＰＦＥＴ　Ｍ１を介して充電されるようにする。出力電圧ＯＵＴが０．２Ｖ以上の場合（$V_{D1}+V_{D2}+V_{OUTPUT}>V_{BE1}+V_{BE2}$）、これらのダイオードＤ１及びＤ２が有効にオフとなり、かつ、トランジスタＱ１及びＱ２はオンの

ままである。出力電圧が０．２Ｖ以下に降下した場合（$V_{BE1}+V_{BE2}>V_{D1}+V_{D2}+V_{OUTPUT}$）、ダイオードＤ１及びＤ２は順方向にバイアスされはじめ、バイポーラトランジスタＱ１のベースから電流が取り出される。バイポーラトランジスタＱ１のベース電圧が約１．２Ｖ（$V_{D1}+V_{D2}$）に低下するので、バイポーラトランジスタＱ１はもはやトランジスタＱ２のベースに電流を供給せず、したがってトランジスタＱ２を有効に動作しないようにする。これらのトランジスタは出力電圧が０．２Ｖ以上に固定されるまでオフのままである。

【００２７】

図６に示す回路では、大きなバス電流を迅速にグランドに流すことにより入力波スイッチングが可能になる。電流放出を、種々の負荷に対して０．８Ｖの伝送線間電位（有効な論理ローレベル）に降下するような大きさにすることができる。この回路はグリッチを抑制するように作用する。その理由は、０．２Ｖ以上のバス電圧でダイオードをオフにし、トランジスタＱ１及びＱ２を再び起動させ、これにより従来の回路より大きい利得でバス電圧を降下させるからである。ＦＥＴ　Ｍ１の抵抗が高い間は、電流放出を行うのに必要な静電流放出は少ないままである。図示した回路をバス３０に接続する。このバス３０に他の駆動回路３１，３２を接続することもできる。

【００２８】

図６に示す基本回路は一つの不都合を有する。入力を論理ローレベルで駆動すると回路が瞬時的に動作し、出力部から大きな電流放出が急速に発生する。その結果リンギングすなわちノイズが接地電位付近で発生する。このことはリンギングが止まるまでバス電圧が変動し、その結果バスの安定化に要する時間が増加するので好ましくない。

【００２９】

図７は、本発明のリンギングを軽減又は除去するために変形した回路を示す。このように改善された回路では、４０を付した帰還回路を４１で示した元の電流放出回路に並列に付加する。帰還回路４０は、出力部ＯＵＴとＰＦＥＴ　Ｍ３のゲートとの間に接続された直列接続した２個のインバータＵ１，Ｕ２を具え、ＰＦＥＴ　Ｍ３のソース－ドレイン間経路をＦＥＴ　Ｍ１及びＭ２のソース－ドレインに直列接続する。

【００３０】

プルダウン回路５０を、最初に出力電圧を降下させるために用いる。しかしながら、回路５０は通常低電圧ではほとんど又は全く電流放出することができない。インバータＵ１及びＵ２は、出力電圧がインバータＵ２の閾値電圧V_{TH}以下に降下するまで大電流放出回路４１をオフに維持する。インバータＵ２の論理レベルがハイに変わり、かつ、インバータＵ１の論理レベルがローに変わるとＰＦＥＴ　Ｍ３が動作し、次に回路４１が動作する。プルダウン回路５０と電流放出回路４１との間の切替によりバス電流を迅速だが緩やかに放出し、その結果ノイズが非常に小さくなり、かつ、リンギングがほとんど発生しない。プルダウン回路５０を図２～５の回路の一つとすることができる。

【００３１】

上述したすべての回路をＩＣとして実現することができ、追加の素子及び帰還回路を追加することによる余分なコストは殆どかからない。

図７の電流放出要求出力駆動回路を二通りに変形できる。

（１）ショットキークランプトランジスタＱ１及びＱ２を用いる。これによりトランジスタＱ１及びＱ２が飽和しないようになり、したがって動作周波数が増加する。この方法の不都合な点はトランジスタＱ１及びＱ２のベースに余分なキャパシタンスが存在することであり、このためにターンオンする時間が遅くなる。

（２）回路の遮断閾値を調節するためにダイオードの他の組み合わせを用いる。実際の遮断閾値を変更するためにあらゆる個数のあらゆるダイオードを用いることができる。用いられるダイオードはチェナーダイオード、ショットキーダイオード、ＰＮ接合ダイオード及びダイオード接続されたＭＯＳクランプダイオードを含むことができる。しかしながら、最適動作の閾値はトランジスタＱ１及びＱ２の電圧降下より僅かに低い。

【００３２】

図８は実用に好適なように変形した本発明のゼロ安定出力プルダウン駆動回路の他の形態を示す。この回路は図３に示す回路と同様のものであり、図３において同様の機能を有する回路素子には同一記号及び番号を付す。特別な場合には、回路は入力Ｄと、入力Ｅ′によってイネーブルされる特徴的なトライステートバス出力とを有する低電圧トランシーバの一部となる。図８のＰ１は図３のＭ３に対応する。図８のＮ１及びＮ２は図３のＭ２に対応する。ＮＯＲゲートはワンショット回路としてＰ６を操作する。入力Ｅ′がローで入力Ｄがハイの場合、ＮＯＲゲートはＰ６をターンオンする。入力Ｄがローとなり、Ｐ３及びＰ４をターンオンすると、ＮＯＲゲートがＰ６をターンオフする前にＰ６は余分の小さい電流スパイクが発生する。

【００３３】

図８のＮ３及びＮ４は図３のＭ４に対応する。

ショットキーダイオードＳ１は図４のダイオードＤ１及びＤ２に対応するが、より低い電圧降下を有する。

この回路の他の点は図３と同様の動作をする。

他の全ての回路のようにこの回路においては、ラインがＦＥＴのゲート又はバイポーラトランジスタのベースを貫通する場合を除いて交差するラインは交点において接続点を形成しない。

【００３４】

図９は、図８に関連して説明した同一のトランシーバ部分において実用に好適なように変形した本発明の回路を示し、図７に示す電流放出要求回路と機能的に同様である。同様の機能を有する素子に同一符号を付す。図９のＮ１，Ｎ２及びＮ３は図７のＭ２に相当し、図９のＰ１及びＰ２は図７のＭ１に相当し、図９のＰ３は図７のＭ３に相当し、図９のＮ３及びＮ４は図７のＭ４に相当し、ベースとコレクタが相互接続した図９のＱ３は図７のＤ１に相当する。抵抗５Ｋは図示した直列接続されたＦＥＴの動作電圧を低下させる。

【００３５】

図１０は、本発明のゼロ安定出力回路形態及び電流放出要求回路の形態を一つの回路に組み込んだ本発明の別の回路を示す。この回路の左側は図８の回路に対応し、この回路の右側は図９の回路に対応する。Ｑ１及びＱ１′は図８及び図９のＱ１にそれぞれ対応する。当業者は図１０の回路の動作を容易に理解することができ、ゼロ安定出力部が瞬時的に始動し、出力部ＯＵＴの電圧を急速に降下し、その後電力を保持するためにターンオフし、この状態で電流放出要求部が動作を引き継ぎ、電圧を穏やかにハイ－ロー遷移させてリンギングを防止し、バス電圧の変動にかかわらず電圧をロー状態に維持するようにしたことを指摘すれば詳細な説明は必要ない。その結果、ローノイズの良好な入射波スイッチング及び電流放出要求回路の動作に関連する少ない電力のグリッチ抑制が達成される。本発明のゼロ安定出力回路の機能及び電流放出要求回路の機能を個別に用いることも一緒に用いることもできることは明らかである。

【００３６】

本発明を好適実施例に関連して説明したが、上述した原理の範囲内での本発明の変形は当業者にとって明らかであり、したがって本発明は好適実施例に限定されるものではなく、このような変形も含む。

【００３７】

”ＣＭＯＳ”という用語は、入力信号を並列に供給する場合相補的に動作する相補導電形の電界効果トランジスタ（ＦＥＴ）を具えるあらゆる論理回路を表すのは明らかである。

【図面の簡単な説明】

【図１】従来のＢｉＣＭＯＳプルダウン駆動回路の概略構成図を示す。

【図２】本発明のゼロ安定出力プルダウン駆動回路の一形態の線図を示す。

【図３】図２に示す本発明の基本回路の変形回路を線図的に示す。

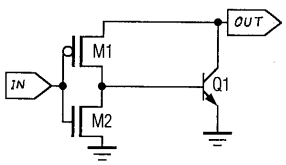
【図４】図２に示す本発明の基本回路の変形回路を線図的に示す。

【図５】図２に示す本発明の基本回路の変形回路を線図的に示す。

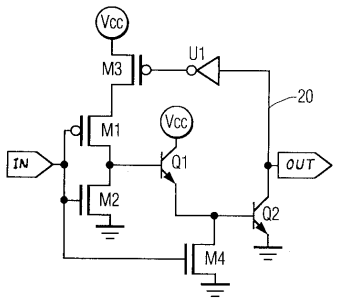
【図６】他の駆動回路とともに共通のバスに接続した本発明の電流放出要求出力駆動回路

の一形態を線図的に示す。
【図７】本発明の電流放出要求出力駆動回路の他の形態を線図的に示す。
【図８】本発明のゼロ安定出力駆動回路の他の形態を示す。
【図９】本発明の電流放出要求出力駆動回路の他の形態を示す。
【図１０】ゼロ安定出力回路の特徴及び電流放出要求回路の特徴を組み合わせた本発明の回路を示す。
【符号の説明】
５Ｋ，１０Ｋ　抵抗
２０，２０′，４０　帰還回路
３０　バス
３１，３２　駆動回路
４１　電流放出回路
５０　プルダウン回路
Ｄ，Ｅ′　入力
Ｄ１　ＰＮ接合ダイオード
Ｄ２，Ｓ１　ショットキーダイオード
Ｍ１，Ｍ２，Ｍ３，Ｍ３′，Ｍ４，Ｎ１，Ｎ２，Ｎ３，Ｎ４，Ｎ５，Ｎ６，Ｎ７Ｐ１，Ｐ２，Ｐ３，Ｐ４，Ｐ５，Ｐ６，Ｐ７，Ｐ８，Ｐ９　ＦＥＴ
Ｑ　出力
Ｑ１，Ｑ１′，Ｑ２，Ｑ３　バイポーラトランジスタ
Ｕ１，Ｕ２，Ｕ３　インバータ
V_{CC}　直流電源

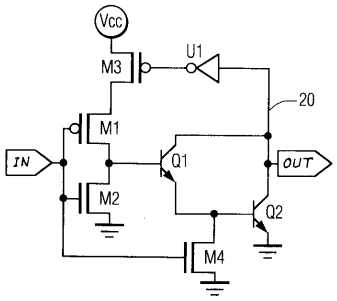
【図１】



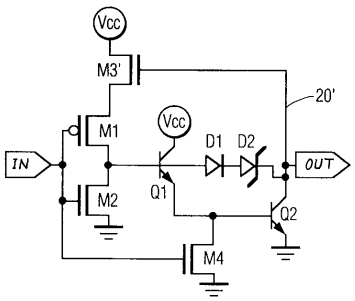
【図２】



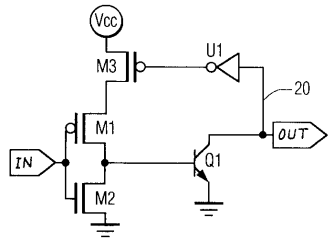
【図３】



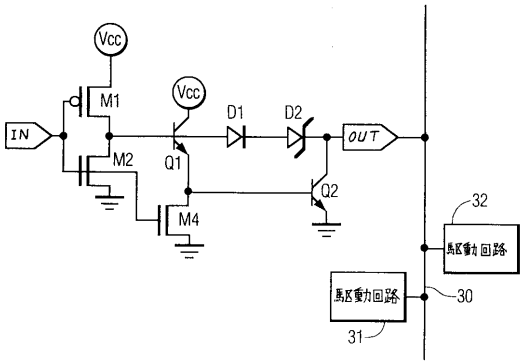
【図４】



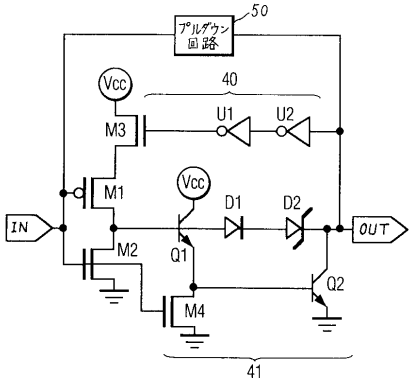
【図５】


Vcc
M3
U1
20
M1
OUT
IN
Q1
M2

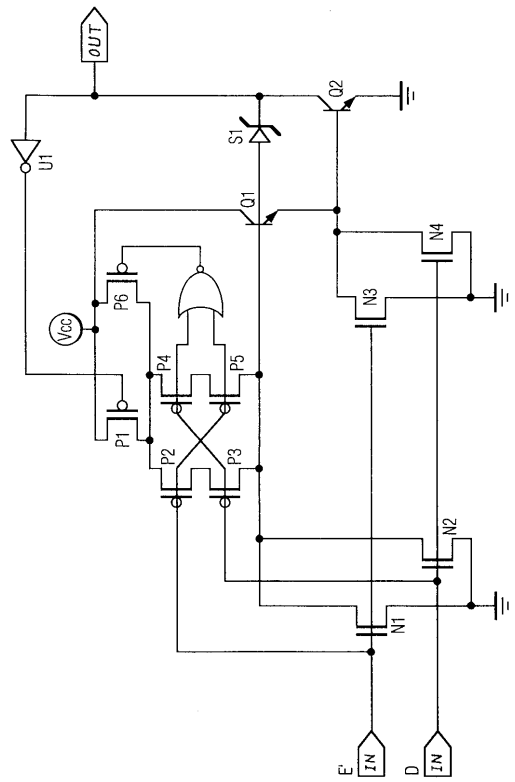
【図６】


Vcc
M1
Vcc
D1
D2
IN
OUT
M2
Q1
Q2
M4
32
駆動回路
駆動回路
30
31

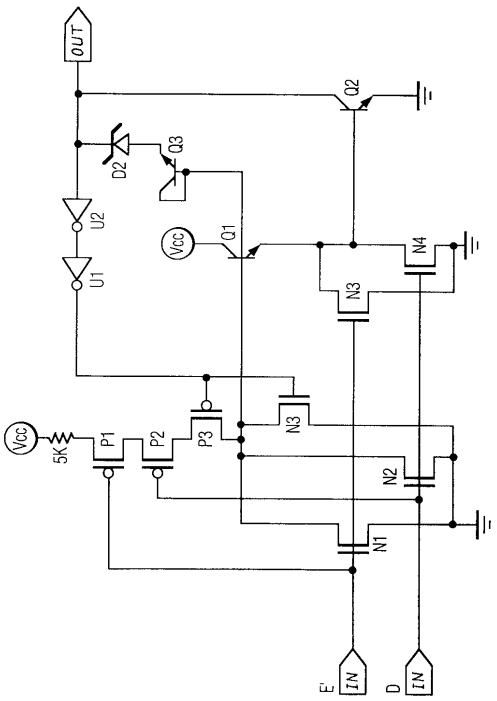
【図７】


プルダウン回路
50
Vcc
40
M3
U1
U2
M1
Vcc
D1
D2
IN
OUT
M2
Q1
Q2
M4
41

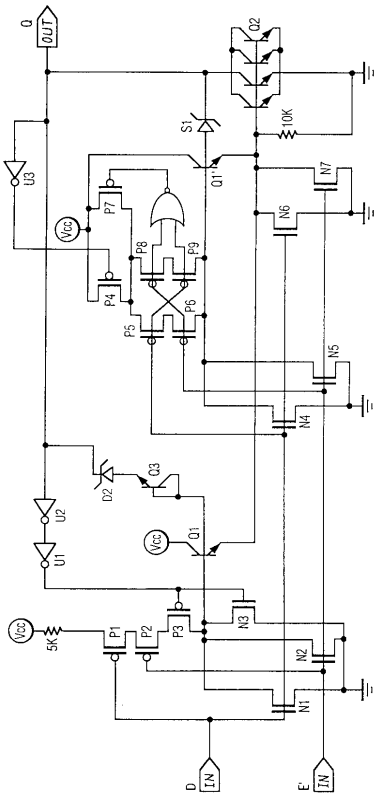
【図８】


OUT
U1
Q2
S1
Q1
N4
N3
Vcc
P6
P4
P5
P1
P2
P3
N2
N1
E'
IN
D
IN

【図９】


OUT
Q2
D2
Q3
U2
Vcc
Q1
N4
U1
N3
Vcc
5K
P1
P2
P3
N3
N2
N1
E'
IN
D
IN

【図１０】


0
OUT
Q2
S1
10K
U3
Q1
N7
P7
N6
Vcc
P8
P9
P4
P6
P5
N5
N4
D2
Q3
U2
Vcc
Q1
U1
Vcc
5K
P1
P2
P3
N3
N2
N1
D
IN1
E
IN1

フロントページの続き

(74)代理人 100089576
弁理士 冨田 典
(74)代理人 100073313
弁理士 梅本 政夫
(74)代理人 100081307
弁理士 仁平 孝
(72)発明者 ブライアン シー マーチン
アメリカ合衆国 ニューメキシコ州 ８７５４４ ロス アラモス グレンビュー ドライブ １０６

審査官 石井 研一

(56)参考文献 特開平０３－２３５４１６（ＪＰ，Ａ）
特開平０３－２１６０１７（ＪＰ，Ａ）
特開平０４－１０３２１７（ＪＰ，Ａ）
特開平０５－０１４１７６（ＪＰ，Ａ）
特開平０５－１１０４１８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 17/567
H03K 17/00
H03K 17/16
H03K 19/08