

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 12 月 27 日 (27.12.2007)

PCT

(10) 国際公開番号
WO 2007/148405 A1

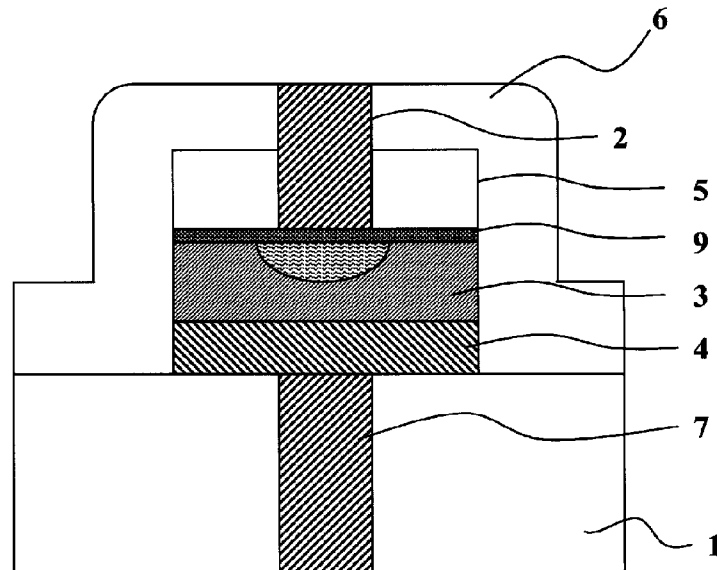
- (51) 国際特許分類:
H01L 27/105 (2006.01) H01L 45/00 (2006.01)
- (21) 国際出願番号: PCT/JP2006/312640
- (22) 国際出願日: 2006 年 6 月 23 日 (23.06.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 寺尾 元康 (TERAO, Motoyasu) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 松井 裕一 (MATSUI, Yuichi) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 古賀 剛 (KOGA, Tsuyoshi) [JP/JP]; 〒1006334 東

京都千代田区丸の内二丁目 4 番 1 号株式会社ルネサステクノロジ内 Tokyo (JP). 松崎 望 (MATSUZAKI, Nozomu) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 高浦 則克 (TAKAURA, Norikatsu) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 藤崎 芳久 (FUJISAKI, Yoshihisa) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 黒土 健三 (KUROTsuchi, Kenzo) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 森川 貴博 (MORIKAWA, Takahiro) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 笹子 佳孝 (SASAGO, Yoshitaka) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 牛山 純子 (USHIYAMA, Junko) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: In a phase change memory, an interfacial layer is inserted between a calcogenide material layer and a plug. Covering of the whole interface of plug electrode by the interfacial layer is avoided. Formation of the plug above the calcogenide layer realizes an integration increase. The interfacial layer is produced by sputtering with the use of either an oxide target or a metal target to thereby form a metal film and thereafter oxidizing the metal film in an oxidative atmosphere of oxygen radical, oxygen plasma, etc.

[続葉有]

WO 2007/148405 A1



地株式会社日立製作所 中央研究所内 Tokyo (JP). 廣
常 朱美 (HIROTSUNE, Akemi) [JP/JP]; 〒1858601 東
京都国分寺市東恋ヶ窪一丁目 2 8 0 番地株式会社日
立製作所 中央研究所内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1020076 東
京都千代田区五番町 1 4 番地 国際中正会館 6 階 筒
井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN,
HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ,
LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK,
MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY,

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約: 相変化メモリにおいて、界面層をカルコゲナイド材料層／プラグ間に挿入する。界面層はプラグ状電
極の界面全体を覆わないようにする。プラグはカルコゲナイド層より上部に形成すれば集積度が上がる。界面層
は、酸化物ターゲットを用いてスパッタリングするか、または金属ターゲットを用いてスパッタリングすることによ
って金属膜を形成した後、酸素ラジカルや酸素プラズマなどの酸化性雰囲気中で金属膜を酸化することによって
形成される。

明 細 書

半導体装置

技術分野

[0001] 本発明は、半導体装置に係り、特に、カルコゲナイドなどの相変化材料を用いて形成される相変化メモリセルを有する半導体装置に適用して有効な技術に関するものである。

背景技術

[0002] 携帯電話に代表されるモバイル機器には、DRAM、SRAM、FLASHメモリなどの半導体メモリが使われている。DRAMは大容量であるが、アクセス速度は低速である。一方、SRAMは高速であるが、1セル当たり4～6個と多くのトランジスタが必要なことから高集積化は困難であり、大容量メモリには不向きである。また、DRAMとSRAMはデータを保持するために常に通電している必要がある(揮発性)。一方、FLASHメモリは不揮発性であるため電氣的な記憶保持のための通電が不要であるが、書き換えや消去回数が 10^5 回程度と有限であることと、書き換えが他のメモリと比較して数桁遅いことが欠点である。このように、それぞれのメモリは利点と欠点を有しており、現状では、その特徴に応じて使い分けられている。

[0003] DRAM、SRAM、FLASHメモリのそれぞれの利点を併せ持つユニバーサルメモリが実現できれば、複数のメモリを1チップに統合することが可能となり、携帯電話や各種モバイル機器の小型高機能化を図ることができる。さらに、全ての半導体メモリを置き換えることが可能になればインパクトは極めて大きい。ユニバーサルメモリに要求される項目としては、(1)DRAM並みの高集積化(大容量化)、(2)SRAM並みの高速アクセス(書き込み/読み出し)、(3)FLASHメモリと同様の不揮発性、(4)小型の電池駆動に耐えうる低消費電力、などが挙げられる。

[0004] ユニバーサルメモリと呼ばれる次世代の不揮発性メモリの中で、現在最も注目されているのは相変化メモリである。相変化メモリは、CD-RWやDVDなどの光ディスクに使用されているカルコゲナイド材料を使用し、同じように結晶状態と非晶質状態の違いでデータを記憶する。違いは書き込み/読み出し方法にあり、光ディスクではレ

ーザーに代表される光の吸収による発熱を利用するのに対し、相変化メモリでは電流によって発生するジュール熱で書き込み、相変化による抵抗値の違いで信号を読み出す。

[0005] 相変化メモリ(半導体記憶装置の略称、以下同様)の動作原理を図1および図2で説明する。カルコゲナイド材料を非晶質化させる場合、カルコゲナイド材料の温度を融点以上に熱してから急冷するようリセットパルスを印加する。融点は、例えば600℃である。急冷する時間(t_1)は、例えば2nsecである。カルコゲナイド材料を結晶化させる場合、カルコゲナイド材料の温度を結晶化温度以上融点以下に保持するようなセットパルスを印加する。結晶化温度は、例えば400℃である。結晶化に要する時間(t_2)は、例えば50nsecである。

[0006] 相変化メモリの特長は、カルコゲナイド材料の抵抗値が結晶状態に応じて2～3桁も変化し、この抵抗値を信号として用いるため、読み出し信号が大きく、センス動作が容易になるため、読み出しが高速であることである。それに加えて、 10^{12} 回の書き換えが可能であるなど、FLASHメモリの欠点を補う性能を持っている。また、低電圧・低電力での動作が可能であり、ロジック回路との混載が容易であるなどの特長が、モバイル機器用として適している。

[0007] 相変化メモリセルの製造工程の一例を図3から図5の要部断面図を用いて簡単に説明する。まず、図3により説明すると、周知の製造方法により不図示の半導体基板上に選択トランジスタを形成する。選択トランジスタは、例えばMOSTランジスタやバイポーラトランジスタからなる。次いで、周知の製造方法を用いて、例えばシリコン酸化膜からなる層間絶縁膜1を堆積し、例えばタングステンからなるプラグ2を層間絶縁膜1内に形成する。このプラグは、下部の選択トランジスタと上部の相変化材料層を電氣的に接続する役割を果たす。次いで、例えばGeSbTeからなるカルコゲナイド材料層3、例えばタングステンからなる上部電極4、例えばシリコン酸化膜からなるハードマスク5を順に堆積すると、図3のようになる。

[0008] 次いで、図4に示すように、周知のリソグラフィ法およびドライエッチング法により、ハードマスク5、上部電極4、カルコゲナイド材料層3を順次加工する。次いで、層間絶縁膜6を堆積すると、図5のようになる。次いで、層間絶縁膜6の上部に上部電極4と

電氣的に接続する配線層と、さらにその上部に複数の配線層を形成する(図示せず)。

- [0009] 以上の工程により、相変化メモリセルが略完成する。なお、この種の相変化メモリセルに関連するものとして非特許文献1が、また、カルコゲナイド材料の相変化に関しては非特許文献2が挙げられる。

特許文献1:米国特許第5536947号公報

特許文献2:特開2003-174144号公報

特許文献3:米国特許 US2004/0026731号明細書

特許文献4:米国特許 US2003/0047727号明細書

非特許文献1:国際電子デバイス・ミーティング・テクニカル・ダイジェスト(Technical Digest of International Electron Device Meeting)、2001年、p.803-806

非特許文献2:応用物理学会誌(Journal of Applied Physics)、87巻、9号、2000年5月、p. 4130

発明の開示

発明が解決しようとする課題

- [0010] 本発明は、相変化メモリの製造工程における課題と、書き換え動作における課題をそれぞれ明らかにし、これらの課題を同時に解決できる手段を提供するものである。以下、解決すべき課題を順に説明する。

- [0011] 第1の課題は、相変化メモリでは、低抵抗状態から高抵抗状態に変化させる際、電流によるジュール熱で膜を融点を越える高温にする必要があるため、大きな電流、大きな消費電力になりやすいことである。この点に関して、炭化物、窒化物、酸化物などの膜をカルコゲナイド材料層と電極との間に形成し、結晶化時の電流経路をフィラメント状に細くする方法が知られている。例えば米国特許第5536947号明細書(特許文献1)中にその記述がある。しかし特許文献1のように炭化物、窒化物、酸化物などの絶縁物の層を設けると、当然のことながらこの層による電位降下が生じるので、高抵抗状態から低抵抗状態へ変化させる際、インパクトイオン化などのキャリア増倍現象によりエレクトロニックな低抵抗化が始まる閾値電圧が高くなってしまい、高い電圧の電源が必要になるという問題点が生じる。

- [0012] 第2の課題は、カルコゲナイド材料は接着性が低いため、相変化メモリの製造工程中に膜が基板から剥離しやすいことである。特に、カルコゲナイド材料はシリコン酸化膜との接着性が低いことから、カルコゲナイド材料層と層間絶縁膜との間に接着層を設けるのが望ましい。
- [0013] 相変化メモリにおいて、カルコゲナイド材料層の剥離防止には接着層の挿入が有効であることは既に知られている。公知例としては、例えば、特開2003-174144号公報(特許文献2)、米国特許US2004/0026731号明細書(特許文献3)、米国特許US2003/0047727号明細書(特許文献4)などが挙げられる。いずれの公知例においても、具体的な接着層材料として、例えばTiのような導電体が用いられている。
- [0014] プラグ上と層間絶縁膜上に導電体からなる接着層を形成した場合のメモリセルの断面構造を図6に示す。カルコゲナイド材料層3と層間絶縁膜1との界面全面に導電体接着層8が設けられているため、カルコゲナイド材料層の剥離を防止することができる。しかし、この構造では、相変化メモリの書き換え動作時にプラグ2から電圧を印加すると、導電体接着層8はカルコゲナイド材料層3よりも抵抗率が低いため、電流は主に接着層8の横方向(基板面と平行方向)に流れる。この場合、カルコゲナイド材料層がジュール熱によって加熱される領域は、接着層8と接している部分全面に広がるため、カルコゲナイド材料層を結晶化または非晶質化するためには非常に大きな電流が必要になってしまう。
- [0015] 上記の問題は、図7に示すように、導電体接着層8をプラグ2と接しない領域に限って形成すれば解決できる。この場合、カルコゲナイド材料層3がジュール熱によって加熱される領域は、プラグ2と接している部分に絞られるため、カルコゲナイド材料層3を結晶化または非晶質化するために必要な電流は図6の場合に比べると小さくなる。しかし、カルコゲナイド材料層3の界面に接着層が設けられていない広い領域が存在することになるので、カルコゲナイド材料層の剥離を完全に防止することはできない。
- [0016] また、層間絶縁膜1上とプラグ2上を含めた基板全面に導電体接着層8を形成した後、プラグ2上の導電体接着層を除去する工程が追加で必要となる。この場合、マス

ク枚数が増えて製造コストが高くなるとともに、メモリセルを微細化するとあわせ余裕が少なくなって歩留まりや信頼性が低下するという問題が生じる。このため、相変化メモリの書き換え特性に悪影響を及ぼすことなく、電流を低減し、カルコゲナイド材料層の剥離も防止できる手段が求められていた。

[0017] 第3の課題は、もっとも良く用いられている構造は、上記のようにシリコン基板側からトランジスタプラグ電極1—カルコゲナイド材料層3—上部電極4という順序で形成された構造であるが、プラグの発熱も利用して書換えを行うので、近傍のいくつかのメモリ素子に書換えのアクセスが集中する場合、熱伝導率が高いプラグを通じて熱がトランジスタの周辺まで拡散し、蓄積する。従って、プラグの間隔を詰めにくく、面積を小さくすることができない。

[0018] 第4の課題は、例えばタングステンなどの低抵抗材料をプラグに用いると、カルコゲナイド材料層からプラグを介して熱が逃げやすくなるため、ジュール熱でカルコゲナイド材料層を加熱するのに非常に大きい電流が必要となることである。これは、抵抗率が低い材料は、一般的に熱伝導率が高いことに起因する。特にリセット時(非晶質化)はカルコゲナイド材料層を融点以上に加熱しなければならないため、プラグからの熱拡散は大きな問題となる。

[0019] 例えば、ロジック回路と混載するためには、少なくともMOSTランジスタで動作可能な程度まで書き換えに必要な電流を低減しなければならない。低電流での書き換えて可能にするためには、プラグからの熱拡散を抑制し、カルコゲナイド材料層を効率的に加熱できる構造を用いる必要がある。なお、光ディスクの場合は、レーザーで書き込み/読み出しを行うので、カルコゲナイド材料層と電氣的に接続する部分はない。このため、熱伝導率の高い材料と接触することはない。つまり、熱伝導率の高い材料を介しての熱拡散は、電氣的パルスで書き込み/読み出しを行う相変化メモリに特有な課題である。

[0020] プラグからの熱拡散を抑制するために、抵抗率の高い、つまり熱伝導率の低い材料をプラグに用いる手段が提案されている。プラグに高抵抗材料を適用した公知例としては、例えば、特開2003-174144号公報(特許文献2)が挙げられる。具体的な高抵抗プラグ材料として、TiSiN、TiAlN、TiSiCが用いられている。この場合、従来

のロジック回路には用いられていない新規材料を導入しなければならないため、製造コストが高くなるとともに、歩留まりや信頼性が低下するという問題が生じる。このため、従来の低抵抗材料のプラグを用いても熱拡散を抑制できる手段が求められていた。そうすれば、カルコゲナイド材料を効率的に加熱できるため、相変化メモリの書き換えの低電流化が可能となる。

[0021] 本発明の目的は、相変化メモリを有する半導体装置の低電力化を実現する技術を提供することにある。

[0022] 本発明の他の目的は、相変化メモリを有する半導体装置の高信頼化を実現する技術を提供することにある。

[0023] 本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0024] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0025] 半導体基板と、半導体基板の主面に形成されたトランジスタと、トランジスタの上方に設けられた層間絶縁膜と、トランジスタに電氣的に接続した電極と、電極に接してあるいは他の層を介して設けられたカルコゲナイド材料層と、カルコゲナイド材料層の上部に設けられた酸素、窒素、炭素、珪素よりなる群より選ばれた少なくとも1元素を含む界面層と、界面層の上部に設けられたプラグ電極を少なくとも有し、カルコゲナイド材料層は、界面層に流れるトンネル電流により相変化する。

[0026] さらに望ましくは、界面層が、層間絶縁膜およびプラグに接して連続膜として形成される。

[0027] さらに望ましくは、界面層が、プラグに接して連続膜として形成されると共に、層間絶縁膜とカルコゲナイド材料層の一部とが接するように形成される。

[0028] さらに望ましくは、界面層が、層間絶縁膜と接して連続膜として形成されると共に、プラグとカルコゲナイド材料層の一部とが接するように形成される。

[0029] さらに望ましくは、界面層の平均膜厚が0.1nm以上であって5nm以下である。

[0030] また、半導体基板と、半導体基板の主面に形成された選択トランジスタと、選択トラ

ンジスタの上方に設けられた層間絶縁膜と、層間絶縁膜の上に形成される界面層と、界面層の上に形成されるカルコゲナイド材料層と、層間絶縁膜内に界面層と選択トランジスタの間に形成されるプラグと、を具備し、カルコゲナイド材料層は、界面層に流れるトンネル電流により相変化し、界面層は、カルコゲナイド材料層の一部とプラグとが接するように形成される。

[0031] さらに望ましくは、界面層は、層間絶縁膜に接して連続膜として形成される。

[0032] さらに望ましくは、界面層は、層間絶縁膜とカルコゲナイド材料層の一部が接するように形成される。

[0033] また、半導体基板と、半導体基板の主面に形成された選択トランジスタと、選択トランジスタの上方に設けられた層間絶縁膜と、層間絶縁膜の上に形成される界面層と、界面層の上に形成されるカルコゲナイド材料層と、層間絶縁膜内に界面層と選択トランジスタの間に形成されるプラグと、を具備し、カルコゲナイド材料層は、界面層に流れるトンネル電流により相変化し、界面層は、カルコゲナイド材料層の一部と層間絶縁膜とが接するように形成される。

[0034] さらに望ましくは、界面層は、プラグに接して連続膜として形成される。

[0035] さらに望ましくは、界面層は、プラグとカルコゲナイド材料層の一部が接するように形成される。

発明の効果

[0036] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0037] 相変化メモリを有する半導体装置の低電力化を実現できる。また、相変化メモリを有する半導体装置の信頼性を向上させることが出来る。

図面の簡単な説明

[0038] [図1]カルコゲナイドの相状態を変えるための電流パルス仕様を示す図である。

[図2]カルコゲナイドの相状態の変化を示す図である。

[図3]従来技術による相変化メモリセルの製造工程を示す要部断面図である。

[図4]従来技術による相変化メモリセルの製造工程を示す要部断面図である。

[図5]従来技術による相変化メモリセルの製造工程を示す要部断面図である。

[図6]従来技術による相変化メモリセルの断面図である。

[図7]従来技術による相変化メモリセルの断面図である。

[図8]分子動力学による剥離エネルギーの計算結果を示す図である。

[図9]分子動力学による剥離エネルギーの計算結果を示す図である。

[図10]分子動力学による剥離エネルギーの計算結果を示す図である。

[図11]分子動力学による剥離エネルギーの計算結果を示す図である。

[図12]本発明による相変化メモリセルの断面図である。

[図13]実施の形態1の相変化メモリセルを示す断面図である。

[図14]実施の形態1の相変化メモリセルの別例を示す断面図である。

[図15]実施の形態1の相変化メモリセルの別例を示す断面図である。

[図16]カルコゲナイド材料層と界面層との関係を示す図である。

[図17]カルコゲナイド材料層と界面層との関係を示す図である。

[図18]カルコゲナイド材料層と界面層との関係を示す図である。

[図19]カルコゲナイド材料層と界面層との関係を示す図である。

[図20]カルコゲナイド材料層と界面層との関係を示す図である。

[図21]カルコゲナイド材料層と界面層との関係を示す図である。

[図22]カルコゲナイド材料層と界面層との関係を示す図である。

[図23]カルコゲナイド材料層と界面層との関係を示す図である。

[図24]カルコゲナイド材料層と界面層との関係を示す図である。

[図25]カルコゲナイド材料層と界面層との関係を示す図である。

[図26]カルコゲナイド材料層と界面層との関係を示す図である。

[図27]実施の形態2の相変化メモリセルを示す断面図である。

発明を実施するための最良の形態

- [0039] 従来は、接着性向上のための界面層としてTiやAlなどの導電体材料が用いられていた。これは、一般的には導電体材料はカルコゲナイド材料と反応しやすいため、界面の結合力が強くなって剥離耐性が向上するためである。しかし、本発明者らは、導電体材料だけではなく、絶縁体材料を接着層に用いてもカルコゲナイド材料層の剥離を抑制できることを見出した。これは、絶縁体材料でもカルコゲナイド材料と若干反

応するので結合力が強くなることに加えて、絶縁体材料はドライエッチング工程に対する耐性が高いためである。以下、詳細に説明する。

[0040] 界面剥離強度の分子動力学計算を行った結果を図8から図11に示す。カルコゲナイド材料としてGeSbTe(以下、GSTと表記)を仮定し、接着する下地材料との界面でGST膜を引き剥がすのに必要なエネルギーを計算した。これを剥離エネルギーと定義する。下地材料が結晶の場合は、一般的に配向しやすい結晶面を仮定した。例えば、Tiは(001)面が基板面と平行方向に成長しやすいため、GSTとTi(001)界面の剥離エネルギーを求めた。

[0041] 相変化メモリの製造工程中では、例えば図4で示した構造のように、ドライエッチング法でカルコゲナイド材料層を加工した時に剥離する確率が高い。ドライエッチング法はClやFを含む雰囲気で行われることが多いため、GSTと下地材料との界面にClやFが拡散すると考えられる。そこで、GSTと下地材料との界面にClやFが1原子%(at. %)拡散したと仮定した場合の剥離エネルギーも計算によって求めた。

[0042] まず、図8の結果について説明する。下地材料がTi(001)、TiN(111)、Al(111)の場合に比べて、非晶質のSiO₂(a-SiO₂)では剥離エネルギーが非常に小さいことがわかる。これは、GSTとa-SiO₂との界面は剥離しやすいことを裏付ける結果である。また、GSTとa-SiO₂との界面にClやFが介在すると、剥離エネルギーはさらに低下することがわかる。このことから、図4のようにドライエッチング法でGSTを加工すると、GSTと層間絶縁膜との界面にClやFが拡散することによってGSTが剥離やすくなると考えられる。

[0043] 次に、図9の結果について説明する。GSTとTi(001)との界面およびGSTとTa(110)との界面は剥離エネルギーが比較的大きく、剥離しにくいと考えられる。しかし、界面にClやFが介在すると剥離エネルギーの低下が著しいことがわかる。ただし、ClやFが拡散して剥離エネルギーが低下しても、図8に示したa-SiO₂との界面に比べれば剥離エネルギーはまだ大きいため、接着層としては機能すると考えられる。しかし、TiやTaなどの導電体を接着層に用いると、前述したように、カルコゲナイド材料層を書き換えるためには非常に大きな電流が必要になってしまう。

[0044] 次に、図10の結果について説明する。GSTとAl₂O₃との界面およびGSTとTiO₂

との界面の剥離エネルギーは、図9に示したTiやTaなどの導電体に比べると小さいが、図8に示したGST/a-SiO₂との界面に比べれば大きいことがわかる。また、図8に示したGST/a-SiO₂に比べると、ClやFが界面に介在した時の剥離エネルギーの低下は小さい。この結果は、Al₂O₃やTiO₂などの絶縁体材料はドライエッチング工程に対する耐性が高いことを示しており、接着層として望ましいと考えられる。

[0045] 次に、図11の結果について説明する。GSTとTa₂O₅との界面およびGSTとCr₂O₃との界面の剥離エネルギーは、図10に示したAl₂O₃やTiO₂と比べて大きい。また、ClやFが界面に介在した時の剥離エネルギーは、図9に示したTiやTaなどの導電体と比べても大きい。この結果は、Ta₂O₅やCr₂O₃は接着層として非常に望ましいことを示す。今回検討した材料の中では、絶縁体の接着層として最も望ましいのはCr₂O₃、次がTa₂O₅であり、その他、TiO₂、Al₂O₃などであった。

[0046] 次に、図12を用いて、製作工程を説明する。図12は、本願発明の概要を説明するための模式図である。なお、本願明細書では、便宜上、各配線層またはカルコゲナイド材料層を接続する導電層をコンタクトと呼び、その中でもカルコゲナイド材料層が相変化する部分に界面層を介して接する導電層をプラグと呼ぶものとする。また、図12において半円状の領域は半球状の領域の断面であり、融点以上に加熱されてアモルファス状態になりやすい領域であり、カルコゲナイド材料層のうちこの領域にて主に相変化を起こすことを示している。

[0047] まず、選択トランジスタ(図示なし)、層間絶縁膜1を形成し、コンタクト7でトランジスタと上のメモリ動作部分をつなげるようにする。次いで、たとえばタングステン(W)からなる下部電極4、例えばGeSbTeからなるカルコゲナイド材料層3、例えば酸化タンタルから成る界面層9、シリコン酸化膜からなるハードマスク5を順に堆積する。次いで周知のリソグラフィおよびドライエッチング法により、ハードマスク5、界面層9、カルコゲナイド材料層3、下部電極4を加工する。次いで層間絶縁膜6を堆積し、リソグラフィおよびドライエッチング法により界面層に至るプラグ穴を形成し、例えばCVD法によりタングステンを埋め込んだ後、例えばCMP法により層間絶縁膜6の上表面のWを除去すると図12のようになる。

[0048] 界面層9に至るプラグ穴を形成する際には、界面層9に対して層間絶縁膜6および

ハードマスク5が十分高選択になる条件でドライエッチングを行う必要がある。また、ドライエッチングの際に露出する界面層9に対するダメージが少ない条件を用いる方がよい。

[0049] 本発明によれば、プラグ2とカルコゲナイド材料層3との間に絶縁物の界面層が形成されることにより、低抵抗プラグから熱が拡散するのを抑制することができる。これは、絶縁体材料は導電体材料に比べて熱伝導率が小さいためである。例えば、導電体であるタングステンの熱伝導率は $1.74\text{W}/\text{cm}\cdot\text{K}$ (27°C)であるのに対し、絶縁体であるチタン酸化物の熱伝導率は $6.5 \times 10^{-2}\text{W}/\text{cm}\cdot\text{K}$ (100°C)と2桁程度小さい。このため、カルコゲナイド材料層とプラグとの間に絶縁体からなる界面層を挿入すれば、カルコゲナイド材料層からプラグを介して熱が逃げるのを抑制できる。この結果、カルコゲナイド材料を効率的に加熱することができるため、相変化メモリの書き換えの低電流化が可能となる。また、プラグをカルコゲナイド層3の上面としているため、面積が広い下部電極を利用して横に振って、プラグがトランジスタの真上に来る配置も可能であり、集積度を上げられる。

[0050] 界面層の平均膜厚は、界面層の材料にもよるが、 0.1nm 以上とするのが望ましい。 0.5nm 以上とするのがより望ましい。

[0051] 界面層は、非晶質でも多結晶でもよい。例えば多結晶は膜中に結晶粒界が存在する。また、界面層の膜厚は、フェルミレベルが禁制帯の上部ではなく中央寄りにある絶縁物の場合、絶縁膜中をトンネル電流が流れる膜厚よりも薄くする必要がある。ジュール熱によってカルコゲナイド材料層を融点以上に加熱するためには、プラグからカルコゲナイド材料層に必要な電流が流れなければならないからである。一般的に、絶縁体膜の直列抵抗は膜厚に対して指数関数的に増大する。

[0052] カルコゲナイド材料層を融点以上に加熱するためには、 $100\mu\text{A} \sim 1\text{mA}$ 程度の電流が必要であることが知られている。例えば、電圧 3V で電流 $100\mu\text{A}$ を発生させるためには、界面層の抵抗は少なくとも $30\text{k}\Omega$ 以下にする必要がある。絶縁体膜を用いて $30\text{k}\Omega$ 以下の直列抵抗を実現するためには、トンネル電流が支配的となる領域まで膜厚を薄くしなければならない。このためには、膜厚は少なくとも 5nm 以下とする必要があり、十分に大きな電流を得るためには、膜厚は 3nm 以下とするのが望ましい。

- [0053] 膜厚が3nmと薄いと、ピンホールが存在し、層間絶縁層とカルコゲナイド層、もしくはタングステンプラグとカルコゲナイド層が部分的に接する場合が考えられる。しかし、前者の場合は、その接着性の効果が失われない限り特に問題はない。また、タングステンプラグとカルコゲナイド層との間では、上述した通り、書換え電流を確保するために界面層の抵抗値を下げる必要がある。それに対し、熱拡散も防止する必要がある。従って、カルコゲナイド材料層の一部をタングステンプラグと接するように界面層を形成することで、界面層の抵抗値と熱拡散との間の最適化を行うことが可能となる。
- [0054] 絶縁体からなる界面層の材料は、層間絶縁膜材料(例えばシリコン酸化膜)よりもカルコゲナイド材料層との接着性が高く、プラグ材料(例えばタングステン)よりも熱伝導率が小さい材料であれば使用可能である。例えば、Ti酸化膜、Zr酸化膜、Hf酸化膜、Ta酸化膜、Nb酸化膜、Cr酸化膜、Mo酸化膜、W酸化膜、Al酸化膜が挙げられる。
- [0055] 半導体材料を接着層に用いてもカルコゲナイド材料層の剥離を抑制できる。接着層として例えばSiを用い、カルコゲナイド材料層として例えばGeSbTeを用いれば、SiとGeは置換反応しやすいので結合力が非常に強くなる。
- [0056] 以上の説明から明らかなように、カルコゲナイド材料層3とプラグ2との間にトンネル電流が流れる程度の厚さ(0.1~5nm程度)の絶縁膜からなる界面層9が存在するため、カルコゲナイド材料層3から熱伝導率の高いタングステンプラグ2への熱拡散を防ぐことができ、書換え電流を小さくすることが可能となる。また、カルコゲナイド材料層3と絶縁膜5との間に界面層9が存在するため製造工程中の剥離を防止することができる。なお、いずれか一方の構成を有することで夫々の効果を有するし、両方の構成を有することで、両方の課題を解決できる。両方の構成を有したとしても、同じ工程で形成できるため製造工程の追加はない。また、素子特性や寿命も向上する。これは、界面層のために界面のショットキーバリアの形状が変わり、電位勾配が増してキャリアが加速されてインパクトイオン化が起こりやすくなるので、セット時に低い電圧で低抵抗状態にスイッチする。電位勾配の増加はカルコゲナイド材料層内に非常に短い周期の組成の変動を起こし、これが結晶化に対する抵抗になって高温寿命が向上すると考えられる。

- [0057] 界面層は、非晶質でも多結晶でもよい。例えば多結晶は膜中に結晶粒界が存在する。ただし、多結晶は非晶質よりも抵抗が低いため、相変化メモリの書き換え動作時にプラグから電圧を印加すると、電流が接着層の横方向(基板面と平行方向)に流れやすくなる。すると、カルコゲナイド材料層がジュール熱によって加熱される領域が広がるため、カルコゲナイド材料層を結晶化または非晶質化するためにより大きな電流が必要になってしまう。このため、半導体からなる界面層は、多結晶よりも非晶質の方が望ましい。
- [0058] 他の例としては、駆動トランジスタ上に層間絶縁層、下部電極、界面層(タンタル酸化物)、カルコゲナイド層、界面層(タンタル酸化物)、層間絶縁層を製膜し、プラグ用の穴あけを行ってタングステンプラグを形成する。このように、カルコゲナイド層の両側に界面層を形成すると、接着性の面ではさらに好ましい。いずれかの界面層を省略しても、界面層が全く無い場合より良好な接着性が得られるが、プラグと接しない方の界面層(下側)を省略する方が素子特性は良好となる。プラグ側では、下部電極の方が面積が広いためにプラグの外縁部に電流が集中し、この部分でプラグ外縁部のTiやTiNや酸化タングステンがカルコゲナイド材料中に拡散しやすくなる。これによって書換えを多数回繰り返したときの特性の変化などが起きやすくなるが、界面層はこれを防止する効果が期待できる。
- [0059] ここで、本発明の第1の手段である、カルコゲナイド材料層3とプラグ2との間に、絶縁体からなる連続した界面層を形成するための望ましい工程について具体的に説明しておく。
- [0060] 例えば、界面層材料としてタンタル酸化膜を形成する場合、一般的には、タンタル金属ターゲットを用いて酸化性雰囲気中でスパッタリングする方法が用いられる。この方法は、タンタル金属ターゲットの表面が気相中の酸素と反応して酸化されることによってタンタル酸化物が形成されたため、反応性スパッタリング法と呼ばれている。一般的な反応性スパッタリング法によれば、タンタル酸化物の膜厚の面内分布は 1σ で5%程度である。絶縁体の直列抵抗は膜厚に対して指数関数的に変化するため、5%の膜厚ばらつきは1桁以上の抵抗ばらつきの要因となる。
- [0061] 反応性スパッタリング法を用いると、界面層より先に形成されているカルコゲナイド

層の酸化が問題となる。周知の製造方法を用いて、カルコゲナイド層3を堆積する。次いで、従来技術の反応性スパッタリング法を用いて、例えばタンタル酸化膜からなる界面層を堆積すると、カルコゲナイド材料層3の表面がスパッタリング雰囲気中の酸素プラズマによってカルコゲナイド層3が酸化される。この結果、カルコゲナイド材料層3の組成が変化し、特性のばらつきに影響する。

[0062] つまり、カルコゲナイド材料層の上面に界面層を形成する時に、一般的な反応性スパッタリング法を用いて絶縁膜を形成すると、酸素のカルコゲナイド材料層内への拡散が生じ、拡散の仕方にバラツキがあるので、特性バラツキを生じる恐れがある。従って、カルコゲナイド材料層の特性ばらつきという新たな課題が生じる場合がある。

[0063] そこでより好ましくは、絶縁体界面層の形成方法として、金属ターゲットを用いてスパッタリングすることによって金属膜を形成した後、酸素ラジカルや酸素プラズマ等の酸化性雰囲気中で金属膜を酸化する手段を用いる。周知のスパッタリング法を用いてカルコゲナイド材料層を形成する。次いで、周知のスパッタリング法を用いて、例えばタンタル金属膜を堆積する。次いで、酸素ラジカルでタンタル金属膜を酸化することによって、タンタル酸化膜を形成する。この手段を用いれば、ラジカル酸化時間を最適化することにより、カルコゲナイド材料層の表面を酸化させることなく、タンタル酸化膜からなる界面層を形成できる。つまり、カルコゲナイド材料層の組成変動を防止でカルコゲナイド材料層のばらつきを防止できる。

[0064] また、スパッタリング法では、酸化膜を堆積するよりも金属膜を堆積する方が膜厚の面内均一性を高くすることができる。このため、反応性スパッタリング法でタンタル酸化膜を形成するよりも、タンタル金属膜を後酸化してタンタル酸化膜を形成する方が膜厚の均一性は向上する。つまり、抵抗ばらつきの要因となるタンタル酸化膜の膜厚のばらつきを低減することができる。

[0065] しかし、プラグの近くの電気伝導に寄与する部分以外では膜厚が薄くてピンホールが存在したり、極端な場合島状の膜に分離したりしていても接着性向上効果はある。プラグから離れた部分では熱ストレスが少ないため、界面層が形成されていないか、プロセス中に取れてカルコゲナイド層が層間絶縁層に直接接していても、界面層が全く無い場合に比べて剥離の問題は起きにくい。

以上の説明から明らかなように、絶縁体界面層の形成方法として、金属ターゲットを用いてスパッタリングすることによって金属膜を形成した後、酸素ラジカルや酸素プラズマ等の酸化性雰囲気中で金属膜を酸化する手段を用いることにより、酸化膜厚の面内均一性を向上させることができる。具体的には、タンタル酸化膜の厚さの面内分布は 1σ で1%以下となる。この結果、抵抗の面内ばらつきは少なくとも1桁以下に抑制できる。

[0066] 絶縁体界面層の膜厚の面内均一性をさらに高めるためには、まず、金属膜を均一に形成する工夫を施す必要がある。そのために望ましい手段を列記しておく。なお、必ずしも全ての手段が必要な訳ではなく、必要な仕様とコストを勘案して任意に選択すればよい。

[0067] 一つめは、スパッタ室の到達真空度が高いことである。10⁻⁶Pa以下の超高真空が得られるのが望ましい。二つめは、放電圧力が低いことである。0.1Pa以下で放電させるのが望ましい。三つめは、ターゲットと基板との距離が長いことである。15cm以上離しておくのが望ましい。四つめは基板を回転させながら成膜を行うことである。

[0068] 次に、金属膜を均一に酸化する工夫を施す必要がある。そのためには、制御可能な酸化速度が得られる酸化剤や酸化温度を選択しなければならない。一般的には、酸素ラジカルを用いて室温で酸化するのが望ましい。もちろん、金属膜の材料によっては、酸素や酸素プラズマを酸化剤に用いる方が望ましい場合もあるし、加熱しながら酸化処理する方が望ましい場合もある。また、金属膜を形成する工程の後に基板を真空中で搬送することにより、金属膜を酸化する工程を大気に曝さずに連続して行うのが望ましい。

[0069] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、以下の説明では、前記2つの課題を同時に解決するための代表的な手段を以下に説明し、その後より具体的な例について説明する。

[0070] (実施の形態1)

本発明の実施の形態1を図13により説明する。この実施の形態は、カルコゲナイド

材料層の上面と、その上に形成する層間絶縁膜およびプラグの下面との間に、絶縁体からなる界面層を形成するもので、上記発明の半導体記憶装置において、相変化メモリセルを形成する第1の手段を具体的に示した例である。

- [0071] 始めに、半導体基板101を用意して、選択トランジスタとして用いられるMOSTランジスタを作る。そのために、まず半導体基板101の表面に、MOSTランジスタを分離するための素子間分離酸化膜102を、周知の選択酸化法や浅溝分離法を用いて形成する。本実施の形態では、表面を平坦化できる浅溝分離法を用いている。
- [0072] まず、周知のドライエッチング法を用いて基板に分離溝を形成し、溝側壁や底面のドライエッチング起因損傷を取り除いた後に、周知のCVD法を用いて酸化膜を堆積し、溝ではない部分にある酸化膜を、これも周知のCMP法で選択的に研磨し、溝に埋まっている素子間分離酸化膜102だけを残す。次に、高エネルギー不純物打ち込みにより、ウェル121を形成する。
- [0073] 次に、半導体基板の表面を洗浄した後に、MOSTランジスタのゲート酸化膜103を周知の熱酸化法で成長させる。このゲート酸化膜103の表面に、多結晶シリコンからなるゲート電極104とシリコン窒化膜109を堆積する。続いて、リソグラフィ工程およびドライエッチング工程によりゲートを加工した後、ゲート電極およびレジストをマスクにして不純物を打ち込み、拡散層106を形成する。本実施の形態では、ゲート電極104として多結晶ポリシリコンゲートを用いたが、低抵抗ゲートとして、金属／バリアメタル／多結晶シリコンの積層構造であるポリメタルゲートを用いることも可能である。
- [0074] 次に、自己整合コンタクト適用のために、シリコン窒化膜109をCVD法により堆積する。次に、表面全体にシリコン酸化膜からなる層間絶縁膜108を堆積し、これを周知のCMP法(ケミカル・メカニカル・ポリッシング法)を用いて、ゲート電極104に起因する表面凹凸を平坦化する。
- [0075] 続いて、リソグラフィ工程およびドライエッチング工程により、コンタクト孔を開口する。この時、ゲート電極の露出をさけるために、いわゆる自己整合の条件、すなわち、シリコン窒化膜に対してシリコン酸化膜が高選択となる条件で層間絶縁膜108を加工する。
- [0076] なお、コンタクト孔の拡散層106に対する目外れ対策として、まず、シリコン窒化膜

に対してシリコン酸化膜が高選択となる条件で層間絶縁膜108をドライエッチングすることによって拡散層106の上面のシリコン窒化膜が残るようにし、続いて、シリコン酸化膜に対してシリコン窒化膜が高選択となる条件でドライエッチングすることによって拡散層106の上面のシリコン窒化膜を除去する。

[0077] 続いて、コンタクト孔内にタングステンを埋め込み、周知のCMP法により第1のタングステンコンタクト109を形成する。次に、膜厚が100nmのタングステンをスパッタリング法で堆積し、リソグラフィ工程およびドライエッチング工程によりタングステンを加工して第一の配線層110を形成した。続いて、第2のタングステンコンタクト118を形成する。

[0078] 次に、膜厚が50nmのタングステンからなる下部電極115、膜厚が100nmのGeSbTeからなるカルコゲナイド材料層114を周知のスパッタリング法によって順に堆積する。続いて、周知のCVD法によって、シリコン酸化膜116を堆積する。続いて周知のリソグラフィ工程およびドライエッチング工程により、シリコン酸化膜116、カルコゲナイド材料層114、下部電極115を順に加工する。

[0079] 次に、公知のCVD法により、膜厚が20nmのシリコン窒化膜からなる側壁保護膜120を堆積する。なお、この側壁保護膜はカルコゲナイド材料が昇華しないように、低温かつ高压の条件で形成する必要がある。例えば、圧力は0.1Pa以上、温度は450℃以下の条件を例示できる。

[0080] 次に、表面全体にシリコン酸化膜からなる層間絶縁膜117を堆積し、これを公知のCMP法を用いて表面凹凸を平坦化する。続いて、リソグラフィ工程およびドライエッチング工程により、プラグ孔を開口する。続いて、スパッタリング法により界面層113を形成し、タングステンを埋め込み、公知のCMP法によりタングステンプラグ112を形成する。なお、スパッタリング法により界面層を形成するとプラグ孔の側面には全く形成されないか、非常に薄く形成される。しかし、底面のカルコゲナイド材料層の上には界面層は形成されるため問題はない。続いて、膜厚200nmのアルミニウムを堆積し、配線層として加工して第二の配線層119を形成した。勿論、アルミニウムの代わりに抵抗の低い銅を用いることも可能である。以上により、図13の構造が実現できる。

[0081] 次に、図14を用いて、他の製造方法および構造について説明する。図13と相違す

る点は、図13では、界面層113をタングステンプラグ112を形成する孔に沿って形成したが、図14では、カルコゲナイド材料層115の上部全面に形成することにある。

[0082] 次に図14を用いて、本構造の製造方法について説明する。第2のタングステンコンタクト118を形成するところまでは、図13と同じであるため省略する。

[0083] 第2のタングステンコンタクト118を形成後、膜厚が50nmのタングステンからなる下部電極115、膜厚が100nmのGeSbTeからなるカルコゲナイド材料層114、膜厚が2nmのタンタル酸化物からなる界面層113を周知のスパッタリング法によって順に堆積する。続いて、周知のCVD法によって、シリコン酸化膜116を堆積する。続いて周知のリソグラフィ工程およびドライエッチング工程により、シリコン酸化膜116、界面層113、カルコゲナイド材料層114、下部電極115を順に加工する。ここで、シリコン酸化膜116と界面層113は、同じ工程でエッチングし、これらをハードマスクとしてカルコゲナイド材料層114、下部電極115を加工すると工程を簡略化することが可能となる。

[0084] 次に、図13と同様に、側壁保護膜120、層間絶縁膜117を堆積し、これを公知のCMP法を用いて表面凹凸を平坦化し、リソグラフィ工程およびドライエッチング工程により、プラグ孔を開口する。この時、界面層がエッチングされてしまわないためには、プラグ孔の開口の際には、界面層113に対して、シリコン酸化膜116、層間絶縁膜117が十分高選択になる条件でドライエッチングを行う必要がある。続いて、プラグ孔内にタングステンを埋め込み、周知のCMP法によりタングステンプラグ112を形成する。

[0085] 図15は、他の構造および製造方法を示した図である。図13および図14と異なる点は、上部のタングステンプラグ112、界面層113、および、カルコゲナイド材料層114が同じ幅で形成されている点である。また、タングステンプラグ112は、円柱型でなく、角柱型になる。

[0086] 以下、図15を用いてその製造方法を説明する。第2のタングステンコンタクト118を形成するところまでは、図13、14と同じであるため省略する。

[0087] 第2のタングステンコンタクト118を形成後、膜厚が50nmのタングステンを堆積し、周知のリソグラフィ工程およびドライエッチング工程により下部電極115を形成する。

その後、絶縁膜122を堆積し、CMP法により下部電極115を露出させる。その後、膜厚が100nmのGeSbTeからなるカルコゲナイド材料層114、膜厚が2nmのタンタル酸化物からなる界面層113、タングステンプラグ112を周知のスパッタリング法によって順に堆積する。続いて周知のリソグラフィ工程およびドライエッチング工程により、タングステンプラグ112、界面層113、カルコゲナイド材料層114を順に加工する。さらに、サイドウォールとなるように側壁保護層120を形成する。その後は、図13、図14と同様である。なお、図15では、カルコゲナイド材料層114に下部電極115が直接接続されているが、カルコゲナイド材料層114と下部電極115の間にカルコゲナイド材料層114と同じ幅の導電層を設けてもよい。また、下部電極115を設けずに直接、カルコゲナイド材料層114またはカルコゲナイド材料層114と同じ幅の導電層が第2のタングステンコンタクト118と接する構成でもよい。ただし、カルコゲナイド材料層より幅広の（さらに望ましくは、第2のタングステンコンタクト118より幅広）下部電極115を設けることにより位置あわせが容易となる。

[0088] タングステンプラグ112の界面層113と接する面の中央部を絶縁膜で形成し、角筒または円筒に近い形状にしてもよい。これにより、タングステンプラグ112からカルコゲナイド材料層に流れる電流の低減効果を得られる。タングステンプラグ112の下の界面層は実施の形態1と同様に中央の絶縁層の部分を含めて形成してもよいが、筒状プラグとの界面のみ、あるいはそれより狭い面積で形成してもよい。

[0089] 本実施の形態1によれば、カルコゲナイド材料層114とタングステンプラグ112との間に界面層が形成されるため、低抵抗材料のプラグからの熱拡散が抑制されてカルコゲナイド材料が効率的に加熱されるため、相変化メモリの書き換えの低電流化が可能となる。さらに、図14の構成は、絶縁膜116とカルコゲナイド材料層114との間に界面層を有するためカルコゲナイド材料層と絶縁膜116との剥離を防止することが可能となる。

[0090] 一方、図13の構成では、絶縁膜116とカルコゲナイド材料層の間に界面層が存在しない。しかしながら、非常に薄い界面層をエッチングしないため図14の構成と比較して製造が容易となる。なお、絶縁膜116を SiO_2 ではなく、カルコゲナイド材料層114と接着性のよい材料を用いてもよい。さらに、図15では、絶縁膜111上にカルコゲ

ナイド材料層114が存在しないため、絶縁膜111とカルコゲナイド材料層114との接着性を考慮する必要はなくなる。

[0091] 図16から図26に、カルコゲナイド材料層と接する部分の界面層の形状の各変形例を示す。なお、図16から図26は、外側の四角がカルコゲナイド材料層の表面で、角の丸まりなどは考慮しない模式図である。図16は、界面層にピンホールを形成した例である。図17は、界面層113をリング状とした場合を示しており、図18は、外縁部でエッチングして面積を小さくした場合を示している。図19は、界面層113をスリット状とした場合である。

[0092] なお、リング状、スリット状の界面層113を形成する場合はマスクを用いる。さらに図20と図21には、プラグ電極に接する領域にはピンホールが無いか、相対的に少ない、プラグ電極に接する領域だけにピンホールがあるか、プラグ電極に接する領域のピンホールが相対的に多い場合を示している。

[0093] リセット電流低減、セット電圧低減、耐熱性向上、書換え可能回数向上などの、電気特性関連の効果を持つ界面層材料の場合は、図21より、図20のピンホール分布の方が好ましい。一方、界面層の抵抗を下げる必要がある場合は、図21の方が好ましい。図22と図23には、界面層が島状に分離していて、プラグ電極の領域内だけ、領域外だけに存在する場合を示した。

[0094] また、図24と図25には、島状でない領域では連続膜になっている場合を示した。連続膜の領域にはピンホールが存在してもよい。これら図20から図25における境界は、必ずしもプラグ電極の形状や大きさと完全に一致していなくてもよい。図26には、カルコゲナイド層の全体に対応して、界面層が島状になっている場合を示した。図18以外の図16から図26の場合において、図18との組み合わせになっている、すなわち、カルコゲナイド層の最外周部の界面層が存在しなくてもよい。図20から図25までは、図14のプラグ電極の太さより界面層が大きい場合に対応する。なお、いずれの場合であっても、界面層113は、トンネル電流を流す膜厚である。トンネル電流を流さない膜厚の場合は、第1の課題にて説明したとおり、メモリセルに印加しなければならない電圧が高くなる恐れが生じる。

[0095] すなわち、図13から図15では、界面層113を連続膜として説明したが、必ずしも連

続膜としなくともよい。タングステンプラグ112とカルコゲナイド材料層114との間の界面層113を連続膜とした場合、タングステンプラグ112への熱拡散を小さくすることが出来るが、界面層113の抵抗により電圧降下が生じる可能性がある。すなわち、タングステンプラグ112への熱拡散防止と界面層113の自体の抵抗値の増加は、トレードオフの関係にある。そこで、図16から図19、図21、図23、図25のように、タングステンプラグ112に接する界面層113を連続膜とせずに、一部でタングステンプラグ112とカルコゲナイド材料層114が直接接する部分を形成することにより、熱拡散の防止と抵抗値の増加に対して、最適な構造をとることが可能となる。

[0096] 以上、実施の形態1について絶縁体界面層113としてタンタル酸化膜を用いたが、これに限らず、チタン酸化膜、ジルコニウム酸化膜、ハフニウム酸化膜、ニオブ酸化膜、クロム酸化膜、モリブデン酸化膜、タングステン酸化膜、アルミニウム酸化膜などの絶縁性の膜を用いることができる。

[0097] また、絶縁体界面層の形成方法としては、酸化物ターゲットを用いてスパッタリングすることによって酸化膜を形成してもよいし、金属ターゲットを用いて酸化性雰囲気中でスパッタリングすることによって酸化膜を形成してもよい。また、金属ターゲットを用いてスパッタリングすることによって金属膜を形成した後、酸素ラジカルや酸素プラズマ等の酸化性雰囲気中で金属膜を酸化することによって酸化膜を形成してもよい。

[0098] 酸化膜の組成は、いわゆる化学量論組成ではなく、酸素過剰組成や酸素欠損組成であっても構わない。例えば、タンタル酸化膜の場合を説明すると、化学量論組成は Ta_2O_5 であるが、タンタルに対する酸素の組成比が $5/2$ より小さくても大きくても同様の効果を得ることができる。また、酸素の組成比が $5/2$ より小さい、すなわち、酸素欠損組成では、化学量論組成のタンタル酸化膜を用いる場合よりもカルコゲナイド材料層との反応性が高くなるため、接着層としてはより望ましい。

[0099] 上述した例では、カルコゲナイド材料層としてGeSbTeを用いたが、これに限らず、Ge、Sb、Teから選ばれた少なくとも2元素以上を含むカルコゲナイド材料を用いてもよい。また、Ge、Sb、Teから選ばれた少なくとも2元素以上と、周期律表の3b族、2b族、1b族、3aから7a族、および8族元素から選ばれた少なくとも1元素を含むカルコゲナイド材料を用いてもよい。

- [0100] 本実施の形態のようにカルコゲナイド層の上に界面層とプラグの両方が来る場合、まず、面積の低減を実現することが可能となる。しかしながら、下部電極のタングステンは表面が凹凸になりやすく、その凹凸が上部にも影響して書換え可能回数が低下したり、高温寿命が短くなったりしやすいが、界面層が局所的電界集中を緩和するので、改善することが可能となる。
- [0101] なお、本発明によれば、上述の実施の形態に限らず、先にあげた各種手段がそれぞれ適用可能であることは言うまでもない。例えば、界面層113を半導体で形成してもよい。半導体からなる界面層は、非晶質でも多結晶でもよい。ただし、多結晶は非晶質よりも抵抗が低いため、相変化メモリの書き換え動作時にプラグから電圧を印加すると、電流が接着層の横方向(基板面と平行方向)に流れやすくなる。すると、カルコゲナイド材料層がジュール熱によって加熱される領域が広がるため、カルコゲナイド材料層を結晶化または非晶質化するためにより大きな電流が必要になってしまう。このため、半導体からなる界面層は、多結晶よりも非晶質の方が望ましい。
- [0102] また、半導体からなる界面層には不純物は加えない方が望ましい。例えば、シリコン中にP(リン)、As(砒素)、Sb(アンチモン)、B(ボロン)などの不純物を添加すると電気伝導性が高くなることが知られている。この場合、界面層の抵抗が低くなり、カルコゲナイド材料層を書き換えるのにより大きな電流が必要となってしまう。ただし、不純物を活性化しなければ抵抗の低下は小さいので、非晶質の半導体界面層を用いる場合は不純物添加の影響は小さい。
- [0103] また、半導体からなる界面層の膜厚は、縦方向(基板面と垂直方向)の抵抗が横方向(基板面と平行方向)の抵抗よりも十分低くなるような膜厚にする必要がある。もし、横方向(基板面と平行方向)の抵抗が低いと、相変化メモリの書き換え動作時にプラグから電圧を印加した時に、電流は主に界面層を通じて横方向に流れる。この場合、カルコゲナイド材料層がジュール熱によって加熱される領域は、界面層と接している部分全面に広がるため、カルコゲナイド材料層を書き換えるためには非常に大きな電流が必要になってしまう。半導体界面層の膜厚をできるだけ薄くして縦方向(基板面と垂直方向)の抵抗を低くすれば、電流はプラグから半導体界面層を介して縦方向に流れやすくなるため、電流が横方向に広がることはない。そうすれば、カルコゲ

ナイド材料層がジュール熱によって加熱される領域は、プラグの近傍に絞られるため、カルコゲナイド材料層を書き換えるために必要な電流を小さくすることができる。半導体界面層の膜厚は少なくとも5nm以下とする必要があり、十分に大きな電流を得るためには、膜厚は3nm以下とするのが望ましい。

[0104] 半導体からなる界面層の材料は、層間絶縁膜材料(例えばシリコン酸化膜)よりもカルコゲナイド材料層との接着性が高く、プラグ材料(例えばタングステン)よりも熱伝導率が小さい材料であればよい。例えば、Si、Ge、SiCなどが挙げられる。この中では、GeSbTeとの反応性が高く、従来技術との親和性が高いことから、Siが最も望ましい材料である。

[0105] 半導体材料の界面層を用いると、相変化メモリの製造工程中に界面層材料とプラグ材料が反応する場合がある。すなわち、絶縁膜117を堆積する時の温度を高くすれば、タングステンプラグ112と非晶質シリコン界面層113が反応して、タングステンシリサイドからなるシリサイド界面層が形成される。

[0106] この手段によれば、カルコゲナイド材料層の下部全面に半導体からなる接着層が形成されるため、剥離強度が高くなり、製造工程中の剥離を抑制することができる。また、プラグ上にシリサイドからなる界面層が形成されることにより、低抵抗のプラグから熱が拡散するのを抑制することができる。この結果、カルコゲナイド材料を効率的に加熱することができるため、相変化メモリの書き換えの低電流化が可能となる。

[0107] 以上の説明から明らかなように、界面層として半導体材料を用いれば、半導体材料が製造工程中にプラグ材料と反応したとしても、相変化メモリの製造工程中に膜が基板から剥離しやすいという課題、または、カルコゲナイド材料層からプラグを介して熱が逃げやすいという課題の一方または両方を解決することができる。

[0108] ここで、絶縁体である界面層113を形成するための望ましい工程について具体的に説明しておく。上記絶縁体は、トンネル電流が流れる程度まで薄くする必要がある。また、絶縁体を介して電流が流れるためその膜厚が異なると素子特性が大きく変わってしまうため、膜厚を均一にする必要がある。

[0109] 例えば、界面層材料としてタンタル酸化膜を形成する場合、一般的には、タンタル金属ターゲットを用いて酸化性雰囲気中でスパッタリングする方法が用いられる。こ

の方法は、タンタル金属ターゲットの表面が気相中の酸素と反応して酸化されることによってタンタル酸化物が形成されたため、反応性スパッタリング法と呼ばれている。一般的な反応性スパッタリング法によれば、タンタル酸化物の膜厚の面内分布は 1σ で5%程度である。絶縁体の直列抵抗は膜厚に対して指数関数的に変化するため、5%の膜厚ばらつきは1桁以上の抵抗ばらつきの要因となる。また、反応性スパッタリング法を用いると、露出部分の酸化も問題となる可能性がある。露出部分を酸化すると抵抗値のばらつきやカルコゲナイド材料層の組成変動が生じる恐れがある。

[0110] そこで本発明では、絶縁体界面層の形成方法として、金属ターゲットを用いてスパッタリングすることによって金属膜を形成した後、酸素ラジカルや酸素プラズマ等の酸化性雰囲気中で金属膜を酸化する手段を用いる。すなわち、周知のスパッタリング法を用いて、タンタル金属膜を堆積する。次いで、酸素ラジカルでタンタル金属膜を酸化することによって、タンタル酸化膜を形成する。この手段を用いれば、ラジカル酸化時間を最適化することにより、カルコゲナイド材料層の表面を酸化させることなく、タンタル酸化膜からなる界面層を形成できる。

[0111] また、スパッタリング法では、酸化膜を堆積するよりも金属膜を堆積する方が膜厚の面内均一性を高くすることができる。このため、反応性スパッタリング法でタンタル酸化膜を形成するよりも、タンタル金属膜を後酸化してタンタル酸化膜を形成する方が膜厚の均一性は向上する。

[0112] 以上の説明から明らかなように、絶縁体界面層の形成方法として、金属ターゲットを用いてスパッタリングすることによって金属膜を形成した後、酸素ラジカルや酸素プラズマ等の酸化性雰囲気中で金属膜を酸化する手段を用いることにより、酸化膜厚の面内均一性を向上させることができる。具体的には、タンタル酸化膜の厚さの面内分布は 1σ で1%以下となる。この結果、抵抗の面内ばらつきは少なくとも1桁以下に抑制できる。

[0113] 絶縁体界面層の膜厚の面内均一性をさらに高めるためには、まず、金属膜を均一に形成する工夫を施す必要がある。そのために望ましい手段を列記しておく。なお、必ずしも全ての手段が必要な訳ではなく、必要な仕様とコストを勘案して任意に選択すればよい。一つめは、スパッタ室の到達真空度が高いことである。10⁻⁶Pa以下の

超高真空が得られるのが望ましい。二つめは、放電圧力が低いことである。0.1Pa以下で放電させるのが望ましい。三つめは、ターゲットと基板との距離が長いことである。15cm以上離しておくのが望ましい。四つめは基板を回転させながら成膜を行うことである。

[0114] 次に、金属膜を均一に酸化する工夫を施す必要がある。そのためには、制御可能な酸化速度が得られる酸化剤や酸化温度を選択しなければならない。一般的には、酸素ラジカルを用いて室温で酸化するのが望ましい。もちろん、金属膜の材料によっては、酸素や酸素プラズマを酸化剤に用いる方が望ましい場合もあるし、加熱しながら酸化処理する方が望ましい場合もある。また、金属膜を形成する工程の後に基板を真空中で搬送することにより、金属膜を酸化する工程を大気に曝さずに連続して行うのが望ましい。

[0115] これらの手段を必要に応じて採用することにより、具体的には、タンタル酸化膜の厚さの面内分布を1 σ で0.5%以下に抑制することができる。

[0116] (実施の形態2)

以下には、プラグ電極が下に来る実施の形態について述べる。プラグ電極全面が界面層で覆われている例を述べているが図16から図26のように面積が制限されているほうがより好ましいのは上記のプラグ電極が上に来る実施の形態と同様である。

[0117] 図27は、タングステンプラグ112が下に来る実施の形態を示した図である。図14の相違点は、タングステンプラグ112がしたに来たことに伴い、界面層113がカルコゲナイド材料層114の下に配置されたことにある。

[0118] 次に、製造方法について説明する。なお、タングステンプラグ112を形成するまでは図14と同じなため省略する。なお、図14のタングステンコンタクト118がタングステンプラグ112となることは言うまでもない。

[0119] 次に、膜厚が2nmのタンタル酸化膜からなる絶縁体界面層113、膜厚が100nmのGeSbTeからなるカルコゲナイド材料層114、膜厚が50nmのタングステンからなる上部電極115を、スパッタリング法によって順に堆積する。続いて、周知のCVD法によってシリコン酸化膜116を堆積する。続いて、周知のリソグラフィ工程およびドライエッチング工程により、シリコン酸化膜116、上部電極115、カルコゲナイド材料層114

、絶縁体界面層113を順に加工する。

[0120] 次に、表面全体にシリコン酸化膜からなる層間絶縁膜117を堆積し、これを周知のCMP法を用いて表面凹凸を平坦化する。以下、図14と同様に形成することで図27の構造が完成する。ここで、界面層113は、連続膜でもよいし、図16から図25に示されるような構造を有してもよい。その際の効果も同様である。また、図15について、界面層113がカルコゲナイド材料層114の下に来る場合の実施の形態は図示しないが、図27と同様に形成することが可能であることは言うまでもない。

[0121] このように、タングステンプラグをカルコゲナイド材料層114の下に配置することにより、非常に薄い界面層113がカルコゲナイド材料層114の下に来ることになる。これにより、比較的厚いカルコゲナイド材料層114と同じ工程で界面層113を加工でき、さらに界面層113の上面が露出することなくその後の工程を実施することが可能となる。従って、界面層形成後の加工が容易になる。

[0122] 以上、本発明者によってなされた発明を、その実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

[0123] 例えば、選択トランジスタをMOSTトランジスタにより説明したが、ダイオードトランジスタ、バイポーラトランジスタで構成してもよい。ダイオードトランジスタにより形成するとさらに面積を低減することが可能となる。

産業上の利用可能性

[0124] 本発明は、相変化メモリを有する半導体装置に適用することができる。

請求の範囲

- [1] 半導体基板と、
前記半導体基板の主面に形成されたトランジスタと、
前記トランジスタの上方に設けられた層間絶縁膜と、
前記トランジスタに電氣的に接続した電極と、
前記電極に接してあるいは他の層を介して設けられたカルコゲナイド材料層と、
前記カルコゲナイド材料層の上部に設けられた酸素、窒素、炭素、珪素よりなる群より選ばれた少なくとも1元素を含む界面層と、
前記界面層の上部に設けられたプラグ電極とを少なくとも有することを特徴とする半導体装置。
- [2] 前記界面層が、前記層間絶縁膜および前記プラグに接して連続膜として形成されることを特徴とする請求項1記載の半導体装置。
- [3] 前記界面層が、前記プラグに接して連続膜として形成されると共に、前記層間絶縁膜と前記カルコゲナイド材料層の一部とが接するように形成されることを特徴とする請求項1記載の半導体装置。
- [4] 前記界面層が、前記層間絶縁膜と接して連続膜として形成されると共に、前記プラグと前記カルコゲナイド材料層の一部とが接するように形成されることを特徴とする請求項1記載の半導体装置。
- [5] 前記界面層の平均膜厚が0.1nm以上、5nm以下であることを特徴とする請求項1記載の半導体装置。
- [6] 半導体基板と、
前記半導体基板の主面に形成された選択トランジスタと、
前記選択トランジスタの上方に設けられた層間絶縁膜と、
前記層間絶縁膜の上に形成される界面層と、
前記界面層の上に形成されるカルコゲナイド材料層と、
前記層間絶縁膜内に前記界面層と前記選択トランジスタの間に形成されるプラグと、
、
を具備し、

前記カルコゲナイド材料層は、前記界面層に流れるトンネル電流により相変化し、
前記界面層は、前記カルコゲナイド材料層の一部と前記プラグとが接するように形成されることを特徴とする半導体装置。

[7] 前記界面層は、前記層間絶縁膜と接して連続膜として形成されることを特徴とする請求項6記載の半導体装置。

[8] 前記界面層は、前記層間絶縁膜と前記カルコゲナイド材料層の一部が接するように形成されることを特徴とする請求項6記載の半導体装置。

[9] 半導体基板と、
前記半導体基板の主面に形成された選択トランジスタと、
前記選択トランジスタの上方に設けられた層間絶縁膜と、
前記層間絶縁膜の上に形成される界面層と、
前記界面層の上に形成されるカルコゲナイド材料層と、
前記層間絶縁膜内に前記界面層と前記選択トランジスタの間に形成されるプラグと

、
を具備し、

前記カルコゲナイド材料層は、前記界面層に流れるトンネル電流により相変化し、
前記界面層は、前記カルコゲナイド材料層の一部と前記層間絶縁膜とが接するように形成されることを特徴とする半導体装置。

[10] 前記界面層は、前記プラグと接して連続膜として形成されることを特徴とする請求項9記載の半導体装置。

[11] 前記界面層は、前記プラグと前記カルコゲナイド材料層の一部が接するように形成されることを特徴とする請求項9記載の半導体装置。

補正書の請求の範囲

[2007年10月17日 (17.10.2007) 国際事務局受理]

- [1] (補正後) 半導体基板と、
前記半導体基板の主面に形成されたトランジスタと、
前記トランジスタの上方に設けられた層間絶縁膜と、
前記トランジスタに電氣的に接続した電極と、
前記電極に接してあるいは他の層を介して設けられたカルコゲナイド材料層と、
前記カルコゲナイド材料層の上部に接して設けられた酸素、窒素、炭素、珪素よりなる群より選ばれた少なくとも1元素を含む界面層と、
前記界面層の上部に接して設けられたプラグ電極とを少なくとも有することを特徴とする半導体装置。
- [2] 前記界面層が、前記層間絶縁膜および前記プラグに接して連続膜として形成されることを特徴とする請求項1記載の半導体装置。
- [3] 前記界面層が、前記プラグに接して連続膜として形成されると共に、前記層間絶縁膜と前記カルコゲナイド材料層の一部とが接するように形成されることを特徴とする請求項1記載の半導体装置。
- [4] 前記界面層が、前記層間絶縁膜と接して連続膜として形成されると共に、前記プラグと前記カルコゲナイド材料層の一部とが接するように形成されることを特徴とする請求項1記載の半導体装置。
- [5] 前記界面層の平均膜厚が0.1 nm以上、5 nm以下であることを特徴とする請求項1記載の半導体装置。
- [6] (補正後) 半導体基板と、
前記半導体基板の主面に形成された選択トランジスタと、
前記選択トランジスタの上方に設けられた層間絶縁膜と、
前記層間絶縁膜の上に形成される界面層と、
前記界面層の上に形成されるカルコゲナイド材料層と、
前記層間絶縁膜内に前記界面層と前記選択トランジスタの間に前記界面層に接して形成されるプラグとを具備し、

前記界面層は、前記カルコゲナイド材料層の一部と前記プラグとが接するように形成され、

前記界面層は、前記層間絶縁膜と接して連続膜として形成されていることを特徴とする半導体装置。

[7] (削除)

[8] (削除)

[9] (補正後) 半導体基板と、

前記半導体基板の主面に形成された選択トランジスタと、

前記選択トランジスタの上方に設けられた層間絶縁膜と、

前記層間絶縁膜の上に形成される界面層と、

前記界面層の上に形成されるカルコゲナイド材料層と、

前記層間絶縁膜内に前記界面層と前記選択トランジスタの間に前記界面層と接して形成されるプラグとを具備し、

前記界面層は、前記カルコゲナイド材料層の一部と前記層間絶縁膜とが接するように形成され、

前記界面層は、前記プラグと接して連続膜として形成されていることを特徴とする半導体装置。

[10] (削除)

[11] (削除)

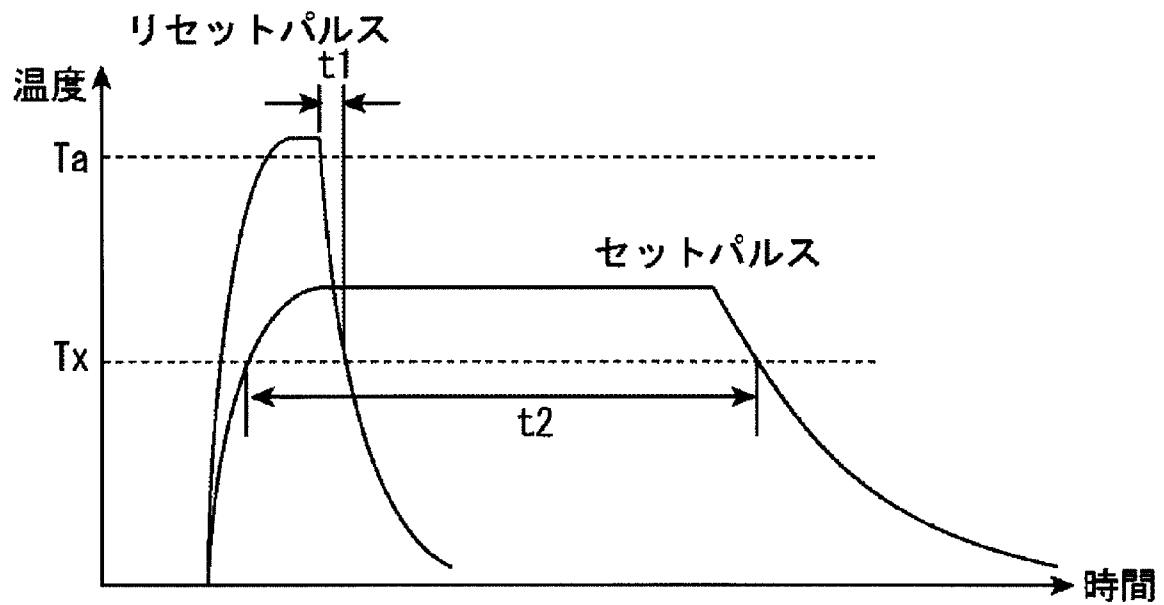
[12] (追加) 前記界面層は、 Ta_2O_5 又は Cr_2O_3 を含むことを特徴とする請求項1記載の半導体装置。

[13] (追加) 前記界面層は、 Ta_2O_5 又は Cr_2O_3 を含むことを特徴とする請求項6記載の半導体装置。

[14] (追加) 前記界面層は、 Ta_2O_5 又は Cr_2O_3 を含むことを特徴とする請求項9記載の半導体装置。

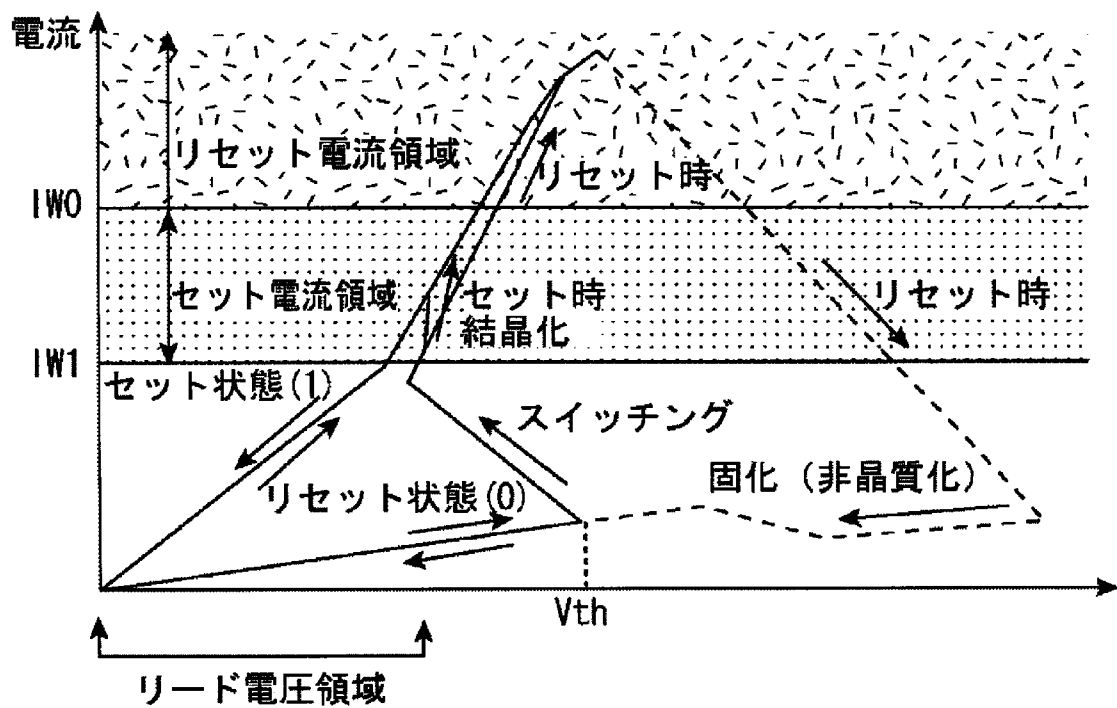
[図1]

図 1



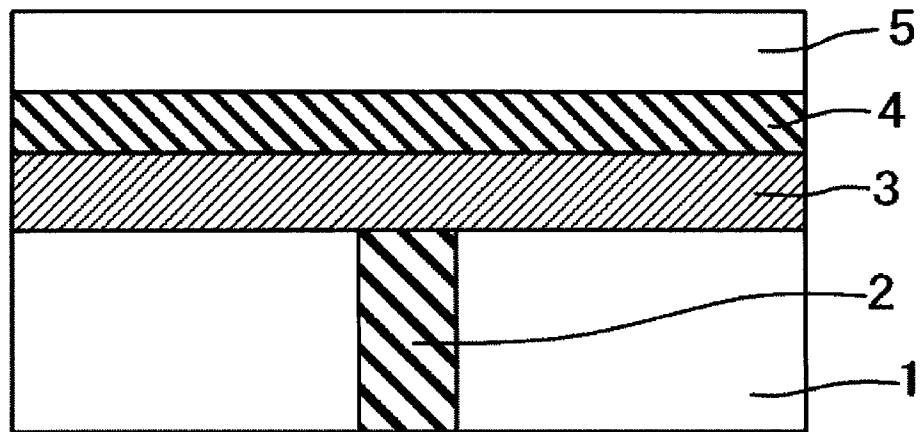
[図2]

図 2



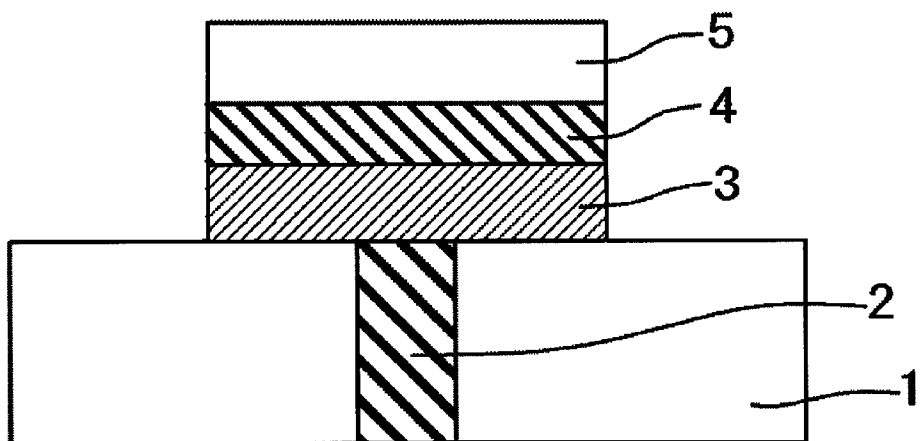
[図3]

図 3



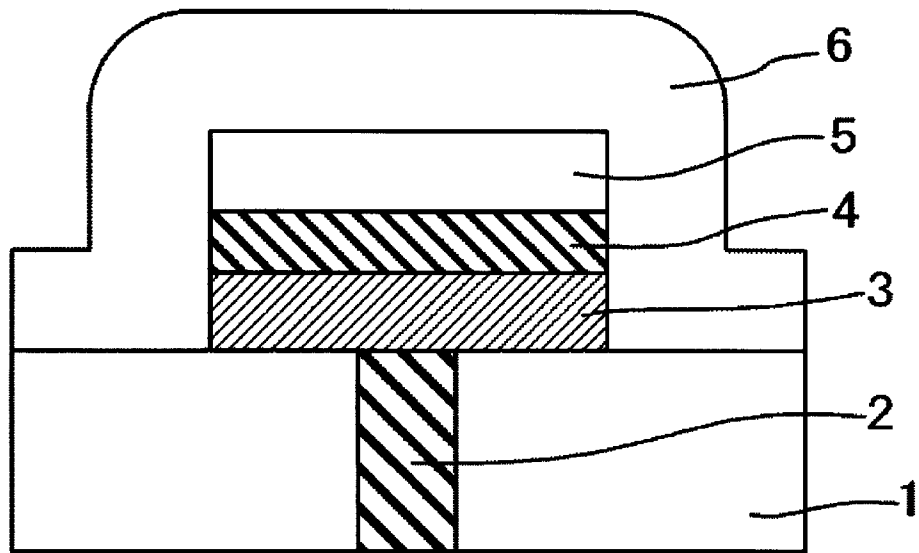
[図4]

図 4



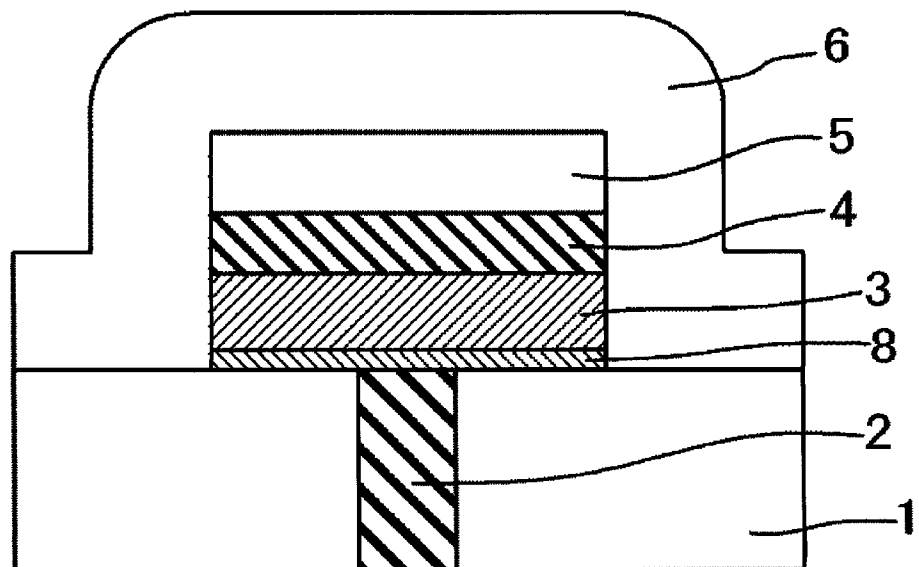
[図5]

図 5



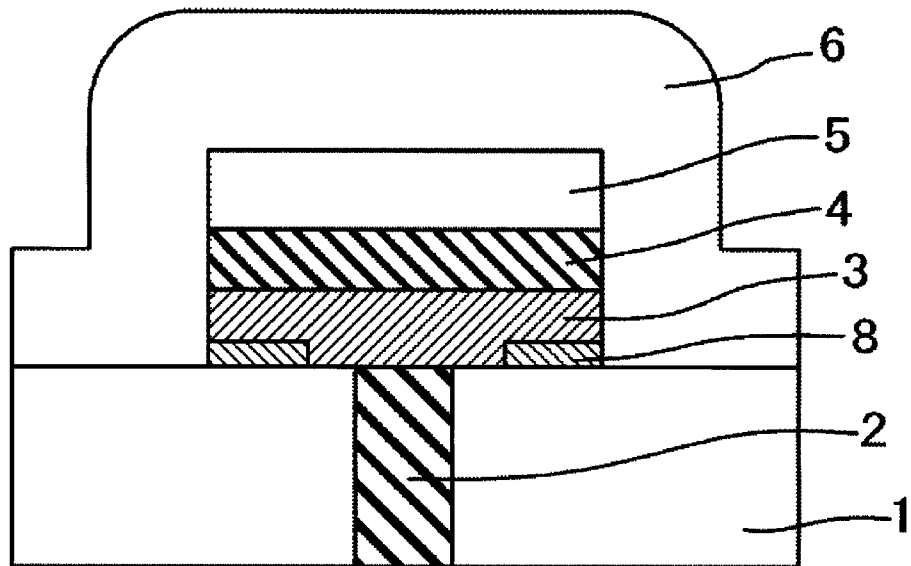
[図6]

図 6



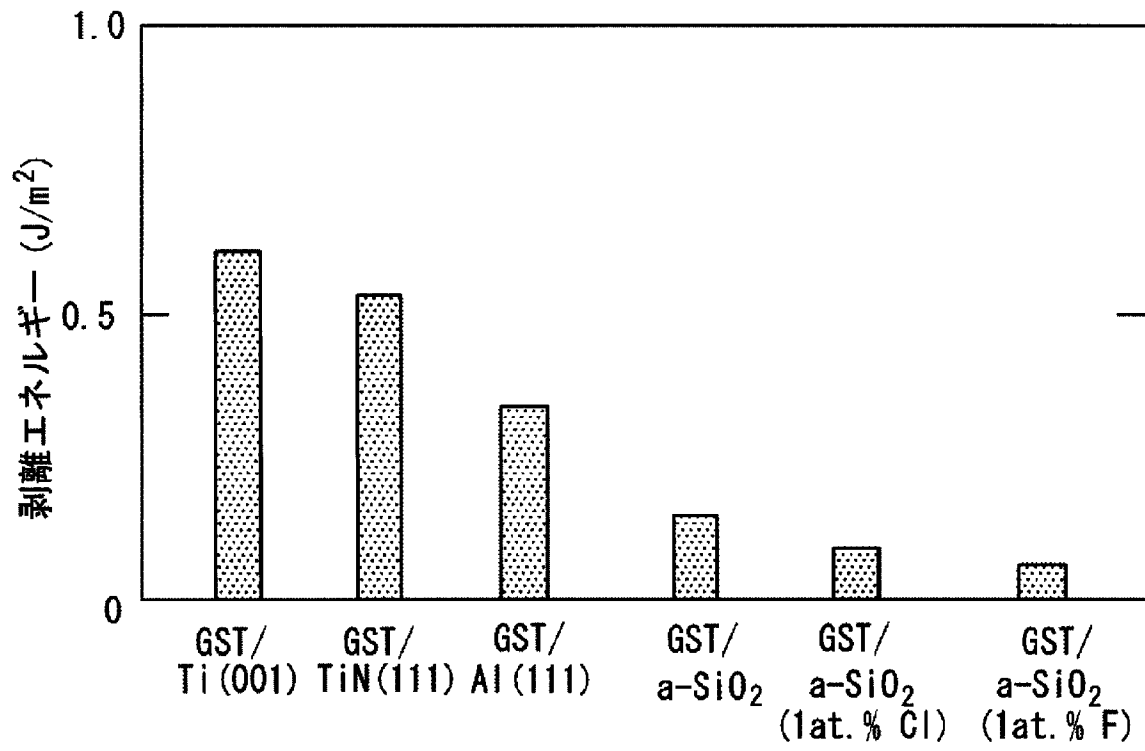
[図7]

図 7



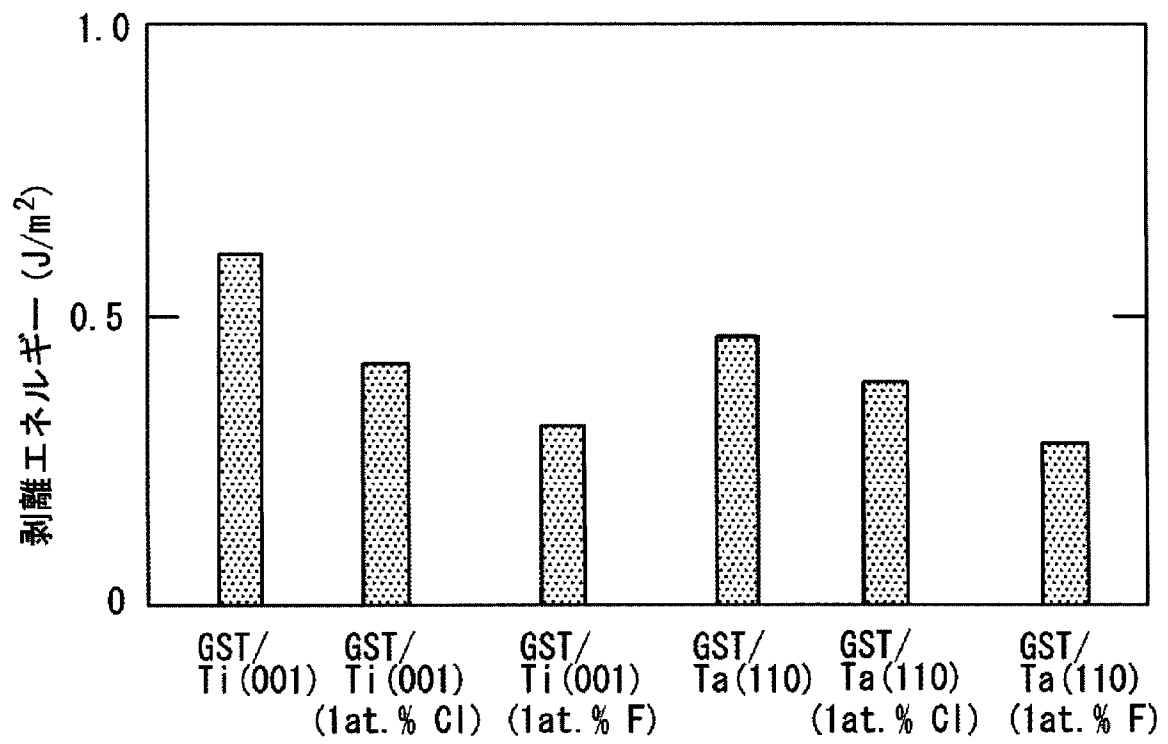
[図8]

図 8



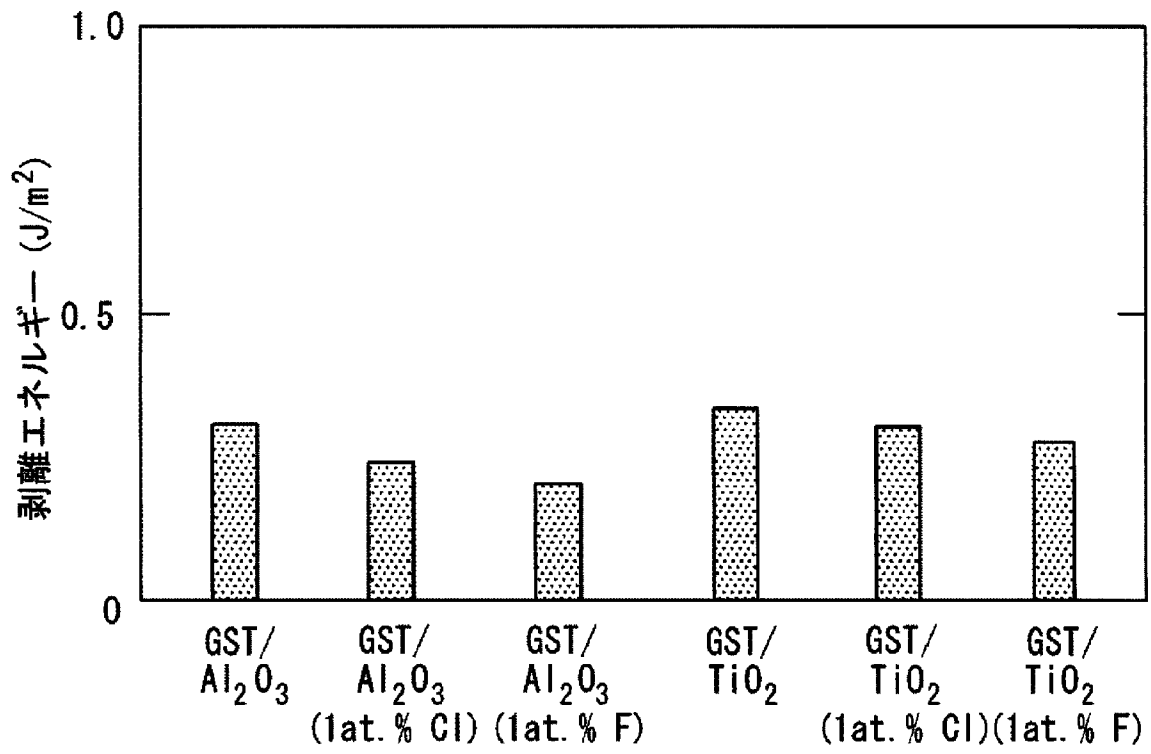
[図9]

図 9



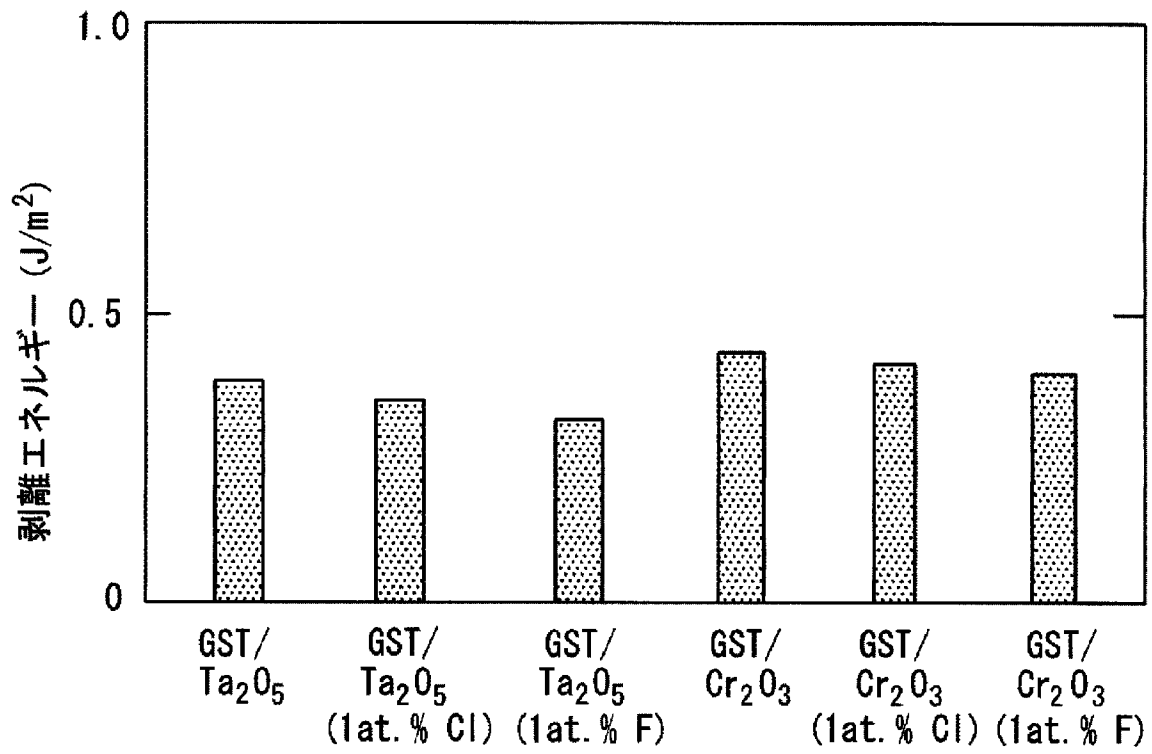
[図10]

図 10



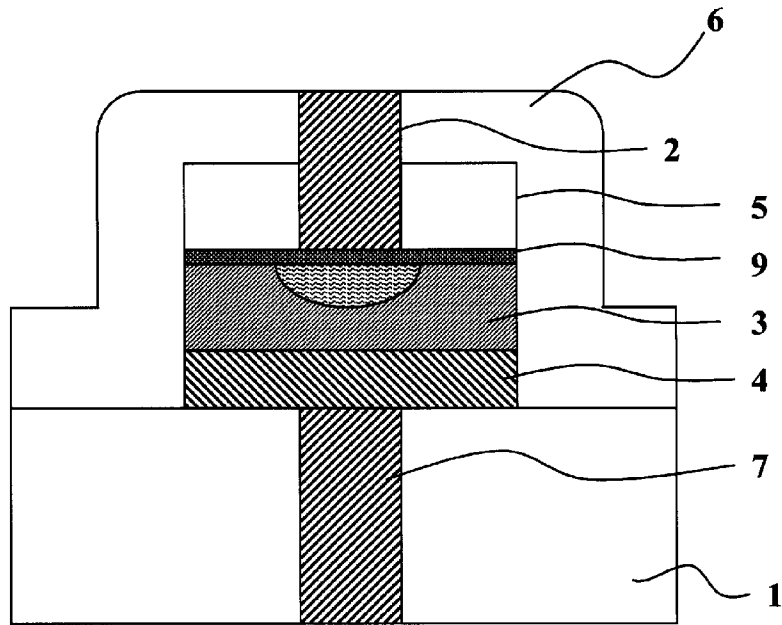
[図11]

図 1 1



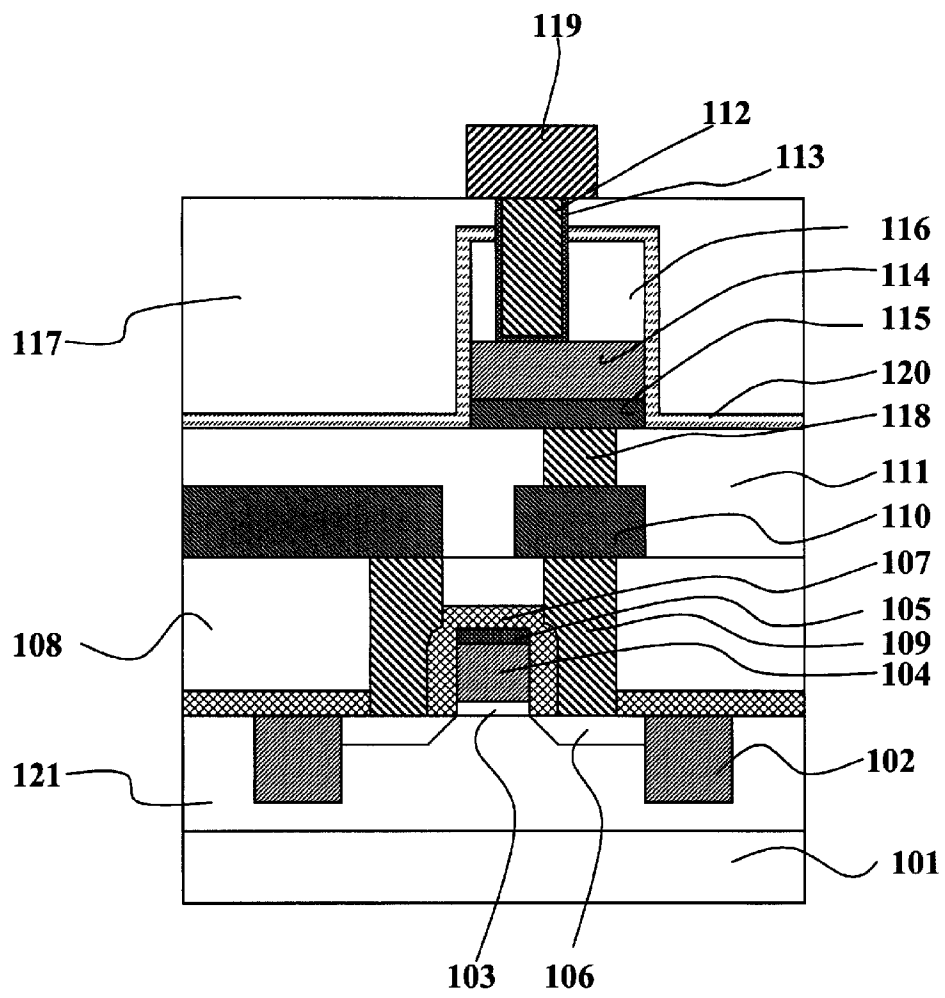
[図12]

図12



[図13]

図13



[図14]

図14

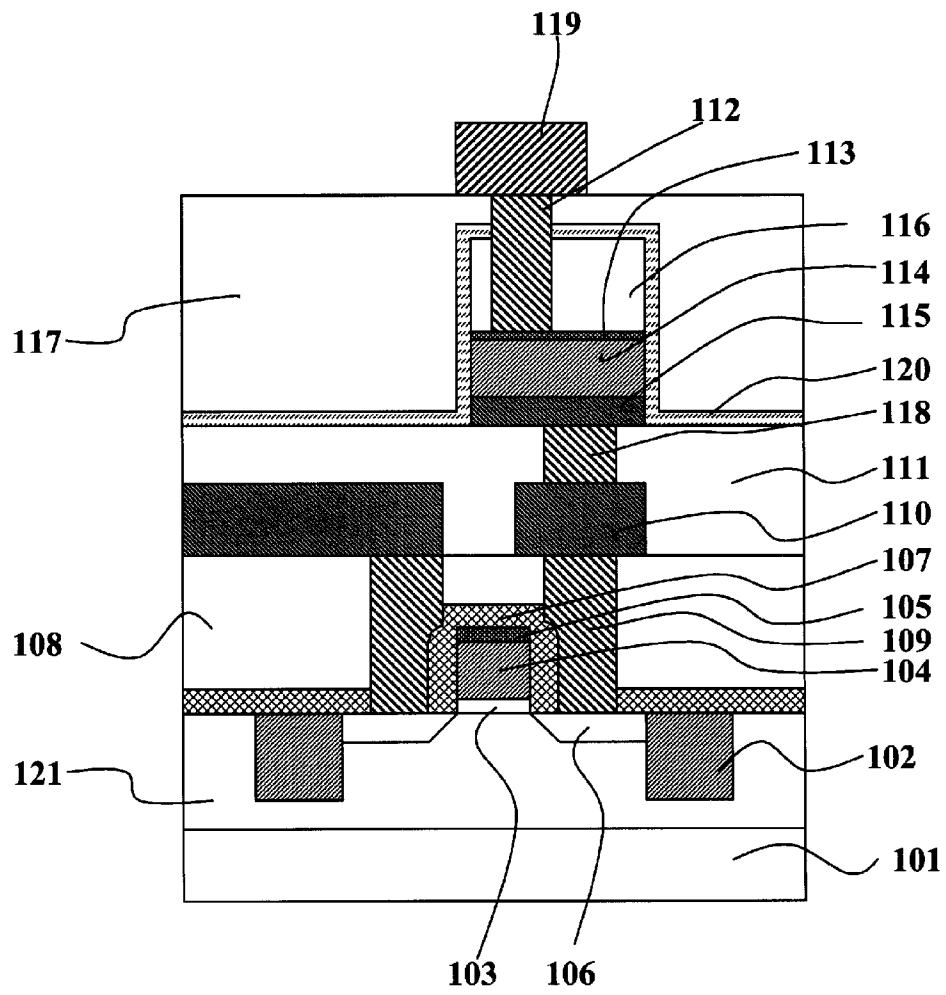
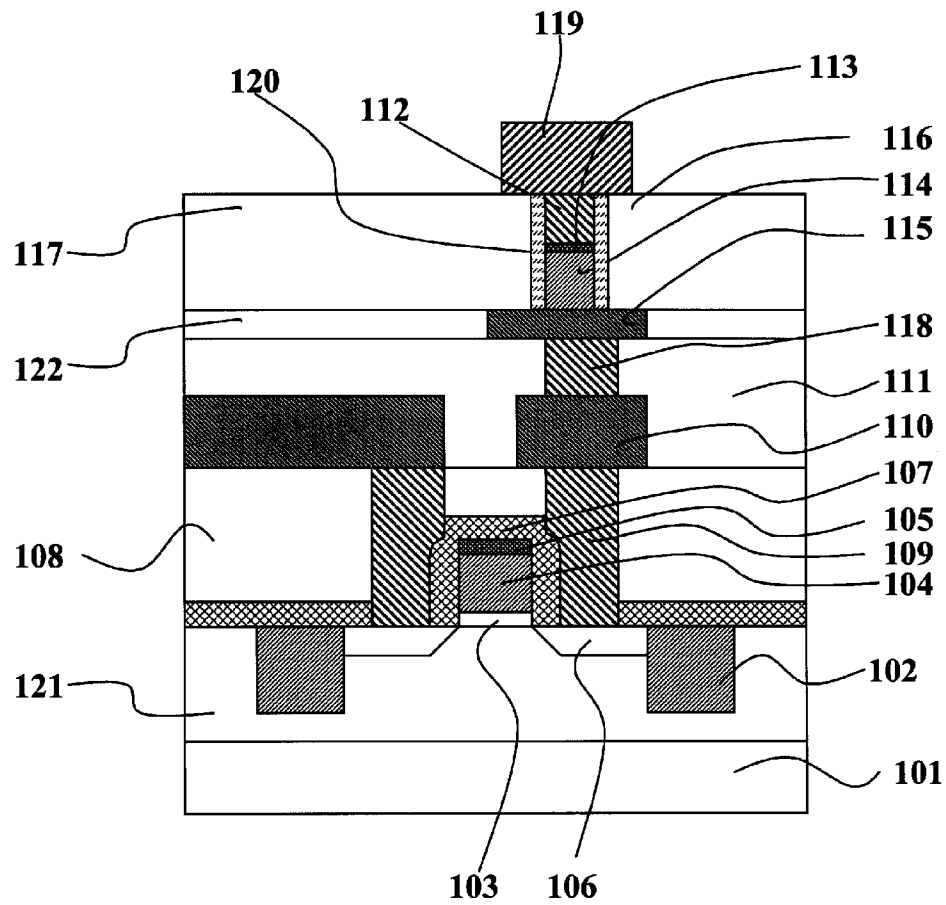
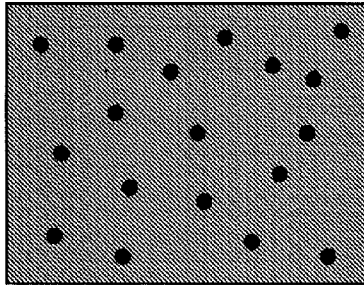


図15



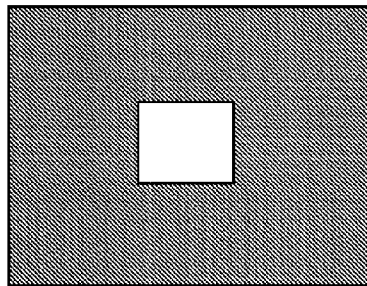
[図16]

図16



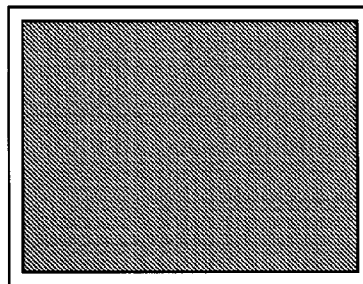
[図17]

図17



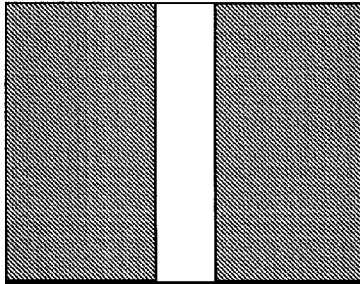
[図18]

図18



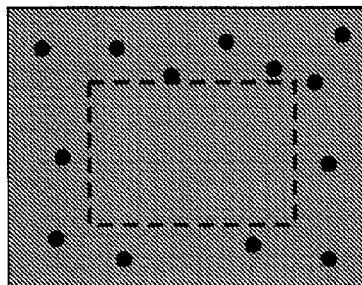
[図19]

図19



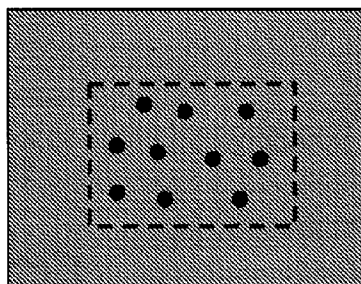
[図20]

図20



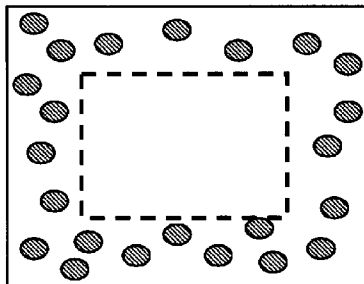
[図21]

図21



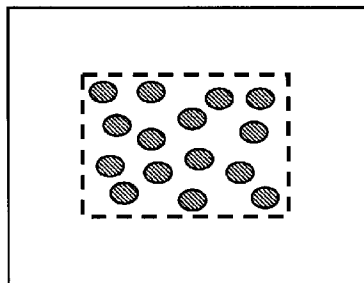
[図22]

図22



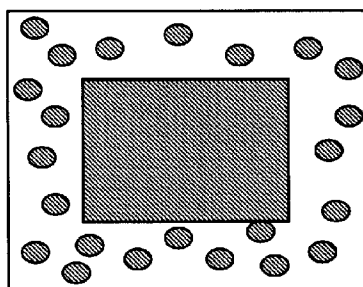
[図23]

図23



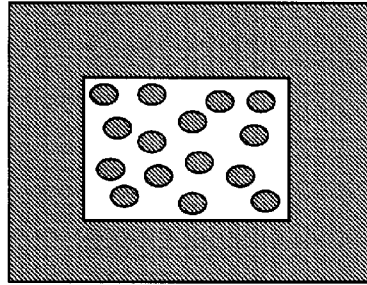
[図24]

図24



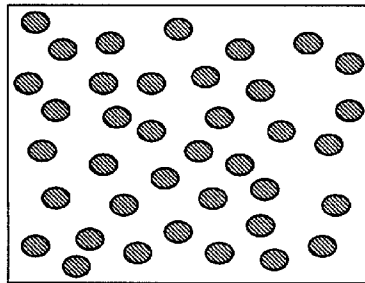
[図25]

図25



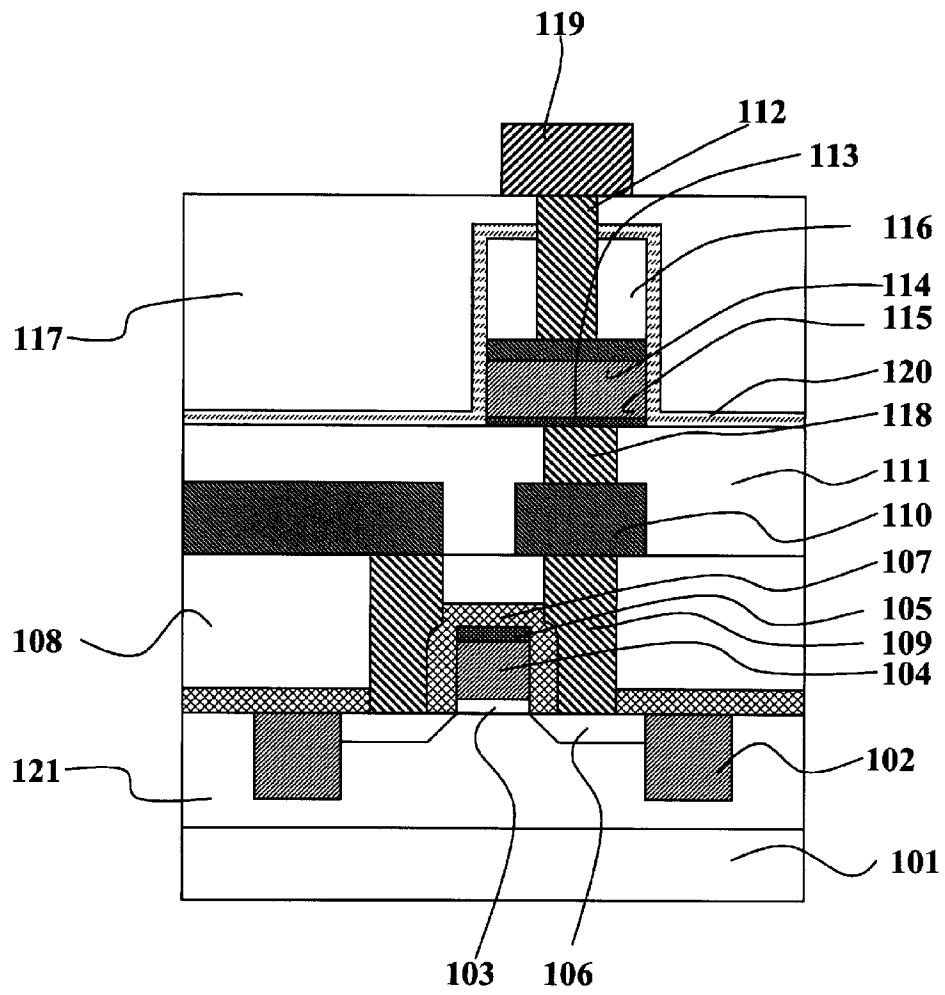
[図26]

図26



[図27]

図27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/312640

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/105(2006.01) i, H01L45/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/105, H01L45/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2005/112118 A1 (Renesas Technology Corp.), 24 November, 2005 (24.11.05), Par. Nos. [0026] to [0028]; Fig. 12 (Family: none)	1-5
X	JP 2005-340847 A (Samsung Electronics Co., Ltd.), 08 December, 2005 (08.12.05), Par. Nos. [0087], [0093]; Fig. 9 & US 2005/0263829 A1 & DE 102005025209 A1 & CN 1702883 A	1-5
X	JP 2003-174144 A (ST Microelectronics S.r.l.), 20 June, 2003 (20.06.03), Par. Nos. [0048] to [0052]; Fig. 24 & EP 1318552 A1	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 August, 2006 (29.08.06)

Date of mailing of the international search report
05 September, 2006 (05.09.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/312640

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-156886 A (Renesas Technology Corp.), 15 June, 2006 (15.06.06), Par. Nos. [0037], [0115]; Figs. 3, 12, 13 & US 2006/0113520 A1	6-11
Y	JP 2006-140395 A (Renesas Technology Corp.), 01 June, 2006 (01.06.06), Par. Nos. [0024], [0025]; Fig. 1 & US 2006/0105556 A1	6-11
A	JP 2005-317812 A (Riken, Japan), 10 November, 2005 (10.11.05), Full text (Family: none)	1-11
A	JP 2005-229015 A (Sony Corp.), 25 August, 2005 (25.08.05), Full text (Family: none)	1-11
A	JP 2005-166976 A (Sony Corp.), 23 June, 2005 (23.06.05), Full text & US 2005/0121697 A1 & CN 1655385 A1	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L27/105(2006.01)i, H01L45/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/105, H01L45/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2－1 9 9 6年
日本国公開実用新案公報	1 9 7 1－2 0 0 6年
日本国実用新案登録公報	1 9 9 6－2 0 0 6年
日本国登録実用新案公報	1 9 9 4－2 0 0 6年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 2005/112118 A1（株式会社ルネサステクノロジ）2005. 11. 24, 段落[0026]-[0028], 第1 2 図 (ファミリーなし)	1-5
X	JP 2005-340837 A（三星電子株式会社）2005. 12. 08, 段落【0087】 , 【0093】 , 第9 図 & US 2005/0263829 A1 & DE 102005025209 A1 & CN 1702883 A	1-5

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 0 8 . 2 0 0 6

国際調査報告の発送日

0 5 . 0 9 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号1 0 0－8 9 1 5
東京都千代田区霞が関三丁目4 番3 号

特許庁審査官（権限のある職員）

正山 旭

電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 4 6 2

4 M

9 2 7 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-174144 A (エスティーマイクロエレクトロニクス エス. アール. エル) 2003. 06. 20, 段落【0048】 - 【0052】, 第 2 4 図 & EP 1318552 A1	1-5
X	JP 2006-156886 A (株式会社ルネサステクノロジ) 2006. 06. 15, 段落【0037】, 【0115】, 第 3 図, 第 1 2 図, 第 1 3 図 & US 2006/0113520 A1	6-11
Y	JP 2006-140395 A (株式会社ルネサステクノロジ) 2006. 06. 01, 段落【0024】, 【0025】, 第 1 図 & US 2006/0105556 A1	6-11
A	JP 2005-317812 A (独立行政法人理化学研究所) 2005. 11. 10, 全文 (ファミリーなし)	1-11
A	JP 2005-229015 A (ソニー株式会社) 2005. 08. 25, 全文 (ファミリーなし)	1-11
A	JP 2005-166976 A (ソニー株式会社) 2005. 06. 23, 全文 & US 2005/0121697 A1 & CN 1655358 A	1-11