

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5262028号
(P5262028)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int. Cl.		F I			
HO4N	5/359	(2011.01)	HO4N	5/335	590
HO4N	5/374	(2011.01)	HO4N	5/335	740
HO1L	27/146	(2006.01)	HO1L	27/14	A

請求項の数 7 (全 29 頁)

(21) 出願番号	特願2007-233662 (P2007-233662)	(73) 特許権者	000002185
(22) 出願日	平成19年9月10日 (2007.9.10)		ソニー株式会社
(65) 公開番号	特開2009-65585 (P2009-65585A)		東京都港区港南1丁目7番1号
(43) 公開日	平成21年3月26日 (2009.3.26)	(74) 代理人	100082131
審査請求日	平成22年3月12日 (2010.3.12)		弁理士 稲本 義雄
前置審査		(72) 発明者	高宮 健一
			神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内
		(72) 発明者	小関 賢
			神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内
		審査官	松田 岳士

最終頁に続く

(54) 【発明の名称】 イメージセンサおよび制御方法

(57) 【特許請求の範囲】

【請求項1】

画像を撮像するイメージセンサにおいて、
入射光を光電変換して電荷を蓄積し、前記電荷に応じた画素信号を出力する画素と、
前記画素を制御し、前記画素に蓄積されている不要な電荷を排出させるシャッタ処理、
所定の露光時間で光電変換された電荷を前記画素に蓄積させる電荷蓄積処理、および、
前記電荷蓄積処理で前記画素に蓄積されている電荷に応じた画素信号を出力させるリード処理を行わせ、画素信号を出力する画素として選択されているか否かを表す選択信号を記憶するメモリを有する制御手段と

を備え、

前記制御手段は、行列状に配置されている複数の前記画素の各行に設けられており、それぞれの前記メモリに記憶されている前記選択信号に従って前記行ごとに独立した駆動信号を生成して前記画素を制御し、前記シャッタ処理が行われる期間、前記電荷蓄積処理が行われる期間、および前記リード処理が行われる期間以外の期間である非蓄積期間に、前記画素で光電変換される電荷を排出させる

イメージセンサ。

【請求項2】

前記イメージセンサでは、複数の前記画素が行列状に配置され、前記制御手段が前記画素の各行に設けられており、

前記制御手段は、それぞれの行の前記画素が、画素信号を出力する画素として選択され

ているか否かを表す選択信号に基づいて、前記画素を制御する
請求項 1 に記載のイメージセンサ。

【請求項 3】

前記画素は、

入射光を光電変換する光電変換手段と、

前記光電変換手段により光電変換される電荷を蓄積し、前記電荷に応じた電圧に変換する変換手段と、

前記光電変換手段により光電変換される電荷の前記変換手段への転送をオン/オフする転送手段と、

前記変換手段に蓄積されている電荷の排出をオン/オフする排出手段と

10

を有し、

前記制御手段は、前記非蓄積期間において、前記転送手段による電荷の転送をオンにするとともに、前記排出手段による電荷の排出をオンにする

請求項 1 に記載のイメージセンサ。

【請求項 4】

前記制御手段は、前記シャッタ処理および前記電荷蓄積処理が行われている期間において、前記排出手段による電荷の排出をオンにする

請求項 3 に記載のイメージセンサ。

【請求項 5】

前記画素は、複数の前記光電変換手段を有し、

20

前記変換手段には、複数の前記光電変換手段により光電変換される電荷が、複数の前記光電変換手段ごとの前記転送手段を介して、順次、蓄積され、

前記制御手段は、複数の前記光電変換手段ごとの前記転送手段のうちの、いずれか 1 つの前記転送手段による電荷の転送をオンにしている期間では、他の前記光電変換手段の前記転送手段による電荷の転送をオフにする

請求項 3 に記載のイメージセンサ。

【請求項 6】

前記画素信号を読み出す処理を開始する前に、前記制御手段が有する前記メモリには、前記画素信号を出力する画素として選択されていることを示す前記選択信号が記憶される

請求項 1 に記載のイメージセンサ。

30

【請求項 7】

入射光を光電変換して電荷を蓄積し、前記電荷に応じた画素信号を出力する画素と、前記画素を制御し、前記画素に蓄積されている不要な電荷を排出させるシャッタ処理、所定の露光時間で光電変換された電荷を前記画素に蓄積させる電荷蓄積処理、および、前記電荷蓄積処理で前記画素に蓄積されている電荷に応じた画素信号を出力させるリード処理を行わせ、画素信号を出力する画素として選択されているか否かを表す選択信号を記憶するメモリを有する制御手段とを備え、画像を撮像するイメージセンサの制御方法であって、

前記制御手段が、行列状に配置されている複数の前記画素の各行に設けられており、それぞれの前記メモリに記憶されている前記選択信号に従って前記行ごとに独立した駆動信号を生成して前記画素を制御し、前記シャッタ処理が行われる期間、前記電荷蓄積処理が行われる期間、および前記リード処理が行われる期間以外の期間である非蓄積期間に、前記画素で光電変換される電荷を排出させる制御を行う

40

制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イメージセンサおよび制御方法に関し、特に、簡単な構成で、良質な画像を得ることができるようにしたイメージセンサおよび制御方法に関する。

【背景技術】

【0002】

50

一般に、CMOS (complementary metal oxide semiconductor) センサでは、フォトダイオードを有する複数の画素が行列状に配置されており、フォトダイオードにより光電変換された電荷に応じた画素信号が、各画素から出力される。

【0003】

また、CMOSセンサの各画素は、画素信号の出力を制御するためのトランジスタをそれぞれ有しており、行および列のアドレスを指定する制御信号に応じて、ライン（行）ごとあるいは画素ごとに、画素信号を出力する。

【0004】

例えば、画素は、転送トランジスタ、リセットトランジスタ、増幅トランジスタ、および選択トランジスタの4つのトランジスタを有して構成される。また、転送トランジスタ、リセットトランジスタ、および増幅トランジスタの接続点は、フォトダイオードにより光電変換された電荷を蓄積して電圧に変換するフローティングディフュージョンを構成する。

【0005】

転送トランジスタは、フォトダイオードにより光電変換された電荷をフローティングディフュージョンに転送する。リセットトランジスタは、フローティングディフュージョンに蓄積された電荷をリセットする。増幅トランジスタは、フローティングディフュージョンに蓄積された電荷に応じた電圧を増幅する。選択トランジスタは、増幅トランジスタにより増幅された電圧、即ち、画素信号を、垂直信号線に出力する。

【0006】

そして、CMOSセンサでは、各トランジスタを制御することで、行ごと、または画素ごとに、フォトダイオードに蓄積された電荷をフローティングディフュージョンに転送する処理や、画素信号を出力する処理が行われる。また、CMOSセンサでは、画素の露光の開始時に、それ以前にフォトダイオードに蓄積されている電荷をリセットするとともに、画素の露光の終了時に、露光によりフォトダイオードおよびフローティングディフュージョンに蓄積された電荷をリセットする処理（以下、適宜、ローリングシャッタと称する）が行われる。

【0007】

また、CMOSセンサでは、全ての画素の画素数よりも少ない画素数の画像を撮像するときには、画角の切り出し処理や、間引き処理が行われる。例えば、間引き処理においては、画素信号を読み出す画素が、数行および数列ずつ間引かれ、一部の画素から読み出される画素信号により画像が撮像される。

【0008】

このような間引き処理などにおいては、画素信号が読み出されない画素が発生し、その画素信号が読み出されない画素である非読み出し画素には、電荷の蓄積の開始および終了を制御するローリングシャッタがかからないため、ブルーミング現象が発生する。ブルーミング現象とは、フォトダイオードが蓄積することができる最大の電荷量以上の電荷が光電変換されたときに、その電荷がフォトダイオードから溢れ出し（滲み出て）、転送トランジスタやチャンネルストップ領域を通過して、フローティングディフュージョンや隣接する他の画素に流出する現象である。

【0009】

ブルーミング現象が発生すると、画像に白い帯状または白い円状のパターンが発生し、これにより、画質が劣化する恐れがある。

【0010】

ブルーミング現象に対する対策としては、画素信号が読み出されない画素に対し、フォトダイオードに蓄積される電荷をリセットするための、ブルーミング現象の回避のためのシャッタをかけることが考えられる。

【0011】

しかしながら、ブルーミング現象の回避のためのシャッタをかけるためには、その処理を行うための専用回路や専用のアドレス線をCMOSセンサに追加する必要がある。様々な撮

10

20

30

40

50

像モードに対応するためには、それぞれの撮像モードに対応した画角の切り出し処理や間引き処理に対応しなければならないため、ブルーミング現象の回避のためのシャッタをかけるための専用回路は複雑となるとともに、その回路規模が大きくなる。

【0012】

さらに、この専用回路は、特定の撮像モードに特化したものとなり、撮像モードを修正や追加したときには、回路を修正したり、新たに追加する必要がある、撮像モードの修正や追加に対応することが困難である。また、専用のアドレス線を準備する場合は、アドレス線が多数必要になるとともに、専用のアドレスデコード回路も必要となる。そのため、多数の撮像モードがある場合には、ブルーミング現象の回避のためのシャッタ用のアドレス線と、専用回路とを組み合わせる手法が用いられるが、回路が複雑となるとともに、その回路規模が大きくなる。また、シャッタ位置を管理するアドレス制御装置において、管理することが必要なシャッタ位置が多くなるとともに、複雑になり、その結果、アドレス制御装置の回路規模も大きくなる。

10

【0013】

また、画素信号が読み出される画素においても、ローリングシャッタがかかるまでに、強い光がフォトダイオードに入射したときには、フォトダイオードから電荷が溢れ出し、ブルーミング現象が発生する。そして、隣接する画素が露光中である場合、その画素に不要な電荷が蓄積され、これにより、画質が劣化する。

【0014】

ここで、デコーダが選択するアドレスを時分割多重化し、1つのデコーダで複数の電子シャッタ行、または読み出し行を選択する技術が開示されている（例えば、特許文献1参照）。

20

【0015】

【特許文献1】特開2004-166269号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

上述したように、従来のCMOSセンサでは、ブルーミング現象を回避し、ブルーミング現象による画質の劣化のない良質な画像を得るには、複雑な構成の回路を用いる必要があった。

30

【0017】

本発明は、このような状況に鑑みてなされたものであり、簡単な構成で、良質な画像を得ることができるようにするものである。

【課題を解決するための手段】

【0018】

本発明の一側面のイメージセンサは、画像を撮像するイメージセンサであって、入射光を光電変換して電荷を蓄積し、前記電荷に応じた画素信号を出力する画素と、前記画素を制御し、前記画素に蓄積されている不要な電荷を排出させるシャッタ処理、所定の露光時間で光電変換された電荷を前記画素に蓄積させる電荷蓄積処理、および、前記電荷蓄積処理で前記画素に蓄積されている電荷に応じた画素信号を出力させるリード処理を行わせ、画素信号を出力する画素として選択されているか否かを表す選択信号を記憶するメモリを有する制御手段とを備え、前記制御手段は、行列状に配置されている複数の前記画素の各行に設けられており、それぞれの前記メモリに記憶されている前記選択信号に従って前記行ごとに独立した駆動信号を生成して前記画素を制御し、前記シャッタ処理が行われる期間、前記電荷蓄積処理が行われる期間、および前記リード処理が行われる期間以外の期間である非蓄積期間に、前記画素で光電変換される電荷を排出させる。

40

本発明の一側面の制御方法は、入射光を光電変換して電荷を蓄積し、前記電荷に応じた画素信号を出力する画素と、前記画素を制御し、前記画素に蓄積されている不要な電荷を排出させるシャッタ処理、所定の露光時間で光電変換された電荷を前記画素に蓄積させる電荷蓄積処理、および、前記電荷蓄積処理で前記画素に蓄積されている電荷に応じた画素

50

信号を出力させるリード処理を行わせ、画素信号を出力する画素として選択されているか否かを表す選択信号を記憶するメモリを有する制御手段とを備え、画像を撮像するイメージセンサの制御方法であって、前記制御手段が、行列状に配置されている複数の前記画素の各行に設けられており、それぞれの前記メモリに記憶されている前記選択信号に従って前記行ごとに独立した駆動信号を生成して前記画素を制御し、前記シャッタ処理が行われる期間、前記電荷蓄積処理が行われる期間、および前記リード処理が行われる期間以外の期間である非蓄積期間に、前記画素で光電変換される電荷を排出させる制御が行われる。

【0019】

本発明の一側面においては、画素により、入射光を光電変換して電荷を蓄積し、電荷に応じた画素信号が出力される。制御手段により、画素は制御され、画素に蓄積されている不要な電荷を排出させるシャッタ処理、所定の露光時間で光電変換された電荷を画素に蓄積させる電荷蓄積処理、および、電荷蓄積処理で画素に蓄積されている電荷に応じた画素信号を出力させるリード処理が行われる。そして、画素信号を出力する画素として選択されているか否かを表す選択信号を記憶するメモリを有する制御手段は、行列状に配置されている複数の画素の各行に設けられており、それぞれのメモリに記憶されている選択信号に従って行ごとに独立した駆動信号を生成して画素を制御し、シャッタ処理が行われる期間、電荷蓄積処理が行われる期間、およびリード処理が行われる期間以外の期間である非蓄積期間に、画素で光電変換される電荷が排出される。

10

【発明の効果】

【0020】

本発明の一側面によれば、簡単な構成で、良質な画像を得ることができる。

20

【発明を実施するための最良の形態】

【0021】

以下に本発明の実施の形態を説明する。

【0024】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

【0025】

図1は、本発明を適用したCMOSセンサの一実施の形態の構成例を示すブロック図である。

30

【0026】

図1において、CMOSセンサ11は、システム制御ユニット12、垂直走査回路13、ピクセルアレイ14、参照電圧回路15、カラムADC(Analog to Digital Converter)16、および水平走査回路17から構成される。

【0027】

システム制御ユニット12は、ロジック制御回路、PLL回路(CLK分周)、タイミング制御回路、および通信インタフェースなどを備えている。システム制御ユニット12には、図示しない外部の回路からメインクロックが供給され、システム制御ユニット12は、CMOSセンサ11を構成する各ブロックの制御や、外部の回路との通信を行う。

【0028】

40

垂直走査回路13は、システム制御ユニット12の制御に従って、ピクセルアレイ14の垂直方向に並ぶ画素を、順次、所定のタイミングで制御し、各画素から画素信号を出力させる。

【0029】

ピクセルアレイ14は、横×縦の個数が $M \times N$ 個である画素 21_{11} 乃至 21_{MN} 、 N 本の行制御線 22_1 乃至 22_N 、および M 本の垂直信号線 23_1 乃至 23_M から構成される。画素 21_{11} 乃至 21_{MN} は、行制御線 22_1 乃至 22_N を介して垂直走査回路13に接続され、垂直信号線 23_1 乃至 23_M を介してカラムADC16に接続されている。

【0030】

画素 21_{11} 乃至 21_{MN} は、例えば、ベイア配列に従って、3色の光(R,G,B)を受光す

50

るように配置されており、垂直走査回路 13 から行制御線 22_1 乃至 22_N を介して供給される駆動信号に従って駆動し、垂直信号線 23_1 乃至 23_M に画素信号を出力する。

【0031】

参照電圧回路 15 には、システム制御ユニット 12 から、ゲインやオフセットを制御する制御信号や、所定の周波数のクロック信号などが供給される。参照電圧回路 15 は、所定の初期電圧から、一定の傾きで電圧が降下するランプ信号を生成し、コラムADC 16 に供給する。

【0032】

コラムADC 16 は、電圧比較部 25、A/D変換部 26、および感度増幅部 27 から構成される。

10

【0033】

電圧比較部 25 は、M個の比較器 28_1 乃至 28_M を有し、比較器 28_1 乃至 28_M には、垂直信号線 23_1 乃至 23_M を介して、画素 21_{11} 乃至 21_{MN} から画素信号がそれぞれ供給されるとともに、参照電圧回路 15 からランプ信号が供給される。

【0034】

比較器 28_1 乃至 28_M は、垂直信号線 23_1 乃至 23_M を介して供給される画素信号と、参照電圧回路 15 からのランプ信号を比較し、その比較結果を表す比較結果信号を、A/D変換部 26 に供給する。

【0035】

即ち、比較器 28_1 は、垂直信号線 23_1 を介して、1列目の画素 21_{11} 乃至 21_{1N} から順次供給される画素信号と、参照電圧回路 15 から供給されるランプ信号とを比較し、その比較した結果得られる比較結果信号を、A/D変換部 26 のA/D変換器 29_1 に供給する。比較器 28_2 は、比較器 28_1 と同様に、2列目の画素 21_{21} 乃至 21_{2N} の画素信号とランプ信号とを比較した結果得られる比較結果信号を、A/D変換部 26 のA/D変換器 29_2 に供給する。以下、同様に、比較器 28_M は、M列目の画素 21_{M1} 乃至 21_{MN} の画素信号とランプ信号とを比較した結果得られる比較結果信号を、A/D変換部 26 のA/D変換器 29_M に供給する。

20

【0036】

A/D変換部 26 は、M個のA/D変換器 29_1 乃至 29_M を有しており、A/D変換器 29_1 乃至 29_M には、比較結果信号が、電圧比較部 25 の比較器 28_1 乃至 28_M からそれぞれ供給される。

30

【0037】

A/D変換器 29_1 乃至 29_M は、ラッチ (Latch) と、13個のTFF (Toggle Flip-Flop) とにより、それぞれ構成されており、13ビットの画素データを出力する。

【0038】

即ち、A/D変換器 29_1 乃至 29_M には、比較器 28_1 乃至 28_M から比較結果信号が供給されるとともに、システム制御ユニット 12 から、所定の周波数のカウンタクロック信号と、所定の制御信号とが供給される。そして、A/D変換器 29_1 乃至 29_M は、比較器 28_1 乃至 28_M から供給される比較結果信号と、システム制御ユニット 12 から供給される制御信号に応じて、システム制御ユニット 12 から供給されるカウンタクロック信号をカウンタすることで、ピクセルアレイ 14 の画素 21_{11} 乃至 21_{MN} が出力するアナログの画素信号をA/D変換し、その結果得られる画素データを出力する。

40

【0039】

感度増幅部 27 は、A/D変換部 26 から出力される画素データを増幅し、システム制御ユニット 12 を介して、後段の画像処理回路などに出力する。

【0040】

水平走査回路 17 は、システム制御ユニット 12 からの制御信号に従って、コラムADC 16 の水平方向に並ぶ複数のA/D変換器 29_1 乃至 29_M を、順次、所定のタイミングで制御し、画素データを出力させる。

【0041】

50

次に、図 2 は、図 1 の画素 2 1 の構成例を示す回路図である。

【 0 0 4 2 】

図 1 において、画素 2 1 は、フォトダイオード (PD) 3 1、転送トランジスタ (TR) 3 2、リセットトランジスタ (RST) 3 3、増幅トランジスタ (AMP) 3 4、選択トランジスタ (SEL) 3 5、およびフローティングディフュージョン (FD) 3 6 から構成される。

【 0 0 4 3 】

フォトダイオード 3 1 のアノードは接地されており、フォトダイオード 3 1 のカソードは、転送トランジスタ 3 2 のソースに接続されている。転送トランジスタ 3 2 のドレインは、リセットトランジスタ 3 3 のドレインおよび増幅トランジスタ 3 4 のゲートに接続されており、この接続点が、フローティングディフュージョン 3 6 を構成する。

10

【 0 0 4 4 】

リセットトランジスタ 3 3 のソース、および増幅トランジスタ 3 4 のソースは、所定の電源電圧 VDD に接続されている。増幅トランジスタ 3 4 のドレインは、選択トランジスタ 3 5 のソースに接続されており、選択トランジスタ 3 5 のドレインは、垂直信号線 2 3 に接続されている。

【 0 0 4 5 】

転送トランジスタ 3 2 のゲート、リセットトランジスタ 3 3 のゲート、および選択トランジスタ 3 5 のゲートは、図 1 の行制御線 2 2 を介して、垂直走査回路 1 3 にそれぞれ接続されており、垂直走査回路 1 3 から駆動信号がそれぞれ供給される。

20

【 0 0 4 6 】

フォトダイオード 3 1 は、入射光を光電変換し、その光量に応じた電荷を生成し、蓄積する。

【 0 0 4 7 】

転送トランジスタ 3 2 は、垂直走査回路 1 3 から供給される駆動信号 TR_OUT に従って、フォトダイオード 3 1 からフローティングディフュージョン 3 6 への電荷の転送をオン/オフする。例えば、転送トランジスタ 3 2 は、H レベルの駆動信号 TR_OUT が供給されると、フォトダイオード 3 1 に蓄積されている電荷を、フローティングディフュージョン 3 6 に転送し、L レベルの駆動信号 TR_OUT が供給されると、電荷の転送を停止する。また、転送トランジスタ 3 2 が、フローティングディフュージョン 3 6 への電荷の転送を停止している間、フォトダイオード 3 1 が光電変換した電荷は、フォトダイオード 3 1 に蓄積される。

30

【 0 0 4 8 】

リセットトランジスタ 3 3 は、垂直走査回路 1 3 から供給される駆動信号 RST_OUT に従って、フローティングディフュージョン 3 6 に蓄積されている電荷の排出をオン/オフする。例えば、リセットトランジスタ 3 3 は、H レベルの駆動信号 RST_OUT が供給されると、フローティングディフュージョン 3 6 を電源電圧 VDD にクランプし、フローティングディフュージョン 3 6 に蓄積されている電荷を排出 (リセット) する。また、リセットトランジスタ 3 3 は、L レベルの駆動信号 RST_OUT が供給されると、フローティングディフュージョン 3 6 を電氣的に浮遊状態にする。

【 0 0 4 9 】

40

増幅トランジスタ 3 4 は、フローティングディフュージョン 3 6 に蓄積されている電荷に応じた電圧を増幅する。増幅トランジスタ 3 4 により増幅された電圧は、画素信号として、選択トランジスタ 3 5 を介して出力される。

【 0 0 5 0 】

選択トランジスタ 3 5 は、垂直走査回路 1 3 から供給される駆動信号 SEL_OUT に従って、増幅トランジスタ 3 4 からの画素信号の垂直信号線 2 3 への出力をオン/オフする。例えば、選択トランジスタ 3 5 は、H レベルの駆動信号 SEL_OUT が供給されると、画素信号を垂直信号線 2 3 に出力し、L レベルの駆動信号 SEL_OUT が供給されると、画素信号の出力を停止する。

【 0 0 5 1 】

50

フローティングディフュージョン36は、フォトダイオード31から転送トランジスタ32を介して転送されてくる電荷を蓄積し、電圧に変換する。

【0052】

このように、画素21は、垂直走査回路13から供給される駆動信号TR_OUT、駆動信号RST_OUT、および駆動信号SEL_OUTに従って駆動する。

【0053】

次に、画素21の駆動タイミングについて説明するが、本発明を適用したCMOSセンサ11における駆動タイミングを説明する前に、従来CMOSセンサにおける駆動タイミングについて説明する。

【0054】

なお、従来CMOSセンサにおいて、図1のCMOSセンサ11の垂直走査回路13以外のブロックは、CMOSセンサ11と共通しており、以下では、CMOSセンサ11と共通するブロックについては、同一の符号で説明する。

【0055】

図3は、従来CMOSセンサの垂直走査回路の構成例を示すブロック図である。

【0056】

図3において、垂直走査回路13'は、タイミング制御回路41'、および駆動回路42から構成される。

【0057】

また、垂直走査回路13'では、タイミング制御回路41'および駆動回路42が、画素21の各行ごとに設けられており、図3の例では、n行目のタイミング制御回路41'および駆動回路42が示されている。なお、以下、適宜、n行目の画素21_{1N}乃至21_{MN}を、画素21_nと称する。

【0058】

タイミング制御回路41'には、システム制御ユニット12から、画素21_nの転送トランジスタ32、リセットトランジスタ33、および選択トランジスタ35の駆動のタイミングをとるためのタイミング信号が供給される。なお、タイミング信号は、各行のタイミング制御回路41'において共通して用いられる。例えば、n行目のタイミング制御回路41'には、タイミング信号が、n-1行目のタイミング制御回路41'を介して供給され、n行目のタイミング制御回路41'は、そのタイミング信号を、n+1行目のタイミング制御回路41'に供給する。

【0059】

また、タイミング制御回路41'には、画素21_nが画素信号を出力する画素として選択されているか否かを表すアドレス選択信号[n]が、システム制御ユニット12から供給される。

【0060】

タイミング制御回路41'は、システム制御ユニット12から、画素21_nが画素信号を出力する画素として選択されていること表すアドレス選択信号[n]が供給されると、タイミング信号に従って、駆動タイミング信号を生成し、駆動回路42に供給する。即ち、タイミング制御回路41'は、転送トランジスタ32の駆動タイミングを示す駆動タイミング信号TR[n]、リセットトランジスタ33の駆動タイミングを示す駆動タイミング信号RST[n]、および、選択トランジスタ35の駆動タイミングを示す駆動タイミング信号SEL[n]を生成する。

【0061】

駆動回路42は、タイミング制御回路41'から供給される駆動タイミング信号TR[n]に従って、転送トランジスタ32を駆動させる駆動信号TR_OUT[n]を生成し、画素21_nに供給する。また、駆動回路42は、タイミング制御回路41'から供給される駆動タイミング信号RST[n]に従って、リセットトランジスタ33を駆動させる駆動信号RST_OUT[n]を生成し、画素21_nに供給する。また、駆動回路42は、タイミング制御回路41'から供給される駆動タイミング信号SEL[n]に従って、選択トランジスタ35

10

20

30

40

50

を駆動させる駆動信号SEL_OUT [n] を生成し、画素 2 1 n に供給する。

【 0 0 6 2 】

次に、図 4 は、従来のCMOSセンサにおいて、画素 2 1 に供給される各信号を説明するタイミングチャートである。図 4 を参照して、n 行目の画素 2 1 n から n + 3 行目の画素 2 1 n + 3 までの 4 行の画素について説明する。

【 0 0 6 3 】

図 4 の上から 1 番目には、水平走査期間の同期に用いられる H 同期信号が示されており、図 4 においては、1 番目の水平走査期間 1 H から 2 1 番目の水平走査期間 2 1 H が示されている。

【 0 0 6 4 】

H 同期信号の下方には、画素 2 1 n 乃至 2 1 n + 3 にそれぞれ供給される駆動信号TR_OUT [n] 乃至TR_OUT [n + 3]、駆動信号RST_OUT [n] 乃至RST_OUT [n + 3]、および駆動信号SEL_OUT [n] 乃至SEL_OUT [n + 3] が、上から順に示されている。

【 0 0 6 5 】

図 4 に示すように、画素 2 1 n に供給される駆動信号TR_OUT [n] および駆動信号RST_OUT [n] は、水平走査期間 6 H においてパルス状に H レベルとなり、画素 2 1 n の転送トランジスタ 3 2 およびリセットトランジスタ 3 3 が同時にオンになる。これにより、画素 2 1 n では、水平走査期間 5 H までにフォトダイオード 3 1 に蓄積されていた電荷が排出される。このように、フォトダイオード 3 1 に蓄積されていた電荷を排出させる処理を、以下、適宜、シャッタ処理と称する。

【 0 0 6 6 】

その後、画素 2 1 n に供給される駆動信号TR_OUT [n] は、水平走査期間 7 H 乃至 1 6 H において L レベルとなり、これにより、フォトダイオード 3 1 には、受光量に応じて光電変換された電荷が蓄積される。なお、水平走査期間 7 H 乃至 1 6 H において、駆動信号RST_OUT [n] も L レベルとなる。ここで、水平走査期間 7 H 乃至 1 6 H の時間は、画素 2 1 n が露光される露光時間であり、駆動信号TR_OUT [n] の水平走査期間 7 H 乃至 1 6 H に示されている矢印は、画素 2 1 n の露光時間であることを表している。このように、フォトダイオード 3 1 に電荷を蓄積させる処理を、以下、適宜、電荷蓄積処理と称する。

【 0 0 6 7 】

そして、水平走査期間 1 7 H で、駆動信号RST_OUT [n] がパルス状に H レベルとなった後、駆動信号TR_OUT [n] がパルス状に H レベルとなり、駆動信号RST_OUT [n] および駆動信号TR_OUT [n] がパルス状に H レベルとなっている間、駆動信号SEL_OUT [n] が H レベルとなる。これにより、画素 2 1 n の画素信号が垂直信号線 2 3 に出力される。このように、画素 2 1 n の画素信号を垂直信号線 2 3 に出力させる処理を、以下、適宜、リード処理と称する。

【 0 0 6 8 】

なお、画素 2 1 n の画素信号は、リセットレベルの電圧に応じた信号と、フォトダイオード 3 1 からフローティングディフュージョン 3 6 に転送された電荷に応じた信号からなる。即ち、駆動信号RST_OUT [n] がパルス状に H レベルとなり、画素 2 1 n のリセットトランジスタ 3 3 がオンになることにより、フローティングディフュージョン 3 6 がリセットされて、リセットレベルの電圧（即ち、電源電圧VDD）に応じた信号が出力される。その後、駆動信号TR_OUT [n] がパルス状に H レベルとなり、画素 2 1 n の転送トランジスタ 3 2 がオンになることにより、フォトダイオード 3 1 により露光時間で光電変換された電荷がフローティングディフュージョン 3 6 に転送されて電圧に変換され、その電荷に応じた信号が出力される。

【 0 0 6 9 】

また、画素 2 1 n + 1 は、画素 2 1 n と同様に、駆動信号TR_OUT [n + 1]、駆動信号RST_OUT [n + 1]、および駆動信号SEL_OUT [n + 1] に従って駆動し、水平走査期間 7 H でシャッタ処理を行い、水平走査期間 8 H 乃至 1 7 H で電荷蓄積処理を行い、水平走査期間 1 8 H でリード処理を行う。以下、同様に、画素 2 1 n + 2 は、水平走査期間 8 H で

10

20

30

40

50

シャッタ処理を行い、水平走査期間 9 H 乃至 18 H で電荷蓄積処理を行い、水平走査期間 19 H でリード処理を行う。また、画素 21n + 3 は、水平走査期間 9 H でシャッタ処理を行い、水平走査期間 10 H 乃至 19 H で電荷蓄積処理を行い、水平走査期間 20 H でリード処理を行う。

【0070】

なお、露光時間は、各行で揃える必要があり、図 4 の例では、水平走査期間 10 H 分の時間である。また、この露光時間は、被写体の明るさなどに応じて、任意の時間に設定することができる。

【0071】

このように、画素 21 は、垂直走査回路 13' が出力する駆動信号に従って駆動する。そして、例えば、シャッタ処理が行われる水平走査期間、電荷蓄積処理が行われる水平走査期間、およびリード処理が行われる水平走査期間以外の水平走査期間（以下、適宜、非蓄積期間と称する。）において、フォトダイオード 31 に強い光が入射したとする。このとき、フォトダイオード 31 が、自身が蓄積することができる最大の電荷量以上の電荷を光電変換すると、フォトダイオード 31 から電荷が溢れ出して、ブルーミング現象が発生する。

10

【0072】

そこで、このようなブルーミング現象が発生しないような対策が行われる。

【0073】

ここで、シャッタ処理が行われる水平走査期間、電荷蓄積処理が行われる水平走査期間、およびリード処理が行われる水平走査期間以外の水平走査期間を、以下、適宜、非蓄積期間と称する。

20

【0074】

次に、図 5 は、本発明を適用した垂直走査回路の一実施の形態の構成例を示すブロック図である。

【0075】

図 5 において、垂直走査回路 13 は、タイミング制御回路 41、駆動回路 42、および出力制御回路 43 から構成される。

【0076】

なお、図 5 では、図 3 の垂直走査回路 13' と共通する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、図 5 の垂直走査回路 13 は、駆動回路 42 を備える点で、図 3 の垂直走査回路 13' と共通する。但し、垂直走査回路 13 は、タイミング制御回路 41 および出力制御回路 43 を備える点で、垂直走査回路 13' と異なっている。

30

【0077】

タイミング制御回路 41 には、図 3 のタイミング制御回路 41' と同様に、システム制御ユニット 12 から、タイミング信号およびアドレス選択信号 [n] が供給され、タイミング制御回路 41 は、駆動タイミング信号 TR[n]、駆動タイミング信号 RST[n]、および駆動タイミング信号 SEL[n] を生成し、出力制御回路 43 に供給する。

【0078】

また、タイミング制御回路 41 は、画素 21 の電荷の読み出し動作にあわせて、後述する図 15 を参照して説明するように、制御信号 1[n] を生成し、出力制御回路 43 に供給する。また、前段の回路から、タイミング制御回路 41 に供給される信号を、制御信号 1[n] として使用することができる場合には、タイミング制御回路 41 は、その制御信号 1[n] をスルーして、出力制御回路 43 に供給する。

40

【0079】

出力制御回路 43 には、タイミング制御回路 41 から、制御信号 1[n]、駆動タイミング信号 TR[n]、駆動タイミング信号 RST[n]、および駆動タイミング信号 SEL[n] が供給されるとともに、システム制御ユニット 12 から、制御信号 2 が供給される。

【0080】

50

出力制御回路 4 3 に供給される制御信号 2 は、例えば、出力制御回路 4 3 を初期化（内部状態をクリア）するためのクリア信号や、通常の駆動と不要電荷の排出を行うための駆動とを切り替えるためのイネーブル信号などである。なお、制御信号 2 は、各行の出力制御回路 4 3 において共通して用いられ、例えば、 n 行目の出力制御回路 4 3 には、制御信号 2 が、 $n - 1$ 行目の出力制御回路 4 3 を介して供給され、 n 行目の出力制御回路 4 3 は、その制御信号 2 を、 $n + 1$ 行目の出力制御回路 4 3 に供給する。

【 0 0 8 1 】

出力制御回路 4 3 は、制御信号 1 [n] および制御信号 2 に基づいて、駆動タイミング信号 TR [n]、駆動タイミング信号 RST [n]、および駆動タイミング信号 SEL [n] を変更して、駆動回路 4 2 に供給する。

10

【 0 0 8 2 】

例えば、出力制御回路 4 3 は、非蓄積期間において、駆動回路 4 2 から出力される駆動信号 TR_OUT [n] が反転されるように、駆動タイミング信号 TR [n] を変更する。また、例えば、出力制御回路 4 3 は、シャッタ処理が行われる水平走査期間、電荷蓄積処理が行われる水平走査期間、および非蓄積期間において、駆動回路 4 2 から出力される駆動信号 RST_OUT [n] が反転されるように、駆動タイミング信号 RST [n] を変更する。

【 0 0 8 3 】

そして、駆動回路 4 2 は、出力制御回路 4 3 から供給される駆動タイミング信号 TR [n]、駆動タイミング信号 RST [n]、および駆動タイミング信号 SEL [n] に従って、駆動信号 TR_OUT [n]、駆動信号 RST_OUT [n]、および駆動信号 SEL_OUT [n] を、画素 2 1 n にそれぞれ供給する。

20

【 0 0 8 4 】

次に、図 6 は、画素 2 1 に供給される各信号を説明するタイミングチャートである。

【 0 0 8 5 】

図 6 には、図 4 と同様に、H 同期信号、駆動信号 TR_OUT [n] 乃至 TR_OUT [$n + 3$]、駆動信号 RST_OUT [n] 乃至 RST_OUT [$n + 3$]、および駆動信号 SEL_OUT [n] 乃至 SEL_OUT [$n + 3$] が、上から順に示されている。

【 0 0 8 6 】

図 6 に示すように、駆動信号 TR_OUT [n] 乃至 TR_OUT [$n + 3$] は、シャッタ処理、電荷蓄積処理、およびリード処理が行われる水平走査期間では、図 4 のタイミングチャートの駆動信号 TR_OUT [n] 乃至 TR_OUT [$n + 3$] と同様である。但し、図 6 において、駆動信号 TR_OUT [n] 乃至 TR_OUT [$n + 3$] は、非蓄積期間において H レベルである点で、図 4 のタイミングチャートの駆動信号 TR_OUT [n] 乃至 TR_OUT [$n + 3$] と異なっている。

30

【 0 0 8 7 】

即ち、駆動信号 TR_OUT [n] は、水平走査期間 1 H 乃至 5 H において H レベルであり、水平走査期間 6 H において L レベルになった後に、パルス状に H レベルとなる。その後、駆動信号 TR_OUT [n] は、水平走査期間 7 H 乃至 1 6 H において L レベルとなり、水平走査期間 1 7 H でパルス状に H レベルになった後に、水平走査期間 1 8 H 以降において、H レベルとなる。即ち、駆動信号 TR_OUT [n] は、非蓄積期間である水平走査期間 1 H 乃至 5 H および水平走査期間 1 8 H 乃至 2 1 H において、H レベルとなる。

40

【 0 0 8 8 】

駆動信号 TR_OUT [$n + 1$] は、駆動信号 TR_OUT [n] と同様に、非蓄積期間である水平走査期間 1 H 乃至 6 H および水平走査期間 1 9 H 乃至 2 1 H において、H レベルとなる。以下、同様に、駆動信号 TR_OUT [$n + 2$] は、水平走査期間 1 H 乃至 7 H および水平走査期間 2 0 H 乃至 2 1 H において、H レベルとなり、駆動信号 TR_OUT [$n + 3$] は、水平走査期間 1 H 乃至 8 H および水平走査期間 2 1 H において、H レベルとなる。

【 0 0 8 9 】

また、駆動信号 RST_OUT [n] 乃至 RST_OUT [$n + 3$] は、リード処理が行われる水平走査期間では、図 4 のタイミングチャートの駆動信号 TR_OUT [n] 乃至 TR_OUT [$n + 3$] と同様である。但し、駆動信号 RST_OUT [n] 乃至 RST_OUT [$n + 3$] は、シャッタ処理が行

50

われる水平走査期間、電荷蓄積処理が行われる水平走査期間、および非蓄積期間においてHレベルである点で、図4のタイミングチャートの駆動信号RST_OUT [n]乃至RST_OUT [n + 3]と異なっている。

【 0 0 9 0 】

即ち、駆動信号RST_OUT [n]は、水平走査期間1 H乃至1 6 HにおいてHレベルであり、水平走査期間1 7 HにおいてLレベルになった後に、パルス状にHレベルとなる。その後、駆動信号RST_OUT [n]は、水平走査期間1 8 H乃至2 1 HにおいてHレベルとなっている。即ち、駆動信号RST_OUT [n]は、シャッタ処理が行われる水平走査期間、電荷蓄積処理が行われる水平走査期間、および非蓄積期間である水平走査期間1 H乃至1 6 Hおよび水平走査期間1 9 H乃至2 1 HにおいてHレベルとなる。

10

【 0 0 9 1 】

駆動信号RST_OUT [n + 1]は、駆動信号RST_OUT [n]と同様に、シャッタ処理が行われる水平走査期間、電荷蓄積処理が行われる水平走査期間、および非蓄積期間である水平走査期間1 H乃至1 7 Hおよび水平走査期間1 9 H乃至2 1 HにおいてHレベルとなる。以下、同様に、駆動信号RST_OUT [n + 2]は、水平走査期間1 H乃至1 8 Hおよび水平走査期間2 0 H乃至2 1 HにおいてHレベルとなり、駆動信号RST_OUT [n + 3]は、水平走査期間1 H乃至1 8 Hおよび水平走査期間2 1 HにおいてHレベルとなる。

【 0 0 9 2 】

また、駆動信号SEL_OUT [n]乃至SEL_OUT [n + 3]は、図4のタイミングチャートの駆動信号SEL_OUT [n]乃至SEL_OUT [n + 3]と同様である。

20

【 0 0 9 3 】

画素2 1は、駆動信号TR_OUTと駆動信号RST_OUTとが同時にHレベルであるときに、フォトダイオード3 1により光電変換される電荷を排出するので、図6のタイミングチャートに示した駆動信号に従って動作することで、非蓄積期間では、電荷を常に排出する。これにより、非蓄積期間において、フォトダイオード3 1に強い光が入射しても、フォトダイオード3 1により光電変換された電荷は、フォトダイオード3 1に蓄積されることなく排出される。従って、画素2 1は、図4のタイミングチャートを参照して説明したようなブルーミング現象が生じることを回避することができる。

【 0 0 9 4 】

また、駆動信号RST_OUTは、シャッタ処理が行われる水平走査期間、および電荷蓄積処理が行われる水平走査期間においてもHレベルである。従って、画素2 1では、電荷蓄積処理において、フォトダイオード3 1に強い光が入射し、フォトダイオード3 1から電荷が溢れ出したとしても、その電荷がフローティングディフュージョン3 6に蓄積されることはなく、ブルーミング現象が生じることは回避される。

30

【 0 0 9 5 】

また、シャッタ処理、電荷蓄積処理、およびリード処理について、図6のタイミングチャートに示した駆動信号と、図4のタイミングチャートに示した駆動信号とは、同様であるので、画素2 1は、従来と同様に、画素信号を出力することができる。

【 0 0 9 6 】

次に、図7は、図1のCMOSセンサ1 1において、間引き処理が行われる場合に、垂直走査回路1 3から出力される各信号を説明するタイミングチャートである。

40

【 0 0 9 7 】

例えば、ピクセルアレイ1 4の全画素数のうちの、3 / 4の画素数の画像を撮像するときには、4行ごとに1行の画素からの画素信号の読み出しを行わずに、残りの3行の画素から画素信号が読み出される。図7の例においては、n + 2行目の画素n + 2の画素信号の読み出しが行われない。

【 0 0 9 8 】

画素信号の読み出しが行われない画素n + 2では、シャッタ処理、電荷蓄積処理、およびリード処理が行われないので、図7に示すように、駆動信号TR_OUT [n + 2]およびRS T_OUT [n + 2]は、常にHレベルとされる。

50

【 0 0 9 9 】

このように画素信号の読み出しが行われない画素 $n + 2$ の駆動信号 $TR_OUT [n + 2]$ および $RST_OUT [n + 2]$ を、常に H レベルとすることで、画素 $n + 2$ のフォトダイオード 3 1 が光電変換した電荷は常に排出される。従って、画素 2 1 は、画素 $n + 2$ のフォトダイオード 3 1 に強い光が入射しても、フォトダイオード 3 1 やフローティングディフュージョン 3 6 には電荷が常に蓄積されないので、ブルーミング現象が生じることを回避することができる。

【 0 1 0 0 】

また、従来の CMOS センサでは、ブルーミング現象が生じることを回避するためのシャッタ処理を行う必要があり、そのシャッタ処理を行う回路を設ける必要があった。ブルーミング現象が生じることを回避するためのシャッタ処理を行う回路は、間引き処理の種類に応じて画素信号が読み出されない画素を記憶するメモリや、シャッタ処理を行うタイミングを決定する手段などが必要であり、その回路の構成が複雑になる。

10

【 0 1 0 1 】

これに対し、CMOS センサ 1 1 では、ブルーミング現象が生じることを回避するためのシャッタ処理を行う回路が不要になる。また、出力制御回路 4 3 は、例えば、非蓄積期間における駆動信号 TR_OUT および駆動信号 RST_OUT を反転させたり、シャッタ処理が行われる水平走査期間、および電荷蓄積処理が行われる水平走査期間における駆動信号 RST_OUT を反転させるだけでよいので、その回路構成をシンプルにすることができる。

【 0 1 0 2 】

ところで、CMOS センサ 1 1 では、図 2 に示したように、1 つの画素 2 1 が、1 つのフォトダイオード 3 1 を有する他、例えば、1 つの画素で、複数のフォトダイオードを有することができる。1 つの画素で、複数のフォトダイオードを有する場合には、画素を構成するトランジスタのうちの、いくつかのトランジスタを共有することとで、全体的な画素サイズを小さくすることができる。

20

【 0 1 0 3 】

次に、図 8 は、画素の他の構成例を示す回路図である。

【 0 1 0 4 】

図 8 において、画素 2 1 ' は、4 つのフォトダイオード 3 1₀ 乃至 3 1₃、4 つの転送トランジスタ 3 2₀ 乃至 3 2₃、リセットトランジスタ 3 3、増幅トランジスタ 3 4、選択トランジスタ 3 5、およびフローティングディフュージョン 3 6 から構成される。

30

【 0 1 0 5 】

なお、図 8 では、図 2 の画素 2 1 と共通する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、図 8 の画素 2 1 ' は、リセットトランジスタ 3 3、増幅トランジスタ 3 4、選択トランジスタ 3 5、およびフローティングディフュージョン 3 6 を備える点で、図 2 の画素 2 1 と共通する。但し、画素 2 1 ' は、4 つのフォトダイオード 3 1₀ 乃至 3 1₃、4 つの転送トランジスタ 3 2₀ 乃至 3 2₃ を備える点で、画素 2 1 と異なっている。

【 0 1 0 6 】

図 8 に示すように、フォトダイオード 3 1₀ 乃至 3 1₃ は、転送トランジスタ 3 2₀ 乃至 3 2₃ をそれぞれ介して、フローティングディフュージョン 3 6 に接続されている。画素 2 1 ' では、転送トランジスタ 3 2₀ 乃至 3 2₃ が、順次、H レベルとされることにより、フォトダイオード 3 1₀ 乃至 3 1₃ により光電変換された電荷が、フローティングディフュージョン 3 6 に、順次、蓄積される。

40

【 0 1 0 7 】

画素 2 1 ' では、4 つのフォトダイオード 3 1₀ 乃至 3 1₃ で、リセットトランジスタ 3 3、増幅トランジスタ 3 4、選択トランジスタ 3 5、およびフローティングディフュージョン 3 6 を共有して使用するため、駆動タイミングに制約が生じる。なお、垂直方向 (列) の 4 つの画素により、リセットトランジスタ 3 3、増幅トランジスタ 3 4、選択トランジスタ 3 5、およびフローティングディフュージョン 3 6 を共有する方式を、垂直 4 画素

50

共有方式と称する。

【0108】

次に、図9は、図8の画素21'に各信号を供給する垂直走査回路の構成例を示すブロック図である。

【0109】

図9において、垂直走査回路50は、タイミング制御回路51、画素共有判定回路52、4つの出力制御回路53₀乃至53₃、4つの転送トランジスタ駆動回路54₀乃至54₃、リセットトランジスタ駆動回路55、および選択トランジスタ駆動回路56から構成される。

10

【0110】

垂直走査回路50は、画素21'が有する4つの転送トランジスタ32₀乃至32₃を駆動するために、それぞれ独立した駆動信号TR_OUT[4n]乃至TR_OUT[4n+3]が必要であり、4つの出力制御回路53₀乃至53₃と、4つの転送トランジスタ駆動回路54₀乃至54₃が設けられる。また、画素21'は、リセットトランジスタ33と、選択トランジスタ35とをそれぞれ1つずつ有するので、垂直走査回路50には、リセットトランジスタ駆動回路55と、選択トランジスタ駆動回路56とが1つずつ設けられる。

【0111】

即ち、垂直走査回路50では、出力制御回路と転送トランジスタ駆動回路とが、各行ごとに設けられ、リセットトランジスタ駆動回路55と、選択トランジスタ駆動回路56とが、4行ごとに設けられている。

20

【0112】

タイミング制御回路51には、システム制御ユニット12から、アドレス選択信号[4n]乃至[4n+3]、およびタイミング信号が供給される。

【0113】

タイミング制御回路51は、アドレス選択信号[4n]乃至[4n+3]、およびタイミング信号を用いて、駆動タイミング信号TR[4n]乃至TR[4n+3]、制御信号1[4n]乃至1[4n+3]、駆動タイミング信号RST[n]、制御信号3[n]、および駆動タイミング信号SEL[n]を生成する。

【0114】

タイミング制御回路51は、駆動タイミング信号TR[4n]乃至TR[4n+3]、および制御信号1[4n]乃至1[4n+3]を、出力制御回路53₀乃至53₃にそれぞれ供給する。また、タイミング制御回路51は、駆動タイミング信号RST[n]、および制御信号3[n]を画素共有判定回路52に供給し、駆動タイミング信号SEL[n]を選択トランジスタ駆動回路56に供給する。

30

【0115】

画素共有判定回路52および出力制御回路53₀乃至53₃には、システム制御ユニット12から、制御信号2が供給される。制御信号2は、各行の画素共有判定回路52および出力制御回路53₀乃至53₃に共通して用いられる。

【0116】

画素共有判定回路52は、フローティングディフュージョン36を共有するフォトダイオード31₀乃至31₃のうちの1つのフォトダイオードのリード処理が行われているときに、他のフォトダイオードの電荷がフローティングディフュージョン36に転送されないように、フォトダイオード31₀乃至31₃のいずれかでリード処理が行われていることを示す信号を、転送トランジスタ駆動回路54₀乃至54₃に供給する回路である。画素共有判定回路52については、図12を参照して後述する。

40

【0117】

出力制御回路53₀乃至53₃は、図5の出力制御回路43と同様に、転送トランジスタ駆動回路54₀乃至54₃から出力される駆動信号TR_OUT[4n]乃至TR_OUT[4n+3]の一部の期間が反転されるように、駆動タイミング信号TR[4n]乃至TR[4n+3]の

50

期間をそれぞれ変更して、転送トランジスタ駆動回路 5 4₀乃至 5 4₃に供給する。

【 0 1 1 8 】

転送トランジスタ駆動回路 5 4₀乃至 5 4₃は、駆動タイミング信号TR [4 n]乃至TR [4 n + 3]に従って、転送トランジスタ 3 2₀乃至 3 2₃を駆動させる駆動信号TR_OUT [4 n]乃至TR_OUT [4 n + 3]を生成して出力する。

【 0 1 1 9 】

リセットトランジスタ駆動回路 5 5 は、画素共有判定回路 5 2 から供給される駆動タイミング信号RST [n]に従って、駆動回路 4 2 と同様に、リセットトランジスタ 3 3 を駆動させる駆動信号RST_OUT [n]を生成して出力する。

【 0 1 2 0 】

選択トランジスタ駆動回路 5 6 は、タイミング制御回路 5 1 から供給される駆動タイミング信号SEL [n]に従って、駆動回路 4 2 と同様に、選択トランジスタ 3 5 を駆動させる駆動信号SEL_OUT [n]を生成して出力する。

【 0 1 2 1 】

次に、図 1 0 のタイミングチャートを参照して、タイミング制御回路 5 1 が出力する信号について説明する。

【 0 1 2 2 】

駆動信号TR_OUT [4 n]乃至TR_OUT [4 n + 3]は、シャッタ処理、電荷蓄積処理、およびリード処理が行われる水平走査期間では、図 6 の駆動信号TR_OUT [n]乃至TR_OUT [n + 3]と同様である。駆動信号TR_OUT [4 n]乃至TR_OUT [4 n + 2]は、リード処理が行われる水平走査期間の次の水平走査期間から、駆動信号TR_OUT [4 n + 3]のリード処理が行われる水平走査期間まで、Lレベルとなる点が、図 6 の駆動信号TR_OUT [n]乃至TR_OUT [n + 3]と異なっている。

【 0 1 2 3 】

画素 2 1 'では、フォトダイオード 3 1₀乃至 3 1₃が、フローティングディフュージョン 3 6 を共有しているため、あるフォトダイオードのリード処理が行われているときは、他のフォトダイオードからの電荷の排出を停止しなければならない。

【 0 1 2 4 】

即ち、フォトダイオード 3 1₁のリード処理が行われる水平走査期間 1 8 Hにおいて、駆動信号TR_OUT [4 n]はLレベルとなり、フォトダイオード 3 1₂のリード処理が行われる水平走査期間 1 9 Hにおいて、駆動信号TR_OUT [4 n]およびTR_OUT [4 n + 1]は、Lレベルとなる。また、フォトダイオード 3 1₃のリード処理が行われる水平走査期間 2 0 Hにおいて、駆動信号TR_OUT [4 n]乃至TR_OUT [4 n + 2]は、Lレベルとなる。

【 0 1 2 5 】

そして、駆動信号TR_OUT [4 n]乃至TR_OUT [4 n + 2]は、水平走査期間 2 1 で、同時にHレベルとなる。

【 0 1 2 6 】

駆動信号RST_OUT [n]および駆動信号SEL_OUT [n]は、水平走査期間 1 7 H乃至 2 0 Hにおいて、フォトダイオード 3 1₀乃至 3 1₃が、順次、リード処理を行うので、それらの期間において、連続的に、駆動パルスを出力する。

【 0 1 2 7 】

図 1 0 に示すような信号を出力することで、画素 2 1 'において、フォトダイオード 3 1₀乃至 3 1₃でフローティングディフュージョン 3 6 を共有していても、読み出しの対象となっているフォトダイオード 3 1₀乃至 3 1₃からの電荷に、他のフォトダイオード 3 1₀乃至 3 1₃からの電荷が流れ込むことはなく、正常に対象の画素信号を出力することができる。

【 0 1 2 8 】

次に、図 1 1 は、間引き処理が行われる場合に、転送トランジスタ駆動回路 5 4₀乃至 5 4₃、リセットトランジスタ駆動回路 5 5、選択トランジスタ駆動回路 5 6 が出力する信号について説明するタイミングチャートである。

10

20

30

40

50

【 0 1 2 9 】

図 1 1 では、図 7 のタイミングチャートと同様に、 $n + 2$ 行目の画素 $n + 2$ に対応するフォトダイオード $3 1_2$ からの画素信号が読み出されない場合について説明する。

【 0 1 3 0 】

上述したように、フォトダイオード $3 1_0$ 乃至 $3 1_3$ のいずれかのリード処理が行われているときには、リード処理の対象となっていないフォトダイオードに供給する駆動信号 $TR_OUT [4 n]$ 乃至 $TR_OUT [4 n + 3]$ を L レベルとする。これは、画素信号が読み出されないフォトダイオード $3 1_2$ の駆動信号 $TR_OUT [4 n + 2]$ についても同様である。

【 0 1 3 1 】

即ち、図 1 1 に示すように、フォトダイオード $3 1_0$ のリード処理が水平走査期間 1 7 H で行われ、フォトダイオード $3 1_1$ のリード処理が水平走査期間 1 8 H で行われ、フォトダイオード $3 1_3$ のリード処理が水平走査期間 1 9 H で行われるとき、駆動信号 $TR_OUT [4 n + 2]$ は、水平走査期間 1 7 H 乃至 1 9 H において L レベルとなる。

【 0 1 3 2 】

また、駆動信号 $TR_OUT [4 n + 2]$ は、水平走査期間 1 7 H 乃至 1 9 H 以外の水平走査期間では、H レベルとなるので、フォトダイオード $3 1_2$ から画素信号が読み出されない場合でも、フォトダイオード $3 1_2$ が光電変換した電荷は、水平走査期間 1 7 H 乃至 1 9 H 以外の水平走査期間において常に排出される。これにより、ブルーミング現象が発生することを回避することができる。

【 0 1 3 3 】

また、例えば、間引きをする行の位置や行数が変更されたとき、ブルーミング現象が生じることを回避するためのシャッタ処理を行う回路が設けられていた場合には、その変更に応じて、回路の修正や追加が必要であったが、垂直走査回路 5 0 では、各行における出力制御回路 5 3 が、それぞれの行の制御信号に基づいて、駆動信号 TR_OUT を生成することができるので、そのような回路の修正や追加をする必要がない。

【 0 1 3 4 】

また、画角の切り出し処理が行われた場合に、ピクセルアレイ 1 4 の上部分や下部分において画素信号が読み出されない画素 2 1 が発生するが、そのような画素 2 1 に対しても、図 1 1 を参照して説明した処理により、ブルーミング現象が発生することを回避することができる。

【 0 1 3 5 】

次に、図 1 2 は、図 9 の画素共有判定回路 5 2 および出力制御回路 5 3₀ の構成例を示す回路図である。なお、出力制御回路 5 3₀ 乃至 5 3₃ は、それぞれ同様に構成されており、それぞれ同様に動作し、以下では、出力制御回路 5 3₁ 乃至 5 3₃ についての説明は、省略する。

【 0 1 3 6 】

図 1 2 において、画素共有判定回路 5 2 は、NAND ゲート 6 1、インバータ 6 2、NOR ゲート 6 3 および 6 4、並びに、インバータ 6 5 から構成される。

【 0 1 3 7 】

画素共有判定回路 5 2 には、タイミング制御回路 5 1 から駆動タイミング信号 $RST [n]$ が供給されるとともに、制御信号 3 として、リードアドレス選択信号 $RD_ADD_INF [4 n]$ 乃至 $RD_ADD_INF [4 n + 3]$ が供給される。また、画素共有判定回路 5 2 には、システム制御ユニット 1 2 から、各行の画素共有判定回路 5 2 や出力制御回路 5 3 を介して、制御信号 2 として、イネーブル (Enable) 信号が供給される。

【 0 1 3 8 】

NAND ゲート 6 1 の 4 つの入力端子は、リードアドレス選択信号 $RD_ADD_INF [4 n]$ 乃至 $RD_ADD_INF [4 n + 3]$ を供給する信号線にそれぞれ接続されており、NOR ゲート 6 4 の 2 つの入力端子の一方は、駆動タイミング信号 $RST [n]$ を供給する信号線 (RST 通常ライン) に接続されている。また、インバータ 6 2 の入力端子は、イネーブル信号を供給する信号線に接続されている。

10

20

30

40

50

【 0 1 3 9 】

NANDゲート61の出力端子は、NORゲート63の2つの入力端子の一方に接続されている。NANDゲート61から出力される信号を、共有画素判定信号PX_SHR_RD[n]と称する。また、NANDゲート61の出力端子は、出力制御回路53₀のNORゲート75の入力端子にも接続されている。

【 0 1 4 0 】

インバータ62の出力端子は、NORゲート63の2つの入力端子の他方に接続されている。NORゲート63の出力端子は、NORゲート64の2つの入力端子の他方に接続されており、NORゲート63の出力端子とNORゲート64の入力端子とを接続する信号線を、RST電荷排出制御ラインと称する。NORゲート64の出力端子は、インバータ65の入力端子に接続されている。インバータ65は、図9のリセットトランジスタ駆動回路55に接続されており、インバータ65から変更された駆動タイミング信号RST'[n]が出力される。

10

【 0 1 4 1 】

出力制御回路53₀は、NANDゲート71、インバータ72、メモリ73、NANDゲート74、NORゲート75および76、並びに、インバータ77から構成される。

【 0 1 4 2 】

出力制御回路53₀には、タイミング制御回路51から駆動タイミング信号TR[4n]が供給されるとともに、制御信号1[4n]として、リードアドレス選択信号RD_ADD_INF[4n]およびシャッタアドレス選択信号SH_ADD_INF[4n]が供給される。また、出力制御回路53₀には、システム制御ユニット12から、各行の画素共有判定回路52や出力制御回路53を介して、制御信号2として、イネーブル(Enable)信号とクリア(Clear)信号が供給される。

20

【 0 1 4 3 】

NANDゲート71の2つの入力端子の一方は、シャッタアドレス選択信号SH_ADD_INF[4n]を供給する信号線に接続されており、その他方は、クリア信号を供給する信号線に接続されている。NANDゲート71の出力端子は、インバータ72を介して、メモリ73に接続されており、メモリ73には、また、リードアドレス選択信号RD_ADD_INF[4n]を供給する信号線が接続されている。

【 0 1 4 4 】

メモリ73は、NANDゲート78および79からなるラッチ回路により構成されており、その出力端子が、NANDゲート74の2つの入力端子の一方に接続されている。また、NANDゲート74の2つの入力端子の他方は、イネーブル信号を供給する信号線に接続されている。

30

【 0 1 4 5 】

NANDゲート74の出力端子は、NORゲート75の2つの入力端子の一方に接続されており、その他方には、NANDゲート61から共有画素判定信号PX_SHR_RD[n]が供給される。NORゲート75の出力端子は、NORゲート76の2つの入力端子の一方に接続されており、NORゲート75の出力端子とNORゲート76の入力端子とを接続する信号線を、TR電荷排出制御ラインと称する。NORゲート76の2つの入力端子の他方には、駆動タイミング信号TR[4n]を供給する信号線(TR通常ライン)に接続されている。

40

【 0 1 4 6 】

NORゲート76の出力端子は、インバータ77の入力端子に接続されている。インバータ77は、図9の転送トランジスタ駆動回路54₀に接続されており、インバータ77から変更された駆動タイミング信号TR'[4n]が出力される。

【 0 1 4 7 】

ここで、リードアドレス選択信号RD_ADD_INF[4n]乃至RD_ADD_INF[4n+3]は、図8のフォトダイオード31₀乃至31₃のそれぞれが、露光時間に光電変換した電荷を読み出すリード処理を行うことが選択されたときに有効となる信号で、リード処理を行う1水平走査期間だけ有効となる。シャッタアドレス選択信号SH_ADD_INF[4n]は、フォトダイオード31₀に蓄積された不要な電荷を排出するシャッタ処理を行うことが選択され

50

たときに有効となる信号で、シャッタ処理を行う 1 水平走査期間だけ有効となる。

【 0 1 4 8 】

イネーブル信号は、通常の駆動タイミングと、不要な電荷を排出することが可能な駆動タイミングとを切り替えるための信号である。クリア信号は、出力制御回路 5 3₀ のメモリ 7 3 のクリアを行うための信号であり、例えば、電源投入時に、メモリ 7 3 が不定となることがあり、その状態が出力制御回路 5 3₀ の外部からクリアされる。なお、クリア信号の変わりに、メモリ 7 3 の値をセットするセット信号を用いることもできる。

【 0 1 4 9 】

上述したように、出力制御回路 5 3₁ 乃至 5 3₃ は、出力制御回路 5 3₀ と同様に構成されており、出力制御回路 5 3₁ 乃至 5 3₃ も、それぞれメモリを内蔵している。このように、各行の出力制御回路にメモリが内蔵されており、そのメモリを各行のアドレス選択信号で制御することで、出力制御回路 5 3₁ 乃至 5 3₃ から出力される信号に応じて、転送トランジスタ駆動回路 5 4₀ 乃至 5 4₃ が、駆動信号 TR_OUT [4 n] 乃至 TR_OUT [4 n + 3] を出力する。

10

【 0 1 5 0 】

また、TR 通常ラインは、タイミング制御回路 5 1 からの駆動タイミング信号 TR [4 n] を出力する経路であり、TR 電荷排出制御ラインは、不要な電荷の排出が可能な期間を表すタイミング信号を出力する経路である。そして、駆動タイミング信号 TR [4 n] と、不要な電荷の排出が可能な期間を表すタイミング信号との論理和をとった信号（即ち、NOR ゲート 7 6 から出力される信号）に応じて、変更された駆動タイミング信号 TR' [4 n] が

20

【 0 1 5 1 】

また、画素共有判定回路 5 2 の NAND ゲート 6 1 で、リードアドレス選択信号 RD_ADD_INF [4 n] 乃至 RD_ADD_INF [4 n + 3] の NAND（否定論理積）をとることで生成される共有画素判定信号 PX_SHR_RD [n] により、出力制御回路 5 3₀ は、フォトダイオード 3 1₀ 乃至 3 1₃ のいずれか 1 つのフォトダイオードのリード処理が行われているときに、他の 3 つのフォトダイオードから電荷が排出されないような制御をすることができる。

【 0 1 5 2 】

次に、図 1 3 は、画素共有判定回路 5 2 および出力制御回路 5 3₀ における各信号のタイミングチャートである。図 1 3 を参照して、フォトダイオード 3 1₀ を駆動させる駆動信号 TR_OUT [4 n] について説明する。

30

【 0 1 5 3 】

初期状態で、メモリ 7 3 は H レベルとされており、水平走査期間 1 H 乃至 5 H において、リードアドレス選択信号 RD_ADD_INF [4 n] とシャッタアドレス選択信号 SH_ADD_INF [4 n] とは、H レベルであるので、この期間において、メモリ 7 3 は H レベルである。

【 0 1 5 4 】

また、水平走査期間 1 H 乃至 5 H において、リードアドレス選択信号 RD_ADD_INF [4 n] 乃至 RD_ADD_INF [4 n + 3] は H レベルであるので、共有画素判定信号 PX_SHR_RD [n] は L レベルとなり、TR 電荷排出制御ラインは、H レベルとなる。従って、この期間において、駆動信号 TR_OUT [4 n] は H レベルとなり、フォトダイオード 3 1₀ により光電変換される不要な電荷は排出される。

40

【 0 1 5 5 】

水平走査期間 6 H において、フォトダイオード 3 1₀ のシャッタ処理が行われるので、シャッタアドレス選択信号 SH_ADD_INF [4 n] が L レベルになる。

【 0 1 5 6 】

これにより、メモリ 7 3 は L レベルになるので、TR 電荷排出制御ラインが L レベルとなり、駆動信号 TR_OUT [4 n] として、TR 通常ラインのレベル、即ち、駆動タイミング信号 TR [4 n] が出力される。これにより、駆動信号 TR_OUT [4 n] は、水平走査期間 6 H において、パルス状に H レベルとなる。

【 0 1 5 7 】

50

水平走査期間 7 H 乃至 16 H において、駆動タイミング信号 TR [4 n] は L レベル、リードアドレス選択信号 RD_ADD_INF [4 n] は、H レベルであるので、この期間において、駆動信号 TR_OUT [4 n] は L レベルとなり、これにより、フォトダイオード 3 1₀ に電荷が蓄積される。また、メモリ 7 3 は、L レベルを保持している。

【 0 1 5 8 】

水平走査期間 17 H において、フォトダイオード 3 1₀ のリード処理が行われるので、リードアドレス選択信号 RD_ADD_INF [4 n] が L レベルとなり、これにより、メモリ 7 3 が H レベルになるが、同時に共有画素判定信号 PX_SHR_RD [n] が H レベルになるので、TR 電荷排出制御ラインは L レベルのままである。従って、駆動信号 TR_OUT [4 n] として、TR 通常ラインのレベル、即ち、駆動タイミング信号 TR [4 n] が出力されるので、駆動信号 TR_OUT [4 n] は、水平走査期間 17 H において、パルス状に H レベルとなる。また、メモリ 7 3 は、H レベルを保持している。

10

【 0 1 5 9 】

また、水平走査期間 17 H において、共有画素判定信号 PX_SHR_RD [n] が H レベルになることにより、RST 電荷排出制御ラインが L レベルとなる。これにより、駆動信号 RST_OUT [n] として、RST 通常ラインのレベル、即ち、駆動タイミング信号 RST [n] が出力されるので、駆動信号 RST_OUT [n] は、水平走査期間 17 H において、パルス状に H レベルとなる。

【 0 1 6 0 】

さらに、図 10 に示されているように、水平走査期間 17 H において、駆動信号 SEL_OUT [n] が H レベルになるので、フォトダイオード 3 1₀ により光電変換された電荷に応じた画素信号が読み出される。

20

【 0 1 6 1 】

水平走査期間 18 H 乃至 20 H において、リードアドレス選択信号 RD_ADD_INF [4 n + 1] 乃至 RD_ADD_INF [4 n + 3] が、順次、L レベルとなるので、この期間において、共有画素判定信号 PX_SHR_RD [n] が H レベルになる。従って、この期間において、駆動信号 TR_OUT [4 n] として、駆動タイミング信号 TR [4 n] の L レベルが出力される。

【 0 1 6 2 】

水平走査期間 21 H において、リードアドレス選択信号 RD_ADD_INF [4 n] 乃至 RD_ADD_INF [4 n + 3] は H レベルとなるので、共有画素判定信号 PX_SHR_RD [n] が L レベルになり、これにより、TR 電荷排出制御ラインが H レベルとなる。従って、駆動信号 TR_OUT [4 n] が H レベルになり、フォトダイオード 3 1₀ により光電変換される不要な電荷は排出される。

30

【 0 1 6 3 】

このように、フォトダイオード 3 1₀ により光電変換される不要な電荷の排出を行うことができる。また、フォトダイオード 3 1₁ 乃至 3 1₃ においても、フォトダイオード 3 1₀ と同様に、不要な電荷の排出を行うことができる。

【 0 1 6 4 】

ここで、例えば、画角の切り出し処理や間引き処理などが行われ、画素 2 1 ' のフォトダイオード 3 1₀ から画素信号が読み出されないとき、出力制御回路 5 3₀ に入力されるリードアドレス選択信号 RD_ADD_INF [4 n] とシャッタアドレス選択信号 SH_ADD_INF [4 n] は変化せず、メモリ 7 3 の状態は初期状態から変化しない。

40

【 0 1 6 5 】

そのため、画素信号を読み出す処理を開始する前に、メモリ 7 3 を H レベルにする必要がある。これにより、画素信号が読み出されないフォトダイオード 3 1₀ は、不要な電荷の排出する期間と、その排出の停止する期間（即ち、画素信号が読み出されるフォトダイオード 3 1₁ 乃至 3 1₃ のリード処理が行われている期間）とを繰り返すことができる。

【 0 1 6 6 】

メモリ 7 3 を H レベルにするタイミングとしては、CMOS センサ 1 1 の起動の直後が最適である。

50

【 0 1 6 7 】

次に、図 1 4 は、CMOSセンサ 1 1 の起動時における、垂直走査回路 5 0 の各信号のタイミングチャートである。

【 0 1 6 8 】

図 1 4 において、H 同期信号の下に示されているスタンバイ (STBY) 信号は、CMOSセンサ 1 1 を起動させる信号であり、このスタンバイ信号を、クリア信号として、例えば、図 1 2 の出力制御回路 5 3₀ の NAND ゲート 7 1 に入力することにより、メモリ 7 3 が L レベルになる。また、スタンバイ信号は、各行の全ての出力制御回路 5 3 に供給される。

【 0 1 6 9 】

なお、メモリ 7 3 を H レベルにするには、図 1 4 において、スタンバイ信号の下に示されているように、CMOSセンサ 1 1 の起動後に、H レベルとなるセット (SET) 信号を、制御信号 3 に追加したり、CMOSセンサ 1 1 の起動後に、H レベルとなるリードアドレス選択信号 RD_ADD_INF を、全行の出力制御回路 5 3₀ に供給する方法がある。

【 0 1 7 0 】

また、メモリ 7 3 を H レベルにただけでは、駆動信号 RST_OUT および駆動信号 TR_OUT は、H レベルとならないため、メモリ 7 3 を起動時に H レベルにした後、画素信号の読み出し動作を開始する直前に、イネーブル信号を H レベルにし、これにより、駆動信号 RST_OUT および駆動信号 TR_OUT を H レベルにすることができ、不要な電荷の排出が開始される。そして、その後、シャッタ処理などが行われる。

【 0 1 7 1 】

次に、例えば、リードアドレス選択信号 RD_ADD_INF の信号線と、シャッタアドレス選択信号 SH_ADD_INF の信号線とを共有し、その信号線を時分割で使用した場合、信号線の数や、デコーダ回路などを削減することができる。この場合、タイミング制御回路 5 1 が、時分割で送信されてくる信号から、制御信号 1 を生成する制御信号生成回路を備える。なお、このように、信号線を時分割で使用する撮像装置を、ラッチ式アドレス型撮像装置という。

【 0 1 7 2 】

図 1 5 は、タイミング制御回路 5 1 が備える制御信号生成回路 8 1 の構成例を示す図である。

【 0 1 7 3 】

図 1 5 において、制御信号生成回路 8 1 は、6 個の NOR ゲート 8 2 乃至 8 7 から構成される。

【 0 1 7 4 】

制御信号生成回路 8 1 には、時分割されたアドレス選択信号 ADD_INF [4 n]、シャッタ用メモリの制御信号 SLRST および SLSET、リード用メモリの制御信号 RLRST および RLSET が、図 1 のシステム制御ユニット 1 2 から供給される。

【 0 1 7 5 】

NOR ゲート 8 2 の 2 つの入力端子の一方は、アドレス選択信号 ADD_INF [4 n] を供給する信号線に接続されており、その他方は、リード用メモリの制御信号 RLSET を供給する信号線に接続されている。

【 0 1 7 6 】

NOR ゲート 8 3 および 8 4 は、ラッチ回路を構成しており、リード用メモリとなる。NOR ゲート 8 3 の入力端子には、NOR ゲート 8 2 の出力端子が接続されており、NOR ゲート 8 4 の入力端子には、リード用メモリの制御信号 RLRST を供給する信号線に接続されている。そして、リード用メモリから、即ち、NOR ゲート 8 3 の出力端子から、リードアドレス選択信号 RD_LAT_INF [4 n] が出力される。

【 0 1 7 7 】

即ち、リード用メモリは、アドレス選択信号 ADD_INF [4 n] を記憶し、リード用メモリの制御信号 RLRST および RLSET に従って、1 水平走査期間だけ有効となるリードアドレス選択信号 RD_LAT_INF [4 n] が生成される。

10

20

30

40

50

【 0 1 7 8 】

NORゲート85の2つの入力端子の一方は、アドレス選択信号ADD_INF [4 n] を供給する信号線に接続されており、その他方は、シャッタ用メモリの制御信号SLSETを供給する信号線に接続されている。

【 0 1 7 9 】

NORゲート86および87は、ラッチ回路を構成しており、シャッタ用メモリとなる。NORゲート86の入力端子には、NORゲート85の出力端子が接続されており、NORゲート87の入力端子には、シャッタ用メモリの制御信号SLRSTを供給する信号線に接続されている。そして、シャッタ用メモリから、即ち、NORゲート86の出力端子から、シャッタアドレス選択信号SH_LAT_INF [4 n] が出力される。

10

【 0 1 8 0 】

即ち、リード用メモリは、アドレス選択信号ADD_INF [4 n] を記憶し、シャッタ用メモリの制御信号SLRSTおよびSLSETに従って、1水平走査期間だけ有効となるシャッタアドレス選択信号SH_LAT_INF [4 n] が生成される。

【 0 1 8 1 】

なお、リードアドレス選択信号RD_LAT_INF [4 n] およびシャッタアドレス選択信号SH_LAT_INF [4 n] は、制御信号1として、即ち、それぞれリードアドレス選択信号RD_ADD_INF [4 n] およびシャッタアドレス選択信号SH_ADD_INF [4 n] として、図12の出力制御回路53₀に供給される。

【 0 1 8 2 】

次に、図16は、制御信号生成回路81の動作を説明するタイミングチャートである。

20

【 0 1 8 3 】

図16の上側には、リードアドレス選択信号RD_LAT_INF [4 n] のレベルを遷移させるタイミングチャートが示されており、図16の下側には、シャッタアドレス選択信号SH_LAT_INF [4 n] のレベルを遷移させるタイミングチャートが示されている。

【 0 1 8 4 】

また、図16には、1水平走査期間の信号が示されており、一番上に示されているXHS信号が、H同期信号を表している。

【 0 1 8 5 】

アドレス選択信号ADD_INF [4 n] は、時分割して使用されるため、アドレスが選択されたときに、1水平走査期間のうちの時分割されたタイミングのいずれかで、Hレベル(有効)となる。

30

【 0 1 8 6 】

リードアドレス選択信号RD_LAT_INF [4 n] のレベルを遷移させるタイミングチャートについて説明すると、アドレス選択信号ADD_INF [4 n] がHレベルである間に、リード用メモリの制御信号RLSETをHレベルにすることで、制御信号生成回路81のNORゲート83および84からなるリード用メモリに、アドレス選択信号ADD_INF [4 n] が格納され、リードアドレス選択信号RD_LAT_INF [4 n] がLレベルとなる。

【 0 1 8 7 】

その後、アドレス選択信号ADD_INF [4 n] がLレベルになった場合でも、NORゲート83および84からなるリード用メモリに、アドレス選択信号ADD_INF [4 n] が格納されているので、リードアドレス選択信号RD_LAT_INF [4 n] をLレベルで出力することができる。そして、次の1水平走査期間において、リード用メモリの制御信号RLRSTがHレベルとなることにより、リードアドレス選択信号RD_LAT_INF [4 n] はHレベルにリセットされる。

40

【 0 1 8 8 】

また、リードアドレス選択信号RD_LAT_INF [4 n] は、1水平走査期間ごとに更新されるので、リード用メモリの制御信号RLRSTは、1水平走査期間に1回供給される。そのため、リード用メモリの制御信号RLSETをHレベルとする前に、リード用メモリの制御信号RLRSTをHレベルとするタイミングとなっている。

50

【 0 1 8 9 】

制御信号生成回路 8 1 から出力されるリードアドレス選択信号RD_LAT_INF [4 n] は、水平走査期間の開始時刻からシフトして遷移する信号となっている。このシフト量は、リード用メモリの制御信号RLSETがHレベルになるタイミングに依存する。

【 0 1 9 0 】

そして、リードアドレス選択信号RD_LAT_INF [4 n] は、制御信号 1 として、即ち、図 1 3 のリードアドレス選択信号RD_ADD_INF [4 n] として、出力制御回路 5 3₀ に供給される。

【 0 1 9 1 】

また、図 1 6 の下側に示されているように、シャッタアドレス選択信号SH_LAT_INF [4 n] は、リードアドレス選択信号RD_LAT_INF [4 n] と同様に、シャッタ用メモリの制御信号SLRSTおよびSLSETに従って、レベルが遷移する。そして、シャッタアドレス選択信号SH_LAT_INF [4 n] は、図 3 のシャッタアドレス選択信号SH_ADD_INF [4 n] として、出力制御回路 5 3₀ に供給される。

10

【 0 1 9 2 】

このようなタイミングチャートに従って、制御信号生成回路 8 1 は、リードアドレス選択信号RD_LAT_INF [4 n] とシャッタアドレス選択信号SH_LAT_INF [4 n] を生成することができる。

【 0 1 9 3 】

次に、図 1 7 を参照して、図 2 のフォトダイオード 3 1 に蓄積される不要な電荷の排出時のポテンシャルについて説明する。

20

【 0 1 9 4 】

図 1 7 では、SELゲート、Ampゲート、RSTゲート、およびTRゲートにおける電位（ポテンシャル）が縦方向に表されており、縦方向の上方に向かうに従い、ポテンシャルが高くなっている。

【 0 1 9 5 】

図 1 7 の上側には、電荷排出時に、転送トランジスタ 3 2 に供給される駆動信号TR_OUTをHレベルにするとともに、リセットトランジスタ 3 3 に供給される駆動信号RST_OUTをHレベルにすることにより、RSTゲートおよびTRゲートが完全に開いている状態が示されている。

30

【 0 1 9 6 】

このような状態で、フォトダイオード（PD）3 1 で光電変換された電荷は、TRゲートを介して、フローティングディフュージョン（FD）3 6 に転送され、RSTゲートを介して、電源電圧VDD（不要電荷ドレイン部）に排出される。このとき、TRゲートは、完全に開いているので、フォトダイオード 3 1 で電荷が生成され次第、フローティングディフュージョン 3 6 に転送される。

【 0 1 9 7 】

このようにして、不要な電荷を排出することができるが、TRゲートおよびRSTゲートを完全に開かなくても、不要な電荷を排出して、ブルーミング現象が発生することを回避することができる。

40

【 0 1 9 8 】

図 1 7 の下側には、電荷排出時に、TRゲートおよびRSTゲートを半開きにした状態が示されている。即ち、転送トランジスタ 3 2 およびリセットトランジスタ 3 3 に供給される信号の電位を中間電位にすることにより、TRゲートおよびRSTゲートが半開きにされる。

【 0 1 9 9 】

TRゲートを半開きにすることで、フォトダイオード 3 1 で光電変換された電荷は、ある程度の電荷が蓄積されるが、フォトダイオード 3 1 から溢れた電荷は、基板側のポテンシャルが高いために基板側には流れずに、フローティングディフュージョン 3 6 に流れる。従って、図 1 7 の上側に示した状態と同様に、フォトダイオード 3 1 から溢れ出した電荷は、RSTゲートを介して、電源電圧VDDに排出される。

50

【0200】

また、TRゲートおよびRSTゲートを半開きにしたときにフォトダイオード31やフローティングディフュージョン36に蓄積される電荷は、露光時間に応じた電荷蓄積処理が開始される前に、シャッタ処理が行われることにより排出され、電荷蓄積処理では、フォトダイオード31に電荷が蓄積されていない状態から開始される。

【0201】

なお、TRゲートだけを半開きにしても、TRゲートおよびRSTゲートを半開きにした状態と同様に、フォトダイオード31から溢れ出した電荷は、フローティングディフュージョン36に流れ、RSTゲートを介して、電源電圧VDDに排出される。

【0202】

このように、TRゲートおよびRSTゲートを完全に開かなくても、不要な電荷を排出することができる。

【0203】

なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【0204】

【図1】本発明を適用したCMOSセンサの一実施の形態の構成例を示すブロック図である。

【図2】画素21の構成例を示す回路図である。

【図3】従来のCMOSセンサの垂直走査回路の構成例を示すブロック図である。

【図4】従来のCMOSセンサにおいて、画素21に供給される各信号を説明するタイミングチャートである。

【図5】本発明を適用した垂直走査回路の一実施の形態の構成例を示すブロック図である。

【図6】画素21の動作について説明するタイミングチャートである。

【図7】間引き処理が行われる場合の画素21の動作について説明するタイミングチャートである。

【図8】画素21'の構成例を示す回路図である。

【図9】画素21'に各信号を供給する垂直走査回路の構成例を示すブロック図である。

【図10】タイミング制御回路51が出力する信号について説明するタイミングチャートである。

【図11】間引き処理が行われる場合に、タイミング制御回路51が出力する信号について説明するタイミングチャートである。

【図12】画素共有判定回路52および出力制御回路53₀の構成例を示す回路図である。

【図13】画素共有判定回路52および出力制御回路53₀における各信号のタイミングチャートである。

【図14】CMOSセンサ11の起動時における、垂直走査回路50の各信号のタイミングチャートである。

【図15】制御信号生成回路81の構成例を示す図である。

【図16】制御信号生成回路81の動作を説明するタイミングチャートである。

【図17】フォトダイオード31に蓄積される不要な電荷の排出時のポテンシャルについて説明する。

【符号の説明】

【0205】

11 CMOSセンサ, 12 システム制御ユニット, 13 垂直走査回路, 14 ピクセルアレイ, 15 参照電圧回路, 16 カラムADC, 17 水平走査回路, 21₁₁乃至21_{Mn} 画素, 22₁乃至22_n 行制御線, 23₁乃至23_M 垂直信号線, 25 電圧比較部, 26 A/D変換部, 27 感度増幅部, 28₁乃至28_M 比較器, 29₁乃至29_M A/D変換器, 31 フォトダイオード, 32 転送ト

10

20

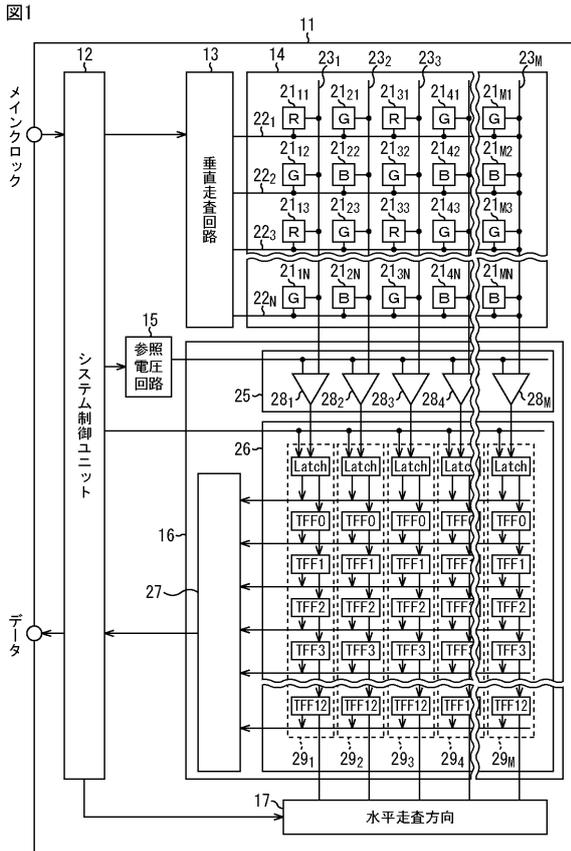
30

40

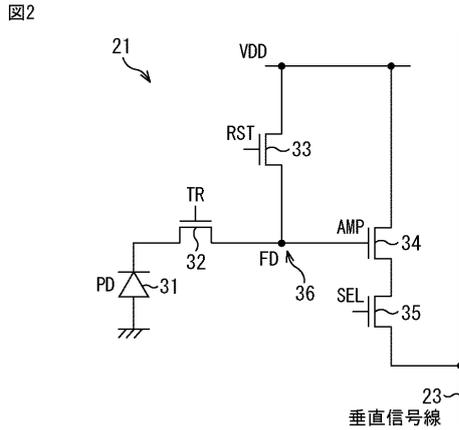
50

ランジスタ, 33 リセットトランジスタ, 34 増幅トランジスタ, 35 選択トランジスタ, 36 フローティングディフュージョン, 41 タイミング制御回路
 41, 42 駆動回路 42, 43 出力制御回路

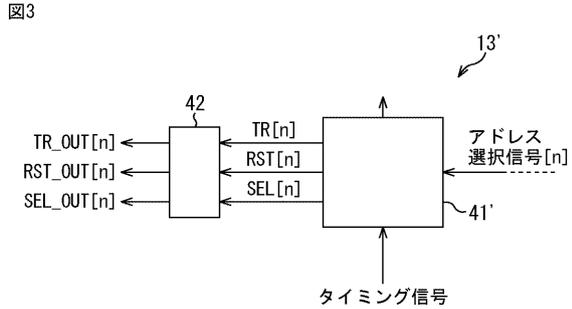
【図1】



【図2】

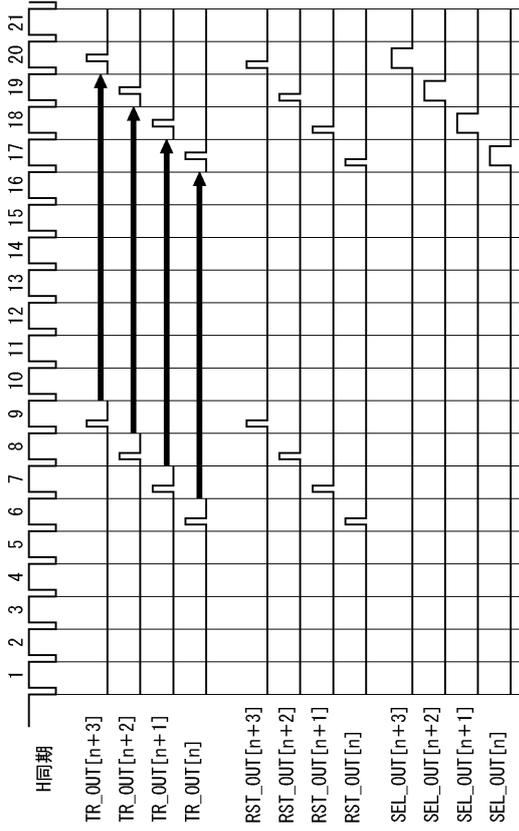


【図3】



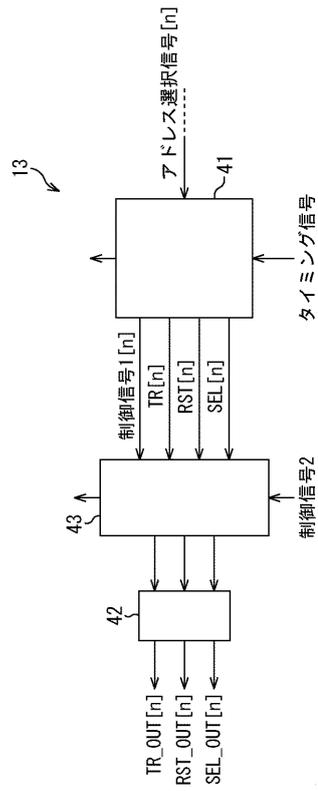
【図4】

図4



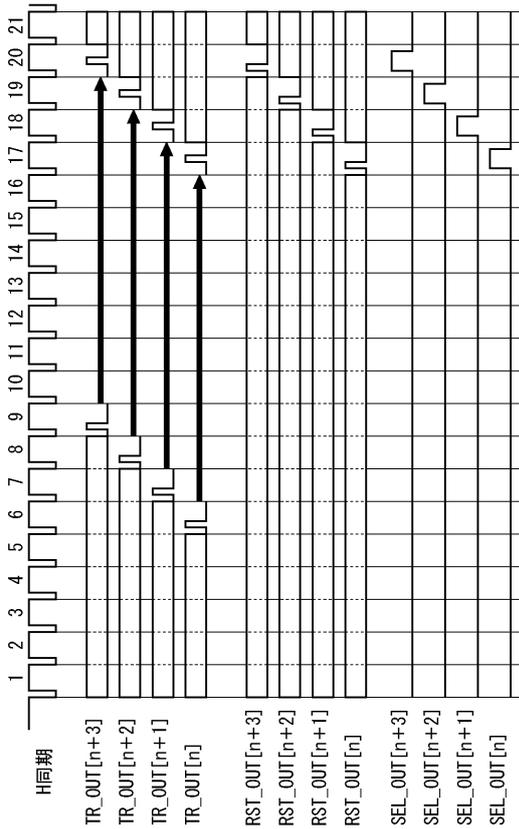
【図5】

図5



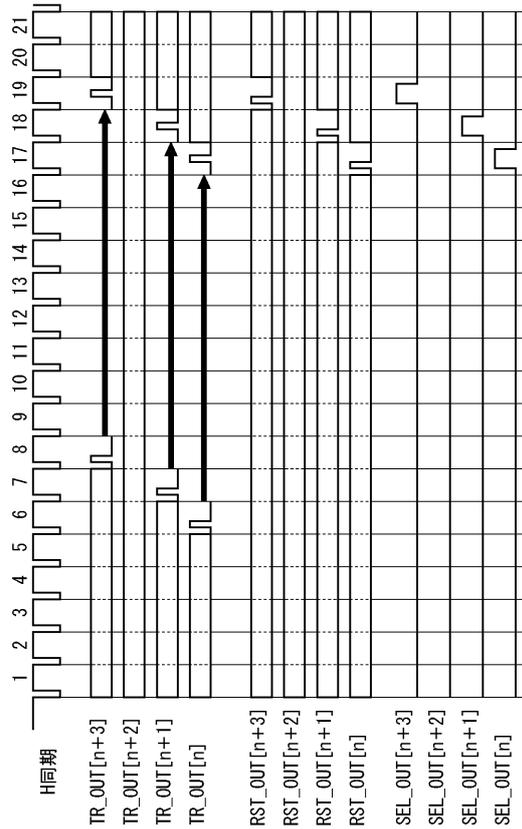
【図6】

図6



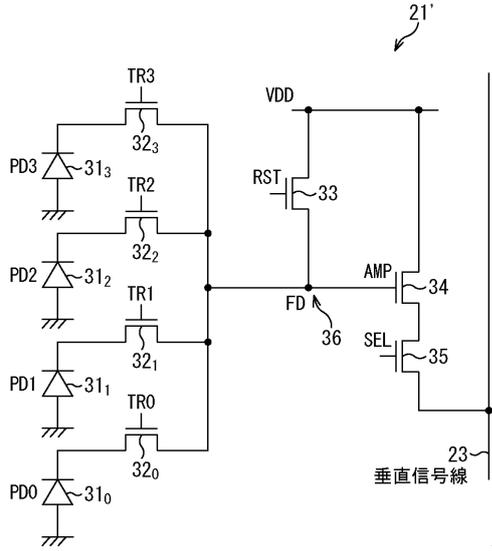
【図7】

図7



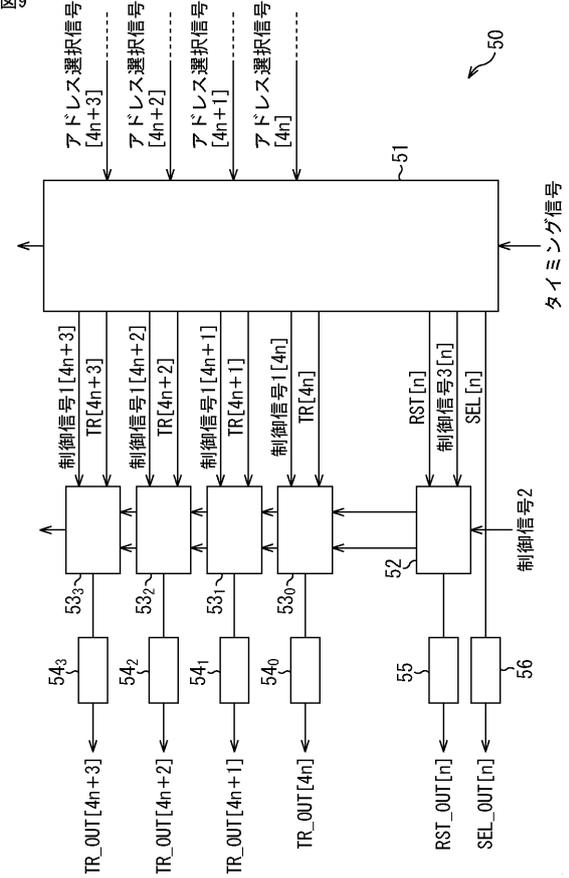
【図8】

図8



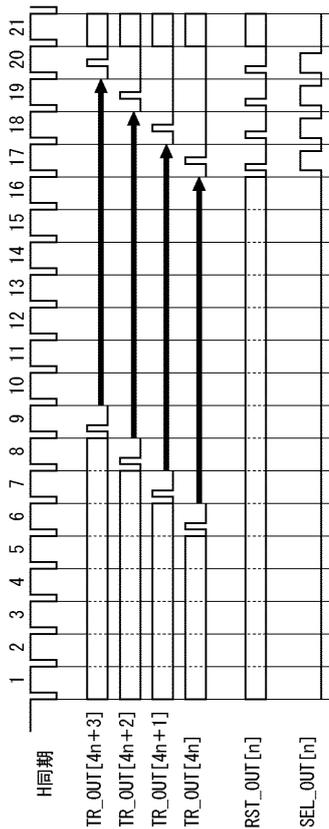
【図9】

図9



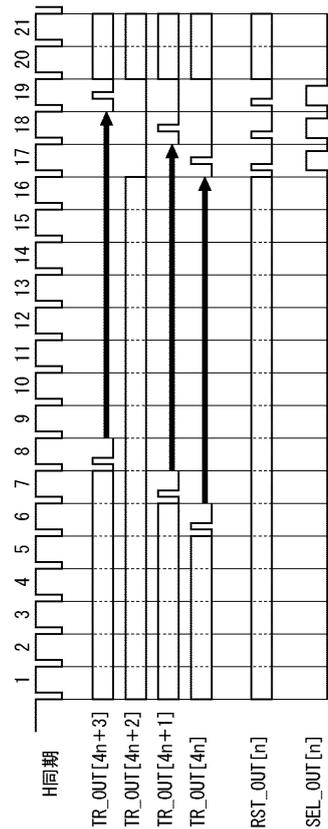
【図10】

図10

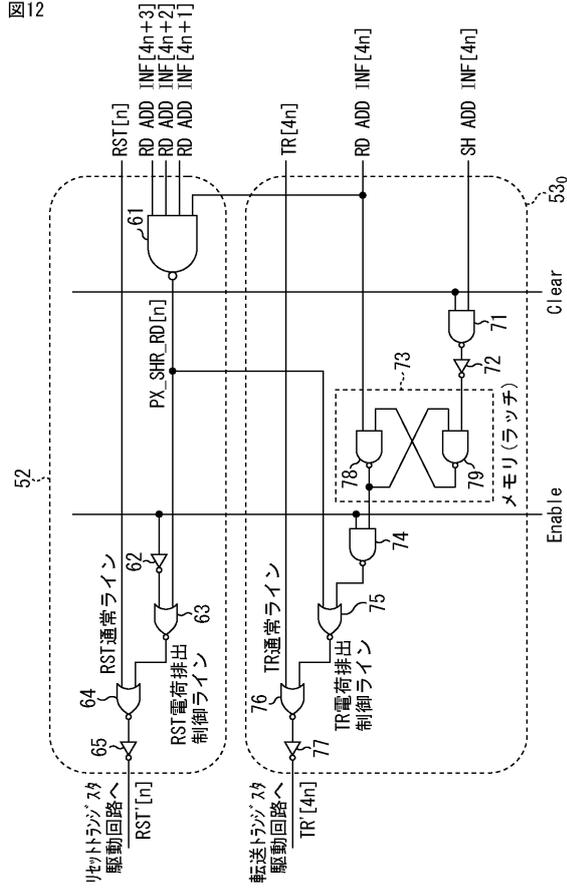


【図11】

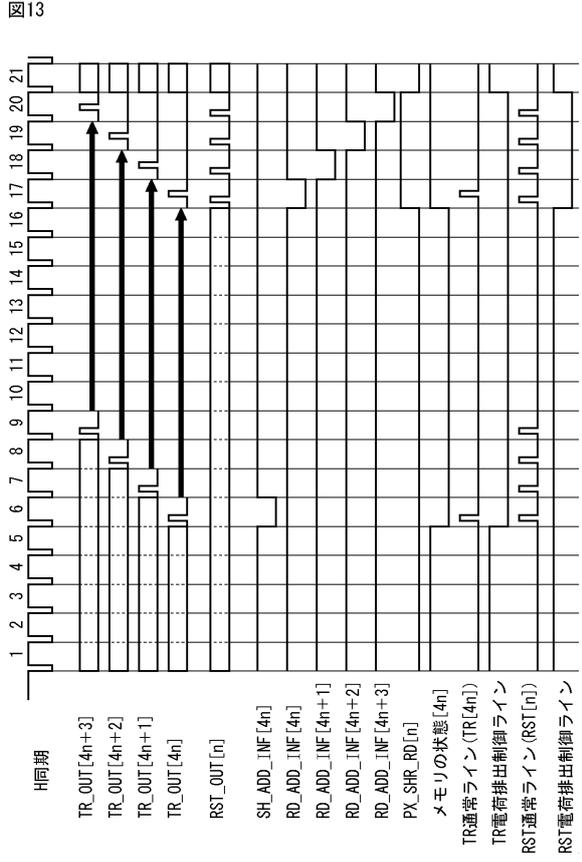
図11



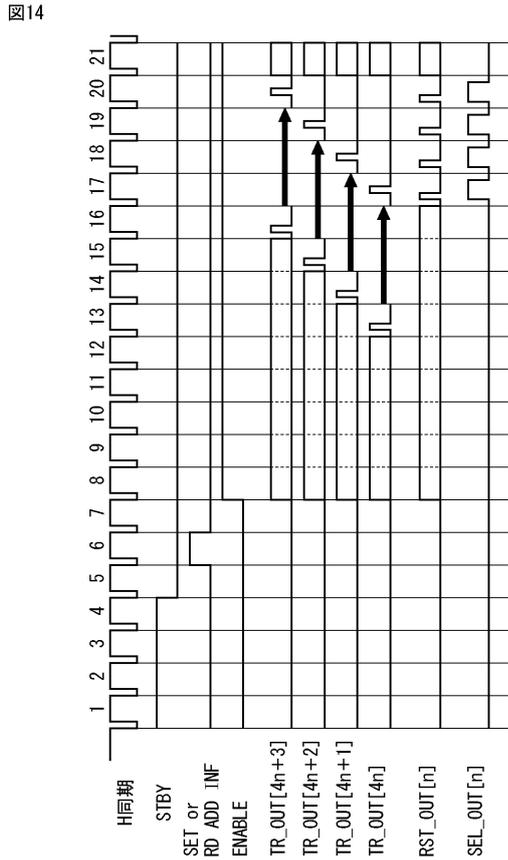
【 図 1 2 】



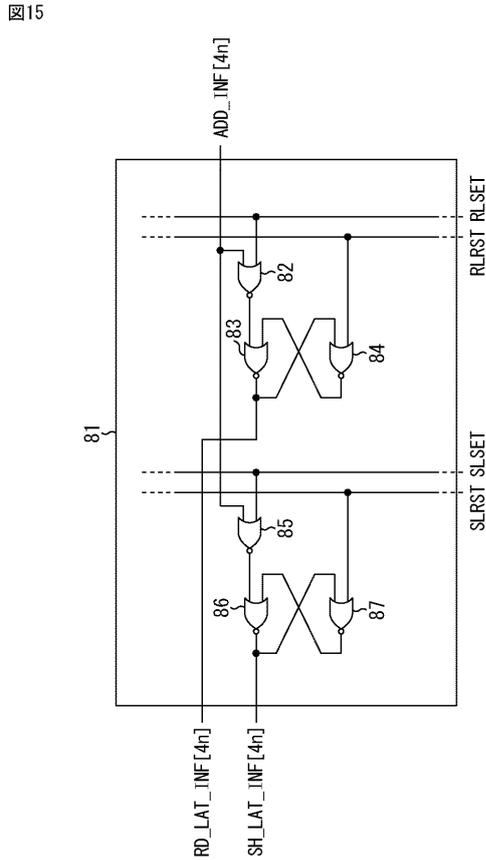
【 図 1 3 】



【 図 1 4 】

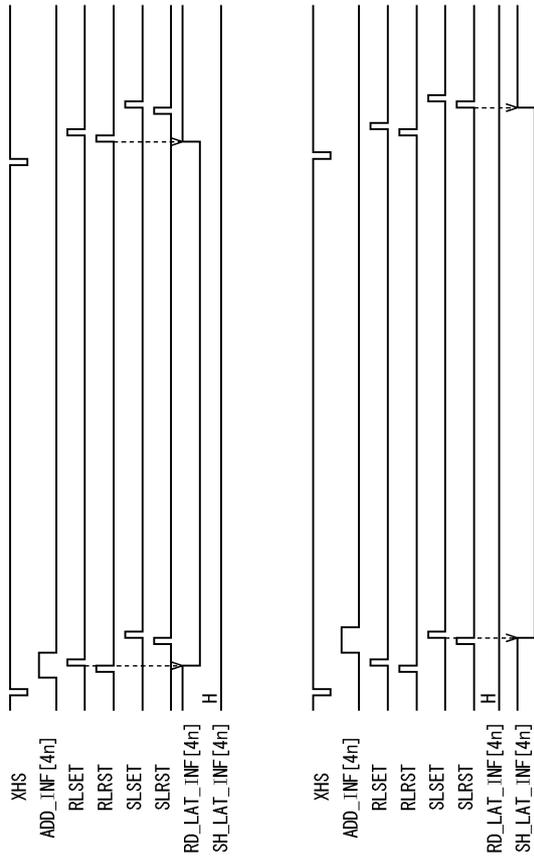


【 図 1 5 】



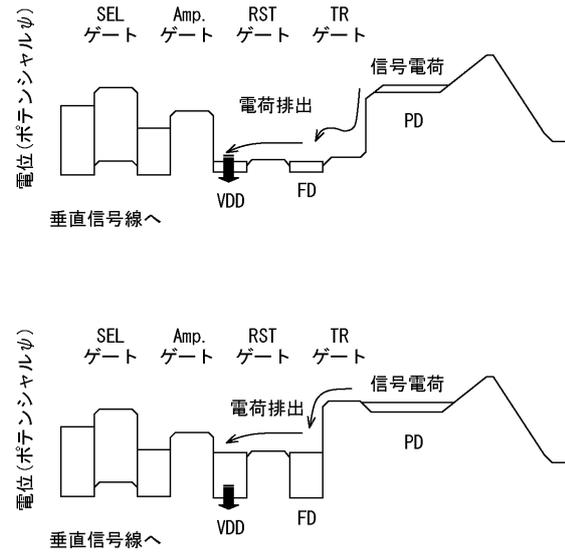
【図16】

図16



【図17】

図17



フロントページの続き

(56)参考文献 特開2000-350103(JP,A)
特開平08-195908(JP,A)
特開2007-158740(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H01L 27/14 - 27/148