

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H03F 3/45 (2006.01)



[12] 发明专利说明书

专利号 ZL 02810667.9

[45] 授权公告日 2006年6月21日

[11] 授权公告号 CN 1260880C

[22] 申请日 2002.5.24 [21] 申请号 02810667.9

[30] 优先权

[32] 2001.5.25 [33] US [31] 09/865,744

[86] 国际申请 PCT/US2002/016758 2002.5.24

[87] 国际公布 WO2002/097975 英 2002.12.5

[85] 进入国家阶段日期 2003.11.25

[71] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 E·巴赫 T·布伦 S·赛勒斯安

S·弗兰克

审查员 黄 渊

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 程天正 梁 永

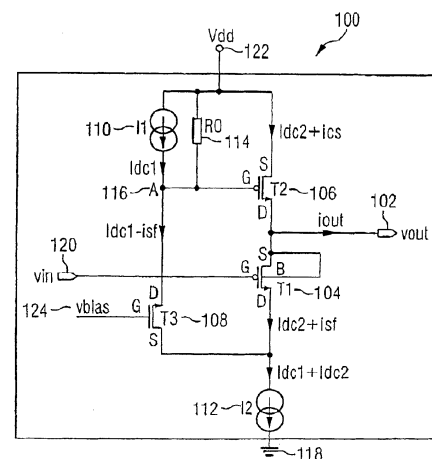
权利要求书 3 页 说明书 10 页 附图 7 页

[54] 发明名称

高频宽低电压增益单元及具强化跨导的电压跟随器

[57] 摘要

一电压缓冲器 (buffer) 和跟随器 (follower) 包含一单端 (singleended) 输出、一源极跟随器和一电流反馈回路。该电流反馈回路耦合于该源极跟随器 (source follower) 和该单端输出。当两个电压跟随器被使用在一差动构成 (differential configuration) 时, 该电压跟随器可以变成一高频宽增益单元的一部份。该高频宽增益单元包含一第一和第二源极跟随器电路, 其分别耦合于该第一和第二电流反馈回路。该第一和第二源极跟随器电路进一步分别的耦合于一第一和第二电流镜 (mirror) 电路。该第一和第二电流镜电路耦合于一与一共模 (common-mode) 反馈回路耦合的负载。该共模反馈回路控制一恒定电流源, 其吸入 (sinks) 流经该第一和第二电流镜电路的镜射直流电。



1. 一种硬盘读取信道增益单元，其包含：
 - 第一和第二电流反馈回路；
 - 差动配对，其包含一第一源极跟随器电路和一第二源极跟随器
- 5 电路，其中该第一源极跟随器电路耦合到该第一电流反馈回路且该第二源极跟随器电路耦合到该第二电流反馈回路；
 - 第一电流镜电路，其耦合到该第一源极跟随器电路；
 - 第二电流镜电路，其耦合到该第二源极跟随器电路；
 - 负载，其耦合到该第一和第二电流镜电路；
- 10 一共模反馈电路，其耦合到该负载；以及
 - 恒定电流源，其耦合到该第一和第二电流镜电路以及该共模反馈电路，当共模反馈电路控制时，该恒定电流源构成来汲入流经该第一和第二电流镜电路的镜射电流。
2. 如权利要求 1 所述的硬盘读取信道增益单元，其中每一该第一
- 15 和第二电流反馈回路包含一第一和第二恒定电流源和一折叠式串叠电路，其中每一该第一和第二恒定电流源加偏压于该折叠式串叠电路。
3. 如权利要求 2 所述的硬盘读取信道增益单元，其中每一该第一
- 和第二电流镜电路包含一共源电路，其耦合到该第二恒定电流源和该
- 折叠式串叠电路。
- 20 4. 如权利要求 1 所述的硬盘读取信道增益单元进一步包含一第三
- 恒定电流源，其中每一该第一和第二电流镜电路的偏压由该第三恒定
- 电流源分别提供。
5. 如权利要求 1 所述的硬盘读取信道增益单元进一步包含一第二
- 负载，其耦合于该差动配对之间。
- 25 6. 如权利要求 5 所述的硬盘读取信道增益单元，其中该第一和第二
- 负载包含一电阻性负载。
7. 如权利要求 6 所述的硬盘读取信道增益单元，其中至少一该第
- 一和第二负载是一 MOS 晶体管或是 MOS 晶体管在线性区域操作的组
- 合。
- 30 8. 如权利要求 6 所述的硬盘读取信道增益单元，其中该第一和第
- 二负载包含一差动负载。
9. 如权利要求 1 所述的硬盘读取信道增益单元，其中该恒定电流

源包含一第一和第二恒定电流源，其中该第一恒定电流源耦合于该第一电流镜电路，该第二恒定电流源耦合于该第二电流镜电路。

10. 如权利要求 1 所述的硬盘读取信道增益单元，其中该电流镜比大于一且由一数字逻辑所控制。

5 11. 如权利要求 9 所述的硬盘读取信道增益单元，其中该负载包含一互连于一共节点的差动电阻性负载，该共节点耦合于该共模反馈电路。

12. 如权利要求 9 所述的硬盘读取信道增益单元，其中该恒定电流源包含一第一和第二恒定电流源，其中该第一恒定电流源平行耦合于该第一电流镜电路，而该第二恒定电流源平行耦合于该第二电流镜电路。

13. 如权利要求 9 所述的硬盘读取信道增益单元，其中每一该第一和第二电流镜电路包含一耦合于一电压供应的第三恒定电流源。

14. 如权利要求 12 所述的硬盘读取信道增益单元，其中该第一和第二电流镜由该第一和第二电阻分别接地。

15. 如权利要求 14 所述的硬盘读取信道增益单元进一步包含一第一和第二输出，其中该第一输出通过一差动电阻耦合至第二输出，且由该第一和第二电阻分别接地。

16. 如权利要求 15 所述的硬盘读取信道增益单元，其中该共模反馈电路耦合一互连于该差动电阻的共节点。

17. 如权利要求 2 所述的硬盘读取信道增益单元，每一该第一和第二电流镜电路分别包含折叠式串叠电路。

18. 如权利要求 1 所述的硬盘读取信道增益单元，其中该差动配对、该第一电流镜电路、该第二电流镜电路、该共模反馈电路与该恒定电流源构成在一小于两伏特的供应电压下操作。

19. 如权利要求 1 所述的硬盘读取信道增益单元，其中该差动配对、该第一电流镜电路、该第二电流镜电路、该共模反馈电路与该恒定电流源为 CMOS 装置。

20. 如权利要求 1 所述的硬盘读取信道增益单元进一步包含一对输出端子和一第二硬盘读取信道增益单元，其中该输出端子耦合至该第一和第二电流镜电路且直接耦合至该第二硬盘读取信道增益单元。

21. 一种硬盘读取信道增益单元，其包含：

- 一对输出端子;
- 一第一和第二电流反馈电路, 其中每一该第一和第二反馈电路包含一第一和第二恒定电流源和一折叠式串叠电路, 且其中每一该第一和第二恒定电流源加偏压于该折叠式串叠电路;
- 5 一差动配对包含一第一源极跟随器电路和一第二源极跟随器电路, 该第一源极跟随器电路耦合于该第一电流反馈回路且该第二源极跟随器电路耦合于该第二电流反馈回路;
 - 一第一电流镜电路, 其耦合于该第一源极跟随器电路, 该第一电流镜电路包含一耦合至输出端子之一的折叠式串叠电路;
 - 10 一第二电流镜电路, 其耦合于该第二源极跟随器电路, 该第二电流镜电路包含一耦合至输出端子之一的折叠式串叠电路;
 - 一耦合于该第一和第二电流镜电路之间的差动负载;
 - 一耦合至该负载的共模反馈电路;
 - 一第三恒定电流源, 其耦合至该第一和第二电流镜电路与该共模
- 15 反馈电路, 当共模反馈电路控制时, 该第三恒定电流源构成来汲入流经该第一和第二电流镜电路的镜射电流。

高频宽低电压增益单元及其强化跨导的电压跟随器

技术领域

- 5 本发明关于一种电压缓冲器和跟随器，尤指一种使用在高频宽低电压增益单元的电压跟随器。

背景技术

10 差动电路(differential circuit)产生一正比于两输入信号间的代数差(algebraic difference)的信号。这些电路只有在该输入信号间有差异时，才产生一输出信号。

理想中，差动电路的输出信号并不由它的输入信号的大小决定。然而，当输入信号十分“微弱”时，这些信号可以小到使得它们不能再被确实的处理。因此，当“微弱”输入信号提供到一差动电路时，这个“微弱”输入信号可以被缩小且将无法被检测出这些可以存在于
15 输入信号的小信号差异。换句话说，包含在这些输入信号的信息和它们之间的代数差可能被遗失。

概念上，在差动电路处理输入信号之前，信号放大器可以用来影响输入信号。假如使用信号放大器，信号放大器必须被匹配且需进一步的保持包含在输入信号理的信息。使用信号放大器的一缺点是结果
20 电路(resulting circuit)有一限制的频宽。信号放大器的极(poles)可以在高频缩小该输入信号，如此便限制差动电路的频宽。

发明内容

本发明关于高频宽低电压增益单元，其可克服习知潜在的缺点。本发明也与具强化跨导的电压跟随器和缓冲器有关。本发明较佳实施
25 例将信号衰减最小化并将在硬盘机及其它机电装置与电子装置的频宽最大化。本发明较佳的缓冲器和跟随器包含一单端(single ended)输出、一源极跟随器和一电流反馈回路。电流反馈回路耦合于该源极跟随器和该单端输出。藉由使用一由共源(common-source)晶体管执行的高增益的电流/电压转换和电压/电流转换，该电流反馈回路获得在输
30 入和输出电流间的高电流增益。

本案较佳实施例的增益单元包含一第一和第二源极跟随器、一在源极跟随器周围的第一和第二电流反馈回路、一第一和第二电流镜电

路、一负载、一共模反馈电路和一第一和第二恒定电流源。较佳地，一差动安排包含该第一和第二源极跟随器，其分别地耦合该第一和第二电流反馈回路。该第一和第二源极跟随器电路也分别耦合于该第一和第二电流镜电路。该第一和第二电流镜电路耦合至一耦合于共模反

5 馈电路的该负载。该共模反馈电路控制该恒定电流源，其汲入(sink)流经该第一和第二电流镜电路的镜射电流。

附图说明

图标中，在不同视图的相同组件数字符号表示相似的组件。

- 图 1 为本案较佳实施例的电压跟随器的示意图；
- 10 图 2 为包含于图 1 的本案较佳实施例的增益单元的示意图；
- 图 3 为包含于图 2 的本案较佳实施例的替代负载的示意图；
- 图 4 为包含于图 2 的本案另一较佳实施例的替代负载的示意图；
- 图 5 为包含于图 2、3、4 的本案较佳实施例的串叠示意图；
- 图 6 为包含于图 2、3、4 的本案较佳实施例的数字逻辑的示意图；
- 15 图 7 为包含于图 2、3、4 的本案另一较佳实施例的数字逻辑的示意图。

具体实施方式

一硬盘是一种机电装置，其可从一由可储存资料的材料来制造或者仅覆盖其表面的转盘(platter)读出或写入资料。一硬盘可包含一用来支持转盘的转轴(spindle)、一驱动转盘的马达、一或多个读写头、一读写头定位机构、一电源供应器和一控制器。在一硬盘机中，一电压缓冲器(buffer)可以被用来暂存信号，其驱动信号可用一高源电阻到一低阻抗负载来提供。例如，电压跟随器可以使用在当电压来源电阻比负载电阻大的时候。不使用电压跟随器而直接将电压源与负载耦

20 合将导致一明显的信号衰减。在这个案例中，具有一高于负载阻抗的高输入阻抗和低输出阻抗的电压跟随器可以用来当成一电压缓冲器。相同地，在一些应用，如在硬盘读取电路中，两输入信号的差异必须在不改变输入信号的完整性下被检测出来。

图 1 是本案较佳实施例的电压跟随器 100 的示意图。本案的具有一单端输出 102 的较佳实施例 100 包含三个晶体管：源极跟随器(source-follower)晶体管 T_1 104、共源(common-source)晶体管 T_2 106 和折叠式串叠(folded-cascode)晶体管 T_3 108 和两恒定电流源 I_1

30

110、 I_2 112。该第一和第二晶体管 T_1 104 和 T_2 106 较佳为 P 沟道金属氧化物半导体场效应晶体管 (PMOS FETs)，而第三晶体管 T_3 108 较佳为 N 沟道金属氧化物半导体场效应晶体管 (NMOS FET)。

较佳地，本案较佳实施例的电压跟随器 100 的输出电压伴随着输入电压。在本案较佳实施例 100 中，输出电压不像输入电压，是按照一取决于源极跟随器晶体管 T_1 104 的阈值 (threshold) 电压 V_t 的栅源 (gate-source) 电压。该阈值电压 V_t 在制程中定义，其中该阈值电压 V_t 是在源极 (source) 和漏极 (drain) 之间的电流产生 (onset) 的最低需求的栅电压。此外，源极跟随器晶体管 T_1 104 的栅源电压取决于从源极流到漏极的偏压电流。

较佳地，一电流汲入 (sink) 或该电流源 I_2 112 加偏压于该源极跟随器晶体管 T_1 104 和该折叠式串叠晶体管 T_3 108。该晶体管 T_3 108 的漏极电流 I_{DC1} 由电流源 I_1 110 所定义。该源极跟随器晶体管 T_1 104 的漏极偏压电流 I_{DC2} 较佳为从电流源 I_1 110 流经 I_2 112 的电流差异，其中电流源 I_2 112 传导一结合直流电 ($I_{DC1} + I_{DC2}$)。互连于该共源晶体管 T_2 106 的源极 (source) 和栅极 (gate) 之间的符号 R_0 114 代表电流源 I_1 110 的输出阻抗。由于本发明的较佳实施例的该共源晶体管 T_2 106 的一高栅极阻抗， R_0 114 是从节点 A (node A) 到接地端 (ground) 118 测量出的全部阻抗的重要部分。然而，从节点 A 到接地端 118 的全部阻抗将取决于该折叠式串叠晶体管 T_3 108、该电流源 I_2 112 的输出阻抗与从该源极跟随器晶体管 T_1 104 的漏极调查的阻抗的相互传导。

较佳地，产生在端子 V_{out} 102 的输出电压伴随在端子 V_{in} 120 接收的输入电压。然而，本案较佳实施例的电压跟随器 100 的动态表现可由当输入电压改变时发生的时间延迟 (time delays) 或传输延迟 (propagation delays) 所描述。因为大部分的开关表示出非零的切换次数且必然地有一些在节点间的电容，电路功能可以取决于该开关的延迟反应，如使用在本案较佳实施例的电压跟随器 100 的该晶体管。

当在端子 V_{in} 120 接收的输入信号减少，例如一传输延迟导致源极跟随器晶体管 T_1 104 的栅源电压 V_{gs} 开始增加。在端子 V_{out} 102 产生的信号没有立即跟着在端子 V_{in} 120 接收的信号改变。当 V_{gs} 增加，由源极跟随器晶体管 T_1 104 引起的导电通路增加，且对应产生一输出交流电。该交流电 ($i_{source\ follower}$ 或 i_{sf}) 加到流过源极跟随器晶体管 T_1 104 的

导电通路的静态直流电 I_{DC2} 。因为 I_2 112 没有被构成或规划至汲入电流 i_{sf} , i_{sf} 基本上被加至在共源晶体管 T_2 106 的栅的 I_{DC1} 还有在节点 A 116 的 folded-cascode 晶体管 T_3 108 的漏极。当在节点 A 116 的交流电增加时, 部分由于该大阻抗 R_0 , 一相当大的交流栅极电压补充该共源晶体管 T_2 106 的直流栅极电压。这些栅极电压导致共源晶体管 T_2 106 的导电通路减少。在栅源电压 V_{gs} 的有效衰减, 减少了从一直流供应 V_{dd} 122 流经 T_2 106 的电流。因此产生了一交流电 $i_{common\ source}$ (i_{cs})。最后, 在端子 V_{in} 120 接收的输入电压和在端子 V_{out} 102 产生的输出电压间的差异出现在一电压区里, 其一般由源极跟随器晶体管 T_1 104 的阈值电压 V_t 和直流偏电流 I_{DC2} 所定义。

如图所示, 该折叠式串叠晶体管 T_3 108、该两电流源 (I_1 110, I_2 112) 和该共源晶体管 T_2 106 形成一在源极跟随器晶体管 T_1 104 周围的电流反馈回路。本案较佳实施例的输入交流电到输出交流电 (g_m) 的全部跨导或比率远高于该源极跟随器晶体管 T_1 104 或是该偏压电流 I_{DC2} 所构成的共源晶体管 T_2 106 的跨导。该共源晶体管 T_2 106 的跨导的增加或提高可由将该共源晶体管 T_2 106 的栅加上一传导交流电压所达成。该交流电压可通过一高增益的电流/电压转换所达成, 其转换利用了节点 116 A 感测的交流电 i_{sf} 。较佳地, 本案较佳实施例的电压跟随器 100 的该共源晶体管 T_2 106 的漏极交流电 i_{cs} 被增大且与交流电 i_{sf} 反相。该电流反馈回路最小化流经源极跟随器晶体管 T_1 104 的交流电 i_{sf} , 来获得流经靠近直流电 I_{DC2} 的源极跟随器的电流。因此源极跟随器晶体管 T_1 104 的栅源电压是一在输入 V_{in} 120 和输出 V_{out} 102 之间的定补偿 (offset) 电压并且完全独立于交流操作 (AC operation) 之外。该共源晶体管 T_2 106 驱动该输出交流电 i_{out} , 其用来改变在输出节点 V_{out} 102 的电位 (voltage level), 且 i_{out} 的大小相等或近似于 i_{cs} 的大小。依上所述, 本案较佳实施例的电压跟随器 100 的跨导远高于单独的源极跟随器晶体管 T_1 104 的跨导。

本案较佳实施例的电压跟随器 100 的小信号增益取决于电压跟随器的输出阻抗和负载阻抗。本案较佳实施例的电压跟随器 100 的小信号输出阻抗反比于该共源晶体管 T_2 106 的跨导。由于本案较佳实施例 100 的增强跨导操作, 电路信号衰减将变小。

较佳地, 源极跟随器晶体管 T_1 104 的栅源 (gate-source) 电压近

乎不变，甚至于它带有输入信号的小信号改变。被该电路或该栅极 (gate) 观察的电容和驱动在端子 V_{in} 120 的该源极跟随器晶体管 T_1 104 的栅极较佳地是由该栅源电容和该源极跟随器晶体管 T_1 104 的栅漏 (gate-drain) 电容所决定。既然因为是电流反馈回路的操作，栅源电
5 压的变化较佳地非常小，而由于栅源电容的关系，负载较佳地减少。由于电流反馈回路的高频宽，这减少的负载效应甚至在非常高的频率中是确实的。栅漏电容的效应也较佳地变小，由于在饱和范围中该源极跟随器晶体管 T_1 104 的操作和由于在该折叠式串叠晶体管 T_3 108 源极的低阻抗，该折叠式串叠晶体管 T_3 108 避免一在米勒效应
10 (Miller-effect) 电容中的动态增加。

如图 1 所示，该源极跟随器晶体管 T_1 104 的总体 (bulk) 和源极端子较佳地直接耦合。在总体和源极端子的直接耦合进一步最小化由可被耦合到 V_{out} 102 端子的负载引起的信号衰减，因为源极跟随器晶体管 T_1 104 的 g_m 是最理想的。在另一本案较佳实施例的具有耦合到一交流
15 接地电压的总体端子，例如在 PMOS FET 源极跟随器晶体管 T_1 104 的例子中的正供 (positive supply) 电压，一栅极和和总体的跨导的增强将会达成。该总体跨导因此有一负面影响且减少电流反馈跨导增强回路的好处。在这个例子中的小信号衰减取决于栅极和和总体的跨导比率。较佳地，该信号衰减比较少依赖或是独立于耦合至 V_{out} 102
20 端子的负载之外。

上述的本案较佳的电压跟随器 100 并不限制在图标组件中 (如 PMOS 或 NMOS 晶体管)，本案较佳实施例 100 也可包含将 PMOS FETs 以 NMOS FETs 取代且将 NMOS FETs 以 PMOS FETs 取代的方式的晶体管。此外，例如许多合适的电流供应或晶体管，如串叠晶体管，可以用来
25 当作电流源 I_1 110, 和 I_2 112 来增强电源的输出阻抗如同在折叠式串叠晶体管 T_3 108 的 V_{bias} 124 端子的栅极电压 (gate bias) 可以被任何合适的外部或内部源极、偏压区块 (bias block) 或偏压产生器 (bias voltage generator) 所驱动。

本案较佳的电压跟随器 100 也可是一单一部份或是整合于本案较佳的实施例的在一分离或整合电路中的一固定或变动的增益单元。如图 2 所示，本案较佳的增益单元 200 包含两个电压跟随器 202 和 204，其皆具有由一被动组件 (如图标的 R_0 206) 耦合的输出端子。后来的

或是被动组件可用一主动组件如可变电阻或晶体管来实行。在一较佳实施例中，该晶体管可以是一在线性范围内操作且被一高栅电压加上偏压的 NMOS 装置。藉由调整 NMOS 装置在线性区的栅压，引诱传导通路的电阻值将对应着改变如同本案另一较佳实施例中的可变增益的改变。

5 本案较佳的增益单元 200 利用一对晶体管 T_{4a} 208 和 T_{4b} 210 去追踪和输出流经 R_0 206 的电流。较佳地，这成双的晶体管 T_{2a} 106a、 T_{4a} 208 和 T_{2b} 106b、 T_{4b} 210 是在一别地追踪流经共源晶体管 T_{2a} 106a 和 T_{2b} 106b 的电流中的电流镜(current-mirror)配置中。虽然晶体管 T_{4a} 208 和 T_{4b} 210 没有分别的与 T_{2a} 106a 和 T_{2b} 106b 相匹配，而来提供一在其它替代实施例中可以用在其它成双的相匹配的晶体管的增益 N 。如上述，本案较佳实施例可利用一一对一电流镜配置或一对 N 的电流镜配置，其取决于产生在 V_{outp} 212 和 V_{outn} 214 端子的理想输出增益。调整本案另一较佳的增益的数字逻辑也可用来控制该电流镜比 N ，藉由控制平行地位于晶体管 T_{4a} 208 和 T_{4b} 210 的晶体管。

15 如图所示，电流镜 T_{2a} 106a、 T_{4a} 208 和 T_{2b} 106b、 T_{4b} 210 提供流经共源晶体管 T_{2a} 106a 和 T_{2b} 106b 的多重参考电流至本案较佳的负载 216。较佳地，本案较佳的负载 216 执行一电流/电压转换，其使用一等于 R_{1a} 218a 加 R_{1b} 218b 的差动电阻 R_1 和由共模反馈电路 228 所控制的两电流源 I_{3a} 220 和 I_{3b} 222。较佳地，在输出端子 V_{outp} 212 和 V_{outn} 214 的共模电压是由电流源 I_{3a} 220 和 I_{3b} 222 所控制，其电流源汲入流经共模晶体管 T_{2a} 106a 和 T_{2b} 106b。较佳地，电流源 I_{3a} 220 和 I_{3b} 222 分别汲入在输出端子 V_{outp} 212 和 V_{outn} 214 流经 T_{4a} 208 和 T_{4b} 210 的直流电流组件 $N \times I_{DC2}$ ，其 T_{4a} 208 和 T_{4b} 210 只流过差动电流 $N \times i_{csa}$ 和 $N \times i_{csb}$ 。

25 横跨 R_{1a} 218a 和 R_{1b} 218b (其皆等于 R_1 的 $1/2$) 的电压降是本案较佳实施例的差动输出电压，且电压输出增益 $N \times R_1/R_0$ 是由电阻比和电流镜比所构成。如上所述，本案较佳的增益单元 200 可以捕捉在 V_{inp} 120a 和 V_{inn} 120b 端子间接收信号的差异，藉由量测流经 R_{1a} 218a 和 R_{1b} 218b 电阻的电流 $N \times i_{out}$ 。

30 较佳地，位于 R_{1a} 218a 和 R_{1b} 218b 电阻的节点 B 224 是一虚拟交流接地端。在该节点 B 224 的电压等于在输出端子 V_{outp} 212 和 V_{outn} 214

的共模电压且可与在电压参考端子 V_{ref} 226 的参考电压比较，其参考电压由用来调整输出节点 V_{outp} 212 和 V_{outm} 214 的共模电压的共模反馈电路 228 所接收。较佳地，该共模电路 228 将虚拟交流接地节点 B 224 的电压与一内部参考电压或外部来源产生的电压做比较，并进一步控制

5 电流源 I_{3a} 220 和 I_{3b} 222 来汲入合适的 $N \times I_{DC2}$ 电流。

图 3 是本案的可用来取代图 2 的负载 216 的另一较佳负载 300 的示意图。较佳地，该替代负载执行一电流/电压转换，其使用差动电阻 R_{1a} 218a 和 R_{1b} 218b 和一由该共模反馈电路 228 控制的单一电流源 I_4 302。较佳地，该单电流源 I_4 302 传导一比图 2 的电流源 I_{3a} 220 和 I_{3b}

10 222 的一大两倍的直流电。差动电阻 $R_1 \times 1/2$ 218a 和 218b 的使用导致在端子 V_{outp} 212a 和 V_{outm} 214b ($N \times R_1 \times 1/2 \times I_{DC2}$) 的直流共模电压的直流电压偏移。此外，电流源 I_4 302 的电容不作为在输出端子 V_{outp} 212a 和 V_{outm} 214b 的负载电容。因为电流源 I_4 302 是耦合到虚拟交流接地节点 B 224，电流源 I_4 302 的输出阻抗的选择可以改变。最后，

15 应该注意到该共模电压是由该共模反馈电路 228、接通在虚拟交流接地节点 B 224 的共模层、控制由电流源 I_4 302 的直流电所汲入的直流电、和考虑流经负载电阻 $R_1 \times 1/2$ 218a 和 218b 的直流电压偏移所控制。

图 4 是本案的对于图 2 的负载 216 的第三较佳负载 400 的示意图，其中图 2 的晶体管 T_{4a} 208 和 T_{4b} 210 (在图 4 为 I_{5a} 402a 和 I_{5b} 402b)

20 平行地耦合至恒定电流源 I_{6a} 406 和 I_{6b} 408。如图所示，该替代负载 400 避免汲入流经输出端子 V_{outp} 212 和 V_{outm} 214 到接地端 118 的电流。当然，输出端子 V_{outp} 212 和 V_{outm} 214 与接地端 118 被两个晶体管 R_1 404 所隔离。因为这些 R_1 404 是平行于其它两个将 V_{outp} 212 耦合至 V_{outm} 214 的电阻 R_2 405，在 V_{outp} 212 和 V_{outm} 214 间的有效电阻将等于图 2 的较

25 佳负载 216 的有效电阻。假如 R_2 远大于 R_1 ，电阻 R_2 405 的目的是用来接通输出节点的共模电压。此外，本案的第三较佳的负载 400 可执行一非常低的共模层。在其中一较佳实施例中，可以达到低于约 400 毫伏的共模层。

图 4 进一步表示该共模反馈电路 228 控制两个电流源 I_{6a} 406 和

30 I_{6b} 408，其共模反馈电路 228 也监控在虚拟交流接地节点 B 224 的共模层。较佳地，电流源 I_{6a} 406 和 I_{6b} 408 提供一有效电流来增加或减少在 V_{outp} 212 和 V_{outm} 214 端子的共模层。电流源 I_{6a} 406 和 I_{6b} 408

两者可被设计成拥有非常高的输出阻抗，由于在输出端子 V_{outp} 212 和 V_{outm} 214 的共模层和 VDD 122 之间的差异。因此，小信号增益没有减少如电流源 I_{6a} 406 和 I_{6b} 408 的寄生 (parasitic) 输出阻抗一样。

为了改善共模反馈电源的输出阻抗，一串叠晶体管 T_{4c} 502 可以串
5 连到 I_{5a} 402a 且一第二串叠晶体管 T_{4c} 502 可以串连到 I_{5b} 402b，如图
4 所示。此外，一串叠晶体管 T_{4c} 502 可以串连在 T_{4a} 208 和 V_{outp} 212
端子之间而一第二串叠晶体管 T_{4c} 502 可以串连在图 2 的 T_{4b} 210 和 V_{outm}
214 端子之间。较佳地，串叠晶体管 (其中之一出现在图 5) 分别被耦
合至 T_{4a} 208 和 T_{4b} 210 的漏极。较佳地，与输出共模电压的相同的直
10 流电压加栅电压于该串叠晶体管。当在一整合电路里制造时，晶体管
 T_{4c} 可以有一 W 和 L 的比率，其比源极随耦晶体管 T_{1a} 104a 和 T_{1b} 104b
的 W 和 L 的比率大上 N 倍。依上所述，在本案较佳实施例中，串叠晶
体管 T_{4c} 502 的漏极节点将与共源晶体管 T_{1a} 104a 和 T_{1b} 104b 的漏极
节点将约在相同的电位上。如此，本案较佳的串叠提供非常准确的具
15 有非常高输出阻抗的电流镜电路。在该共模电源晶体管与信号路径
(signal-path) 晶体管 T_{4a} 208 和 T_{4b} 210 之间可以分享该串叠晶体管。

图 6 表示可以合并至图 2、3、4 中的本案较佳的数字逻辑的示意
图。在这些较佳实施例中，图 2 的晶体管 T_{4a} 208 和 T_{4b} 210 和图 4 的
电流源 I_{5a} 402a 和 I_{5b} 402b 可以分别的被图 6 的电路所实施。在这些
20 较佳实施例中，N-1 个晶体管 T_{42} - T_{4N} 被平行耦合至晶体管 T_{41} 602 中。
具有 N-1 个控制线 606 的数字逻辑 604 控制这些晶体管的栅极电压，
该控制线 606 藉由一共栅极电压来分别的驱动被挑选的晶体管。为了
驱动该晶体管 T_{42} - T_{4N} ，必须激活每一进行的晶体管。例如，为了打开
 T_{34} ， T_{42} 和 T_{41} 必须先开。当一第二数字控制线被驱动达到一 logic high
25 的时候， T_{43} 610 的栅将分享 T_{42} 608 和 T_{41} 602 的栅极电压。这个共栅
极电压激活 T_{43} 610。

较佳地，图 6 的晶体管 T_{42} - T_{4N} 的每一本质上有相同的宽与长。每
一被选的晶体管的连续激活单独或等量增加了 T_{4c} 502 的源极偏压。较
佳地，上述实施例是一整合电路的单一部份，虽然匹配的晶体管也可
30 被用在分离的实施例中。较佳地，数字激活 (digitally actuated) 晶
体管的数量定义使用在这些较佳实施例的相乘系数 (multiplication
factors) 或电流镜比。此外，温度计码 (Thermometer Code) 较佳地被

使用来控制加偏压于栅的开关。

上述的实施例并不限制于温度计码 (Thermometer Code) 或连续逻辑 (sequential logic)。如图 7 所示, 具有 "B" 位长度的二进制位 (Binary Code) 和一非连续控制也可以被使用。较佳地, 晶体管 P^1-P' 的栅被平行耦合至晶体管 T_{4a} 208。因为图 2 使用两个电压随耦电路 202 和 204, 一较佳的理想电路被平行耦合至晶体管 T_{4b} 210。该配置较佳地允许输出电流的结合去偏压 P_{11} 的源极。当图 7 出现一 2^n 的乘法器 (Multiplier) 时, 例如 $2^n * (W/L)$, 许多其它的乘法器包含整数和非整数的乘法器也可以被使用。较佳地, 数字逻辑 702 产生的二进制位激活晶体管 P^1-P' , 其中该数字逻辑 702 通过分离的控制线耦合至晶体管 P^1-P' 。数字选择 (digitally selected) 晶体管的激活可以定义本案较佳的电流镜比。如图所示, 该数字逻辑 702 驱动晶体管 B。此外, 上述的实施例可以在一整合或分离电路中完成。

较佳地, 串叠晶体管 T_{4c} 502 和图 6、7 的 P_{11} 704 在全部电流镜的晶体管之间被分享。为了改善电流镜的准确性, 每一电流镜的晶体管可以分别被串连到串叠晶体管, 其具有一用来调整相关电流镜晶体管的 W/L 比的 W/L 比。在这些本案较佳的实施例, 每一串叠晶体管被连到输出节点 V_{out} 。

从先前的详细描述, 清楚的明白一高频宽增益单元可以包含两个高频宽电压跟随器电路 202 和 204, 其复制输入电压间的差异横越电阻 R_0 106 至一差动电压。本案较佳的电压跟随器 202 和 204 包含具有嵌进电流反馈回路中的增强跨导的源极跟随器 104a 和 104b。跨越 R_0 206 的交流电压产生一通过正比于差动输入电压的 R_0 206 的交流电 i_{out} 。本案较佳的电压跟随器 202 和 204 维持流经 R_0 206 的交流电 i_{out} 的大小近似于流经晶体管 T_{2a} 106a 和 T_{2b} 106b 的交流电 i_{cs} 的大小。借着使用两个额外装置 T_{4a} 208 和 T_{4b} 210, 可以建立具有比率 $N \geq 1$ 的电流镜, 使得镜射电流被提供至一输出负载。一较佳负载 216 包含两 DC 电源 I_{3a} 220 和 I_{3b} 222, 其为 DC 组件 I_{DC2} 减掉流经 T_{4a} 208 和 T_{4b} 210 的电流。假如耦合到端子 V_{outp} 212 和 V_{outm} 214 的外部负载阻抗且电源 I_{2a} 112a 和 I_{2b} 112b 的输出阻抗皆为高时, AC 电流 i_{out} 将会流过电阻 R_1 218a 和 218b。本案较佳的增益单元 200 的增益将由两个电阻 R_0 206 和 R_1 218a、218b 的比和电流镜比 N 来构成。

上述实施例可以使用在许多包含重复储存装置、硬盘和其它机电装置的应用。在输入和输出端子的共源电压，使本案的较佳增益单元能够驱动许多外部负载和电路，如在硬盘读取信道中的电路。因此，该输入和输出共源电压两者能够相同的激活两个增益单元的一系列耦合而无须额外的用来减少信号频宽的电路。增强跨导电压跟随器的高频宽将不会减弱在高频的输入信号。此外，当本案较佳的电压跟随器被使用在暂存电阻 R_0 206 时，差动输入电压的衰减是少的。此外，上述本案较佳实施例可以在非常低的供应电压下操作，例如在少于或约等于两伏特下 ($V_{dd} \leq 2V$ DC)。此外，本案较佳的实施例可以完全使用在互补式金氧半导体 (CMOS) 技术上。

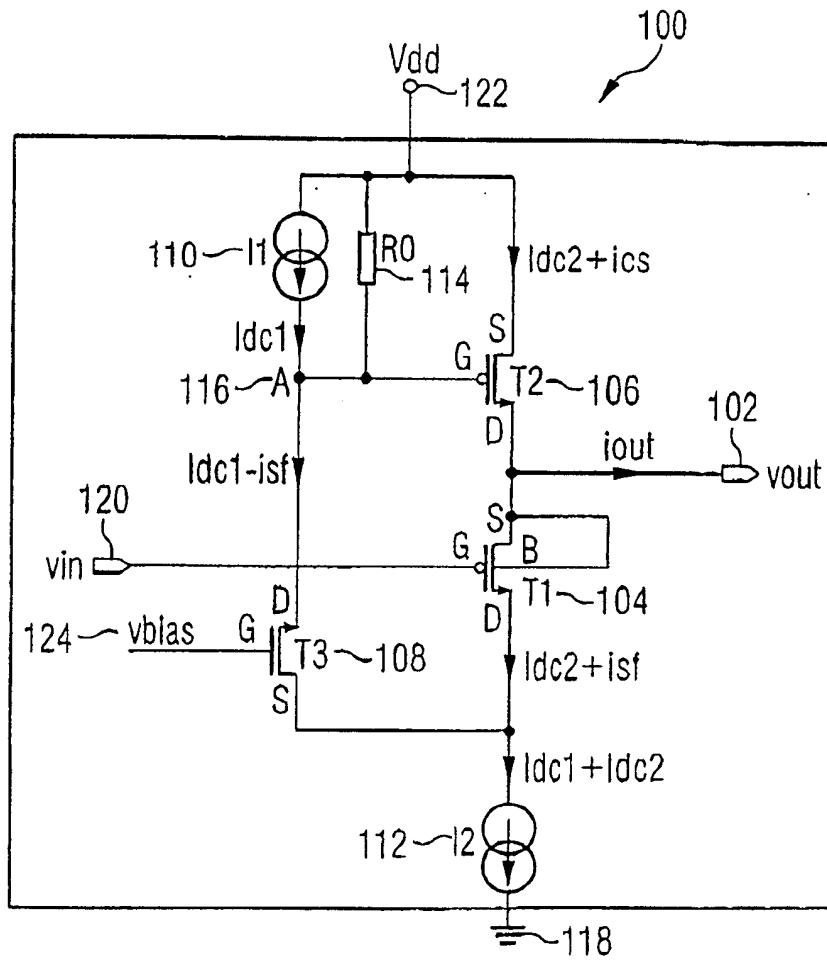


图 1

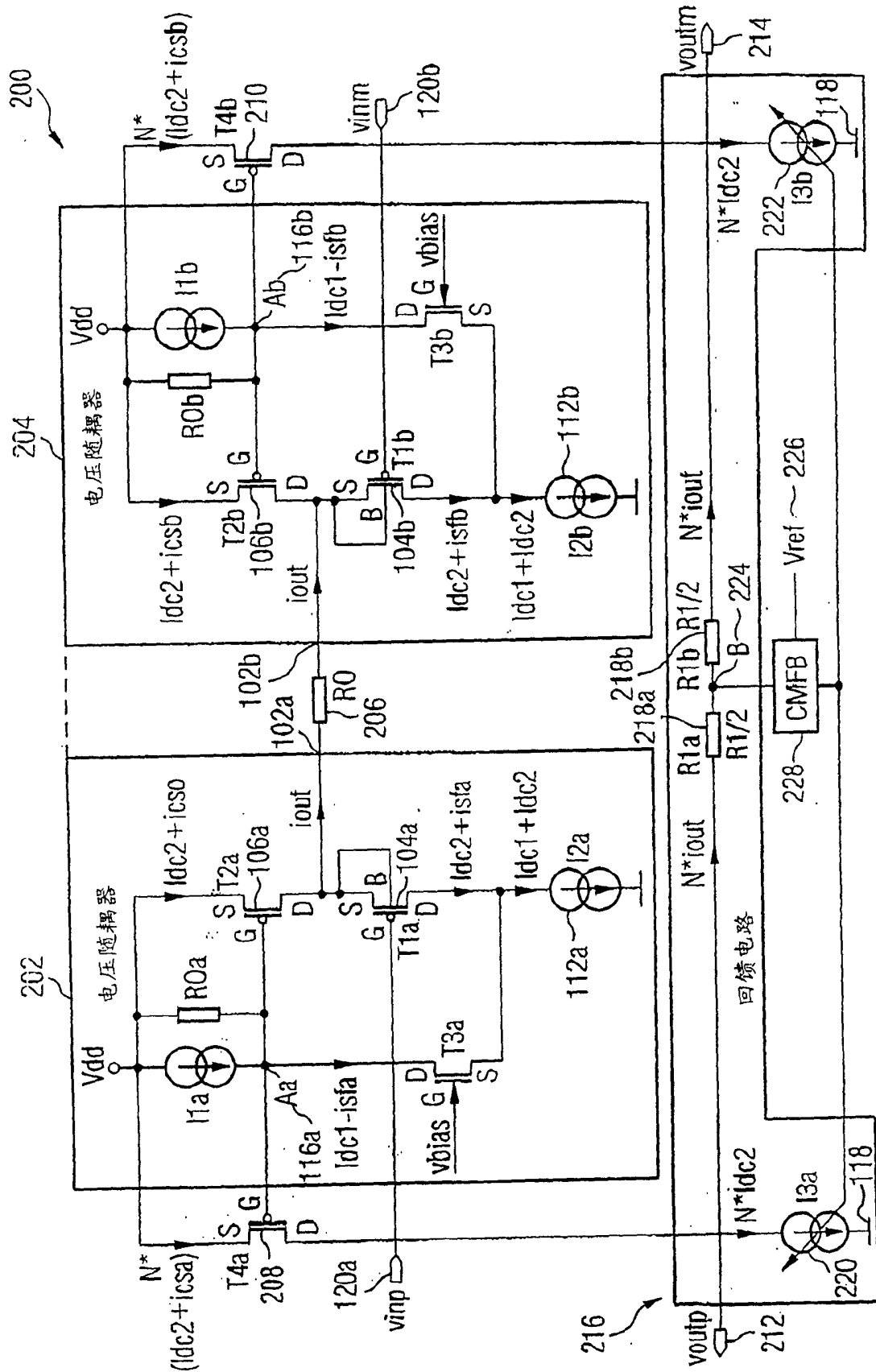


图 2

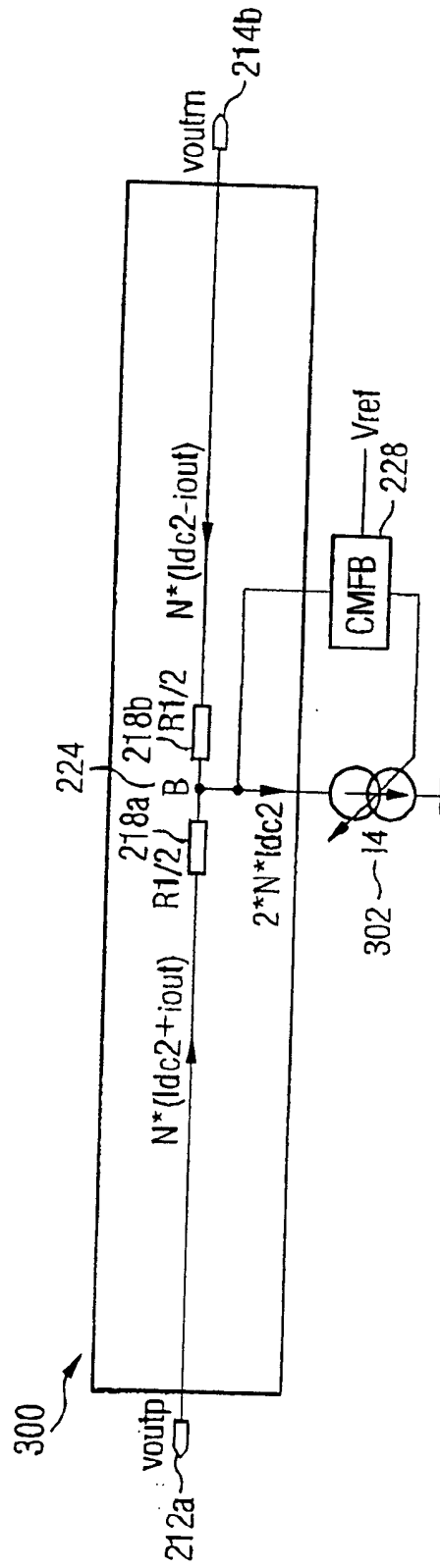


图 3

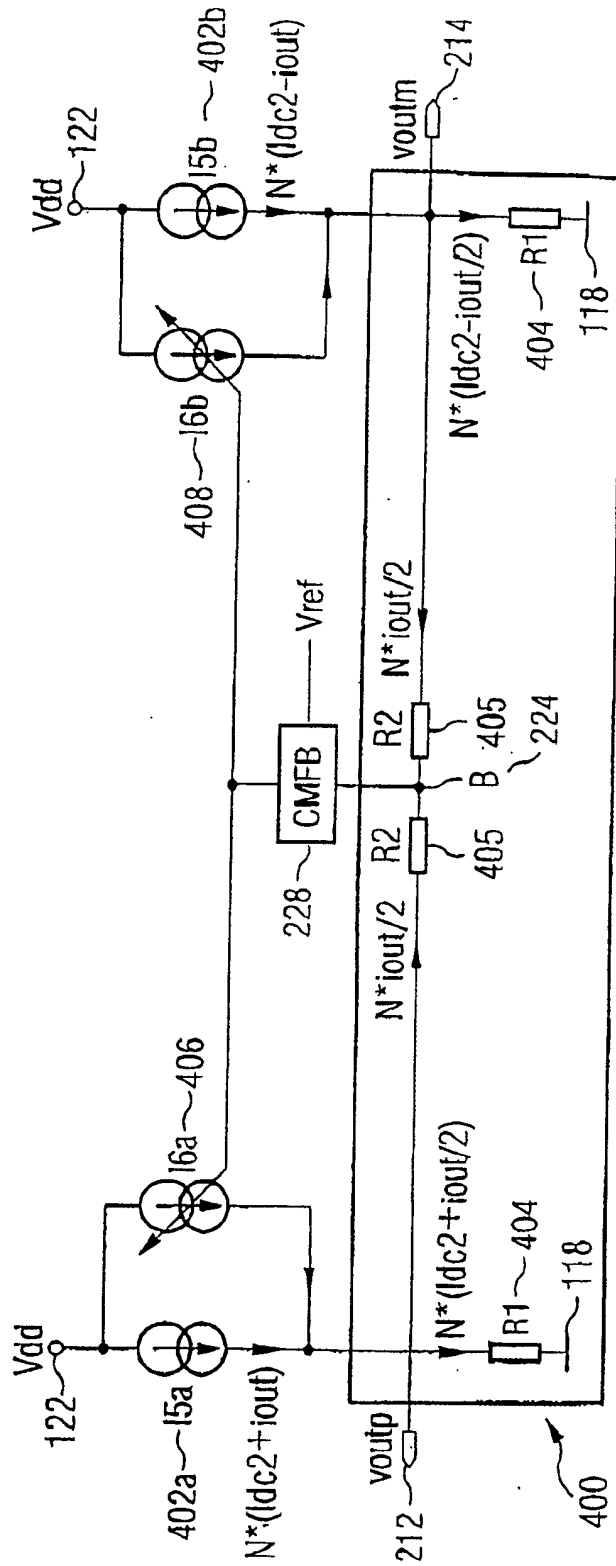


图 4

图5

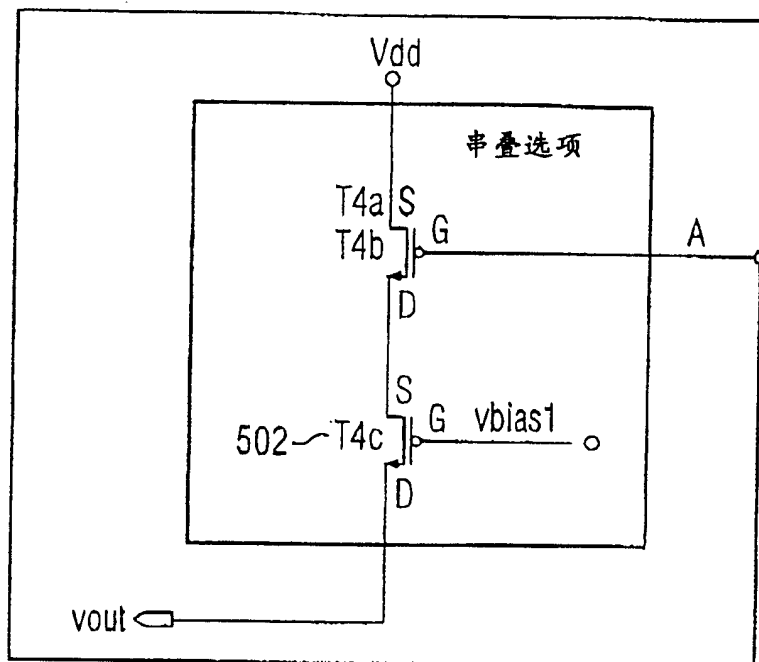


图5

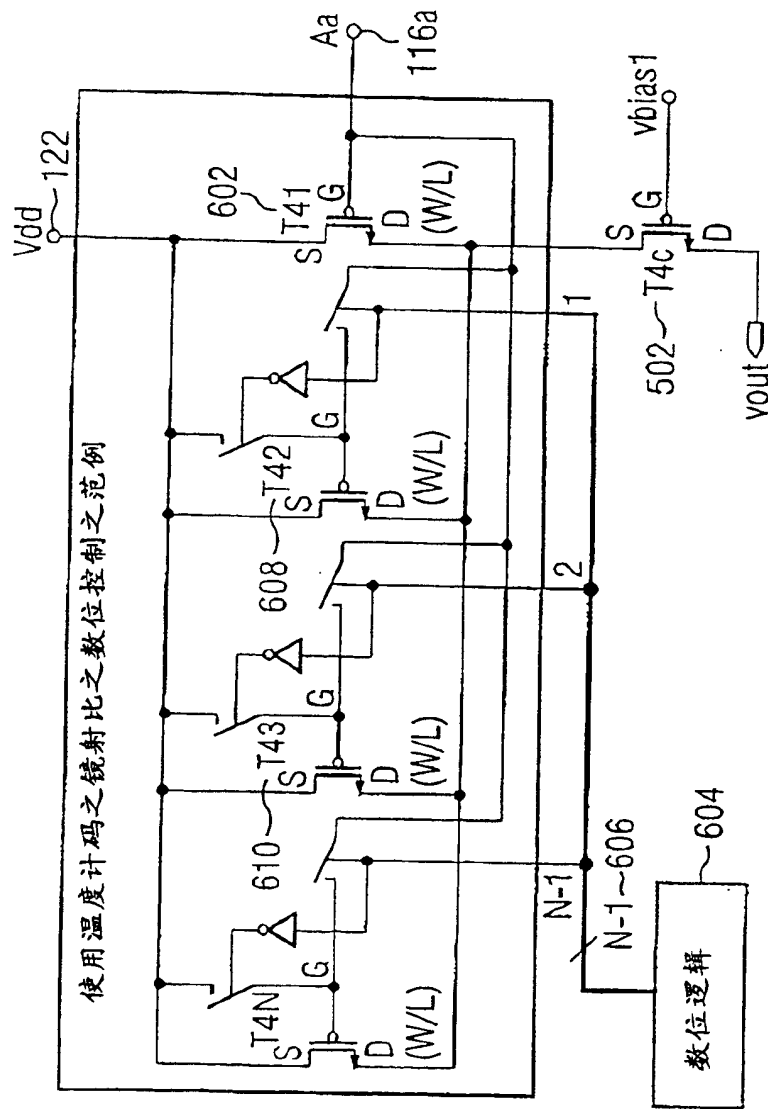


图 6

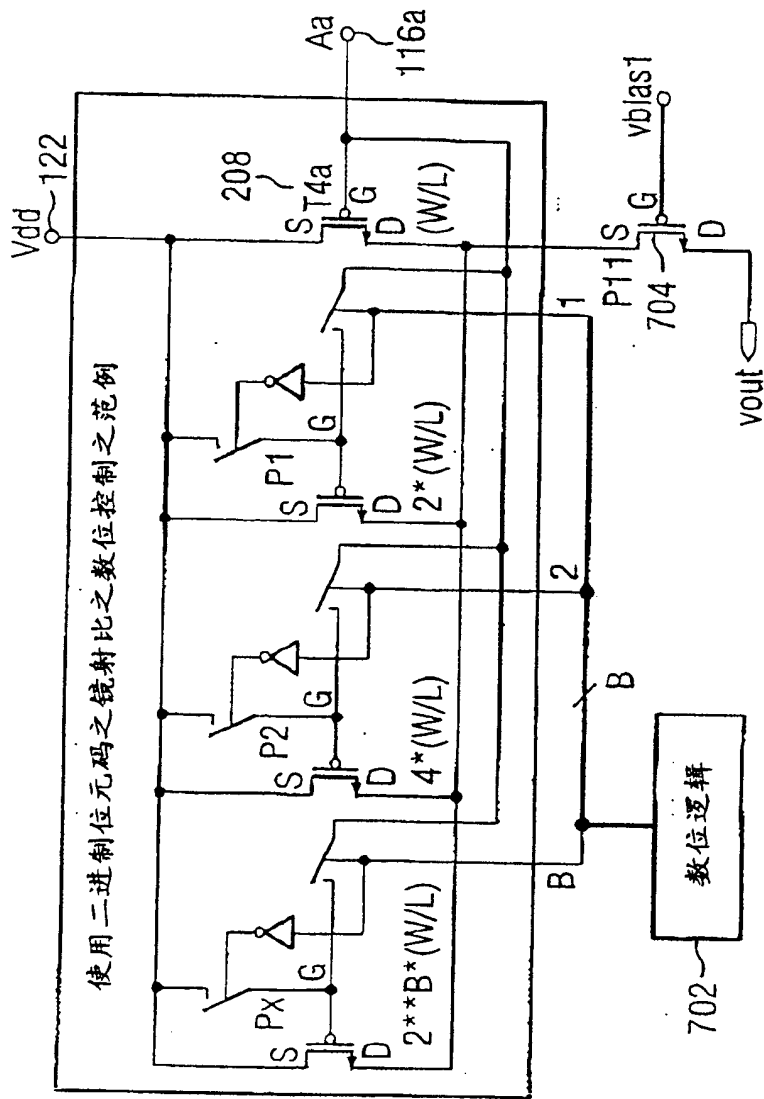


图 7