(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3584338号
(P3584338)
(45)発行日　平成16年11月4日(2004.11.4)　(24)登録日　平成16年8月13日(2004.8.13)

(51)Int.Cl.[7]	F I		
H01L 21/8247	H01L	29/78	371
G11C 16/02	H01L	27/10	434
G11C 16/04	G11C	17/00	612B
H01L 27/115	G11C	17/00	621A
H01L 29/788			

請求項の数 5　(全 27 頁)　最終頁に続く

(21)出願番号	特願平7-522941
(86)(22)出願日	平成7年2月22日(1995.2.22)
(65)公表番号	特表平9-510051
(43)公表日	平成9年10月7日(1997.10.7)
(86)国際出願番号	PCT/US1995/002240
(87)国際公開番号	WO1995/024057
(87)国際公開日	平成7年9月8日(1995.9.8)
審査請求日	平成10年6月16日(1998.6.16)
(31)優先権主張番号	08/205,327
(32)優先日	平成6年3月3日(1994.3.3)
(33)優先権主張国	米国(US)

(73)特許権者
ローム・ユーエスエー・インク
アメリカ合衆国、カリフォルニア州　９４０８６－５１２０　サニーベイル、カイファー・コート　１４９
(74)復代理人
弁理士　藤河　恒生
(74)代理人
弁理士　三輪　英男
(72)発明者　チャン、シャン・デ
アメリカ合衆国、カリフォルニア州　９４５３９、フレモント、サザーランド・ウェイ　４３５７０

最終頁に続く

(54)【発明の名称】電気的に消去及びプログラム可能なデバイスの消去方法

(57)【特許請求の範囲】

【請求項１】

複数のセルを持ち、各々のセルが、ソースと、ドレインと、制御ゲートと、制御ゲートとソース及びドレインとの間に置かれているフローティングゲートとを持つ単一トランジスタを備え、さらに、各々が関連する行内にあるセルの制御ゲートに結合された複数の行アドレス線と、各々が関連する列内にあるセルのドレインに結合された複数の列アドレス線と、これらのセルのソースに結合されたソース線と、を備えるデバイス内の過消去されたセルを検出、回復する、電気的に消去及びプログラム可能なデバイスの消去方法であって、

（ｉ）第１電圧をドレインに印加する工程と、

（ii）第１電圧より低い正の第２電圧をソースに印加する工程と、

（iii）過消去されているが非選択のセルを非導通状態にバイアスする第３電圧を非選択の制御ゲートに印加し、かつ第３電圧より高い第４電圧を選択の制御ゲートに印加する工程と、

（iv）第４電圧を選択の制御ゲートに印加している間に電流がドレインからソースまで流れれば、選択のセルが過消去されていることを示す工程と、

を含む電気的に消去及びプログラム可能なデバイスの消去方法。

【請求項２】

複数のセルを持ち、各々のセルが、ソースと、ドレインと、制御ゲートと、制御ゲートとソース及びドレインとの間に置かれているフローティングゲートとを持つ単一トランジス

タを備え、さらに、各々が関連する行内にあるセルの制御ゲートに結合された複数の行アドレス線と、各々が関連する列内にあるセルのドレインに結合された複数の列アドレス線と、これらのセルのソースに結合されたソース線と、を備えるデバイス内の過消去されたセルを検出、回復する、電気的に消去及びプログラム可能なデバイスの消去方法であって、
（ａ）過消去されたセルの列内の存在を試験するために各列を別々に試験する工程と、
（ｂ）過消去されたセルを持つことがわかっている列内のセルを別々に試験してどのセルが過消去されているのかを決定する工程であって、
（ｉ）第１電圧を前記列内のすべてのセルのドレインに印加する工程と、
（ii）第１電圧より低い正の第２電圧を前記列内のすべてのセルのソースに印加する工程と、
（iii）過消去されているが非選択のセルを非導通状態にバイアスする第３電圧を非選択の制御ゲートに印加し、かつ第３電圧より高い第４電圧を選択の制御ゲートに印加する工程と、
（iv）第４電圧を選択の制御ゲートに印加している間に電流がドレインからソースまで流れれば、選択のセルが過消去されていることを示す工程と、を含む工程と、
を備える電気的に消去及びプログラム可能なデバイスの消去方法。
【請求項３】
請求項２に記載の電気的に消去及びプログラム可能なデバイスの消去方法において、
前記工程（ａ）において、各列内のすべてのセルを同時に選択して、過消去されたセルの列内の存在を試験することを特徴とする電気的に消去及びプログラム可能なデバイスの消去方法。
【請求項４】
請求項２又は３に記載の電気的に消去及びプログラム可能なデバイスの消去方法において、さらに、
（ｃ）過消去されたセルを、
（ｖ）第５電圧を過消去されたセルの制御ゲートに接続された行アドレス線に印加する工程と、
（vi）過消去されたセルのソースに接続されたソース線を接地する工程と、
（vii）過消去されたセルのドレインに接続された列アドレス線を浮遊状態にする工程と、
によって修復する工程を含む電気的に消去及びプログラム可能なデバイスの消去方法。
【請求項５】
請求項２又は３に記載の電気的に消去及びプログラム可能なデバイスの消去方法において、さらに、
（ｃ）過消去されたセルを、
（ｖ）第５電圧を過消去されたセルの制御ゲートに接続された行アドレス線に印加する工程と、
（vi）過消去されたセルのソースに接続されたソース線を浮動状態にする工程と、
（vii）過消去されたセルのドレインに接続された列アドレス線を接地状態にする工程と、
によって修復する工程を含む電気的に消去及びプログラム可能なデバイスの消去方法。
【発明の詳細な説明】
技術分野
本願発明は電気的に消去可能かつプログラム可能な記憶装置及びその製法に関する。特に、本願発明はファウラーノルドハイムトンネリング（Fowler－Nordheimtunneling）を用いてプログラム及び消去の双方が可能な低電流単一トランジスタ型フラッシュEEPROMセルに関する。
発明の背景
電気的に消去かつプログラム可能な読出し専用記憶装置（EEPROM）及びその製造方法は、

当業界では公知である。フラッシュEEPROMと呼ばれるこのような装置は、Mukherjee他に対する米国特許第4,698,787及び4,868,619に開示されている。本出願人を譲渡人とする同特許は参照により本明細書に組み入れる。フラッシュEEPROMメモリは、一連の高密度（例えば、１メガバイト）セルによって形成される。各セルは単結晶半導体材料の本体から成る単一トランジスタで、それぞれソース、ドレーン及び本体に配置される絶縁材料の第１層を有する。フローティングゲートは、絶縁材料の第１層と第２層との間に配置され、ゲートは絶縁材料の第２層の上方に配置される。

ソースは、リンのような第１材料の深い領域及びヒ素及びリンのような第２材料の浅い領域で形成される。深い領域の一部は、絶縁材料の第２層の下に横たわり、第１材料は、消去操作中のバンド間トンネリングを低下させるために、ゲートとの接合重複を最適化するように選ばれる。ドレーンは第２材料の浅い領域から形成される。

絶縁材料の第２層は、そのキャパシタンスを最適化させるように高誘電率を有する。これは、基板に対してフローティングゲートにかかる電圧を最大にし、それによって装置のフローティングゲートに対する電荷の記憶及び消去能力を最大にしている。

従来のフラッシュEEPROMセルのプログラミングは、制御ゲート及びドレーンに対してそれぞれ約10乃至12V及び４乃至6Vの電圧を加えること並びにソース及び基板を接地電位に保持することを要する。この電圧条件により、ソースとドレーン間に横たわる基板の一部（チャンネル領域）からホットエレクトロンが発生され、そして、これがフローティングゲートに加速される。フラッシュEEPROMセルを消去するためには、10乃至13Vの電圧がソースに印加されると同時にドレーンを浮遊（以下、「浮動」ともいう）させかつ制御ゲート及び基板が接地電位に保たれる。このようにして、電子は、ファウラーノルドハイムトンネリングによってフローティングゲートからソース領域内へ流れる。

読出操作中セルの論理状態は、１乃至2Vの電位をドレーンに、３乃至6Vの電位を制御ゲートに、接地電位をソースに印加することによって決められる。プログラムされたセルは、フローティングゲート上の電子の存在により高められた電圧閾値（Vt）を有するので、プログラムされたセルのチャンネル領域は、読出操作中導通しない。他方、消去されたセルは、約1Vの閾値電圧を有するのでそのチャンネル領域は、読出操作中導通する。

従来のフラッシュEEPROM技術では、いくつかの欠点が避けられなかった。その一つは、ホットエレクトロン注入プログラミングを用いることにある。このプログラミングは、多量に電流を消費するので、低電圧電源（５ボルト未満）が用いられるときには内部オンチップ電荷ポンプの使用を妨げる。

フラッシュEEPROM技術の他の欠点は、セルの寿命に影響を与える要因に帰着する。例えば、セルをプログラミングする場合、プログラムされるセルのカラム（列）を分担するすべてのセルのドレーンは、プログラミングに必要な比較的高いドレーン電位を受けとる。これは列内のすべてのセルが、概して共通ビットラインを共有しているからである。選択されていないセルにおける妨害状態が、ドレーン（４乃至6V）と基板（接地電位に保持されている）と間の電位差分によって引き起こされる。プログラミング中におけるドレーンと基板との間の比較的高い電圧低下は、ドレーン接合点におけるホットホールの形成につながる可能性がある。これらのホットホールは、ゲート絶縁体上に移動し、そこで恒久的に捕捉され、セルの早期破壊につながる。

ゲート絶縁体に捕捉されたホットホールは、デバイスの読出操作を妨害し、通常そのゲート絶縁体によって与えられる、基板とフローティングゲートとの間のエネルギー障壁を低下させる。このエネルギー障壁の低下がまた電子を未選択セルのフローティングゲート上へ移動させることになる。ホットホールの生成は、ホットエレクトロンのエネルギーレベルが電子のそれを越えるように拡大され、これにより、バンド間トンネリングを生じさせ、それがまた追加のホットエレクトロン・ホットホール対を放出し、かくしてゲート絶縁体におけるさらなるホットホールの捕捉（トラッピング）を生じさせる。

ソース・基板接合におけるブレークダウンは、ホットホールの生成及びトラッピングにつながる可能性があり、ソース（約10乃至13V）と接地基板との間の高い電圧差のために、同様に従来のフラッシュEEPROMデバイスの消去中に起こりやすい。このブレークダウンは

２重拡散したソース領域を形成することによって実質的に低減できるが、追加の拡散層を加えることではこのような影響を完全に除くことはできない。
現フラッシュEEPROM技術の他の欠点は、過剰消去（以下「過消去」ともいう）されたセルはビット毎に検出できないことである。過剰消去状態は、消去間にセルのフローティングゲートから過大の電子が取り除かれる場合に発生し、0VのVt未満まで又はそのワード線が選択解除された場合であってもセルを導通させるVtまで、セルが消去されることになる。過剰消去されたセルの低閾値電圧により、セルを誤ってプログラムしかつ読出し、また過剰消去されたセルは通常ドレーンリーク電流を誘導し、同電流がその後同一ビットラインを共有する他のセルの論理状態をマスクする。このように過剰消去されたセルの存在は、ビット毎に検出できない。なぜならば、列に１つの過剰消去されたセルが存在すると、そのセルは選択解除される場合でもその列と結合されたビットラインを通して電流を流させ、それによって過剰消去されたセルの確認を曖昧にするからである。過剰消去されたセルの検出が困難なので、このようなセルを含むことが分かったメモリはしばしば廃棄され、過剰消去されたセルを含むブロックは、分離されて冗長メモリに置き換えられる。これらの手段は概して費用がかさむと共に不十分である。
上記のホットホールトラッピング効果を最小化させるフラッシュEEPROM装置を開発するために各種の試みがなされてきた。そのような一装置がHaddad他に対する米国特許第5,077,691号（ハダッド特許）に開示されている。開示されたフラッシュEEPROMは、約－17乃至－12Vの電圧が制御ゲートに加えられかつ約0.5乃至5.0Vの電圧がソースに加えられたとき、フローティングゲートからソースまでのファウラーノルドハイムトンネリングを用いて消去が行われる。ハダッド特許で開示されたような装置は、消去中のホットホールトラッピング効果の確率を減少させるが、これらの装置はプログラミングを行うために上昇されたドレーン電位を用いており、従って既に述べた未選択セルで生じるドレーン妨害問題を扱っていない。さらに、これらの装置のプログラミングは、ホットエレクトロン接合プログラミングによって達成されたもので、それは既に指摘した通り多大の電流を消費する。
従来のフラッシュEEPROM装置及びハダッド特許で開示されたような装置の他の欠点は、装置のプログラミングが３段階で行われることである。第１に、約10マイクロ秒間プログラミング状態を適用することによってすべてのセルが高Vtにプログラムされる。ホットエレクトロン注入が用いられる理由から、この第１段階は高電流を用いるのでバイト毎にしか行うことができない。次に、フラッシュ消去機能を用いて約10マイクロ秒間に亘り消去状態を適用することによって、すべてのセルが同時に消去される。最後に、再び持続時間が約10マイクロ秒のプログラミングパルスを用いてバイト毎にセルをプログラミングすることによって、データがチップ上に配置される。従ってこれらのチップのプログラミングは、特に、双方共にバイト毎に行われる２段階のプログラミングを要することで時間浪費型である。
現フラッシュEEPROM装置さらなる欠点は、メモリセルの制御ゲートにおいて正電位を用いることは、高ゲート電位印加中の破壊を防止するように周辺回路要素のトランジスタを十分に高いブレークダウン閾値で製造することを要することにある。従って、例えば、制御ゲートに21.0Vの電位を加えることによってプログラミングが行われるセルにおいては、周辺装置は少なくとも21.0Vの反転バイアス電位に耐えるように構成されなければならない。
特開昭第57－114282号公報に開示された装置は、装置をプログラムしかつ消去するために基板及びフローティングゲート間でファウラーノルドハイムトンネリングを用いている。さらに、消去は装置のドレーンに高電圧をかけて行われるので、ブレークダウン及びドレーン・基板接合に関連する他の諸問題をさけるために特別な注意を払わなければならない。

発明の概要及び目的

現フラッシュEEPROM技術の上記及び他の問題が本願発明によって扱われる。本願発明の電気的に消去可能なプログラマブル記憶装置は、ソース及びドレーンを有する基板材料本体と、本体上に配置された絶縁材料の第１層と、絶縁材料の第１層上に配置されたフローテ

ィングゲートと、フローティングゲート上に配置された絶縁材料の第２層と、絶縁材料の第２層上方のゲートとから成る。ソース及びドレーン領域の各々の部分は、絶縁材料の第１層及びフローティングゲートと重複する。絶縁材料の第２層は高誘電率を持つように選択され、フローティングゲート、制御ゲート、ソース及びドレーン間の容量性結合比を最適化するようにされる。

上記構成の容量性結合比は、以下のEEPROMセルが与えられるように構成される。すなわち、同セルにおいては、ファウラーノルドハイムトンネリングを用いて、電子がフローティングゲート上に配置されかつそこから移動され、すなわち、電子はドレーン及びフローティングゲート間のファウラーノルドハイムトンネリングを介して配置され、フローティングゲート及びソース間のファウラーノルドハイムトンネリングを介して移動される。このようなセルアレイにおいては、プログラミング用セルを用意するために、電子をフローティングゲート上に配置することによってすべてのセルがフラッシュプログラム操作における高Vtまで上昇され、それによってVtを約６乃至7.5Vに上昇させる。これは、制御ゲートの電位を上げ、ソースを接地し、ドレーンを浮遊させることによって達成される。次に、セルは選択的消去操作で消去され、そこで電子は、ファウラーノルドハイムトンネリングを用いて選択されたセルのフローティングゲートから移動され、それによってVtを約1.2乃至2.2Vまで低下させる。選択消去機能は、制御ゲートに比較的大きな負電位を引加し、またドレーンに適度の高さの正電位を印加し、かつソースを浮遊させることによって達成される。基板は、フラッシュプログラム及び選択消去状態の間接地電位に保たれる。

本願発明による装置の上記プログラミング特性は、ソースと基板との間及びドレーンと基板との間の反転バイアス電圧差分を最小化することによって、ホットホールトラピング及びバンド間トンネリングの可能性を低下させる。さらに、本願発明の構成を用いることによって、過剰消去状態（すなわち、フローティングゲートからの過剰電子の除去による）により人為的な低いVtを有するセルのビット毎検出を可能にするセルアレイを構成することができる。本願発明の構成は、同様に過剰消去されたセルを修復することもできる。さらに、本願発明のセルの構成及び操作は、ファウラーノルドハイムトンネリングを用いてプログラムされかつ消去されるので、装置は最小流出電流をもたらし、従って低電源電圧及びオンセル電荷ポンプの使用に適している。最後に、従来のフラッシュ装置に通常必要な３段階よりはむしろ２段階だけでプログラミングが実施されるので、処理時間が低減される。

従って、本願発明の目的は、低電圧、低電流、単一セルEEPROMトランジスタを提供することにある。本願発明の別の目的は、ファウラーノルドハイムトンネリングを用いてプログラムされかつ消去される得るEEPROMトランジスタを提供することにある。本願発明のさらに別の目的は、過剰消去されたセルに対しビット毎検出及び修復モードを有するEEPROMトランジスタを提供することにある。

これら及びその他の目的、特徴及び利点は、本願発明の好ましい実施態様の以下の記載に鑑みより明白となるであろう。

図面の説明

図1Aは、従来のフラッシュEEPROM装置の断面図である。

図1Bは、メモリアレイに接続された従来のフラッシュEEPROM装置の簡略化された構成図である。

図2A－2Cは、ソース領域に対する３つの代替構成を示す、本願発明のEEPROM装置の断面図である。

図3A－3Cは、それぞれ図2A－2CのEEPROM装置の平面図である。

図4Aは、図3Aの4A－4A線に沿ったセルの断面図で、図4Bは、図4Aのセルの透視図である。

図５は、本願発明のフラッシュプログラミング操作を例示する簡略化された流れ図である。

図６は、本願発明の選択消去操作を例示する簡略化された流れ図である。

図７は、フラッシュプログラム特性及び選択消去特性を有するメモリアレイに接続された本願発明のEEPROMセルの簡略化された構成図である。

図８は、本願発明の装置の等価容量性回路を例示する。
図９は、本願発明の過剰消去検出方法を例示する簡略化された流れ図である。
図10A及び図10Bは、本願発明の過剰消去修復方法を例示する簡略化された流れ図である。
図11は、４セルから成るアレイを示す本願発明によるメモリ装置の簡略化された構成図である。
図12は、先行の過剰消去回復方法を説明するために用いる簡略化された構成図である。
図13は、３重ポテンシャル井戸の構成を例示する本願発明による記憶装置の一部断面側面図である。
図14は、図13の装置の簡略化された構成図である。

発明の詳細な説明

図1Aは、先行技術として示す従来型フラッシュEEPROM装置の断面図を示す。同装置は、比較的浅いドレイン領域102及び深いソース領域104を内設した基板100から成る。ソース領域104は、二重拡散され、浅い拡散領域106及び深い拡散領域108を有する。チャンネル110がソース104とドレイン102との間に画定される。
ほぼ一様な厚さを有するゲート絶縁体112がチャンネル上方に形成される。ゲート絶縁体112は、ドレインから延在し、領域114でソース104と僅かに重複する。フローティングゲート116は、ゲート絶縁体112の上方に形成され、絶縁材料の第２層118がフローティングゲート116上方に形成される。最後に、制御ゲート120が第２絶縁層118の上方に形成される。第２層は、制御ゲートとフローティングゲートとの間に位置し、双方ともに従来ポリシリコン（ポリ、すなわち、重合体）若しくはポリサイド材料で作られるので一般的に「インタポリ絶縁体」と呼ばれる。
図1Aに示すフラッシュEEPROMセルのプログラミングは、制御ゲート120に約10乃至12Vの電圧を、ドレイン102に約４乃至6Vの電圧をそれぞれ印加し、さらに、ソース104及び基板100に0Vの電位を加えることによって達成される。プログラミングは、ホットエレクトロン注入によって発生する現象により行われ、そこでは高エネルギー電子132が基板100のチャンネル領域で発生されて、フローティングゲート116上に加速される。フローティングゲート上に電子が存在することでトランジスタの閾値電圧（Vt）を上昇させ、従って読出し操作中に電流がチャンネルを通して流れるのを妨げる。
消去は、ドレイン102を浮遊させ、制御ゲート120を接地電位に保ち、さらに、ソース104に高電圧（すなわち、10乃至13Vの電圧）パルスを加えることによって達成される。このような条件下において、ファウラーノルドハイムトンネリングがフローティングゲート116と、領域114においてフローティングゲート116の下方に横たわるソース拡散104部との間で発生する。消去操作はセルのVtを１ボルト程度のレベルまで低下させ、従って読出し操作中電流がチャンネル110を通して流れるようにする。
図1Bは、典型的な先行技術フラッシュEEPROM記憶装置アレイ122を示す。そこでは隣接トランジスタの方向が反転されているのが分かる。従って、アレイの左上隅では、セル124はそのソースが次の列のセル126のソースと接続される。セル124のドレインは、同一列のセル128のドレインと接続される。セル124及び128のドレイン接合点は、列アドレス復号回路要素132からのビットライン130と接続される。ビットライン130は、セル124及び128によって共有される列内のセルの他のすべてのドレイン接合点と接続される。セル124のゲートは、行アドレス復号回路要素142からのワード線140と接続される。ワード線140は、セル124及び126のような同一行内のすべてのセルのゲートと接続される。共通ソースライン144は、アレイ122内のすべてのセルのソースを接続する。
上記セルを用いる消去操作は、特定行内のすべてのセルを消去させる。これは、共通ソースライン144に高電位を印加すると同時に消去すべき行のワード線140を接地することによって行われる。装置が消去モードの場合ビットライン130は浮遊のままである。
個々のセルは、その選択されたセルを含む行のワード線及びそのをセルの列と関連するビットラインを必要な電位まで上昇させることによって別々にプログラムできる。
上記の通り、ホットエレクトロンプログラミングを用いると多大の電流を消費し、従って低電圧電源及び内部電荷ポンプの使用を妨げる。さらに、プログラミング及び消去中にそ

れぞれドレイン・基板及びソース・基板接合点を横切る比較的高い反転バイアス電圧降下は、ホットホールが発生されかつゲート絶縁体層に補足される確率を高め、さらに、バンド毎のトンネリングの可能性を高める。これらの現象は共にセルの耐久性に重大な悪影響を及ぼす。最後に、過剰消去セルがビット毎に検出できないことにより、現存技術を用いて過剰消去セルを修復するのは困難である。

セル構造

本願発明の構成につき述べる。本願発明の実施態様の断面図を図2Aに示す。本願発明のセルは接地されたポテンシャルシステムに関して記載されているが、本願発明のセル構成は、「仮想接地」構成でも用いることができる。

基板10は、内設されたドレイン12及びソース14を有する。チャンネル領域16がドレイン及びソース間に画定される。チャンネル領域16の上方にゲート絶縁体層18、すなわち、「トンネル酸化物」が形成される。フローティングゲート24がゲート絶縁体層18の上方に形成されると共に絶縁体材料の第２層、すなわち、インタポリ絶縁体層（中間層）26がフローティングゲート24の上方に形成される。最後に制御ゲート28がインタポリ絶縁体層26の上方に形成される。

ドレイン12及びソース14の一部は、それぞれゲート絶縁体層18の下方に配置され、フローティングゲートへの及びフローティングゲートからのファウラーノルドハイムトンネリングをそれぞれ可能にするようにされる（円形領域20及び22参照）。ソース14は、図2Aに示す通り単一拡散N^+型の領域でよい。そのソースは、図2Bに14Aとして示す通り、代わりとしてN^+材料の二重拡散でもよい。この第１代替ソース14Aは、共にN^+型材料で形成される、浅い領域40及び深い領域42を有する。第２の代替ソース領域は、図2Cに14Bとして示すように、N^+材料の浅い領域40B及び軽く不純物を添加された（例えば、P^-）Ｐ型材料の深いヘロ（爪型）ポケット42Bで形成される。図2Aのソースの好ましい深さは、約0.25ミクロンである（縦拡散に対する横拡散の比を0.7乃至0.8と仮定する）。

ドレーン12は、浅い領域44及び深い領域46を形成するために二重拡散されたN^+型材料が望ましい。その代わりにドレーンは単一拡散でもよく、この場合図2Aに示す拡散端48は存在しないであろう。好ましいドレーン深さは、約0.36ミクロンである。上昇した電位がドレーンに印加される場合バンド毎のトンネリング及びホールトラッピング効果を避けるために深いドレーン領域が必要である。

図2Aの実施態様は、0.8ミクロン技術用の好ましい実施態様で、一方図2Cのの実施態様は、0.5ミクロン技術用の好ましい実施態様である。

本願発明のセル配置は図3A乃至3Cの平面図から理解できるが、その各々はミラー配置された２つのセルを示す。このようなミラー配置のレイアウトでは、セルの列において（頁を横切る方向において）各セルは、隣接のものと共通のドレーンを共有し、隣接の別のものと共通のソースを共有する。図から分かるように、制御ゲート28及びフローティングゲート24は交互にかつチャンネル16の上方に配置される。図においては制御ゲート28の境界はフローティングゲート24の境界からずれているが、これらの領域は「自己整列」されて、フローティングゲート端24Aが垂直方向において制御端28Aと整列し、さらにフローティングゲート端24Bが垂直方向において制御端28Bと整列する。この自己整列は、図2A乃至2Cから理解できる。

共通ソースライン34及び特定行のすべてのセルの制御ゲート28によって部分的に形成されるワード線は、アレイの全幅に亘って延在し、それにより、ワード線を共有するセルも共通ソースライン34を共有するようにされる。

ドレーン接点32がドレーン領域12に隣接して形成される。同一セルが鏡像配置のセルを囲む。例えば、接点32に直接隣接するのは隣接セルのドレイン領域12Aであり、ソース14の反対側でソースライン34と関連するのが他の隣接セルの一部をなす他のソース14Aである。

図4A及び4Bに示す通り、ゲート絶縁体18の下方に形成されるフィールド酸化物層30は、当該セルが同一チップ上に形成されるセルを他の周囲のセルから分離する。

図3Aのライン4A－4Aにそった本願発明によるセルの各種の層の相対的位置は、図4A及び4B

から理解できる。この寸法では、フィールド酸化物30とゲート絶縁体18との間には僅かな重複があるのが分かる。フローティングゲート24は、ゲート絶縁体18の端を越える点までフィールド酸化物30と重複する。インタポリ絶縁体層26は、フローティングゲート24の上方に延在しさらにフローティングゲート24の端を越えている。インタポリ絶縁体層26は、その代わりにフローティングゲート24の外端とほぼ整列する外端を有してもよい。最後に、制御ゲート28が、インタポリ絶縁体層26を覆ってその端を越えて延在するのが図示されている。

セル動作

本願発明に従い２段階工程がセルの論理状態を設定する。以下の表Ａに示すように、この動作は従来のフラッシュEEPROMデバイスのプログラム及び消去とは異なる。

表　A

工程番号	従来のＥＥＰＲＯＭ	本願発明
I	すべてのセルを高電圧Ｖtにプログラムする（バイトごとに）	すべてのセルを高電圧Ｖtにフラッシュプログラムする（同時にまたはページ）
II	低電圧Ｖt にフラッシュ消去する（同時に）	低電圧Ｖtに選択消去する(ビット、バイトまたはページごと)
III	選択されたセルを高電圧Ｖtにプログラムする（バイトごとに）	

従来のフラッシュデバイスに対しては３つの工程が用いられている。第１に、電子をフローティングゲートに持ち上げることによってすべてのセルをバイトごとにプログラムする。次に、電子をフローティングゲートから取り除くフラッシュ消去機能を用いてすべてのセルを同時に消去する。最後に、セルをバイトごとに高電圧Vtにプログラムすることによってデータをチップにのせる。

本願発明に係る論理状態のセット方法は、現存のフラッシュデバイスのために用いられる従来の方法とは、それが２段階工程である点で異なっており、そこでは、まず、フラッシュプログラム動作の際に、ページまたはセクタ内のすべてのセルを最初に高電圧しきい値まで上昇する（つまり、電子がフローティングゲートに置かれる）。次の工程では、選択されたセルをバイトごとにまたはページごとに消去する。

以下の表Ｂは本願発明のセルの望ましい操作パラメータを要約したものである。

表　B

操作	VG	VD	VS	Vt	V基板
フラッシュプログラム	17	F	0	>6	0
選択的消去	-12	5	F	0<Vt<2.2	0
過消去検出	1.5 ～ 2.0	1	0.6	N/A	0
過消去回復	12	F	0	0<Vt <2.2	0
読み出し	5	1	0	N/A	0

表Ｂはリストされた各操作ごとのゲート、ドレイン、ソース及び基板の望ましい電圧条件を示す。Vt列は各動作によって生じるセルの電圧しきい値の大きさを示す。表Ｂにおいて記号「Ｆ」はフローティング（浮動または浮遊）状態を示す。

フラッシュプログラム工程は予備工程であり、そこでは、ソースからフローティングゲートへのファウラーノルドハイムトンネリングを用いて各セルを高電圧Vtに高める。その動作は図５の流れ図を参照するとより容易に理解できるであろう。

フラッシュプログラミング500は、ドレイン12を浮動にするとともにソース14及び基板10を接地する一方、12V乃至20Vの10msパルスを制御ゲート28に印加することによって達成される。従って、工程502においては、電圧を列に伝える「通過ゲート」はオフになる。これにより、セルの「ビットライン」は浮遊し、その結果セルのドレインは浮遊する。工程502においてはすべてのソースは接地される。従って、工程504においては、10μｓ乃至200μｓの立上がり時間を用いて、すべてのワード線が高電位、例えば、17Vまで高められる。工程506は単一パルスを形成するためにワード線を約10ms高電位に保持する。工程504及び506においてセルに電位を印加した結果、電子50がトンネリングによりソース14からゲート絶縁領域18の一部22を経由してフローティングゲート24に達する。図2Aを参照のこと。フラッシュプログラミングの結果電圧しきい値は望ましくは6Vより高くなる。工程508は６マイクロ秒のタイムアウトを提供する。それにより、ワード線が放電して12V乃至20Vから3V乃至6Vまで低下することができる。工程510はプログラム確認工程であり、そこでは、プログラムされたセルから読み出された論理状態をセルの所望の論理状態に対し比較する。プログラムが確認されると、その後工程511に進み、プログラムが完了したことを示す。

工程510においてプログラムが確認されない場合には、パルス計数が増加される。工程514においては、パルス計数がチェックされて、それが選択数、例えば、10パルスと等しくないことまたはそれを越えていないことを確かめる。そのような状態が検出されると、プログラミング操作は失敗したと工程516において判断される。

ワード線に供給されるパルス数が選択数と等しくなくまたそれを越えていない限り、工程514は、操作を工程504に戻すことによってワード線に追加のパルスを加える。

望ましい実施例においては、フラッシュプログラム工程は行ごとに実行されるが、それは、すべてのビット線130Aを浮動させ、共通ソース線144Aを接地し、さらに各行ごとにワード線140Aを持ち上げることによって行われる。

Ｐ形基板10はフラッシュプログラム動作の間接地されているので、基板を横切る高い空乏キャパシタンスのため、この動作の際のチャネル領域16の影響は小さい。この影響はフラッシュプログラミングの間に基板を浮動することによってさらに小さくすることができる。しかし、チャネルより下方の基板領域がＮ形ウエルによって基板の他の領域から絶縁さ

れていない場合には、EEPROMセルの全体は基板内に作られているという事実のため、基板を浮動することは不可能である。そのようなウエルは、３回ウエル工程、例えば、Ｎ－ウエルを Ｐ－基板内に形成し、それからＰ－領域をそのＮ－ウエル内に形成して本願発明に係るセルのための有効な基板として機能させるような工程を用いて形成することができる。

選択的消去工程600では個々のセルを所望の論理状態にセットするが、それは、ドレインにおいてファウラー・ノルドハイムトンネリングを用いて選択されたセルを低いVtにし、そしてその選択されたセルのフローティングゲートから電子を除去することによって行う。図６の流れ図は選択消去動作を示す。

選択消去は、工程602に示すように、ソースをまず浮動にするとともに基板を接地し、それとともに2.0V乃至5.0Vの電位をドレインに印加することによって実行される。その後、工程604に示すように、－10V乃至－15Vの10msのパルスを制御ゲート（ワード線）に印加する。これに工程606の６μｓのタイムアウトが続き、次に消去確認工程608に続く。消去が成功した場合には、工程610において決定されるように、その消去操作は工程612において終了したと考えられる。一方、消去が工程608において確認できない場合には、工程614がパルス計数を増加させ工程616を経由してループを戻って他の消去パルスを印加する。工程616において、10またはそれ以上のパルスが既にセルに印加されたが消去が成功していないことが決定されると、工程618は消去が失敗したことを示す。

以下に説明するように、その工程は、適当な電位を、選択セルのワード線140A及びビット線130Aに印加することによってビットごとに実行することができる。正確には、消去されたセルは望ましくは約0V乃至2.2Vの電圧しきい値を持つ。

消去は正のゲート電圧を用いることによっても実行することができる。しかし、従来技術に関して説明したブレークダウンの問題を回避するために、用いるゲート電圧が、周辺回路内のトランジスタのブレークダウン電圧に対して十分に低くなるように注意すべきである。

過消去及び検出

選択消去工程の間、非常に多くの電子がセルアレー内のいくつかのセルから誤って除去され、これにより、そのセルが非常に低い電圧Vt（例えば、0Vより低い）を持つことがある。この低い電圧しきい値により、セルが誤って読み出される。さらに、異常に低いVtを持つセルは通常ビット線上に電流を生じさせ、それは同一ビット線を共用する他のセルの論理状態の検出を妨げる。この理由は、そのようなセルは、正確に消去されたセルの導通が通常妨げられるような条件下でも電流を導通させるからである。この状態は従来から「過消去（または過剰消去）」と呼ばれている。

本願発明に係るメモリデバイスは、望ましいプログラム及び消去モードが用いられるときにはバイトごとに消去することができるので、従来のデバイスよりも過消去されたセルを確認することは容易である。しかし、本願発明のセルが、従来のプログラミング及び消去技術を用いてプログラミング及び消去されると、過消去の検出の困難性は従来のデバイスのと同じになる。

本願発明のセルが過消去されるか否かは、適正に消去されたセルのチャネルを通常導通させる読み出し電圧より非常に低い読み出し電圧の印加に応答して、そのセルを流れる電流が存在するか否かを測定することによって決定することができる。言い換えると、セルの電圧しきい値が非常に低くて、選択していないセルを通じて導通が生じるときには、セルは過消去されている。

過消去を検出するときには、試験電圧V_{test}を約10ms間制御ゲート28に印加するとともに、バイアス電圧Vsをソース14に印加する。約1V乃至2Vの電圧がドレイン12に印加される。試験電圧は通常0V乃至2Vの間にあり、望ましい実施例では、約1.5V乃至2Vである。望ましいバイアス電圧Vsは約0.6Vである。

通常消去されたセルはそれらの試験条件下ではチャネルの導通状態を持たない。この理由は、通常のセルの電圧しきい値は、制御ゲート28に印加された1.5V乃至2.0Vの低電圧がチャンネル16をターンオフさせるには不十分だからである。しかし、過消去されたセルは、

非常に多くの電子がフローティングから除去された結果、対応電子を持たないフローティング24にホールが残るので、非常に低い（例えば、0Vより低い）電圧しきい値を持つ。従って、それらの残ったホールは電界を形成し、それは、制御ゲートに印加された1.5V乃至2.0Vの試験電圧によって高められたときに、チャネルに導通状態を生じさせる。
ソースバイアス電圧Vsはセルのアレー内の試験セルに関連して過消去された状態のために用いられる。アレー内のすべてのソースを低い正電圧、例えば、0.6Vまでバイアスすることによって、選択されていない（V_G＝0V）行の過消去されたセルはオフに保持され、それにより、選択された（V_G＝V_{test}）行の過消去されたセルの検出を妨げることを防ぐ。
その試験電圧V_{test}は、過消去されたセルのゲートに印加されたときに、ソースバイアス電圧Vsがそのソースに印加されていたとしても、その過消去されたセルを導通させる程度の大きさを持つ。
従って、その試験電圧V_{test}は、（１）過消去検出操作の間にソースに印加される電圧Vsと、（２）過消去条件を画定するために用いられるしきい値Vtとの関数である。それはまた、列の論理状態を読む感度増幅器によって用いられる基準電圧の関数でもある。試験電圧V_{test}の選択は次に説明する。
セルを通る電流I_{cell}は、以下の場合には0Vより大きい。
$V_G - Vs - Vt > 0V$
ここで、V_G及びVsはそれぞれ制御ゲート28及びソース14に印加された電圧である。
過消去されたセルの電圧しきい値は、その過消去されたセルが選択されていなくとも、つまり、V_G＝0Vのときに、導通させることができるものである。本願発明の過消去セルの検出方法の望ましい実施例においては、約－0.5Vまたはそれより低い電圧しきい値を持つセルが過消去されたセルであると定義されている。「実際の」電圧しきい値は、基板バイアス効果（body effects）のために「実効」電圧しきい値とは異なるので、その実効電圧しきい値はVtと呼ばれているが、実際の電圧しきい値はVtoとみなされる。この用語を用いると、実際の電圧しきい値は、Vtoが過消去されたセルに対し例えば約－0.5Vであると定義できる。他の大きさを選択して過消去セルを定義することができ、また、ソースバイアス電圧Vs及び試験電圧V_{test}をそれに応じて調節することができる点は理解できるであろう。
実効しきい値電圧Vtは以下のように定義できる。
$Vt = Vto + \Delta V_{body\ effect}$
ここで、$\Delta V_{body\ effect}$は基板バイアス効果によって生じた電圧しきい値の変化である。この値は本願発明に係るデバイスに関しては約1.5Vである。
Vtoは過消去セルに対し約0.5Vというように指定されているので、
Vtは約（－0.5）＋（1.5）で、
それは約1.0Vとなる。
上記の通り、バイアス条件として用いられるソース電圧Vsは、過消去されているが選択されていないセルのチャネルを「ターンオフ」するのに十分な程度の電圧となるように選択される。本願発明に関しては、約0.6Vのソース電圧で十分であるということがわかっている。
従って、$V_G - Vs - Vt > 0$であるので、
V_G－0.6V－1.0V＞０となり、さらに、
$V_G > 1.6V = V_{test}$となる。
ここで、V_{test}は過消去検出手段の一部として制御ゲート28に印加された試験電圧である。
従って、V_{test}＝1.6Vは、過消去セルのソースがそれに印加されたソースバイアス電圧Vs＝0.6Vを持つときに、その過消去セルを導通させる程度の大きさであるが、一方、V_{test}＝1.6Vは非常に低くて適切な電圧しきい値を持つセルは導通することができない程度であることを認識すべきである。このようにして、個々の過消去セルを検出することができる。他のソースバイアス電圧Vs及び試験電圧V_{test}を本願発明の意図する範囲内で用いることができ、また、異なるしきい値電圧をセルを指定し過消去するように指定する場合には

それらの電圧の適当な調節値を作るべきであることは理解すべきである。

過消去回復

表Ｂに戻って参照すると、１つの望ましい回復方法においては、ソース14を接地し、ドレイン12を浮動状態に維持するとともに、望ましくは12Vのパルスを10msの間ゲート28に印加することによって、ファウラー・ノルドハイムトンネリングを用いて、電子をフローティングゲートに再配置する。その過消去されたセルは次に再試験され、それらがまだ試験電圧で導通するのであれば、不適切な過書込みセルが修復され、または未修復として確認されるまで、その回復及び試験モードが繰り返される。他には、ソースを接地し、ドレインを浮動にして、過消去セルを回復することができる。

セルの論理状態は、約3V乃至5Vの読み出し電圧をゲートに印加し、約1Vの電圧をドレインに印加することによって決定することができる。プログラムされたセルのチャネル、つまり、高いしきい値を作るのに十分なフローティングゲートへの電子を持つものは、読み出し動作の間は電流を導通しないが、消去されたセルは導通する。すべての動作に関しては、基板は望ましくは読み出し動作の間は接地されている。

セル性能の最適化

セルの制御ゲート、フローティングゲート、ソース、チャネル及びドレイン領域の間の適切な容量結合は、プログラミング及び消去作用の間にフローティングゲートに及びそこから電荷を移動するデバイスの性能にとって重要である。それらの構成要素の間の容量結合を表す回路を図８に示す。フローティングゲートと制御ゲートとの間の容量はキャパシターC_{FG-CG}によって表されており、フローティングゲートとソースとの間、フローティングゲートとチャネルとの間、及びフローティングゲートとドレインとの間はそれぞれキャパシタC_{FG-S}、C_{FG-C}及びC_{FG-D}によって表されている。

デバイスの容量結合比率は以下の式によって定義されることがわかるであろう。

結合比率＝C_{FG-CG}/（C_{FG-CG}＋C_{FG-S}＋C_{FG-C}＋C_{FG-D}）

本願発明の望ましい実施例においては、ファウラー・ノルドハイムトンネリングをソース側に用いて、電子をソース14からフローティングゲート24にトンネルし、また、ドレイン側に用いて、フローティングゲート24からドレイン12にトンネルする点に注目すべきである。従って、ソースからフローティングゲートへのトンネル動作において現れる結合比率は、フローティングゲートからドレインへのトンネル動作の間に現れる結合比率のとは異なるセルの区分によって決定される。

その結果、フラッシュプログラミング工程の間、制御ゲートと基板との間の結合比率は以下のように表すことができる。

結合比率＝C_{FG-CG}/（C_{FG-CG}＋C_{FG-S}＋C_{FG-C}＋C_{FG-D}）

＝（A1/T1）／［（A1/T1）＋（A2/T2）］

ここで、A1及びT1は、それぞれ、インターポリ絶縁層26の面積及び有効厚さであり、A2及びT2は、それぞれ、チャネル、ソース及びドレインと重なるゲート絶縁層18の面積及び有効厚さである。

選択的消去工程の間、ソースは浮動にされるので、制御ゲートと基板との間の結合比率は以下のように表すことができる。

結合比率＝C_{FG-CG}/（C_{FG-CG}＋C_{FG-C}＋C_{FG-S}）

＝（A1/T1）／［（A1/T1）＋（A3/T3）］

ここで、A3及びT3は、それぞれ、チャネル、ドレイン及びソースと重なるゲート絶縁層18の面積及び有効厚さである。

その結合比率は最大化すべきで、さらに、望ましくは、フローティングゲート24を横切る電圧を最大化するために、少なくとも65%でなければならない。その結合比率は多数の方法により最適化される。例えば、高誘電率を持つ中間絶縁層26のために材料を選択することにより、その中間絶縁層26により小さな有効厚さを与え、その結果、大きな面積を必要とせずに、制御ゲート28とフローティングゲート24との間に高い静電容量を与える。制御ゲート28とフローティングゲート24との間の容量C_{FG-CG}が大きくなればなるほど、他の容量がフローティングゲートを横切る電圧に与える影響は小さくなる。

中間層の絶縁材料は、望ましくは、185オングストローム±15オングストロームの厚さを持つ酸化－窒化－酸化（oxide－nitride－oxide）（ONO）層である。望ましい実施例においては、その中間絶縁材料は、持久力を最適化するために、従来の酸化－窒化－酸化工程、望ましくは、標準的な高温酸化物堆積（HTO）を用いて形成される２つの70オングストロームの酸化層の間に挟まれる窒化物の120オングストロームの層からなる。窒化物の高い誘電率のため、望ましい中間絶縁層26の有効厚さは200オングストロームであるが、実際の物理的厚さは260オングストロームである。

中間絶縁層は対称に作るべきであり、その理由は、それにより、消去及びプログラミング動作の間にその層に異なる応力を与えることを回避できるからである。対称のONOの層の利用は、従来のフラッシュEPROMにおいては、耐久信頼性のいくつかを改善（つまり、ONOブレークダウンの減少）するためであるが、本願発明のONO層における対称の利用では耐久性を劇的に改善する。

結合比率を最適化できる他の方法は、ゲート絶縁層18と重なるソース14及びドレイン12のそれぞれの部分22、20の幅を制限することによる。これにより、フローティングゲートとドレインとの間の容量と、フローティングゲートとソースとの間の容量とが最適化され、その結果、フローティングゲートとドレインとフローティングとソースとの間の電圧が最大化される。0.8μmの制御ゲート及びフローティングゲートの幅を持つ（「0.8μm技術」）デバイスに対しては、ソース側の重なり22は望ましくは0.2μmで、ドレインの重なり20は0.3μmで、有効チャネル16の長さは0.3μmである。0.5μm技術に関しては、望ましいソースの重なり22は0.12－0.15μmで、ドレインの重なり20は0.3μmで、有効チャネルの長さは0.15－0.18μmである。ゲート絶縁の選択に入れる他の考慮点には耐久性の最大化が含まれ、それには、最良のトラッピング特性及び薄いゲート絶縁層を必要とするファウラー・ノルドハイムトンネリングの促進性を持つゲート絶縁材料の選択が必要である。シリコン二酸化物はゲート絶縁層として望ましい材料であり、それは、それらの基準に一致する性能を持つからである。

ファウラー・ノルドハイムトンネリングは、少なくとも６メガボルト/cmの電界がソース14とフローティングゲート24との間の重なり層の領域にまたがって発生するときに生じるが、望ましいトンネリング状態は、電界が約11乃至12メガボルト/cmのときに生じる。ゲート絶縁層18の厚さは、フラッシュプログラム及び選択的消去モードの間にその範囲の大きさの電界が達成できるように選択すべきである。84オングストローム±４オングストロームの厚さが本願発明に適しており、80オングストロームの厚さが望ましいことがわかっている。

ゲート絶縁層18は薄くなければならないので、結合比率計算におけるT2及びT3は非常に低く、その結合比率を制限するように働く。結合比率に関する薄いゲート絶縁の不利な影響は、中間絶縁層26がフィールド酸化物30（図4Aを参照）と重なる量を増加することによって、補償することができる。その重なりの増大は結合比率の最適化をたすけるが、その理由は、それが中間絶縁層26の面積A1を増大するからである。さらに、その増えた面積はフィールド酸化物層30の上方にだけ生じ、ソース及びドレイン領域の上方には生じないので、デバイスの容量は不利な影響は受けない。

選択的消去の間の基板に対するフローティングゲートの電圧V_{FG}は以下のように表すことができる。

$$V_{FG} = (V_G C_{FG-CG} + V_D C_{FG-D}) / (C_{FG-CG} + C_{FG-C} + C_{FG-D})$$

ここで、V_G及びV_Dはそれぞれ制御ゲート28及びドレイン12に印加された電圧である。結合比率は、選択的消去工程の間における場合よりも、フラッシュプログラミング工程の間の方がより重大である。選択的消去モードについては、容量の比率は以下のように表される。

$C_{FG-CG}:C_{FG-D}:C_{FG-C}:C_{FG-S}$

これは、望ましくは、65:13:13:9である。

従って、絶縁層を横切る容量に関して上述した面積及び厚さのパラメータは、フラッシュ

プログラム工程に関して決定すべきである。これらの値が決定されると、その電圧V_G及びV_Dは上述の式を用いて所望のV_{FG}を達成するために決定されるべきである。
一般的には、5Vの電圧がドレインに選択的消去動作の間に印加されるときには、V_{FG}は約－5Vになる。ドレインへの3Vの電圧により、フローティングゲートが約－7Vの電圧を受ける。耐久性は、上述のホールトラッピング効果のために、最も低い電圧がドレインに印加されるときに最適化される。ゲート絶縁層18及び中間絶縁層26の厚さを最小化することは、選択的消去工程の間に必要とされるドレイン電圧を最小化するように働き、さらに、高いドレイン電圧に関連する耐久性の問題を最小化する。
本願発明に係るチャネルのドーピングは、従来のフラッシュEPROMセルで通常用いられるのに比べて、非常に大量であり（つまり、約10回の大量）、それにより、電圧しきい値を上昇させ、さらに、フラッシュプログラミング及び選択的消去の間でのデバイスへの応力の平衡を図る。さらに、しきい値電圧が増加するときには、より低いゲート減圧が必要となり、それにより、周辺デバイスのブレークダウン電圧要求がその結果緩和される。望ましいドーピングは、デバイスの最初の電圧しきい値Vtiを4V及び5Vの間まで、望ましくは約4.5Vまで高めるものである。
以下の表は、本願発明のデバイスのチャネルに多量のドーピングを用いることによって与えられる利点を示す。

表　C

	VG(フラッシュプログラミング)	VG(選択的消去)
従来のドーピング（Vti＝1.5V）	２１Ｖ	－８Ｖ
多量のドーピング（Vti＝4.5V）	１８Ｖ	－１１Ｖ

従来のデバイスにおいては、初期電圧しきい値は約1.5Vである。従来のドーピングが本願発明のデバイスに用いられたとすると、フラッシュプログラム機能は約21Vのゲート電圧を必要とし、また、選択的消去のために必要なゲート電圧は約－8Vとなるであろう。周辺デバイスに安全のための3Vマージンを与えるとすると、周辺デバイスのために必要なブレーク電圧は約24Vとなる。表Ｃからわかるように、多量のドーピングによって電圧しきい値を増加させると、選択的消去電圧が18Vまで減少し、そして、安全のための3Vマージンに基づいてブレークダウン電圧要求が21Vまで減少する。

３重ウエル

本願発明のデバイスは負のゲート電圧を用いて選択的消去機能を実行することができるので、それらのデバイスの結合部において高電圧応力を防ぐために、高い負電位を周囲の回路から絶縁するための装置が必要となる。
負のゲート電圧が周辺回路を破壊することを防ぐために２つの手段がある。１つは負のゲート電圧と結合するPMOSデバイスを使用するだけで、さらに、電圧通過が要求された場合には空乏Ｐチャネルデバイスを使用する。しかし、そのような構成はチップのデザインをかなり制限し、そのためかなりの数の応用には望ましくないであろう。
他の方法としては以下に説明する「３重ウエル」構造を用いることである。３重ウエル構造は、消去動作の際に制御ゲートに印加される－12Vによって引き起こされる高電圧応力の問題を軽減する１つの構造である。NMOSデバイスが選択消去動作の際に負のゲート電圧を印加するように用いられる場合には、３重ウエル構造が用いられるであろう。消去のために負の電圧を用いることが望ましくない場合には、３重ウエルは用いられない。その理由は、その製造には２つの追加マスク工程を必要とし、その結果処理時間および費用を増

加するからである。
３重ウエル構造を図13および図14の簡略化した図面に示す。図13は異なるトランジスタ構造を示す簡略化された断面図で、図14は正および負の電圧をワード線WLを経由してメモリセルに印加することに関連する構造の簡略化した電気回路図である。
３重ウエル構造は概略単一ウエルトランジスタ252および２重ウエルトランジスタ254からなり、各々はワード線WLに結合され、ワード線は本願発明の記憶セル250の制御ゲート28に接続されている。単一メモリセル250は図13に示されており、メモリセル250の単一行は図14に示されているが、トランジスタ252、254のようなトランジスタを用いて、３重ウエル構造を採用したときには、本願発明に係るアレー内のすべてのセルに電圧を供給することができることを認識すべきである。さらに、説明を簡略化するために、正および負電圧をセル制御ゲートに印加する際の制御に関連するデバイスのすべてを図示しているのではなく、そのようなデバイスは従来の配置で用いられることを理解すべきである。
単一ウエルトランジスタは、N^-形材料のウエル256内に形成されたPMOSトランジスタ252である。そのトランジスタを経由して、正電圧（つまり、約17V乃至18V）が、フラッシュプログラミングセルの際にメモリセル250の制御ゲート28に印加される。その正電圧は、単一ウエルトランジスタのソース268に印加され、さらに、制御電圧がフラッシュプログラミング動作の間単一のウエルトランジスタのゲート270に印加されると、ワード線WLを経由してメモリセル250の制御ゲートに印加される。フラッシュプログラミング動作の間は、NMOSトランジスタはオフにバイアスされる。
２重ウエルトランジスタはNMOSトランジスタ254で、P^-形材料のウエル258内に形成され、それは次にＮ－形材料のウエル260によって基板から隔離されている。NMOSデバイス254を通ってフラッシュ消去機能のための負のゲート電圧（つまり、約－11V乃至－12V）が、選択的消去動作の間にメモリセル250の制御ゲートに印加される。その負電圧は、２重ウエルトランジスタのソース262に印加され、また、制御電圧が選択的消去動作の間に２重ウエルトランジスタのゲート264に印加されると、ワード線WLを介して選択されたセルの制御ゲートに伝達される。その動作の間、ウエル260はVccまたはそれより低い電圧にあり、基板266は接地されている。従って、２つの逆バイアスされた結合部が存在し、１つは基板266とウエル260との間にあり、他方はウエル260、258の間にあり、それらは負電圧をチップ上の他のデバイスから絶縁する。

配列操作

セルの配列は図７に示すように設けることができる。この図からわかるように、この配列は図1AのフラッシュEEPROM配列について示されたものと実質的に同じである。複数個の列線130Aのそれぞれは各列に関係するセルのドレイン12に接続し、共通ソースライン144Aは配列122A中のすべてのソース14Aに接続している。複数個のワード線140Aの各々は関係する行となるようにセルの制御ゲートを接続している。
本装置の周辺回路には公知の行アドレスデコーディング回路142A、列アドレスデコーディング回路132A、センス増幅器回路134A、出力バッファー回路136A、及び入力バッファー回路138Aがある。周辺回路に含まれるものとしては、前述のフラッシュプログラミング、選択的消去、読み取り、過剰消去検出、及び過剰消去修復のモードのために、公知の方法で、列、行及びソース電圧のアレーへの供給を制御する回路ブロックがある。
本願発明のセル配列の操作を説明するために、セル配列200中の４個のセル202、204、206、208を示す極めて簡略化されたメモリ装置の概略図を図11に示す。セル202と206のドレインはビットラインBL1に接続し、セル204と208のドレインはビットラインBL2に接続する。セル202と204のゲートはワード線WL1に接続し、セル206と208ゲートはワード線WL2に接続する。すべてのセルのソースは共通のソースラインSLに接続する。
次の表は、セル配列中のターゲットセル202に関する読み取り、フラッシュプログラム、及び選択的消去の操作のパラメータを示す。

表 D

（ターゲットセル２０２）

	読み取り	フラッシュプログラム	選択的消去
V_{BL1}	1−2V	F	5 V
V_{BL2}	F～V_{SS}	F	F
V_S	0 V	0 V	F
V_{WL1}	V_{CC}	17V	-11V
V_{WL2}	0 V	0 V	0 V

図11において、選ばれたセルの論理的状態を決定するために、読み取り電圧Vccを、選択されたセル202に関係するワード線であるWL1に加える。Vccは通常5Vであるが、例えば、ノート型コンピュータに使用される装置の場合には、Vccは、約3Vである。セル202に関係するビットラインBL1は、共通のソースラインSLと同様に接地される。選択されていない全てのセルに関連するワード線、つまり、図11におけるWL2も接地電位に保持される。選ばれていないビットライン、すなわち図11でのBL2は浮動状態のままにされるか、典型的にはOVであるVssと同じ大きさの電圧とすることができる。

行210内のすべてのセルのためにフラッシュプログラミング工程を行うには、その行に関係するワード線WL1を約17Vの電位にまで高め、一方、共通のソースラインSL及び残りのワード線、すなわち図11でのWL2は接地される。すべてのビットラインBL1、BL2は浮動したままとされる。セル配列中のすべてのセルは、すべてのワード線を約17Vに高めることによってフラッシュプログラムすることができる。前述のように、フラッシュプログラミング操作中は、ソースからフローティングゲートに向けてのファウラー・ノルドハイム（Fowler−Nordheim）トンネル作用の発生により、電子がプログラムされるセルのフローティングゲートに置かれる。

選択的消去は各セル毎に、またはセルのブロック毎に行うことができる。選択的にセル202を消去するには、約−11V乃至−12Vの電圧をセル202に関係するワード線WL1に加えるとともに、約5Vの電圧をセル202に関係するビットラインBL1に加える。残りのビットラインBL2は浮動したままにされ、残りのワード線WL2は接地される。共通のソースラインSLは選択的消去操作中浮動したままにされる。セルのブロックは、消去を行おうとするセルに関係するビット線及びワード線に選択的消去のパラメータを適用することにより、選択的に消去することができる。前述のように、選択的消去操作により、選択されたセルのフローティングゲートからドレインへのファウラー・ノルドハイムトンネリングの作用によって、電子がフローティングゲートから出る。

次に本願発明のセル配列の過剰消去検出及び回復操作について述べる。

図12を参照して公知の過剰消去検出技術を述べる。公知技術は過剰消去セルを有するセルのブロックまたは列の識別をするが、過剰消去されたセルを特定することはない。

公知の検出方法では、試験が必要なセルの列を選ぶために列選択回路300を用いる。列302が選ばれると、列302に連結されたビットラインB1に読み取りバイアス電圧が加えられる。列302中のセルに関係したすべてのワード線WL1、WL2、WL3にOVの電位が加えられ、その列内のすべてのセルのソースS1、S4、S7は接地される。センス増幅器（図示せず）を用いて電流がビットラインB1に流れているか否かを確かめる。もし流れていれば、過剰消去されたセルが列302に存在することがわかる。このように、この方法では、過剰消去されたセルがセルの列中に存在するか否かしか分からない。

過剰消去されたセルの存在に関してセルのブロック全体を試験することが望まれたときは

、列選択回路300を用いてすべての列302、304、306を選択する。すべてのソースS1－S9を接地する。すべてのビットラインB1、B2、B3にバイアス電圧を加える。そしてセンス増幅器を使用して、どれかのビットラインに電流が流れていないかを検知する。
このように、公知の過剰消去検出では過剰消去されたセルを個別に検出することはできない。
一般的に、公知の装置用のセンス増幅器は、ビットライン中に電流が流れていないとき（従って、列中に過剰消去されたセルがないとき）には、０の出力を提供し、またビットライン中に電流が流れているときは過剰消去状態の存在を示すように１の出力を与えるように設けられている。
先行技術における、過剰消去されたセルの電圧しきい値を適当なレベルまで持ち上げるためのいくつかのスロープログラミングの方法が述べられている。ここで、図12を参照しながら、それらの方法の各々を説明する。一つの過剰消去修復方法は列毎に実行される。この方法は、選ばれた列302のビットラインB1を5Vまで高めることと、ソースS1、S4、S7を接地することと、列302のセルに関係するワード線WL1、WL2、WL3に1V乃至2Vの電圧を加えることを含む。列は定期的に再試験されて過剰消去されたセルが残っているか否かが確認され、もし残っていたなら、列に過剰消去されたセルが含まれないことを確認されるまで試験条件が再適用される。
二番目の現存の過剰消去回復方法は、やはり列毎に実行されるもので、列302のセルに関係するワード線WL1、WL2、WL3を接地することと、すべてのソースS1、S4、S7を接地することと、その列に関係するビットラインB1に5Vの電圧を加えることを含む。三番目の方法は、二番目の方法に似ており、修復すべきセルの列302に関係するワード線WL1、WL2、WL3及びビットラインB1、B2、B3を接地する一方、その列中のセルのソースS1、S4、S7を5Vの電位に高める。
四番目の従来の回復方法は、セル配列全体にある過剰消去されたセルのすべてを修復することに関するものである。この方法は、ソースラインS1－S9とビットラインB1、B2、B3とを接地し、ワード線WL1、WL2、WL3には12Vの電圧を加える。

アレー内の過剰消去検出

本願発明のメモリー装置中における過剰消去されたセルの存在は、図９、図10A、図10B及び図11のフローダイヤグラムに示される手続きを用いて検出されて修復される。これは、まずどのグループのセルが過剰消去されたセルを有するかを確定する。そのようなグループが確定されると、このグループ中のセルは一つずつチェックされて過剰消去されたセルを特定する。
次の表は過剰消去検出及び回復操作を行うのに用い得るパラメータを示す。

表　E

	選択されたセル 過剰消去検出	選択されたセル 過剰消去回復	
		方法１	方法２
V_{BL1}	1－2V	F	０V
V_{BL2}	F	F	０V
V_S	～0.6V	V_{SS}	F
V_{WL1}	V_{TEST}	12V	12V
V_{WL2}	０V	０V	０V

過剰消去検出にあたっては、まず一定の値より低い値のときにはセルが過剰消去されているとされるしきい値を定め、次にソース電圧Vsと試験電圧V_{test}を算出する。この値の決

定にはセル操作に関してすでに述べた手続きを用いる。図11のアレーの概略図において、セル202が過剰消去されているか否かを決定するために、セル202に関係するビットラインBL1が約1.5Vに高められ、さらに、共通のソースラインSLがバイアス電圧（好ましくは0.6V）に高められる。セル202に関係するワード線WL1には試験電圧V_{test}が加えられる。選択されないセルにのみ関係するワード線WL2は0Vの電位に維持され、選択されないセルにのみ関係するビットラインBL2は浮動したままにされる。もしセル202が過剰消去されていれば、ビットラインBL1を通して電流が流れる。

試験はまずブロックまたは列について行い、過剰消去されたセルを有するものにターゲットを絞り、ついで個々のセルについて試験を行い、過剰消去されたセルを特定するのがもっとも効果的である。たとえば、セル202を有する列の全部については、BL1に1.5Vを加え、その行のセルに関係するすべてのワード線WL1、WL2にV_{test}を加えることによって試験を行うことができる。次に、前段で述べたビットごとに試験を行う方法を、すべての過剰消去されたセルが特定されるまで、その過剰消去されたセルを有することがわかっている列について行う。

ここで図９を参照すると、それには、本願発明にしたがい、一般化した過剰消去検出の流れ図を示す。まず、すべてのソースがゼロより大きい電圧、好ましくは0.6Vにバイアスされる。これは工程902で行われる。工程904では、一または二以上のワード線がV_{test}にセットされ、さらに、一または二以上の列が読み取りのために選択される。選択されないワード線は0Vにバイアスされて、それに関係するセルをオフにする。

このようにして一つの列及び一つのワード線が選択されると、セルは一つずつチェックされる。V_{test}が加えられるワード線の数及び読み取りのために選択される列線の数に応じて、一つの行または列中のさまざまな倍数のセルを同時にチェックすることができる。たとえば、V_{test}がすべてのワード線に加えられ、読み取りのために一つの列が選択されると、その列内のすべてのセルについて過剰消去状態を見つけるために同時のチェックをすることができる。もし一つのワード線がV_{test}でバイアスされ、すべての列が選択されると、そのバイアスされたワード線に対応する行内のすべてのセルについて過剰消去状態に関してチェックが行われる。

工程906では、V_{test}が加えられたセルの状態を読む。工程908では、論理値「１」が検知されると、これは過剰消去されたセルが見出されたことを示す。このことは工程910で認識される。

工程912は、すべてのチップが読み取られるまで過剰消去検出を継続させる。

列毎の過剰消去検出を行うときは、過剰消去されたセルを持つ列が特定されると、それらの列内のセルはビットごとにチェックされて過剰消去されたセルを特定する。

表Ｅおよび図11を参照しながら述べる以下の二つの方法は、過剰消去されたセルの修復に用いられる。方法１を用いて、図11における過剰消去されたセル202を修復するには、12Vのパルスを20msecの時間WL1に加える。セル202に関係するビットラインBL1は浮動したままにされ、ソースラインSLにVssの電圧、好ましくは0Vが加えられる。ビットラインBL2は浮動したままにされ、WL2は接地される。

次に過剰消去検出方法を用いてセルを試験する。もしセルがまだ過剰消去されているときは、回復方法を繰り返し適用する。好ましい方法においては、修復されたセルは、通常約1.3V乃至2.5Vの電圧しきい値を有する。

方法２を用いて過剰消去されたセル202を修復するには、12Vのパルスを20msecの時間WL1に加える。セル202に関係するビットラインBL1は接地され、ソースラインSLは浮動される。セル202に関係しないビットラインBL2とワード線WL2とは接地される。

ついで、方法１と同様に、セルは過剰消去検出方法により試験され、セルが充分修復されないときは、回復技術を繰り返し適用する。

図10Aおよび図10Bに概略的な形式で方法１および方法２を図示する。これらの図においては、同時に二つ以上のセルを修復するのにこれらの方法が適用される。図10Aは本願発明による方法１を図示する。工程1002ではすべてのソースが浮動状態に置かれる。その後、工程1004において、選択された列が接地される。ついで工程1006においてすべてのワード

線または選ばれたワード線が20msecまたはそれ以上の間、一定の電位、好ましくは12Vの電位になるようにする。すべてのワード線がこの電位に設定されると、選択された列のすべてのセルがこの低いレベルの書き込み操作を受ける。選ばれたワード線がこの電位に設定されると、選ばれた列および行の中のセルが修復される。

図10Bは回復方法２を図示する。ここにおいてセルのドレインは工程1010で浮動状態にされる。そしてすべてのソースは工程1012において接地される。その後、工程1014ですべてのワード線または選ばれたワード線が20msecの時間一定の電位、好ましくは12Vの電位に高められる。

処理

本願発明のセルはCMOS処理に適合する。基板10は１－０－０のオリエンテーションを有するＰ形の材料で形成され、17乃至33オームセンチメートルの抵抗性を有する。図2A乃至図2CのＰ－基板10がこれに当たる。リン31の材料がＮウェルに150KeVで、$5.0\times1.0^{12}/cm^2$の密度で注入される。その注入物は湿式酸化により45分間950℃でそのウェルに注入され、ついで1150℃で窒素、N_2ドライブが行われる。

その後に好ましくは80オングストロームの厚さを有するゲート酸化物が形成される。ついでフィールド領域が画定され、そのフィールドにBF_2が50KeVで、かつ４$\times10^{13}/cm^2$の注入量で注入される。

ついでフィールド酸化物が1000℃で40分間、O_2雰囲気下で、続いて85分間920℃で、N_2雰囲気の下で形成される。次にH_2/O_2のもと1000℃で６時40分間後に12000オングストロームの厚さを得る。ついでセル領域が画定され、続いてホウ素11を50KeVで、６$\times10^{13}/cm^2$の注入量で注入する。以上の製作工程は公知のものである。

次の工程でフローティングゲート24がゲート誘導体18上に堆積される。これはポリシリコンをフローティングゲートとして堆積させる際に、その場でポリシリコンをドーピングする操作を含む。これを行うには、CVD法によりSiH_4とPH_3とを結合して、（燐をドープした）Siを形成する。ポリシリコン材料をその場でドーピングすることにより追加的な高温製作工程を回避することができる。この事はポリシリコン中の粒子の径を小さくするために重要である。ポリシリコンの粒径が小さいほど滑らかなポリシリコンの表面が得られ、これによりポリシリコン表面に信頼できる一層薄い酸化物の層が得られることがわかった。

インターポリ誘電体は好ましくは200オングストロームの有効厚さのONO層であり、これは耐久性をよくするように標準的な高温酸化物堆積工程を用いて形成される。しかしながら、選択的消去操作の間に負のゲート電圧を使用しないときは、HTO堆積の必要はないであろう。最初に５％のO_2及び95％のN_2の雰囲気において、950℃で８分間かけてフローティングゲートの上に酸化物層を形成する。ついで窒化物を、４分間で30オングストローム／分の速度で堆積する。その後に15分間４乃至５オングストローム／分の速度でHTO堆積を行う。

ONOインターポリ層を形成するための他の方法としては、５％のO_2及び95％のN_2の雰囲気下で、950℃で12分間かけてフローティングゲート上に酸化物層を形成する方法がある。次に窒化物が120オングストロームの厚さに堆積される。その後に、940℃で１乃至３時間ウエット酸化を行う。

その後に、センストランジスター、アドレストランジスターなどの周辺回路を公知の手段により製作する。続いて、好ましくはポリシリコンで制御ゲート28を形成し、公知の方法によりドーピングを行う。

次にソース14及びドレイン12の領域の注入について述べる。４個の代替的な実施態様を述べる。このうちの二つは0.8μｍ技術を用いるセルに関し、他の二つは0.5μｍ技術を用いるセルに関する。

0.8μｍ技術を用いるセルにおいてソースおよびドレイン領域を形成する好ましい方法では、ソース領域14には80KeVで、かつ$5.0\times10^{15}/cm^2$の注入量で砒素が注入される。好ましいドレイン領域は二重拡散領域で、最初に150KeVで、$1.0\times10^{14}/cm^2$の注入量で燐31が注入される。続いて、ドレイン領域はN_2雰囲気下の900℃の温度で60分間、続いてO_2雰囲気下の900℃でアニールされ、拡散が行われる。ついでドレイン領域に80KeVで5.0×10^{15}/cm

^{2}の注入量の砒素が埋め込まれる。
0.8μｍ技術のセルにおいてソースおよびドレイン領域を形成するもう一つの方法は縮小した（reduced）マスクセットによる、より単純な方法であるが、前述の好ましい方法による場合よりも耐久性が低い。この方法では、ソース領域には80KeVで、かつ$5.0\times10^{15}/cm^{2}$の注入量で砒素を埋め込み、図２に示されたような単一拡散ソースが形成される。ドレイン領域には80KeVで$5.0\times10^{15}/cm^{2}$の注入量の砒素を埋め込む。
0.5μｍ技術を用いたセルにおいてソース及びドレイン領域を形成する好ましい方法においては、図2Cに示されるよう、ソース領域はN^{+}材料よりなる浅い領域40BとＰ形の材料42Bのポケットとから形成される。これはパンチスルー（punch－through）の問題を最小化する。ソース領域には80KeVで$1.5\times10^{15}/cm^{2}$の注入量の砒素が注入される。$５\times10^{13}/cm^{2}$の埋め込み量のホウ素11が45度の角度で注入されてＰポケットを形成する。ドレイン領域は二重拡散領域であり、それは、まず燐31を150KeVで$1.0\times10^{14}/cm^{2}$の注入量で埋め込み、900℃でN_{2}雰囲気下で45分間、さらに、O_{2}雰囲気下で20分間、それをアニール処理する。次に$5.0\times10^{15}/cm^{2}$の注入量の砒素を80KeVで埋め込む。
0.5μｍ技術によるセルにおいてソース及びドレイン領域に注入を行う別の方法は、前段で述べた方法を使用して形成したＰ形のポケットを有するソース領域を用いる。ドレイン領域には80KeVで$5.0\times10^{15}/cm^{2}$の注入量で砒素を埋め込む。この実施例は前述の好ましい実施例よりも簡単であるが、その実施例よりも耐久性が低い。
次の表は本願発明のセルを用いて得られる結果を示す。フラッシュプログラム、選択的消去及び過剰消去回復操作を試験対象のセルについて実施して試験を行った。各操作の後でしきい値電圧を測定した。試験対象のセルは本願発明のセルとして望ましいものよりも軽いチャンネルドーピングを有し、かくて本願発明においてより好ましいVt（すなわち、約4.5V）よりも低い初期電圧しきい値（Vti）を有した。かくて、制御ゲートに加えられる電圧（V_{CG}）はより好ましいチャンネルドーピングを有するデバイスに必要とされであろうというものよりも高かった。さらに、試験の対象のデバイスは200オングストロームのトンネル酸化物を有したが、本願発明のデバイスは約80オングストロームの好ましいトンネル酸化物の厚さを有する。
実験の間、10ミリセコンドのパルスを用いて、フラッシュプログラム、選択的消去、及び過剰消去回復作用を行わせた。

表 F

セル番号	V_{ti}	フラッシュプログラム $V_{CG}=20V$	選択的消去 $V_{CG}=-8V$ $V_D=5V$	過剰消去回復 $V_{CG}=15V$
1	1.42	5.54	1.66	2.58
2	1.26	4.86	1.44	1.84
3	1.24	5.04	1.26	1.52
4	1.32	5.7	1.28	1.52
5	1.36	5.46	1.62	1.92
6	1.32	4.84	2.06	2.12
7	1.40	4.86	2.04	2.08
8	1.30	5.42	1.62	1.90
9	1.30	5.40	1.54	1.82
10	1.38	5.72	1.82	1.82

本明細書において使用した用語や表現は説明のために用いたものであり、本発明の範囲を限定するものではない。本願発明の範囲内で種々の変化が考えられ、上述する本願発明の全部または一部の特徴と実質的の同様なものを排除するような意味にこれらの用語や表現を用いるものではない。

【図１Ａ】

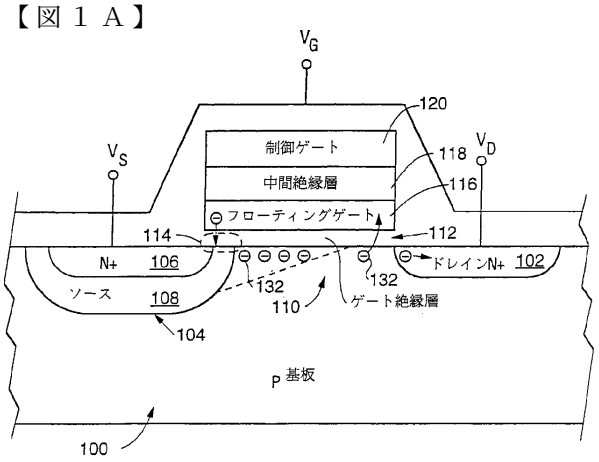


FIG. 1A
(PRIOR ART)

【図１Ｂ】

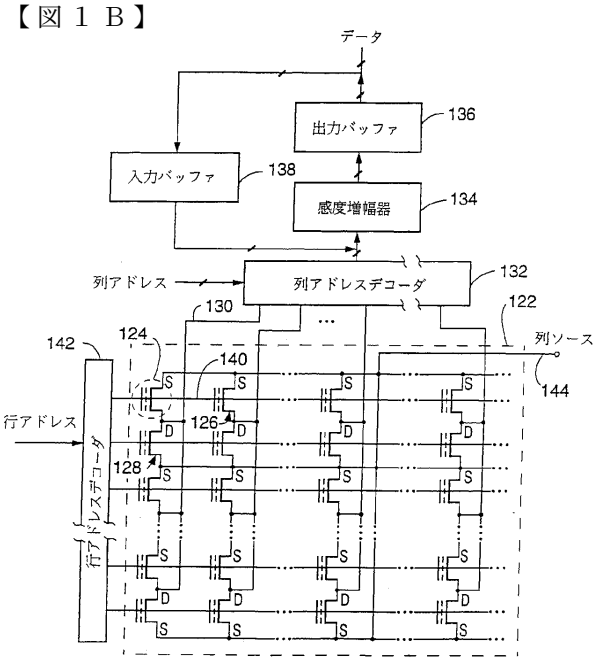


FIG. 1B
(PRIOR ART)

【図２Ａ】

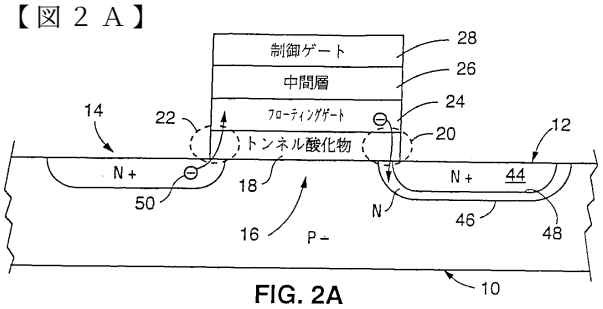


FIG. 2A

【図２Ｃ】

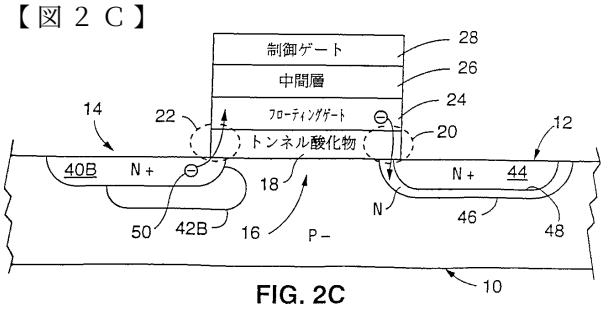


FIG. 2C

【図２Ｂ】

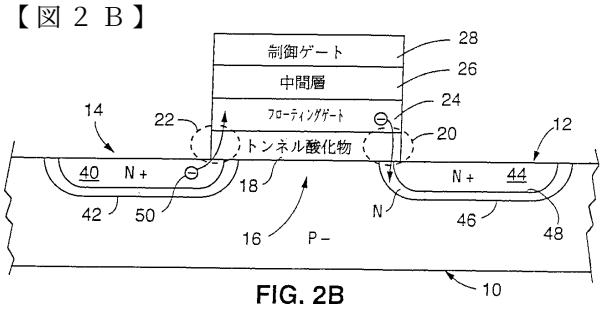


FIG. 2B

【図４Ａ】

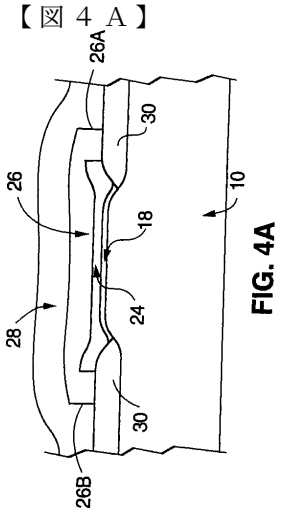


FIG. 4A

【図３Ａ】

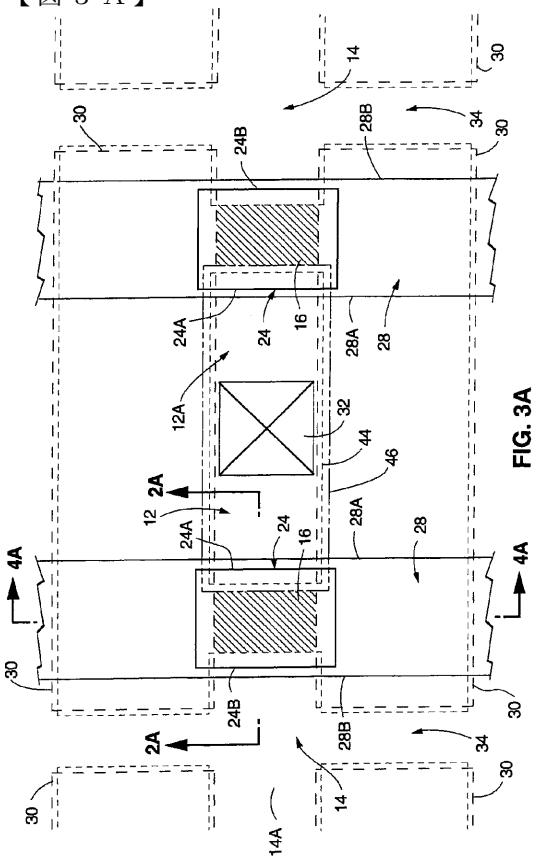


FIG. 3A

【図３Ｂ】

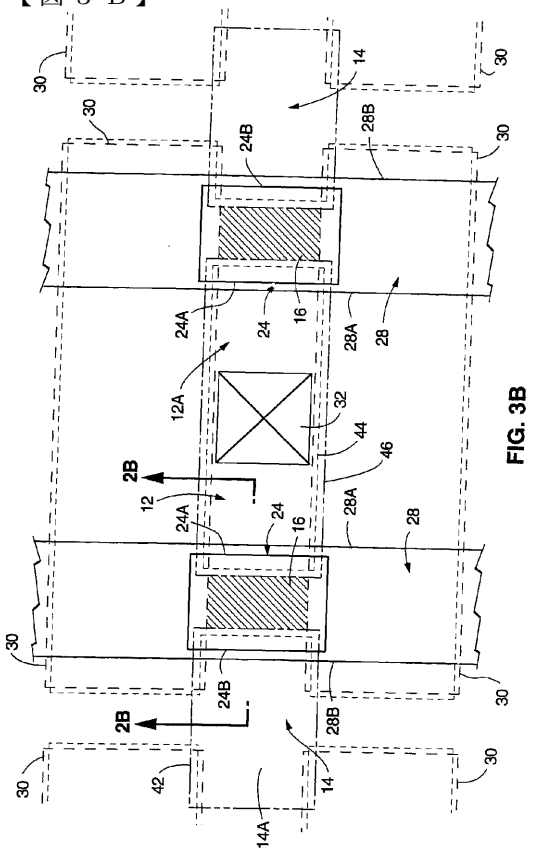


FIG. 3B

【図３Ｃ】

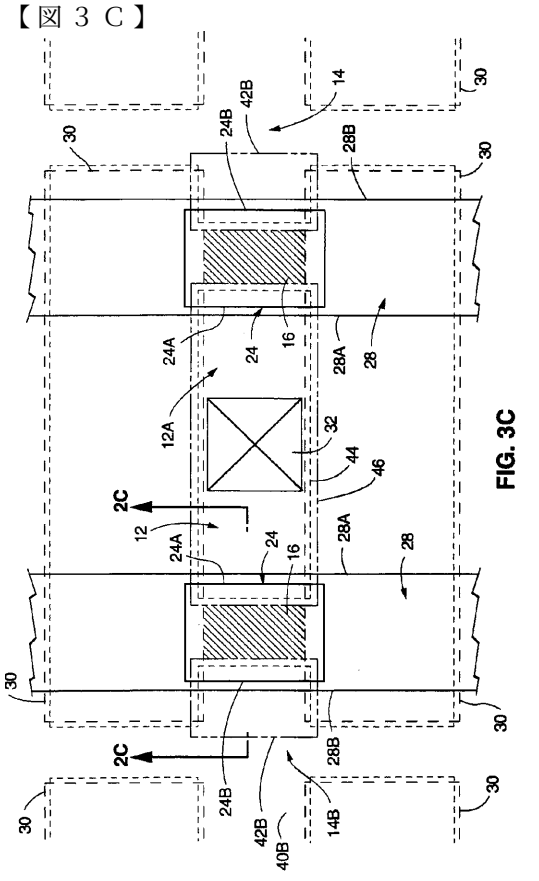


FIG. 3C

【図４Ｂ】

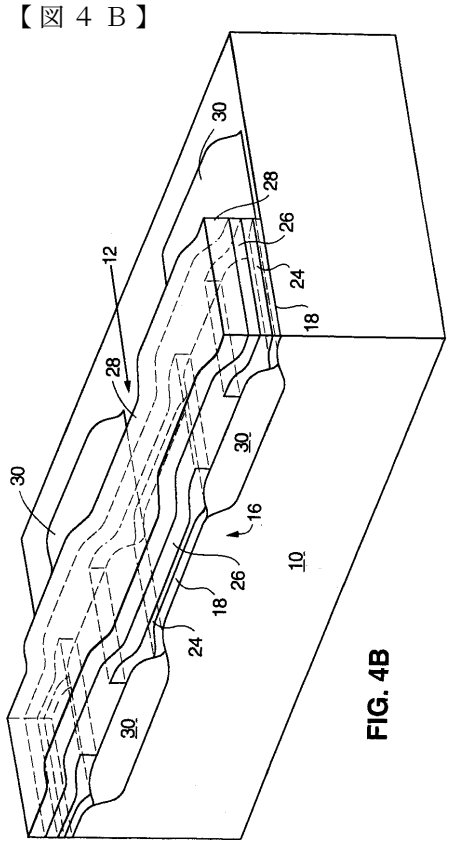


FIG. 4B

【図５】

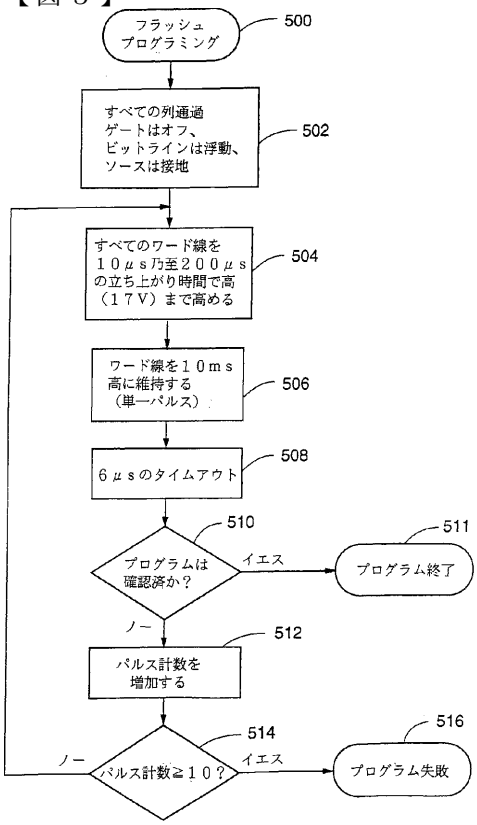


FIG. 5

【図６】

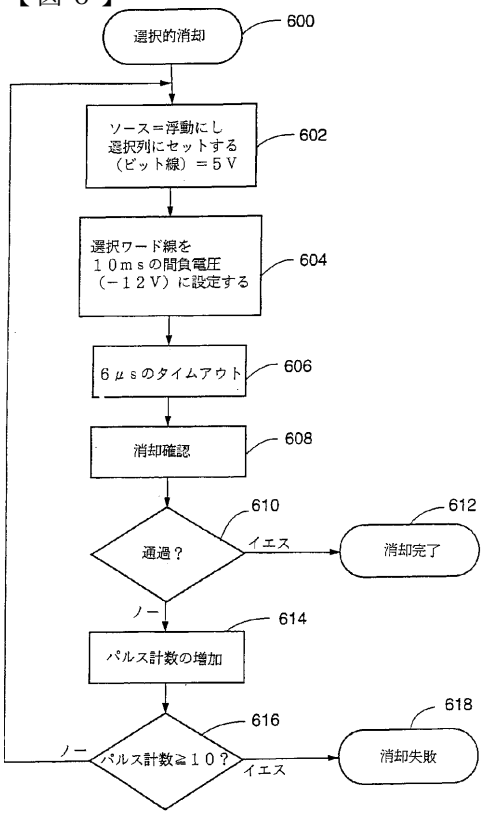


FIG. 6

【図７】

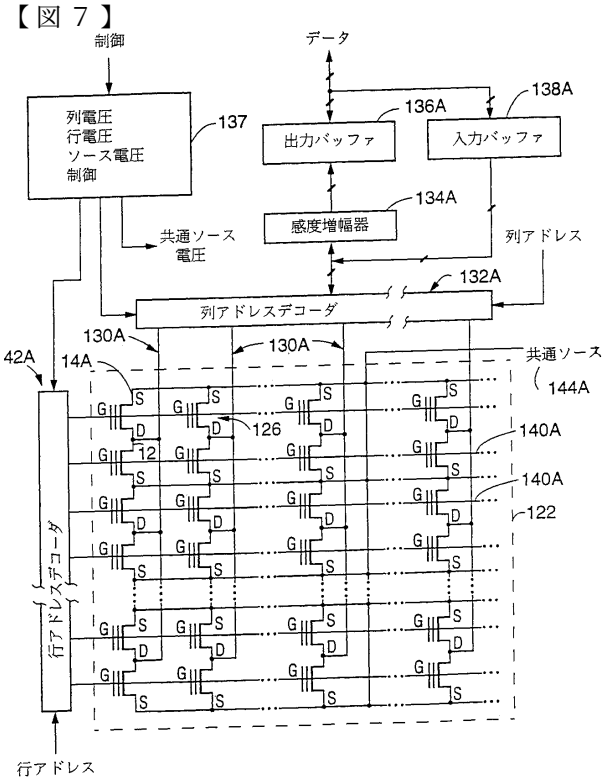


FIG. 7

【図８】

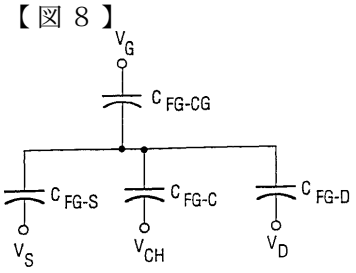


FIG. 8

【図１０Ａ】

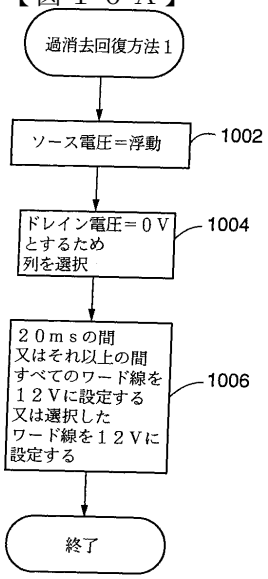


FIG. 10A

【図９】

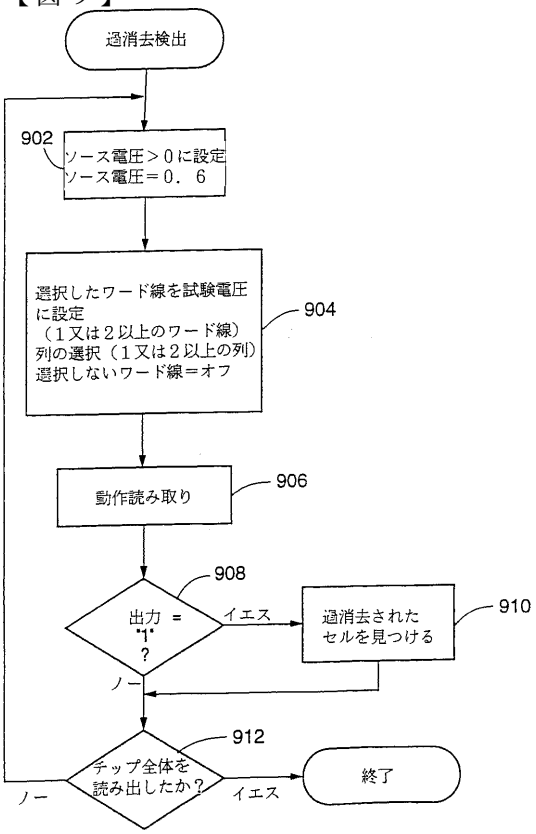


FIG. 9

【図１０Ｂ】

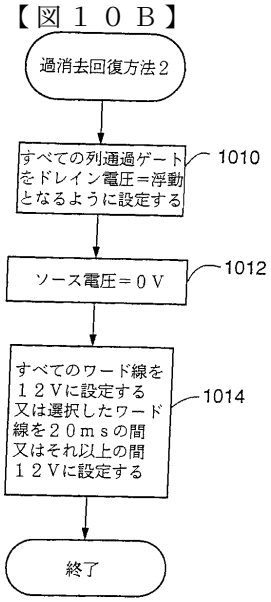


FIG. 10B

【図１３】

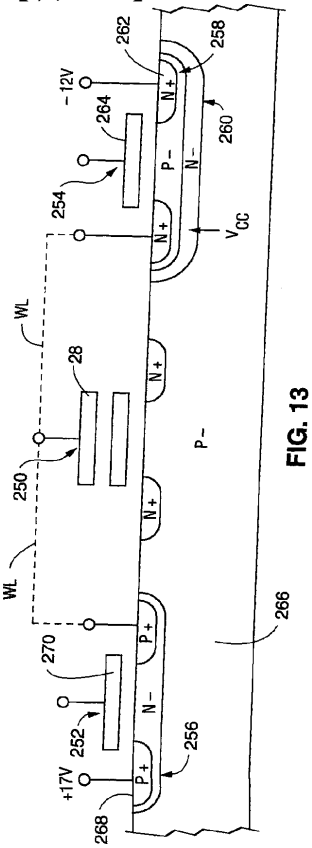


FIG. 13

【図１１】

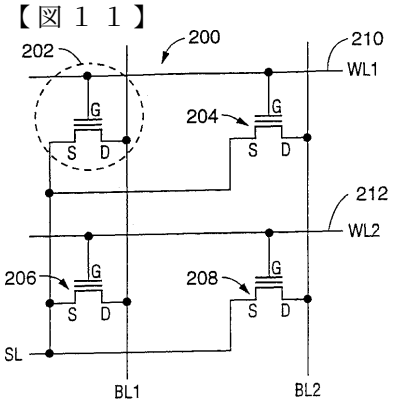


FIG. 11

【図１２】

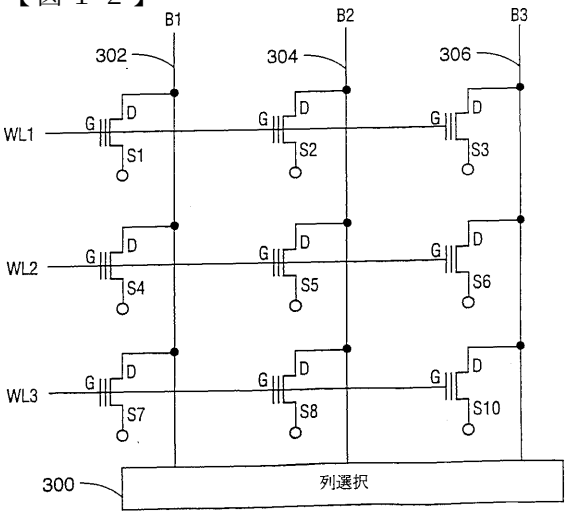


FIG. 12

【図１４】

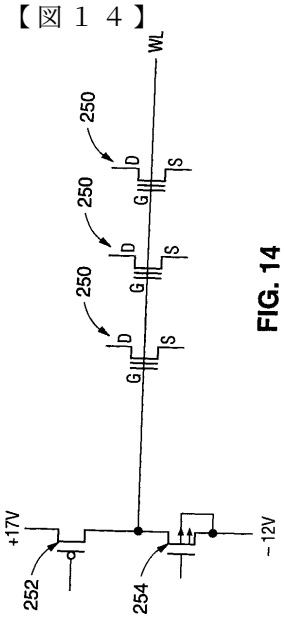


FIG. 14

フロントページの続き

(51)Int.Cl.[7]　　ＦＩ
　ＨＯ１Ｌ　29/792

(72)発明者　チャン、ジア・ホゥン
　　アメリカ合衆国、カリフォルニア州　９５０１４、キュパーチノ、マートルウッド・ドライブ　６４３２
(72)発明者　チョウ、エドウィン
　　アメリカ合衆国、カリフォルニア州　９５０７０、サラトガ、トリシア・ウェイ　２０４４７

審査官　井原　純

(56)参考文献　独国特許出願公開第０３３４５１７３（ＤＥ，Ａ１）
　　特開昭５８－１２１６７９（ＪＰ，Ａ）
　　特公平０６－０８２８４１（ＪＰ，Ｂ２）
　　特開平０４－２１１１７８（ＪＰ，Ａ）
　　特開平０６－２４４３８６（ＪＰ，Ａ）
　　特開平０６－１３１８８３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
　　H01L 21/8247
　　G11C 16/02
　　G11C 16/04
　　H01L 27/115
　　H01L 29/788
　　H01L 29/792