

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成19年11月22日(2007.11.22)

【公開番号】特開2002-117694(P2002-117694A)  
 【公開日】平成14年4月19日(2002.4.19)  
 【出願番号】特願2000-305402(P2000-305402)  
 【国際特許分類】

**G 1 1 C 29/04 (2006.01)**

【F I】

G 1 1 C 29/00 6 0 3 P

【手続補正書】  
 【提出日】平成19年10月4日(2007.10.4)  
 【手続補正1】

【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】

【請求項1】 複数のアドレス信号により選択される複数のメモリセルで構成されるメモリセルアレイと、  
 外部クロック信号を受けて、複数の内部クロック信号を生成するクロック生成回路と、  
 前記クロック生成回路で生成された第1のクロック信号に同期して、外部コマンド信号を取り込み、演算して、前記複数のアドレス信号、および複数の内部制御信号を発生する周辺回路と、  
 前記クロック生成回路で生成された第2のクロック信号に同期して、外部データ信号を取り込み、内部データ信号線に転送する、および前記クロック生成回路で生成された第3のクロック信号に同期して、内部データ信号を取り込み、外部データ信号線に転送するI/O回路と、  
 プログラム可能なヒューズ素子を含み、このヒューズ素子にプログラムされたデータを出力するヒューズ素子ブロックと、  
 前記ヒューズ素子ブロックから出力されたデータ、あるいは外部から入力された任意データのいずれかを、前記第1、第2、第3のクロック信号の生成タイミングをトリミングするデータとして、前記クロック生成回路へ転送するトリミングレジスタ回路と  
 を具備することを特徴とする半導体集積回路装置。

【請求項2】 複数のアドレス信号により選択される複数のメモリセルで構成されるメモリセルアレイと、  
 外部クロック信号を受けて、複数の内部クロック信号を生成するクロック生成回路と、  
 前記クロック生成回路で生成された第1のクロック信号に同期して、外部コマンド信号を取り込み、演算して、前記行列の複数のアドレス信号、および複数の内部制御信号を発生する周辺回路と、  
 前記クロック生成回路で生成された第2のクロック信号に同期して、外部データ信号を取り込み、内部データ信号線に転送する、および前記クロック生成回路で生成された第3のクロック信号に同期して、内部データ信号を取り込み、外部データ信号線に転送するI/O回路と、  
 プログラム可能なヒューズ素子を含み、このヒューズ素子にプログラムされたデータを出力するヒューズ素子ブロックと、  
 前記ヒューズ素子ブロックから出力されたデータ、あるいは外部から入力された任意データのいずれかを、前記メモリセルアレイのリダンダンシ置換データとして、前記周辺回

路へ転送するトリミングレジスタ回路と

を具備することを特徴とする半導体集積回路装置。

【請求項3】 行列の複数のアドレス信号により選択される複数のメモリセルで構成されるメモリセルアレイと、

外部クロック信号を受けて、複数の内部クロック信号を生成するクロック生成回路と、

前記クロック生成回路で生成された第1のクロック信号に同期して、外部コマンド信号を取り込み、演算して、前記行列の複数のアドレス信号、および複数の内部制御信号を発生する周辺回路と、

前記クロック生成回路で生成された第2のクロック信号に同期して、外部データ信号を取り込み、内部データ信号線に転送する、および前記クロック生成回路で生成された第3のクロック信号に同期して、内部データ信号を取り込み、外部データ信号線に転送するI/O回路と、

プログラム可能なヒューズ素子を含み、このヒューズ素子にプログラムされたデータを出力するヒューズ素子ブロックと、

前記ヒューズ素子ブロックから出力されたデータ、あるいは外部から入力された任意データのいずれかを、前記第1、第2、第3のクロック信号の生成タイミングをトリミングするデータとして、前記クロック生成回路へ転送するとともに、前記ヒューズ素子ブロックから出力されたデータ、あるいは外部から入力された任意データのいずれかを、前記メモリセルアレイのリダンダンシ置換データとして、前記周辺回路へ転送するトリミングレジスタ回路とを具備することを特徴とする半導体集積回路装置。

【請求項4】 半導体集積回路部と、

プログラム可能なヒューズ素子を含むヒューズ素子ブロックと、

前記ヒューズ素子にプログラムされたデータの前記半導体集積回路部への転送、外部から入力されたデータの前記半導体集積回路部への転送、及び前記ヒューズ素子にプログラムされたデータの外部への転送のうちの1つを選択するデータ転送選択回路と

を具備することを特徴とする半導体集積回路装置。

【請求項5】 半導体集積回路部と、

プログラム可能なヒューズ素子を含むヒューズ素子ブロックと、

レジスタとデータ転送選択回路を含み、前記レジスタは外部からの入力データを格納することが可能で、ヒューズ素子にプログラムされたデータを格納し、演算されたデータを外部に出力し、前記データ転送選択回路は、ヒューズ素子にプログラムされたデータの前記集積回路部への転送、前記レジスタに演算されたデータの前記集積回路部への転送、及び前記ヒューズ素子にプログラムされたデータの前記レジスタへの転送のうちの1つを選択するレジスタブロックと

を具備することを特徴とする半導体集積回路装置。

【請求項6】 半導体集積回路装置に、外部からトリミングデータを入力してトリミング効果を調べ、

前記トリミング効果を調べた結果に基づいてトリミングデータを決定し、

前記決定されたトリミングデータを前記半導体集積回路装置内に設けられたヒューズ素子にプログラムし、

前記ヒューズ素子にプログラムされたトリミングデータを前記半導体集積回路装置の外部に読み出し、

前記トリミングデータが前記ヒューズ素子に正しくプログラムされているか否かを確認し、

前記トリミングデータが前記ヒューズ素子に正しくプログラムされていない場合、前記トリミングデータを前記半導体集積回路装置内に設けられたヒューズ素子に再度プログラムし、

前記トリミングデータが前記ヒューズ素子に正しくプログラムされている場合、製品テストを行い、

前記製品テストで不良が確認されたとき、前記トリミングデータが外部から前記半導体

集積回路装置内に入力されて前記トリミング効果が再度調べられ、前記トリミング効果を調べた結果に基づき再度前記トリミングデータが決定され、前記トリミングデータが前記半導体集積回路装置内に設けられた前記ヒューズ素子に再度プログラムされ、前記ヒューズ素子にプログラムされた前記トリミングデータが前記半導体集積回路装置の外部に再度読み出され、前記トリミングデータが前記ヒューズ素子に正しくプログラムされているかどうか再度確認され、前記トリミングデータがヒューズ素子に正しくプログラムされていない場合、前記トリミングデータが前記半導体集積回路装置に設けられた前記ヒューズ素子に再度プログラムされることを特徴とする半導体集積回路装置の検査方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

【課題を解決するための手段】

本発明の第1態様に係る半導体集積回路装置は、複数のアドレス信号により選択される複数のメモリセルで構成されるメモリセルアレイと、外部クロック信号を受けて、複数の内部クロック信号を生成するクロック生成回路と、前記クロック生成回路で生成された第1のクロック信号に同期して、外部コマンド信号を取り込み、演算して、前記複数のアドレス信号、および複数の内部制御信号を発生する周辺回路と、前記クロック生成回路で生成された第2のクロック信号に同期して、外部データ信号を取り込み、内部データ信号線に転送する、および前記クロック生成回路で生成された第3のクロック信号に同期して、内部データ信号を取り込み、外部データ信号線に転送するI/O回路と、プログラム可能なヒューズ素子を含み、このヒューズ素子にプログラムされたデータを出力するヒューズ素子ブロックと、前記ヒューズ素子ブロックから出力されたデータ、あるいは外部から入力された任意データのいずれかを、前記第1、第2、第3のクロック信号の生成タイミングをトリミングするデータとして、前記クロック生成回路へ転送するトリミングレジスタ回路とを具備することを特徴としている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

本発明の第2態様に係る半導体集積回路装置は、複数のアドレス信号により選択される複数のメモリセルで構成されるメモリセルアレイと、外部クロック信号を受けて、複数の内部クロック信号を生成するクロック生成回路と、前記クロック生成回路で生成された第1のクロック信号に同期して、外部コマンド信号を取り込み、演算して、前記行列の複数のアドレス信号、および複数の内部制御信号を発生する周辺回路と、前記クロック生成回路で生成された第2のクロック信号に同期して、外部データ信号を取り込み、内部データ信号線に転送する、および前記クロック生成回路で生成された第3のクロック信号に同期して、内部データ信号を取り込み、外部データ信号線に転送するI/O回路と、プログラム可能なヒューズ素子を含み、このヒューズ素子にプログラムされたデータを出力するヒューズ素子ブロックと、前記ヒューズ素子ブロックから出力されたデータ、あるいは外部から入力された任意データのいずれかを、前記メモリセルアレイのリダクション置換データとして、前記周辺回路へ転送するトリミングレジスタ回路とを具備することを特徴としている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0031

## 【補正方法】変更

## 【補正の内容】

## 【0031】

本発明の第2態様に係る半導体集積回路装置は、行列の複数のアドレス信号により選択される複数のメモリセルで構成されるメモリセルアレイと、外部クロック信号を受けて、複数の内部クロック信号を生成するクロック生成回路と、前記クロック生成回路で生成された第1のクロック信号に同期して、外部コマンド信号を取り込み、演算して、前記行列の複数のアドレス信号、および複数の内部制御信号を発生する周辺回路と、前記クロック生成回路で生成された第2のクロック信号に同期して、外部データ信号を取り込み、内部データ信号線に転送する、および前記クロック生成回路で生成された第3のクロック信号に同期して、内部データ信号を取り込み、外部データ信号線に転送するI/O回路と、プログラム可能なヒューズ素子を含み、このヒューズ素子にプログラムされたデータを入力するヒューズ素子ブロックと、前記ヒューズ素子ブロックから出力されたデータ、あるいは外部から入力された任意データのいずれかを、前記第1、第2、第3のクロック信号の生成タイミングをトリミングするデータとして、前記クロック生成回路へ転送するとともに、前記ヒューズ素子ブロックから出力されたデータ、あるいは外部から入力された任意データのいずれかを、前記メモリセルアレイのリダダンシ置換データとして、前記周辺回路へ転送するトリミングレジスタ回路とを具備することを特徴としている。

## 【手続補正5】

## 【補正対象書類名】明細書

## 【補正対象項目名】0032

## 【補正方法】変更

## 【補正の内容】

## 【0032】

本発明の第4態様に係る半導体集積回路装置は、半導体集積回路部と、プログラム可能なヒューズ素子を含むヒューズ素子ブロックと、前記ヒューズ素子にプログラムされたデータの前記半導体集積回路部への転送、外部から入力されたデータの前記半導体集積回路部への転送、及び前記ヒューズ素子にプログラムされたデータの外部への転送のうちの一つを選択するデータ転送選択回路とを具備することを特徴としている。

本発明の第5態様に係る半導体集積回路装置は、半導体集積回路部と、プログラム可能なヒューズ素子を含むヒューズ素子ブロックと、レジスタとデータ転送選択回路を含み、前記レジスタは外部からの入力データを格納することが可能で、ヒューズ素子にプログラムされたデータを格納し、演算されたデータを外部に出力し、前記データ転送選択回路は、ヒューズ素子にプログラムされたデータの前記集積回路部への転送、前記レジスタに演算されたデータの前記集積回路部への転送、及び前記ヒューズ素子にプログラムされたデータの前記レジスタへの転送のうちの一つを選択するレジスタブロックとを具備することを特徴としている。

## 【手続補正6】

## 【補正対象書類名】明細書

## 【補正対象項目名】0033

## 【補正方法】変更

## 【補正の内容】

## 【0033】

本発明の第5態様に係る半導体集積回路装置の検査方法は、半導体集積回路装置に、外部からトリミングデータを入力してトリミング効果を調べ、前記トリミング効果を調べた結果に基づいてトリミングデータを決定し、前記決定されたトリミングデータを前記半導体集積回路装置内に設けられたヒューズ素子にプログラムし、前記ヒューズ素子にプログラムされたトリミングデータを前記半導体集積回路装置の外部に読み出し、前記トリミングデータが前記ヒューズ素子に正しくプログラムされているか否かを確認し、前記トリミングデータが前記ヒューズ素子に正しくプログラムされていない場合、前記トリミングデ

ータを前記半導体集積回路装置内に設けられたヒューズ素子に再度プログラムし、前記トリミングデータが前記ヒューズ素子に正しくプログラムされている場合、製品テストを行い、前記製品テストで不良が確認されたとき、前記トリミングデータが外部から前記半導体集積回路装置内に入力されて前記トリミング効果が再度調べられ、前記トリミング効果を調べた結果に基づき再度前記トリミングデータが決定され、前記トリミングデータが前記半導体集積回路装置内に設けられた前記ヒューズ素子に再度プログラムされ、前記ヒューズ素子にプログラムされた前記トリミングデータが前記半導体集積回路装置の外部に再度読み出され、前記トリミングデータが前記ヒューズ素子に正しくプログラムされているかどうか再度確認され、前記トリミングデータがヒューズ素子に正しくプログラムされていない場合、前記トリミングデータが前記半導体集積回路装置に設けられた前記ヒューズ素子に再度プログラムされることを特徴としている。