

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成29年3月9日(2017.3.9)

【公開番号】特開2015-128278(P2015-128278A)

【公開日】平成27年7月9日(2015.7.9)

【年通号数】公開・登録公報2015-044

【出願番号】特願2014-100185(P2014-100185)

【国際特許分類】

H 04 N 5/378 (2011.01)

H 03 M 1/56 (2006.01)

H 03 K 5/15 (2006.01)

【F I】

H 04 N 5/335 7 8 0

H 03 M 1/56

H 03 K 5/15 P

【手続補正書】

【提出日】平成29年2月3日(2017.2.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0098

【補正方法】変更

【補正の内容】

【0098】

これに対して、高分解能グレイコード生成回路200は、クロック信号SLCKの周波数を上げず、かつ、PLL等を用いずに、位相補間器と論理回路によって、高分解能なグレイコードを生成することができる。つまり、高分解能グレイコード生成回路200は、生成するグレイコードの高分解能化をより容易に行うことができる。なお、高分解能グレイコード生成回路200は、PLLを用いないため、PLLを用いる場合よりも消費電力を低減させることができる。また、高分解能グレイコード生成回路200は、PLLを用いる場合と比較して簡易な構成で実現することができ、回路規模(面積)をより小さくすることができる。したがって、高分解能グレイコード生成回路200は、PLLを用いる場合よりも回路の配置の自由度を向上させることができる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0101

【補正方法】変更

【補正の内容】

【0101】

さらに、高分解能グレイコード生成回路200が生成するグレイコードのビット数は任意であり、図12の例の5ビットに限らない。例えば、高分解能グレイコード生成回路200が6ビット以上のグレイコードを生成するようにしてもよいし、4ビット以下のグレイコードを生成するようにしてもよい。その場合、4相クロック生成回路201がクロック信号SLCKから生成した4相クロック信号から、所望のビット数のグレイコードを生成することができるよう、グレイコード生成回路202における位相補間器および論理回路の構成を適切に設定すればよい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0112

【補正方法】変更

【補正の内容】

【0 1 1 2】

グレイコード生成回路 232 は、信号P1から、5ビットのグレイコード (GC[0-4]) を生成し、出力する。そのグレイコードの下位3ビット (GC0乃至GC2) を図15に示す。信号P1は、クロック信号SLCKと位相が異なるのみで、周期は変わらない。つまり、グレイコード生成回路 232 は、クロック信号SLCKからグレイコードを生成する一般的なグレイコード生成回路により実現することができる。したがって、グレイコード生成回路 232 の構成は任意である。例えば、図3に示される特許文献1に記載のグレイコードカウンタを用いても良い。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 5

【補正方法】変更

【補正の内容】

【0 1 1 5】

以上のように、高分解能グレイコード生成回路 230 は、本技術を適用した位相差クロック生成回路を用いてクロック信号SLCKから8相クロック信号の一部を生成し、グレイコード生成回路 234 を用いて、その8相クロック信号の一部をグレイコードに変換する。したがって、高分解能グレイコード生成回路 230 は、図15に示されるように、クロック信号SLCKと同周波数の信号P0乃至P7よりも高い周波数成分のグレイコード (すなわち、高分解能なグレイコード) (GC-LSB[0]. GC-LSB[1]) を生成することができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 6

【補正方法】変更

【補正の内容】

【0 1 1 6】

高分解能グレイコード生成回路 230 は、クロック信号SLCKの周波数を上げず、かつ、PLL等を用いずに、位相補間器と論理回路によって、このような高分解能なグレイコードを生成することができる。つまり、高分解能グレイコード生成回路 230 は、生成するグレイコードの高分解能化をより容易に行うことができる。なお、高分解能グレイコード生成回路 230 は、PLLを用いないため、PLLを用いる場合よりも、消費電力を低減させることができ、回路規模 (面積) をより小さくすることができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 9

【補正方法】変更

【補正の内容】

【0 1 3 9】

カラムA/D変換回路 332 は、画素アレイ 321 の単位画素の列 (カラム) 每に設けられている。つまり、A/D変換回路 322 は、N個のカラムA/D変換回路 332 を有する。カラムA/D変換回路 332 は、自身が対応する列の単位画素から供給される画素信号 (アナログ信号) をA/D変換し、各画素信号の信号レベルを示すデジタルデータを出力し、水平走査部 323 (のバッファ 351) に供給する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0 1 8 6

【補正方法】変更

【補正の内容】

【0186】

カラムA/D変換回路432は、画素アレイ421の単位画素の列(カラム)毎に設けられている。つまり、A/D変換回路422は、N個のカラムA/D変換回路432を有する。カラムA/D変換回路432は、自身が対応する列の単位画素から供給される画素信号(アナログ信号)をA/D変換し、各画素信号の信号レベルを示すデジタルデータを出力し、水平走査部423(のバッファ451)に供給する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0219

【補正方法】変更

【補正の内容】

【0219】

各エリアA/D変換回路562は、自身が対応するエリア内の単位画素から供給される画素信号(アナログ信号)をA/D変換し、各画素信号の信号レベルを示すデジタルデータを出力する。つまり、エリアA/D変換回路562は、単位画素の割り当て方が異なること以外は、基本的に、カラムA/D変換回路432(図21)と同様の回路である。すなわち、エリアA/D変換回路562は、第5の実施の形態において説明したA/D変換回路400(図20)の4相クロック生成回路401を除く部分と同様の構成を有し、同様の処理を行う回路である。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0242

【補正方法】変更

【補正の内容】

【0242】

つまり、位相補間器の出力信号の遅延は、その位相補間器による遅延分を除くと、各入力信号の遅延の平均となる。したがって、各入力信号(クロック信号CLKA乃至CLKD、並びに、それらの反転信号)の遅延がt1乃至t8であるとすると、1段目の各位相補間器711の出力(ノードA乃至ノードHの信号)、2段目の各位相補間器712の出力(ノードI乃至ノードPの信号)、並びに、各出力信号(クロック信号OUT_A乃至OUT_H)の遅延は、図28Aや図28Bに示される表のようになる。つまり、各出力信号の遅延は、全入力信号の遅延の平均となる。したがって、各入力信号の間で遅延(位相差)にばらつきが存在するとしても、出力信号においては、遅延(位相差)のばらつきが平滑化される。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0252

【補正方法】変更

【補正の内容】

【0252】

A/D変換部814は、画素アレイ811から供給される信号をA/D変換する。例えば、A/D変換部814が、画素アレイ811と繋がる信号線毎にA/D変換部を有するようにしてもよい。図29の例の場合、A/D変換部814は、画素アレイ811の単位画素の列毎にA/D変換部を有する。より具体的には、A/D変換部814は、A/D変換部821-1乃至A/D変換部821-Nを有する。A/D変換部821-1乃至A/D変換部821-Nを互いに区別して説明する必要が無い場合、単に、A/D変換部821と称する。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0285

【補正方法】変更

【補正の内容】

【0285】

また、本技術を適用した位相補正部813は、上述した画素アレイの列（カラム）毎に設けられるカラムA/D変換部を用いる撮像素子だけでなく、例えば図24に示されるような、自身が対応するエリア（画素アレイ811が形成される画素領域の部分領域）内の単位画素から供給される画素信号（アナログ信号）をA/D変換し、各画素信号の信号レベルを示すデジタルデータを出力するエリアA/D変換部を用いる撮像素子にも同様に適用することができる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0304

【補正方法】変更

【補正の内容】

【0304】

100 4相クロック生成回路, 101 遅延回路, 102 位相補間器, 200 高分解能グレイコード生成回路, 201 4相クロック生成回路, 202 グレイコード生成回路, 211 および 212 位相補間器, 221 8相クロック生成回路, 222 16相クロック生成回路, 223 および 224 グレイコード生成回路, 230 高分解能グレイコード生成回路, 231 位相差クロック生成回路, 232 グレイコード生成回路, 233 追加グレイコード生成回路, 241 4相クロック生成回路, 242 位相補間器, 300 A/D変換回路, 301 高分解能グレイコード生成回路, 302 比較回路, 303 ラッチ, 304 リップルカウンタ, 320 撮像素子, 321 画素アレイ, 322 A/D変換回路, 323 水平走査部, 324 PLL, 325 ランプ生成回路, 331 高分解能グレイコード生成回路, 332 カラムA/D変換回路, 342 比較回路, 343 ラッチ, 344 リップルカウンタ, 351 バッファ, 352 水平転送走査回路, 353 転送バス, 354 センスアンプ, 361 単位画素, 371 フォトダイオード, 376 垂直信号線, 400 A/D変換回路, 401 4相クロック生成回路, 402 比較回路, 403 TDC, 404 リップルカウンタ, 420 撮像素子, 421 画素アレイ, 422 A/D変換回路, 423 水平走査部, 424 PLL, 425 ランプ生成回路, 431 4相クロック生成回路, 432 カラムA/D変換回路, 442 比較回路, 443 TDC, 444 リップルカウンタ, 451 バッファ, 452 水平転送走査回路, 453 転送バス, 454 センスアンプ, 500 撮像素子, 501 半導体基板, 502 半導体基板, 511 画素領域, 512 周辺回路領域, 522 A/D変換回路, 524 PLL, 531 高分解能グレイコード生成回路, 532 エリアA/D変換回路, 561 4相クロック生成回路, 562 エリアA/D変換回路, 600 A/D変換器, 601 比較器, 602 ラッチ&デコード, 603 カウンタ, 700 位相補正回路, 711 乃至 713 位相補間器, 800 イメージセンサ, 811 画素アレイ, 812 クロック発生部, 813 位相補正部, 814 A/D変換部, 821 A/D変換部, 822 クロックバッファ, 831 乃至 838 遅延素子, 850 イメージセンサ, 900 撮像装置, 912 CMOSセンサ, 913 A/D変換器, 921 撮像素子

【手続補正13】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた

信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、

前記位相差クロック生成部により生成された前記多相クロック信号を用いて、入力されたアナログ信号をA/D変換するA/D変換部と

を備えるA/D変換装置。

【請求項2】

前記位相差クロック生成部は、1つの遅延回路と4つの位相補間器とを有し、入力された前記クロック信号から4相クロック信号を生成する

請求項1に記載のA/D変換装置。

【請求項3】

前記位相補間器は、出力信号を、2つの入力信号の位相差の中間のタイミングから前記位相補間器の遅延時間分遅延させたタイミングで出力する

請求項2に記載のA/D変換装置。

【請求項4】

前記A/D変換部は、

前記クロック信号の周期数をカウントし、そのカウント値を上位ビットとして出力するカウンタと、

ランプ波形の参照電圧と入力電圧とを比較する比較部と、

前記比較部の出力が反転したことをトリガとして、前記位相差クロック生成部により生成された前記多相クロック信号を同時にラッチすることで位相情報を取得し、前記位相情報の値を復号し、得られたデジタル値を、前記クロック信号の周期より分解能が高い下位ビットとして出力する時間量子化部と

を備える請求項1乃至請求項3のいずれかに記載のA/D変換装置。

【請求項5】

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、

前記位相差クロック生成部により生成された前記多相クロック信号を用いて、前記画素アレイの前記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と

を備える撮像素子。

【請求項6】

前記A/D変換部は、前記画素アレイの前記単位画素の列または部分領域毎に設けられ、自身に対応する前記列または前記部分領域の前記単位画素から出力されるアナログ信号を、前記位相差クロック生成部により生成された前記多相クロック信号を用いてA/D変換する

請求項5に記載の撮像素子。

【請求項7】

前記位相差クロック生成部は、所定の数の前記列または前記部分領域毎に設けられ、

前記A/D変換部は、自身が対応する前記列または前記部分領域に対応する前記位相差クロック生成部により生成された前記多相クロック信号を用いてA/D変換する

請求項6に記載の撮像素子。

【請求項8】

被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部とを備え、

前記撮像部は、

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差

クロック生成部と、

前記位相差クロック生成部により生成された前記多相クロック信号を用いて、前記画素アレイの前記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と
を備える電子機器。

【請求項 9】

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、

複数の位相補間器および論理ゲートを用いて、前記位相差クロック生成部により生成された前記多相クロック信号から、グレイコードを生成するグレイコード生成部と
を備えるグレイコード生成装置。

【請求項 10】

前記グレイコード生成部は、

前記位相差クロック生成部により生成された前記多相クロック信号の1つから、上位のグレイコードを生成する第1のグレイコード生成部と、

前記位相差クロック生成部により生成された前記多相クロック信号の残りから、下位のグレイコードを生成する第2のグレイコード生成部と
を備える請求項9に記載のグレイコード生成装置。

【請求項 11】

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、

複数の位相補間器および論理ゲートを用いて、前記位相差クロック生成部により生成された前記多相クロック信号から、グレイコードを生成するグレイコード生成部と、

前記グレイコード生成部により生成された前記グレイコードを用いて、入力されたアナログ信号をA/D変換するA/D変換部と
を備えるA/D変換装置。

【請求項 12】

前記A/D変換部は、

前記クロック信号の周期数をカウントし、そのカウント値を上位ビットとして出力するカウンタと、

ランプ波形の参照電圧と入力電圧とを比較する比較部と、

前記比較部の出力が反転したことをトリガとして、前記グレイコード生成部により生成された前記グレイコードを同時にラッチし、前記グレイコードをバイナリ値に変換し、得られたデジタル値を下位ビットとして出力するラッチと
を備える請求項11に記載のA/D変換装置。

【請求項 13】

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、

複数の位相補間器および論理ゲートを用いて、前記位相差クロック生成部により生成された前記多相クロック信号から、グレイコードを生成するグレイコード生成部と、

前記グレイコード生成部により生成された前記グレイコードを用いて、前記画素アレイの前記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と
を備える撮像素子。

【請求項 14】

前記A/D変換部は、前記画素アレイの前記単位画素の列または部分領域毎に設けられ、自身に対応する前記列または前記部分領域の前記単位画素から出力されるアナログ信号を、前記グレイコード生成部により生成された前記グレイコードを用いてA/D変換する

請求項 1 3 に記載の撮像素子。

【請求項 1 5】

前記グレイコード生成部は、所定の数の前記列または前記部分領域毎に設けられ、
前記A/D変換部は、自身が対応する前記列または前記部分領域に対応する前記グレイコ
ード生成部により生成された前記グレイコードを用いてA/D変換する

請求項 1 4 に記載の撮像素子。

【請求項 1 6】

被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と
を備え、

前記撮像部は、

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させ
た信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差
クロック生成部と、

複数の位相補間器および論理ゲートを用いて、前記位相差クロック生成部により生成
された前記多相クロック信号から、グレイコードを生成するグレイコード生成部と、

前記グレイコード生成部により生成された前記グレイコードを用いて、前記画素アレイ
の前記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と
を備える電子機器。

【請求項 1 7】

互いに位相がずれた複数のクロック信号からなる多相クロック信号を生成する位相差ク
ロック生成部と、

複数の位相補間器を用いて、前記位相差クロック生成部により生成された前記多相クロ
ック信号の各クロック信号間の位相差を補正する位相補正部と、

前記位相補正部により補正された前記多相クロック信号を用いて、入力されたアナログ
信号をA/D変換するA/D変換部と
を備えるA/D変換装置。

【請求項 1 8】

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、

互いに位相がずれた複数のクロック信号からなる多相クロック信号を生成する位相差ク
ロック生成部と、

複数の位相補間器を用いて、前記位相差クロック生成部により生成された前記多相クロ
ック信号の各クロック信号間の位相差を補正する位相補正部と、

前記位相補正部により補正された前記多相クロック信号を用いて、前記画素アレイの前
記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と
を備える撮像素子。

【請求項 1 9】

被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と
を備え、

前記撮像部は、

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、

互いに位相がずれた複数のクロック信号からなる多相クロック信号を生成する位相差ク
ロック生成部と、

複数の位相補間器を用いて、前記位相差クロック生成部により生成された前記多相クロ
ック信号の各クロック信号間の位相差を補正する位相補正部と、

前記位相補正部により補正された前記多相クロック信号を用いて、前記画素アレイの前
記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と
を備える電子機器。

【請求項 20】

複数の位相補間器を用いて、互いに位相がずれた複数のクロック信号からなる多相クロック信号の各クロック信号間の位相差を補正する位相補正部を備える信号処理装置。