

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 29 年 3 月 9 日 (2017.3.9)

【公開番号】特開 2015-128278 (P2015-128278A)
 【公開日】平成 27 年 7 月 9 日 (2015.7.9)
 【年通号数】公開・登録公報 2015-044
 【出願番号】特願 2014-100185 (P2014-100185)
 【国際特許分類】

H 0 4 N 5/378 (2011.01)

H 0 3 M 1/56 (2006.01)

H 0 3 K 5/15 (2006.01)

【F I】

H 0 4 N 5/335 7 8 0

H 0 3 M 1/56

H 0 3 K 5/15 P

【手続補正書】

【提出日】平成 29 年 2 月 3 日 (2017.2.3)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 8

【補正方法】変更

【補正の内容】

【0 0 9 8】

これに対して、高分解能グレイコード生成回路 2 0 0 は、クロック信号 SLCK の周波数を上げず、かつ、PLL 等を用いずに、位相補間器と論理回路によって、高分解能なグレイコードを生成することができる。つまり、高分解能グレイコード生成回路 2 0 0 は、生成するグレイコードの高分解能化をより容易に行うことができる。なお、高分解能グレイコード生成回路 2 0 0 は、PLL を用いないため、PLL を用いる場合よりも消費電力を低減させることができる。また、高分解能グレイコード生成回路 2 0 0 は、PLL を用いる場合と比較して簡易な構成で実現することができ、回路規模（面積）をより小さくすることができる。したがって、高分解能グレイコード生成回路 2 0 0 は、PLL を用いる場合よりも回路の配置の自由度を向上させることができる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 1 0 1

【補正方法】変更

【補正の内容】

【0 1 0 1】

さらに、高分解能グレイコード生成回路 2 0 0 が生成するグレイコードのビット数は任意であり、図 1 2 の例の 5 ビットに限らない。例えば、高分解能グレイコード生成回路 2 0 0 が 6 ビット以上のグレイコードを生成するようにしてもよいし、4 ビット以下のグレイコードを生成するようにしてもよい。その場合、4 相クロック生成回路 2 0 1 がクロック信号 SLCK から生成した 4 相クロック信号から、所望のビット数のグレイコードを生成することができるように、グレイコード生成回路 2 0 2 における位相補間器および論理回路の構成を適切に設定すればよい。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 2

【補正方法】変更

【補正の内容】

【0112】

グレイコード生成回路232は、信号P1から、5ビットのグレイコード（GC[0-4]）を生成し、出力する。そのグレイコードの下位3ビット（GC0乃至GC2）を図15に示す。信号P1は、クロック信号SLCKと位相が異なるのみで、周期は変わらない。つまり、グレイコード生成回路232は、クロック信号SLCKからグレイコードを生成する一般的なグレイコード生成回路により実現することができる。したがって、グレイコード生成回路232の構成は任意である。例えば、図3に示される特許文献1に記載のグレイコードカウンタを用いても良い。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0115

【補正方法】変更

【補正の内容】

【0115】

以上のように、高分解能グレイコード生成回路230は、本技術を適用した位相差クロック生成回路を用いてクロック信号SLCKから8相クロック信号の一部を生成し、グレイコード生成回路234を用いて、その8相クロック信号の一部をグレイコードに変換する。したがって、高分解能グレイコード生成回路230は、図15に示されるように、クロック信号SLCKと同周波数の信号P0乃至P7よりも高い周波数成分のグレイコード（すなわち、高分解能なグレイコード）（GC-LSB[0]、GC-LSB[1]）を生成することができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0116

【補正方法】変更

【補正の内容】

【0116】

高分解能グレイコード生成回路230は、クロック信号SLCKの周波数を上げず、かつ、PLL等を用いずに、位相補間器と論理回路によって、このような高分解能なグレイコードを生成することができる。つまり、高分解能グレイコード生成回路230は、生成するグレイコードの高分解能化をより容易に行うことができる。なお、高分解能グレイコード生成回路230は、PLLを用いないため、PLLを用いる場合よりも、消費電力を低減させることができ、回路規模（面積）をより小さくすることができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0139

【補正方法】変更

【補正の内容】

【0139】

カラムA/D変換回路332は、画素アレイ321の単位画素の列（カラム）毎に設けられている。つまり、A/D変換回路322は、N個のカラムA/D変換回路332を有する。カラムA/D変換回路332は、自身が対応する列の単位画素から供給される画素信号（アナログ信号）をA/D変換し、各画素信号の信号レベルを示すデジタルデータを出力し、水平走査部323（のバッファ351）に供給する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0186

【補正方法】変更

【補正の内容】

【 0 1 8 6 】

カラムA/D変換回路 4 3 2 は、画素アレイ 4 2 1 の単位画素の列（カラム）毎に設けられている。つまり、A/D変換回路 4 2 2 は、N個のカラムA/D変換回路 4 3 2 を有する。カラムA/D変換回路 4 3 2 は、自身に対応する列の単位画素から供給される画素信号（アナログ信号）をA/D変換し、各画素信号の信号レベルを示すデジタルデータを出力し、水平走査部 4 2 3（のバッファ 4 5 1）に供給する。

【 手 続 補 正 8 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 2 1 9

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 2 1 9 】

各エリアA/D変換回路 5 6 2 は、自身に対応するエリア内の単位画素から供給される画素信号（アナログ信号）をA/D変換し、各画素信号の信号レベルを示すデジタルデータを出力する。つまり、エリアA/D変換回路 5 6 2 は、単位画素の割り当て方が異なること以外は、基本的に、カラムA/D変換回路 4 3 2（図 2 1）と同様の回路である。すなわち、エリアA/D変換回路 5 6 2 は、第 5 の実施の形態において説明したA/D変換回路 4 0 0（図 2 0）の 4 相クロック生成回路 4 0 1 を除く部分と同様の構成を有し、同様の処理を行う回路である。

【 手 続 補 正 9 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 2 4 2

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 2 4 2 】

つまり、位相補間器の出力信号の遅延は、その位相補間器による遅延分を除くと、各入力信号の遅延の平均となる。したがって、各入力信号（クロック信号CLKA乃至CLKD、並びに、それらの反転信号）の遅延が t_1 乃至 t_8 であるとする、1 段目の各位相補間器 7 1 1 の出力（ノード A 乃至ノード H の信号）、2 段目の各位相補間器 7 1 2 の出力（ノード I 乃至ノード P の信号）、並びに、各出力信号（クロック信号OUT_A乃至OUT_H）の遅延は、図 2 8 A や図 2 8 B に示される表のようになる。つまり、各出力信号の遅延は、全入力信号の遅延の平均となる。したがって、各入力信号の間で遅延（位相差）にばらつきが存在するとしても、出力信号においては、遅延（位相差）のばらつきが平滑化される。

【 手 続 補 正 1 0 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 2 5 2

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 2 5 2 】

A/D変換部 8 1 4 は、画素アレイ 8 1 1 から供給される信号をA/D変換する。例えば、A/D変換部 8 1 4 が、画素アレイ 8 1 1 と繋がる信号線毎にA/D変換部を有するようにしてもよい。図 2 9 の例の場合、A/D変換部 8 1 4 は、画素アレイ 8 1 1 の単位画素の列毎にA/D変換部を有する。より具体的には、A/D変換部 8 1 4 は、A/D変換部 8 2 1 - 1 乃至A/D変換部 8 2 1 - N を有する。A/D変換部 8 2 1 - 1 乃至A/D変換部 8 2 1 - N を互いに区別して説明する必要が無い場合、単に、A/D変換部 8 2 1 と称する。

【 手 続 補 正 1 1 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 2 8 5

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 2 8 5 】

また、本技術を適用した位相補正部 8 1 3 は、上述した画素アレイの列（カラム）毎に設けられるカラムA/D変換部を用いる撮像素子だけでなく、例えば図 2 4 に示されるような、自身が対応するエリア（画素アレイ 8 1 1 が形成される画素領域の部分領域）内の単位画素から供給される画素信号（アナログ信号）をA/D変換し、各画素信号の信号レベルを示すデジタルデータを出力するエリアA/D変換部を用いる撮像素子にも同様に適用することができる。

【 手 続 補 正 1 2 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 3 0 4

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 3 0 4 】

1 0 0 4 相クロック生成回路, 1 0 1 遅延回路, 1 0 2 位相補間器, 2 0 0 高分解能グレイコード生成回路, 2 0 1 4 相クロック生成回路, 2 0 2 グレイコード生成回路, 2 1 1 および 2 1 2 位相補間器, 2 2 1 8 相クロック生成回路, 2 2 2 1 6 相クロック生成回路, 2 2 3 および 2 2 4 グレイコード生成回路, 2 3 0 高分解能グレイコード生成回路, 2 3 1 位相差クロック生成回路, 2 3 2 グレイコード生成回路, 2 3 3 追加グレイコード生成回路, 2 4 1 4 相クロック生成回路, 2 4 2 位相補間器, 3 0 0 A/D変換回路, 3 0 1 高分解能グレイコード生成回路, 3 0 2 比較回路, 3 0 3 ラッチ, 3 0 4 リップルカウンタ, 3 2 0 撮像素子, 3 2 1 画素アレイ, 3 2 2 A/D変換回路, 3 2 3 水平走査部, 3 2 4 PLL, 3 2 5 ランプ生成回路, 3 3 1 高分解能グレイコード生成回路, 3 3 2 カラムA/D変換回路, 3 4 2 比較回路, 3 4 3 ラッチ, 3 4 4 リップルカウンタ, 3 5 1 バッファ, 3 5 2 水平転送走査回路, 3 5 3 転送バス, 3 5 4 センスアンプ, 3 6 1 単位画素, 3 7 1 フォトダイオード, 3 7 6 垂直信号線, 4 0 0 A/D変換回路, 4 0 1 4 相クロック生成回路, 4 0 2 比較回路, 4 0 3 TDC, 4 0 4 リップルカウンタ, 4 2 0 撮像素子, 4 2 1 画素アレイ, 4 2 2 A/D変換回路, 4 2 3 水平走査部, 4 2 4 PLL, 4 2 5 ランプ生成回路, 4 3 1 4 相クロック生成回路, 4 3 2 カラムA/D変換回路, 4 4 2 比較回路, 4 4 3 TDC, 4 4 4 リップルカウンタ, 4 5 1 バッファ, 4 5 2 水平転送走査回路, 4 5 3 転送バス, 4 5 4 センスアンプ, 5 0 0 撮像素子, 5 0 1 半導体基板, 5 0 2 半導体基板, 5 1 1 画素領域, 5 1 2 周辺回路領域, 5 2 2 A/D変換回路, 5 2 4 PLL, 5 3 1 高分解能グレイコード生成回路, 5 3 2 エリアA/D変換回路, 5 6 1 4 相クロック生成回路, 5 6 2 エリアA/D変換回路, 6 0 0 A/D変換器, 6 0 1 比較器, 6 0 2 ラッチ&デコード, 6 0 3 カウンタ, 7 0 0 位相補正回路, 7 1 1 乃至 7 1 3 位相補間器, 8 0 0 イメージセンサ, 8 1 1 画素アレイ, 8 1 2 クロック発生部, 8 1 3 位相補正部, 8 1 4 A/D変換部, 8 2 1 A/D変換部, 8 2 2 クロックバッファ, 8 3 1 乃至 8 3 8 遅延素子, 8 5 0 イメージセンサ, 9 0 0 撮像装置, 9 1 2 CMOSセンサ, 9 1 3 A/D変換器, 9 2 1 撮像素子

【 手 続 補 正 1 3 】

【 補 正 対 象 書 類 名 】 特 許 請 求 の 範 囲

【 補 正 対 象 項 目 名 】 全 文

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 特 許 請 求 の 範 囲 】

【 請 求 項 1 】

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた

信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、

前記位相差クロック生成部により生成された前記多相クロック信号を用いて、入力されたアナログ信号をA/D変換するA/D変換部と
を備えるA/D変換装置。

【請求項2】

前記位相差クロック生成部は、1つの遅延回路と4つの位相補間器とを有し、入力された前記クロック信号から4相クロック信号を生成する
請求項1に記載のA/D変換装置。

【請求項3】

前記位相補間器は、出力信号を、2つの入力信号の位相差の中間のタイミングから前記位相補間器の遅延時間分遅延させたタイミングで出力する
請求項2に記載のA/D変換装置。

【請求項4】

前記A/D変換部は、
前記クロック信号の周期数をカウントし、そのカウント値を上位ビットとして出力するカウンタと、
ランプ波形の参照電圧と入力電圧とを比較する比較部と、
前記比較部の出力が反転したことをトリガとして、前記位相差クロック生成部により生成された前記多相クロック信号を同時にラッチすることで位相情報を取得し、前記位相情報の値を復号し、得られたデジタル値を、前記クロック信号の周期より分解能が高い下位ビットとして出力する時間量子化部と
を備える請求項1乃至請求項3のいずれかに記載のA/D変換装置。

【請求項5】

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、
複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、
前記位相差クロック生成部により生成された前記多相クロック信号を用いて、前記画素アレイの前記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と
を備える撮像素子。

【請求項6】

前記A/D変換部は、前記画素アレイの前記単位画素の列または部分領域毎に設けられ、自身に対応する前記列または前記部分領域の前記単位画素から出力されるアナログ信号を、前記位相差クロック生成部により生成された前記多相クロック信号を用いてA/D変換する
請求項5に記載の撮像素子。

【請求項7】

前記位相差クロック生成部は、所定の数の前記列または前記部分領域毎に設けられ、
前記A/D変換部は、自身に対応する前記列または前記部分領域に対応する前記位相差クロック生成部により生成された前記多相クロック信号を用いてA/D変換する
請求項6に記載の撮像素子。

【請求項8】

被写体を撮像する撮像部と、
前記撮像部による撮像により得られた画像データを画像処理する画像処理部と
を備え、
前記撮像部は、
入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、
複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差

クロック生成部と、

前記位相差クロック生成部により生成された前記多相クロック信号を用いて、前記画素アレイの前記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と
を備える電子機器。

【請求項 9】

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、

複数の位相補間器および論理ゲートを用いて、前記位相差クロック生成部により生成された前記多相クロック信号から、グレイコードを生成するグレイコード生成部と
を備えるグレイコード生成装置。

【請求項 10】

前記グレイコード生成部は、

前記位相差クロック生成部により生成された前記多相クロック信号の1つから、上位のグレイコードを生成する第1のグレイコード生成部と、

前記位相差クロック生成部により生成された前記多相クロック信号の残りから、下位のグレイコードを生成する第2のグレイコード生成部と

を備える請求項9に記載のグレイコード生成装置。

【請求項 11】

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、

複数の位相補間器および論理ゲートを用いて、前記位相差クロック生成部により生成された前記多相クロック信号から、グレイコードを生成するグレイコード生成部と、

前記グレイコード生成部により生成された前記グレイコードを用いて、入力されたアナログ信号をA/D変換するA/D変換部と
を備えるA/D変換装置。

【請求項 12】

前記A/D変換部は、

前記クロック信号の周期数をカウントし、そのカウント値を上位ビットとして出力するカウンタと、

ランプ波形の参照電圧と入力電圧とを比較する比較部と、

前記比較部の出力が反転したことをトリガとして、前記グレイコード生成部により生成された前記グレイコードを同時にラッチし、前記グレイコードをバイナリ値に変換し、得られたデジタル値を下位ビットとして出力するラッチと

を備える請求項11に記載のA/D変換装置。

【請求項 13】

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、

複数の位相補間器および論理ゲートを用いて、前記位相差クロック生成部により生成された前記多相クロック信号から、グレイコードを生成するグレイコード生成部と、

前記グレイコード生成部により生成された前記グレイコードを用いて、前記画素アレイの前記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と
を備える撮像素子。

【請求項 14】

前記A/D変換部は、前記画素アレイの前記単位画素の列または部分領域毎に設けられ、自身に対応する前記列または前記部分領域の前記単位画素から出力されるアナログ信号を、前記グレイコード生成部により生成された前記グレイコードを用いてA/D変換する

請求項 13 に記載の撮像素子。

【請求項 15】

前記グレイコード生成部は、所定の数の前記列または前記部分領域毎に設けられ、
前記A/D変換部は、自身に対応する前記列または前記部分領域に対応する前記グレイコード生成部により生成された前記グレイコードを用いてA/D変換する

請求項 14 に記載の撮像素子。

【請求項 16】

被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と
を備え、

前記撮像部は、

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、

複数の位相補間器を用いて、入力されたクロック信号と前記クロック信号を遅延させた信号から、前記クロック信号に対し位相をずらした多相クロック信号を生成する位相差クロック生成部と、

複数の位相補間器および論理ゲートを用いて、前記位相差クロック生成部により生成された前記多相クロック信号から、グレイコードを生成するグレイコード生成部と、

前記グレイコード生成部により生成された前記グレイコードを用いて、前記画素アレイの前記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と

を備える電子機器。

【請求項 17】

互いに位相がずれた複数のクロック信号からなる多相クロック信号を生成する位相差クロック生成部と、

複数の位相補間器を用いて、前記位相差クロック生成部により生成された前記多相クロック信号の各クロック信号間の位相差を補正する位相補正部と、

前記位相補正部により補正された前記多相クロック信号を用いて、入力されたアナログ信号をA/D変換するA/D変換部と

を備えるA/D変換装置。

【請求項 18】

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、

互いに位相がずれた複数のクロック信号からなる多相クロック信号を生成する位相差クロック生成部と、

複数の位相補間器を用いて、前記位相差クロック生成部により生成された前記多相クロック信号の各クロック信号間の位相差を補正する位相補正部と、

前記位相補正部により補正された前記多相クロック信号を用いて、前記画素アレイの前記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と

を備える撮像素子。

【請求項 19】

被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と
を備え、

前記撮像部は、

入射光を光電変換する光電変換素子を含む単位画素が並べられた画素アレイと、

互いに位相がずれた複数のクロック信号からなる多相クロック信号を生成する位相差クロック生成部と、

複数の位相補間器を用いて、前記位相差クロック生成部により生成された前記多相クロック信号の各クロック信号間の位相差を補正する位相補正部と、

前記位相補正部により補正された前記多相クロック信号を用いて、前記画素アレイの前記単位画素から出力されるアナログ信号をA/D変換するA/D変換部と

を備える電子機器。

【請求項 20】

複数の位相補間器を用いて、互いに位相がずれた複数のクロック信号からなる多相クロック信号の各クロック信号間の位相差を補正する位相補正部を備える信号処理装置。