



(12) 发明专利申请

(10) 申请公布号 CN 104167438 A

(43) 申请公布日 2014. 11. 26

(21) 申请号 201310185820. 8

(22) 申请日 2013. 05. 20

(71) 申请人 北京天元广建科技研发有限  
公司

地址 102200 北京市昌平区邓庄西新汇园天  
元广建楼

(72) 发明人 文正 孟迪 林书勋 郝一龙  
吴文刚

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

H01L 29/778(2006. 01)

H01L 29/423(2006. 01)

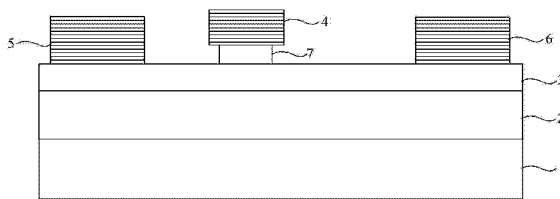
权利要求书1页 说明书4页 附图2页

(54) 发明名称

一种 GaN 基 HEMT 器件

(57) 摘要

本发明公开了一种 GaN 基 HEMT 器件, 涉及半  
导体器件技术领域。该 GaN 基 HEMT 器件包括: 衬  
底, 形成于所述衬底上方的沟道层, 形成于所述沟  
道层上方的势垒层, 形成于所述势垒层上方的源  
极、漏极、至少一层绝缘介质层, 以及形成于所述  
至少一层绝缘介质层上方的栅极, 能够降低器件  
的栅泄漏电流, 以及不影响其微波特性。



1. 一种 GaN 基 HEMT 器件,其特征在于,包括:  
衬底;  
沟道层,形成于所述衬底的上方;  
势垒层,形成于所述沟道层的上方;  
源极、漏极、至少一层绝缘介质层,形成于所述势垒层的上方,所述源极和所述漏极分别位于所述至少一层绝缘介质层的两侧;  
栅极,形成于所述至少一层绝缘介质层的上方。
2. 根据权利要求 1 所述的 GaN 基 HEMT 器件,其特征在于,所述绝缘介质层沿沟道方向的长度小于或等于所述栅极沿沟道方向的长度。
3. 根据权利要求 1 所述的 GaN 基 HEMT 器件,其特征在于,所述绝缘介质层的介电常数大于 9。
4. 根据权利要求 1 所述的 GaN 基 HEMT 器件,其特征在于,所述绝缘介质层的介电常数大于 30。
5. 根据权利要求 1 所述的 GaN 基 HEMT 器件,其特征在于,所述绝缘介质层的材料为  $\text{TiO}_2$ 。
6. 根据权利要求 1-5 任一项所述的 GaN 基 HEMT 器件,其特征在于,所述器件包括两层以上所述绝缘介质层。

## 一种 GaN 基 HEMT 器件

### 技术领域

[0001] 本发明涉及半导体器件技术领域,尤其涉及一种 GaN 基 HEMT 器件。

### 背景技术

[0002] GaN(氮化镓)基 HEMT(High Electron Mobility Transistors,高电子迁移率晶体管)是本领域技术中公知的一种异质结场效应晶体管,由于其具有禁带宽度大、高击穿电场、高电子饱和速度、热导率高、化学性质稳定、抗辐射等优点,已经被广泛应用在微波功率放大器、高压开关电路中,并且在民用的通信基站、航空航天、汽车电子化、高温辐射环境以及军用的雷达、电子对抗、军用卫星通讯等领域中具有广泛的应用前景。

[0003] 图 1 为现有技术中典型的一种 GaN 基 HEMT 器件的结构示意图,在该 HEMT 器件中,具体包括:衬底 1'、沟道层 2' (也可以称为 GaN 层)、势垒层 3' (也可以称为 AlGaN 层)、源极 5'、栅极 4'、漏极 6',其中源极 5' 和漏极 6' 分别位于栅极 4' 的两侧,源极 5' 和栅极 4' 之间和漏极 6' 和栅极 4' 之间均设置钝化层 10',源极 5' 和栅极 4' 的上方分别设置源场板 7' 和栅场板 8',钝化层 10' 上还设置场板介质层 9'。

[0004] 但是由于栅极和半导体层(势垒层)直接接触(该接触结构形成肖特基接触结构),因此从沟道泄漏到栅极的栅泄漏电流相对比较大,同时,场板结构和钝化层的引入,会增大电极之间的寄生电容(栅源电容  $C_{gs}$ 、栅漏电容  $C_{gd}$ ),进而降低器件的截止频率,限制了其在微波功率放大器中的应用范围。

### 发明内容

[0005] 本发明的实施例提供了一种 GaN 基 HEMT 器件,能够降低器件的栅泄漏电流,以及不影响其微波特性。

[0006] 为达到上述目的,本发明的实施例采用如下技术方案:

[0007] 本发明实施例提供了一种 GaN 基 HEMT 器件,包括:

[0008] 衬底;

[0009] 沟道层,形成于所述衬底的上方;

[0010] 势垒层,形成于所述沟道层的上方;

[0011] 源极、漏极、至少一层绝缘介质层,形成于所述势垒层的上方,所述源极和所述漏极分别位于所述至少一层绝缘介质层的两侧;

[0012] 栅极,形成于所述至少一层绝缘介质层的上方。

[0013] 优选地,所述绝缘介质层沿沟道方向的长度小于或等于所述栅极沿沟道方向的长度。

[0014] 可选地,所述绝缘介质层的介电常数大于 9。

[0015] 优选地,所述绝缘介质层的介电常数大于 30。

[0016] 优选地,所述绝缘介质层的材料为  $TiO_2$ 。

[0017] 可选地,所述器件包括两层以上所述绝缘介质层。

[0018] 本发明实施例提供的 GaN 基 HEMT 器件,包括:衬底,形成于所述衬底上方的沟道层,形成于所述沟道层上方的势垒层,形成于所述势垒层上方的源极、漏极、至少一层绝缘介质层,以及形成于所述至少一层绝缘介质层上方的栅极,不难看出,绝缘介质层位于栅极和半导体器件表面(势垒层)之间,这样可以减少从沟道泄漏到栅极的栅泄漏电流;而且相比同样尺寸(包括栅长、栅宽、栅源距离、栅漏距离)的 GaN 基 HEMT 器件,本发明没有设置栅场板、源场板以及钝化层,因此能够避免增大电极之间的寄生电容,进而可以避免降低截止频率,保证晶体管的微波特性不受影响。

### 附图说明

[0019] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0020] 图 1 为现有技术提供的一种 GaN 基 HEMT 器件的结构示意图;

[0021] 图 2 为本发明实施例提供的第一种 GaN 基 HEMT 器件的结构示意图;

[0022] 图 3 为本发明实施例提供的第二种 GaN 基 HEMT 器件的结构示意图;

[0023] 图 4 为本发明实施例提供的第三种 GaN 基 HEMT 器件的结构示意图。

[0024] 附图标记:

[0025] 1'、1-衬底,2'、2-沟道层,3'、3-势垒层,4'、4-栅极,5'、5-源极,6'、6-栅极,7'-源场板,7-绝缘介质层(栅介质层),8'-栅场板,9'-场板间的介质层,10'-钝化层

### 具体实施方式

[0026] 如背景技术的部分所述,现有技术中的 GaN 基 HEMT 器件存在栅泄漏电流比较大,以及由于引入的场板而降低 HEMT 的高频特性,进而影响其微波特性,鉴于这种缺陷,本发明提供了一种新型 MOS(Metal-Oxide-Semiconductor,金属氧化物半导体)结构的 GaN 基 HEMT 器件,包括:衬底,形成于所述衬底上方的沟道层,形成于所述沟道层上方的势垒层,形成于所述势垒层上方的源极、漏极、至少一层绝缘介质层(也可以称之为栅介质层),以及形成于所述至少一层绝缘介质层上方的栅极,不难看出,绝缘介质层位于栅极和半导体器件表面(势垒层)之间,这样可以减少从沟道泄漏到栅极的栅泄漏电流;而且相比同样尺寸(包括栅长、栅宽、栅源距离、栅漏距离)的 GaN 基 HEMT 器件,本发明无栅场板、源场板以及钝化层,因此能够避免增大电极之间的电容(栅源电容  $C_{gs}$ 、栅漏电容  $C_{gd}$ ),进而可以避免降低截止频率,保证晶体管的微波特性不受影响。

[0027] 为了本领域内的技术人员更好地理解本发明,下面将结合本发明实施例中的附图 2、图 3 以及图 4,对本发明实施例中的技术方案进行清楚、完整地描述。

[0028] 很显然,下面描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0029] 而且,在本发明实施例提供的附图中,所示的器件结构的剖面图会不按照一般比

例作局部放大法,且所述示意图也仅是示例性说明,其在此不应限制本发明保护的范围。另外,在实际制作中应包含长度、宽度以及深度的三维空间尺寸。

[0030] 图2为本发明实施例提供的一种GaN基HEMT器件,参照图2,该HEMT器件结构具体包括衬底1,形成于所述衬底1上方的GaN沟道层2,形成于所述沟道层2上方的AlGaN势垒层3,形成于所述势垒层3上方的源极5、漏极6、至少一层绝缘介质层7,以及形成于所述至少一层绝缘介质层7上方的栅极4,所述源极和所述漏极分别位于所述至少一层绝缘介质层的两侧,其中GaN沟道层2、AlGaN势垒层3构成衬底1上的异质结结构,源极5、漏极6分别与势垒层3形成欧姆接触,栅极4、绝缘介质层7和势垒层3形成MOS结构。

[0031] 其中,衬底1可以选用蓝宝石( $\text{Al}_2\text{O}_3$ )、Si或SiC等其它热导率较高的晶体材料,源极5、漏极6可以选用Ti/Al/Pt/Au、Ti/Al/Ni/Au、Ti/Al/Cr/Au或其它任意一种能够形成欧姆接触的金属,栅极4可以选用Ni/Au、Pt/Au、Pt/Ti/Au、Ni/Pt/Au等金属。

[0032] 上述绝缘介质层7采用高介电常数的材质,其优点在于:在器件保持栅控能力(能够反应栅控能力较为直接的指标为跨导 $g_m$ )不变的情况下,由于跨导 $g_m$ 与单位栅电容 $C_{ox}$ ( $C_{ox} = \epsilon/t$ ,  $\epsilon$ 表示栅介质层的介电常数,t表示栅介质层的厚度)相关,因此栅绝缘介质层7的介电常数越高,其厚度也会同比例增大,这样进一步减少栅泄漏电流,提高沟道的传导电流。

[0033] 不过,在本发明实施例提供的GaN基HEMT器件中,栅绝缘介质层的引入通常会使得器件的跨导 $g_m$ 降低,且前文提到,栅源电容 $C_{gs}$ 、栅漏电容 $C_{gd}$ 也同时降低,根据最高截止频率的公式 $f_T = g_m/2\pi(C_{gs}+C_{gd})$ , $g_m$ 在减小的同时, $C_{gs}$ 、 $C_{gd}$ 也可以以相同比例减小,这样HEMT器件的最高截止频率便可以保持不变,因此本发明虽然在栅极4和器件表面(势垒层3)之间加入了绝缘介质层7,但是却不会使器件原有的最高截止频率发生变化,保证器件的高频特性不受影响。

[0034] 为了使电极之间具有更小的寄生电容,参照图4,可以使所述绝缘介质层沿沟道方向(即图示状态下平行于纸面的左右方向)的长度小于源极5、漏极6之间距离 $L_{ds}$ ,而本发明提供了一种更为优选的方案,即如图2所示,还可以使所述绝缘介质层7沿沟道方向的长度小于栅极4沿沟道方向的长度 $L_g$ ,或者如图3所示,所述绝缘介质层7沿沟道方向的长度等于栅极4沿沟道方向的长度 $L_g$ ,这样能够更好地保证器件原有的最高截止频率不发生变化。

[0035] 另外,对于GaN基HEMT器件,器件内部的峰值电场出现在栅极4下方且靠近漏极6的边缘处,该峰值电场的大小直接决定了器件所能达到的最大击穿电压,当栅极4和漏极6之间的距离不变时,高介电常数的绝缘介质层7能够对栅极4边缘处所产生的强电场进行重新分布,削弱了该边缘处的峰值电场,进而可以增大器件的栅漏击穿电压,且当该绝缘介质层7越厚时,栅漏击穿电压还可以进一步增大,增强器件在大功率信号工作模式下的可靠性。

[0036] 本发明实施例可以设置一层绝缘介质层7来达到上述目的,当绝缘介质的厚度比较厚时,也可以通过设置两层以上的绝缘介质层7来实现上述目的。

[0037] 可以理解的是,绝缘介质层7的高介电常数相对而言,本发明实施例中绝缘介质选用的相对介电常数大于9,例如 $\text{Al}_2\text{O}_3$ 、 $\text{HfO}_2$ ,而为了使器件能够增强前文中所提到有益效果,相对介电常数还可以大于30,例如 $\text{TiO}_2$ ,其相对介电常数通常大于80,在某种情况下,甚

至可以达到 130。需要说明的是,在本发明实施例中均以绝缘介质选用  $\text{TiO}_2$  为优选方案进行说明。

[0038] 当然,上述绝缘介质层 7 的介电常数和厚度并不是无限增大,通常以实际应用情况为准来确定合理的介电常数和厚度。

[0039] 这里还需要说明的是,本发明实施例中 GaN 基 HEMT 器件性能的提高均是以与其具有相同尺寸(包括栅长、栅宽、栅源距离、栅漏距离)的器件相比而言,例如以图 2 所示结构为例说明,栅长  $L_g = 0.4 \mu\text{m}$ 、绝缘介质层  $\text{TiO}_2$  厚度大于 30nm 的 GaN 基 HEMT 器件,其获得的截止频率  $f_T$ (40GHz) 与具有相同尺寸的肖特基栅 GaN 基 HEMT 相同,保证高频特性几乎不发生退化;而其栅漏击穿电压则提高到了约 120V(肖特基栅 GaN 基 HEMT 约为 70V),栅泄漏电流降低到了约为  $10^{-9}\text{A/mm}$ (肖特基栅 GaN 基 HEMT 约为  $10^{-7}\text{A/mm}$ )。

[0040] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

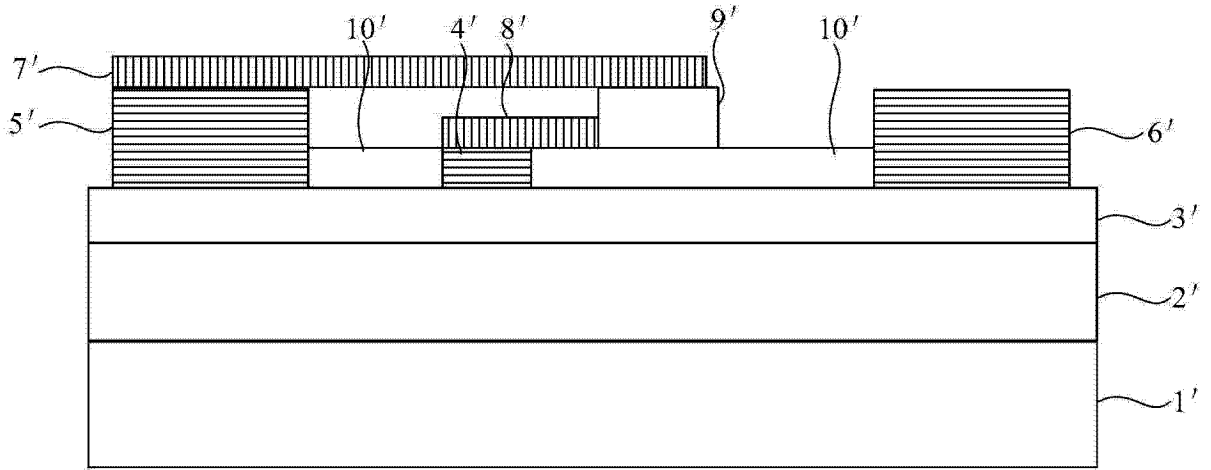


图 1

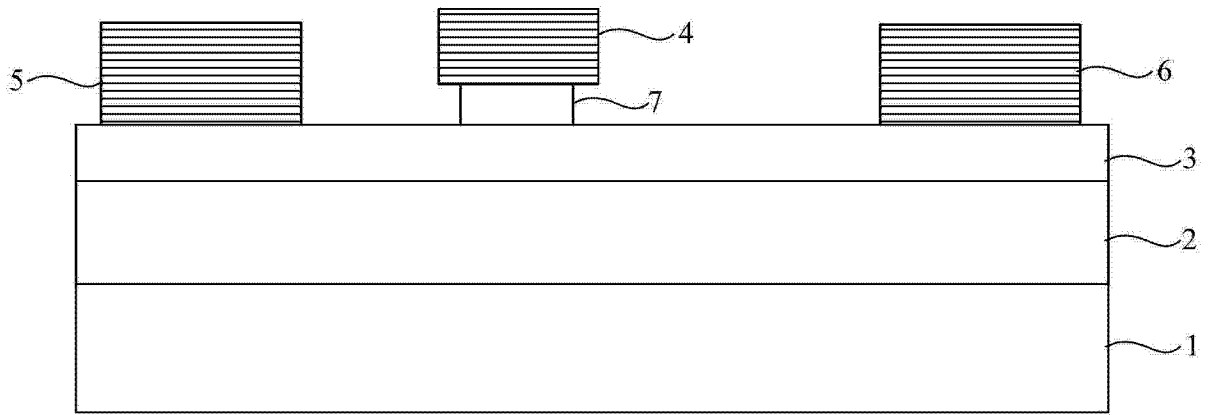


图 2

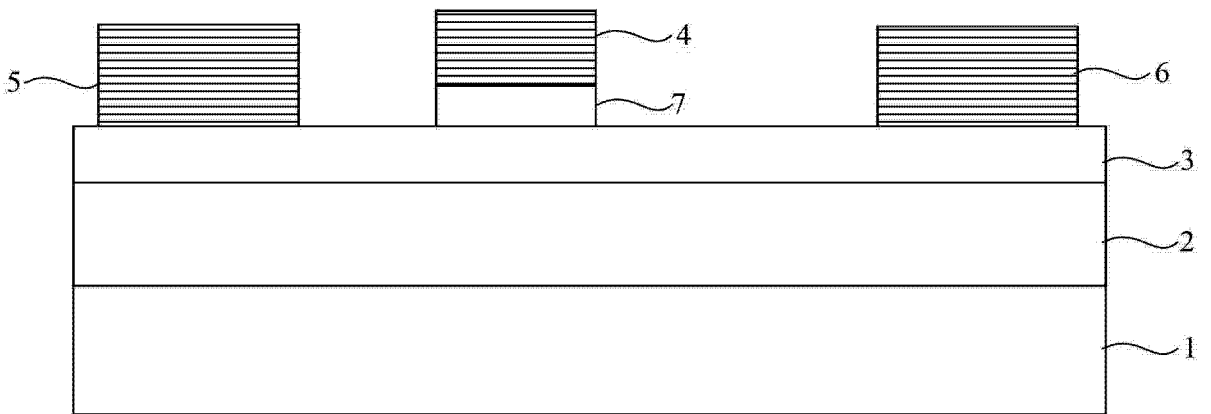


图 3

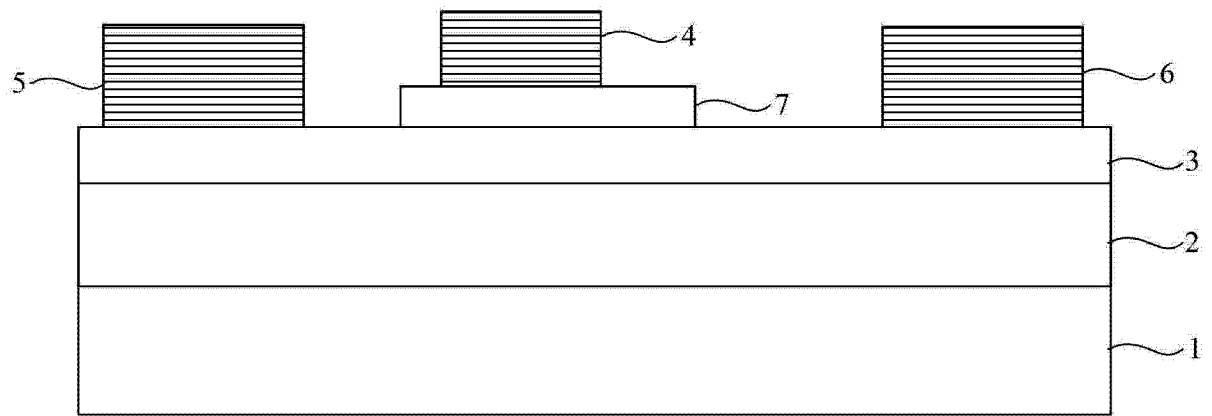


图 4