



## 【特許請求の範囲】

## 【請求項 1】

安定した所定の発振周波数を有する発振信号を生成するための手段と、  
前記発振生成手段を駆動し、且つ、前記発振生成手段とこの駆動手段の間のインピーダンスレベルを整合させるための手段と、  
前記発振生成手段の生成発振信号を増幅し且つ制御するための手段と、  
前記増幅および制御手段を、閉ループ帰還方式で前記駆動手段に接続するための手段と

、  
前記駆動手段と前記増幅手段の間に結合され、安定した発振信号が維持されるよう、前記増幅手段の増幅率（利得）を制御するための手段と、

10

前記増幅手段の前記増幅発振信号を分離するための手段であって、前記増幅発振信号を前記分離手段の出力負荷の変化による影響から分離する手段と、

電源電圧のレベルに基づいて、前記駆動手段および前記分離手段のためのバイアス電流を生成する手段と、

を備える共振子制御発振器出力信号を生成することができる回路。

## 【請求項 2】

前記発振生成手段は、所定の発振周波数を有する発振信号を生成する水晶共振子素子を有する共振子回路を備える、請求項 1 に記載の回路。

## 【請求項 3】

前記水晶共振子素子は直列共振モードで動作し、したがって共振周波数において純抵抗性インピーダンス値を示す、請求項 2 に記載の回路。

20

## 【請求項 4】

前記発振生成手段は、MEMS 技術を使用して製造された共振子回路を備える、請求項 1 に記載の回路。

## 【請求項 5】

前記増幅手段は共通ゲート増幅器回路を備える、請求項 1 に記載の回路。

## 【請求項 6】

2 つの共通ゲート NMOS トランジスタと、

2 つの DC 接地抵抗と、

1 つの DC 接地共通ゲートコンデンサと、

30

さらに 1 つの抵抗と、

アナログおよび増幅器回路の連続調整可能利得のための制御された基準電流源とを備える前記共通ゲート増幅器が組み込まれる、請求項 5 に記載の回路。

## 【請求項 7】

前記増幅手段は、1 対の信号端子と同じくバイアス電流端子として使用される 1 つの制御端子とを備える、請求項 1 に記載の回路。

## 【請求項 8】

前記増幅手段が、

1 つが信号入力端子であり、もう 1 つが制御入力端子である 2 つの入力端子、および 1 つの出力端子を備える、前記発振生成手段からその信号入力端子に供給され、かつ、その出力端子に伝達される前記生成発振信号を増幅するための共通ゲート増幅器回路であって、制御入力端子が前記制御手段の出力信号によって制御される共通ゲート増幅器回路と、

40

付加的に必要な電流基準のための 1 つのバイアス電流端子とを備える、請求項 1 に記載の回路。

## 【請求項 9】

前記制御手段は自動利得制御回路を備える、請求項 1 に記載の回路。

## 【請求項 10】

自己バイアス電流源のための 2 つの NMOS トランジスタおよび 2 つの PMOS トランジスタと、

フィルタリング、バイアスおよび減結合のための 3 つの抵抗および 3 つのコンデンサと

50

増幅器利得制御電流を供給するためのさらに1つのPMOSトランジスタとを備える前記自動利得コントローラが組み込まれる、請求項9に記載の回路。

【請求項11】

前記制御手段は、1つが信号入力用であり、他方が信号出力用である2つの信号端子を備える、請求項1に記載の回路。

【請求項12】

前記制御手段は、1つの入力端子および1つの出力端子を備える自動利得制御回路を備え、前記入力端子は、前記増幅手段の出力端子と共に前記駆動手段の入力端子である他の2つの端子から接続され、また、前記出力端子は前記増幅手段の制御入力端子に接続される、請求項1に記載の回路。

10

【請求項13】

前記バイアス手段は専用バイアス回路ブロックを備える、請求項1に記載の回路。

【請求項14】

電流ミラーシステムを形成する、2つのDC接地NMOSトランジスタおよび3つのAC接地PMOSトランジスタと、

非線形弱反転モードで動作するさらに1つのPMOSトランジスタと、

1つの負帰還抵抗と、

1つのAC接地コンデンサとを備える前記バイアスブロックを実現する、請求項13に記載の回路。

20

【請求項15】

前記バイアス手段は2つのバイアス電流出力端子を備える、請求項1に記載の回路。

【請求項16】

前記バイアス手段は、

前記駆動手段のための電流基準をセットアップする一方の出力端子と、前記分離手段のための電流基準をセットアップする他方の出力端子との2つの出力端子を備えるバイアス回路ブロックを備える、請求項1に記載の回路。

【請求項17】

前記駆動手段はホワイトカスコードバッファ回路を備える、請求項1に記載の回路。

【請求項18】

2つのDC接地NMOSトランジスタと、

1つのカスコードNMOSトランジスタと、

2つの抵抗および1つのホワイトカスコードコンデンサと、

バイアスのための基準電流源とを備える前記ホワイトカスコードバッファを実現する、請求項17に記載の回路。

30

【請求項19】

使用可能周波数レンジを拡張し、かつ、チップ面積を節約するために、前記ホワイトカスコードコンデンサは有効に最小化される、請求項18に記載の回路。

【請求項20】

回路の動作のための前記使用可能周波数レンジは、1MHzから約50MHzまで拡張される、請求項19に記載の回路。

40

【請求項21】

前記駆動手段は、1対の信号端子および1つのバイアス電流端子を備える、請求項1に記載の回路。

【請求項22】

前記駆動手段は、

1つの信号入力端子および1つの信号出力端子を備え、その出力端子上で前記発振信号を生成するために発振生成手段を駆動するためのホワイトカスコードバッファ回路であって、入力端子が最初に前記接続手段を介して前記増幅手段の入力端子に接続され、次に前記制御手段の入力端子に接続されたホワイトカスコードバッファ回路と、

50

付加的に必要な電流基準のための1つのバイアス電流端子とを備える、請求項1に記載の回路。

【請求項23】

前記分離手段は出力バッファ回路を備える、請求項1に記載の回路。

【請求項24】

電流ミラー回路を形成する2つのDC接地NMOSトランジスタと、信号出力を増幅するためのさらに1つのNMOSトランジスタと、2つの抵抗および1つのホワイトカスコードコンデンサと、バイアスのための基準電流源とを備える前記出力バッファを実現する、請求項23に記載の回路。

10

【請求項25】

電流消費を最少化するために、電流ミラー内の電流比を可能な限り小さくする(例えば1:10)、請求項24に記載の回路。

【請求項26】

使用可能周波数レンジを拡張し且つチップ面積を節約するために、前記ホワイトカスコードコンデンサは有効に最小化される、請求項24に記載の回路。

【請求項27】

回路の動作のための前記使用可能周波数レンジが、1MHzから約50MHzまで拡張された、請求項26に記載の回路。

【請求項28】

前記分離手段は、信号入力用の一方と信号出力用の他方の2つの信号端子、および1つのバイアス電流端子を備える、請求項1に記載の回路。

20

【請求項29】

前記分離手段は、

1つの入力端子および1つの出力端子を備え、前記入力端子には前記増幅手段の出力端子の前記発振信号が供給され、出力端子自身が発振器回路全体の出力端子を形成している出力バッファ回路と、

付加的に必要な電流基準のための1つのバイアス電流端子とを備える、請求項1に記載の回路。

【請求項30】

前記接続手段は、前記増幅手段の出力端子から、最初に前記駆動手段の入力端子まで次に前記利得制御手段の入力端子までの内部帰還ループとしての直接接続リードを備える、請求項1に記載の回路。

30

【請求項31】

前記内部帰還ループ接続は直接DC結合として実現され、容量コンポーネントが実質的に回避される、請求項29に記載の回路。

【請求項32】

前記発振生成手段、また前記駆動手段、さらに前記増幅手段は、

所定の発振周波数を有する発振信号を生成する水晶共振子素子を有する共振子回路と、1つの信号入力と1つの制御入力をの2つの入力端子、前記発振生成手段から当該信号入力端子に供給されそして当該出力端子に伝送される前記生成発振信号を増幅するための1つの出力端子を備え、前記制御入力端子は前記制御手段の出力信号によって制御される、共通ゲート増幅器回路と、

40

1つの入力端子および1つの出力端子を備える、その出力端子上で前記発振信号を生成するために前記水晶共振子回路を駆動するためのホワイトカスコードバッファ回路であって、入力端子が最初に前記接続手段を介して前記共通ゲート増幅器回路の入力端子に接続され、次に前記制御手段の入力端子に接続されたホワイトカスコードバッファ回路と、

補助的に必要な電流基準のための1つの端子とを備える、請求項1に記載の回路。

【請求項33】

前記水晶共振子素子は直列共振モードで動作し、したがって共振周波数において純抵抗

50

性インピーダンス値を示す、請求項 3 2 に記載の回路。

【請求項 3 4】

前記記載の方法で共に結合され、このため 1 つの入力端子および 2 つの出力端子を示し、そして発振器コア回路として示される、前記増幅器の利得を制御するための前記入力端子と、制御出力端子として使用される一方の出力端子と、信号出力端子として使用される他方の出力端子とを備え、前記信号出力端子は、前記接続手段を介して帰還ループとして前記入力端子に内部接続されている、請求項 3 2 に記載の回路。

【請求項 3 5】

前記内部帰還ループ接続は直接 DC 結合として実現され、容量コンポーネントを実質的に回避するように、前記発振器コアを実現する、請求項 3 4 に記載の回路。

10

【請求項 3 6】

モノリシック集積回路技術を使用して製造される、請求項 1 に記載の回路。

【請求項 3 7】

モノリシック集積 CMOS 技術を使用して製造される、請求項 3 6 に記載の回路。

【請求項 3 8】

前記発振生成手段は、個別コンポーネントとしてオフチップで取り付けられる、請求項 3 6 に記載の回路。

【請求項 3 9】

前記発振生成手段は、集積コンポーネントとしてオンチップで取り付けられる、請求項 3 6 に記載の回路。

20

【請求項 4 0】

電子デバイスまたは電子技術を使用して安定した振幅制御発振信号を生成するための方法であって、

発振器周波数を決定するための水晶共振子素子を提供するステップと、

共振子素子を駆動するためのホワイトカスコードバッファ回路を提供するステップと、

発振信号を増幅するための共通ゲート増幅器回路を提供するステップと、

発振信号を安定化させるための自動利得制御回路を提供するステップと、

発振器回路を負荷の影響から分離するための出力バッファ回路を提供するステップと、

バイアス基準電流をバッファ回路に引き渡すためのバイアスブロック回路を提供するステップと、

30

発振の閉ループ生成を制御するステップとを含む方法。

【請求項 4 1】

発振の閉ループ生成を制御する前記ステップは、

水晶共振子素子の一方のパッドを前記ホワイトカスコードバッファ回路の前記出力端子に接続するステップと、

水晶共振子素子の他方のパッドを前記共通ゲート増幅器回路の前記信号入力端子に接続するステップと、

前記共通ゲート増幅器回路の前記出力端子を前記ホワイトカスコードバッファ回路の入力端子に接続するステップと、

前記ホワイトカスコードバッファ回路の入力端子および前記共通ゲート増幅器回路の出力端子を、それぞれ前記自動利得制御回路の前記入力端子に接続するステップと、

40

前記自動利得制御回路の出力端子を共通利得増幅器の前記制御入力端子に接続するステップと、

前記共通ゲート増幅器の前記出力端子を前記出力バッファの前記入力端子に接続するステップとを含む、請求項 4 0 に記載の方法。

【請求項 4 2】

発振の閉ループ生成を制御する前記ステップは、

十分な基準電流を前記バイアスブロック回路から前記ホワイトカスコードバッファ回路および前記出力バッファ回路にそれぞれ供給するステップをさらに含む、請求項 4 0 に記載の方法。

50

**【請求項 4 3】**

発振の閉ループ生成を制御する前記ステップは、

水晶発振器のスタートアップ時における過渡プロセスを有効に高速化するために、前記水晶発振器回路のスタートアップ時における前記共通ゲート増幅器の利得が確実に最大値に設定されるよう、前記自動制御回路の前記出力信号を調整するステップをさらに含む、請求項 4 0 に記載の方法。

**【請求項 4 4】**

発振の閉ループ生成を制御する前記ステップは、

前記水晶発振器回路の定常状態動作時における前記共通ゲート増幅器の利得が、前記発振器の振幅ひずみおよび位相雑音が最小化される適切な値に確実に設定されるよう、前記自動制御回路の前記出力信号を調整するステップをさらに含む、請求項 4 0 に記載の方法。

10

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は一般に電子発振器に関し、詳細には、モノリシック集積回路技術を使用して実現される改良型水晶共振子、薄膜共振子またはマイクロ電気機械共振子発振器に関し、ワンチップ方式は、より高い周波数における低位相雑音且つ安定振幅を示す高精度の周波数発生に適應するために自動利得制御を含む。

**【背景技術】**

20

**【0002】**

モノリシック集積回路技術におけるほとんどの水晶発振器は、周波数決定共振子が並列共振モードで動作するピアス発振器回路方式を使用して開発されている。共振子として水晶を使用して実現された発振器は、通常、狭帯域同調のみを特徴とし、また、発振器キャリア信号からそれほど離れていない周波数オフセットにおける位相雑音は、十分に良好であるとされている。はるかに離れたオフセットにおける良好な位相雑音挙動を維持しつつ、同調範囲が拡張されることは有利であろう。

**【0003】**

水晶制御発振器は、電子システムにおける周波数基準として、数十年に渡って使用されているが、このような発振器は、ほとんどの場合、能動素子としてバイポーラトランジスタを使用して実現されている。しかし、今日のほとんどの集積回路を製造するための支配的な技術はCMOSであり、それにもかかわらず、このCMOS技術における高度に安定した水晶発振器のための設計技法については、とりわけ近代の通信アプリケーションに必要な約100MHzの周波数になると、それほど周知されていない。

30

**【0004】**

従来技術には、良好な同調性および低位相雑音という目標を達成するための様々な技術手法が存在している。これらの水晶発振器構造には、常に、圧電性結晶、例えば水晶、および圧電性結晶のための駆動電流手段が含まれているが、残念なことには、これらの手法は、技術上の複雑さ（例えば、差動プッシュプル構造または平衡ブリッジ構造、余分のフィルタあるいはタンク回路、複雑な温度補償回路あるいは利得制御回路、振幅ピーク検出器等）と、それが故の宣伝費の両方の意味で多少高価である。これらの経費はいずれも小さくすることが有利である。この経費低減は、バトラーに基づく、水晶と共に直列共振モードで動作する発振器回路を使用することによって達成される。追ってさらに詳細に説明するが、この解決法の固有の利点を利用することにより、本発明の回路は、標準のCMOS技術を使用して低コストで実現されている。

40

**【0005】**

水晶発振器に関しては、従来技術の発明のいくつかに記述されている。

米国特許（Feistelらに対する第3,996,530号）に、電圧増幅段とインピーダンス整合段の間に挿入されたフィルタ回路網を後段に備える振幅制限増幅器を有するバトラー発振器が記述されている。このバトラー発振器は、最大周波数安定性を保証す

50

るために、電圧増幅段およびインピーダンス整合段の両方の線形モードでの動作を常時可能にし、それにより、電圧増幅段とインピーダンス整合段の間に接続された圧電性結晶の、比較的小さいインピーダンス経路内への接続、およびひずみのない正弦波による駆動を保証している。本発明による回路は、バイポーラ技術を使用して実現されている。

【0006】

米国特許（Enstromらに対する第6,052,036号）には、利得制御およびオンチップ同調が自動的に実施される、非常に安定な単一チップ水晶制御発振器が開示されている。スタートアップ時に確実に発振が誘導され、かつ、増幅器による電力消費を節約するために、動作中、発振の振幅が予め選択されている値に確実に制限されるよう、振幅検出器が水晶制御発振器増幅器の出力をモニタし、水晶制御発振器増幅器の出力信号に比例した帰還信号を生成している。水晶制御発振器増幅器の入力部に接続されたコンデンサタンク回路には電圧可変コンデンサが含まれており、その両端間の電圧は、発振周波数を予め選択された値に同調させるべく、製造時に初期設定されている。また、電圧可変コンデンサの両端間の電圧は、回路の温度変動を補償するために調整されている。

10

【0007】

また、米国特許（Williamsonに対する第6,194,973号）には、利得制御が自動的に実行される発振器が示されている。発振器は調整可能利得回路を有しており、発振器が最初にパワーアップされた時点で豊富な利得を提供し、発振器が立ち上がると、実質的にそのスタートアップ値未満に利得を減少させ、それにより電力消費を実質的に低減している。この発振器は、共振子に結合された反転増幅器、反転増幅器に結合された発振検出器、および発振検出器に結合された共通ゲート増幅器を備えている。反転増幅器は、共振子の発振を利得に応じて増幅している。発振検出器は、検出信号を共振子の発振に応答して出力している。検出信号のレベルは、発振の振幅に比例している。共通ゲート増幅器は検出信号を受け取り、受け取った検出信号のレベルに基づいて利得を制御するために、反転増幅器への電流を制限している。

20

【0008】

米国特許（Shimonoに対する第6,259,333号）に、温度補償水晶発振器が記述されている。正確な周波数発生源を提供するシステムは、水晶振動子のモード結合を回避し、かつ、高い生産効率を有している。高周波増幅回路には、帰還回路部分としてブリッジ回路が使用され、CR回路を接続している分岐側に水晶振動子が挿入されている。発振周波数は、水晶振動子の直列共振周波数未満である。

30

【0009】

また、米国特許（Janssonに対する第6,278,338号）には、ピーク検出器の振幅が制御される水晶発振器が開示されている。広範囲のダイナミック周波数レンジを有し、かつ、広範囲の水晶タイプのレンジをサポートすることができる水晶発振器装置が記述されている。本発明により、信号のクリッピング、信号ひずみの導入、および望ましくない信号調波などの従来技術による水晶発振器設計に関連する望ましくない副作用が緩和される。また、本発明により、発振器の合計浪費ループ利得が低減され、かつ、水晶発振器を実現するために必要な集積回路の実装面積が縮小される。本発明による水晶発振器装置は、水晶共振子回路、反転増幅器、バイアス回路、基準回路およびピーク検出器回路を備えていることが好ましい。本発明には、自動利得制御設計技法が利用されている。この水晶発振器の利得は、閉ループ回路設計を使用して自動的に調整される。本発明には、基準回路と結合したピーク検出器回路が有利に利用されている。ピーク検出器は、基準信号と水晶共振子によって生成される反転増幅発振信号とを比較し、比較の結果として帰還信号を生成している。帰還信号がバイアス回路を制御し、バイアス回路が反転増幅発振信号を制御している。

40

【0010】

ここで説明する発明においては、結晶は、並列共振ピアス発振器構成で動作している。

ここでは[Vittozらの「弱い反転動作に基づくCMOSアナログ集積回路(CMOS Analog Integrated Circuits Based on W

50

Weak Inversion Operation)」、IEEE Journal of Solid-State Circuits、vol. SC-12、No. 3、1977年6月、224～231頁]として記載されているVittozらの論文に、自動利得制御回路が記述されているが、この回路の同調微小帯域動作の欠点は、本発明では回避されている。

【0011】

【特許文献1】米国特許第3,996,530号

【特許文献2】米国特許第6,052,036号

【特許文献3】米国特許第6,194,973号

【特許文献4】米国特許第6,259,333号

【特許文献5】米国特許第6,278,338号

【非特許文献1】Vittozらの「CMOS Analog Integrated Circuits Based on Weak Inversion Operation」、IEEE Journal of Solid-State Circuits、vol. SC-12、No. 3、1977年6月、224～231頁

【非特許文献2】F. Butler、「Series-Resonant Crystall Oscillators」、Wireless Engineer、1946年6月、157～160ページ

【非特許文献3】1977年6月発行の、the IEEE Journal of Solid-State Circuits、Vol. SC-12、第3巻掲載の、Eric VittozおよびJean Fellrathの「CMOS Analog Integrated Circuits Based on Weak Inversion Operation」

【非特許文献1】Pierce, G. W.; Proc. Amer. Acad. Arts Sci.; Vol. 63 (1928)、1～47ページ

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明の主な目的は、共振子安定化発振信号を生成するための有効且つ大いに製造可能な方法および回路を提供することである。それにより、これらのタイプの共振子のみに限  
定されないが、少なくとも水晶または圧電結晶でできた共振子、あるいは薄膜共振子(TFR)もしくはマイクロ電気機械システム(MEMS)共振子との使用に特に適用できかつ、非常に有効な回路が得られる。

【0013】

本発明の他の目的は、振幅ひずみの小さい発振信号を得ることである。

本発明のさらに他の目的は、位相雑音の小さい回路挙動に到達すること、つまりその周波数安定性を十分に高めることである。

【0014】

また、本発明の目的は、発振信号を生成するプロセスを最大速度でスタートアップさせることである。

本発明の他の目的は、定常状態動作における生成発振信号のひずみおよび位相雑音を最小化することである。

【0015】

本発明のさらに他の目的は、独自の適切な設計の特徴を実現することによって、発振回路の電力消費を低減することである。

本発明のさらに他の目的は、回路を低コストCMOS技術におけるモノリシック集積回路として実施することによって、製造コストを低減することである。

【0016】

本発明のさらに他の目的は、容量の値を有効に最小化することによってチップ面積を最小化し、それによりコストを低減することである。

## 【課題を解決するための手段】

## 【0017】

本発明の目的によれば、安定した共振子制御発振信号を生成することができる回路が達成される。前記回路は、安定した所定の発振周波数を有する発振信号を生成するための手段と、前記発振生成手段を駆動し、かつ、前記発振生成手段とこの駆動手段の間のインピーダンスレベルを整合させるための手段とを備えている。また、前記回路は、前記発振生成手段の前記生成発振信号を増幅し、かつ、制御するための手段を備えている。前記回路は、さらに、前記増幅および制御手段を、閉ループ帰還方式で前記駆動手段に接続するための手段を備えている。前記回路は、さらに、前記駆動手段と前記増幅手段の間に結合された、安定した発振信号が維持されるよう、前記増幅手段の増幅率（利得）を制御するための手段、および前記増幅手段の前記増幅発振信号を分離するための手段であって、前記増幅発振信号を前記分離手段の出力負荷の変化による影響から分離する手段を備えている。最後に、前記回路は、電源電圧のレベルに基づいて、前記駆動手段および前記分離手段のためのバイアス電流を生成する手段を備えている。

10

## 【0018】

また、本発明の目的によれば、電子デバイスすなわち電子技術を使用した、安定した振幅制御発振信号を生成するための方法が提供される。前記方法には、発振器の周波数を決定するための共振子素子を提供するステップ、およびこの共振子素子を駆動するためのホワイトカスコードバッファ回路を提供するステップが含まれている。前記方法には、さらに、発振信号を安定化させるための自動利得制御回路を提供するステップと共に発振信号を増幅するための共通ゲート増幅器回路を提供するステップが含まれている。また、前記方法には、発振器回路を負荷の影響から分離するための出力バッファ回路を提供するステップ、およびバイアス基準電流をバッファ回路に引き渡すためのバイアスブロック回路を提供するステップが含まれている。前記方法は、発振の閉ループ生成を制御するためにも同様に重要である。

20

## 【0019】

本明細書の材料部分を形成している添付の図面は、本発明の詳細を示したものである。

## 【発明を実施するための最良の形態】

## 【0020】

好ましい実施形態により、水晶発振器のための新規な回路、および前記発振器の振幅および周波数を制御する方法が開示される。

30

本発明の好ましい実施形態について、第1段階の回路全体についての総合的な説明およびすべての機能回路ブロックについての簡単な説明と、第2段階の、正確な回路図に照らして行う前記機能回路ブロックの各々についての非常に詳細な説明の2段階に細分して説明する。

## 【0021】

図1を参照すると、本発明による回路の好ましい実施形態が示されている。図1には、本発明による発振器の基本的な機能コンポーネントがブロック図の形で示されている。発振器コア10は、この特定の事例では共振性水晶（X T A L）100デバイスからなり、第1のX T A Lピン102で示すX T A L 100の一方の側の内部ホワイトカスコードバッファ（W C B）ブロック120と、第2のX T A Lピン103で示すX T A L 100のもう一方の側の共通ゲート増幅器（C G A）ブロック130の間に埋め込まれている。共通ゲート増幅器ブロック（C G A）130の出力信号104は、リード105を介して内部カスコードバッファブロック（W C B）120の入力部101に帰還されている。この同じ出力信号104は、さらに自動利得制御（A G C）回路ブロック140の入力信号106として使用されている。この自動利得制御（A G C）回路ブロック140は、接続107を介して共通ゲート増幅器（C G A）ブロック130を制御している。発振器コア10の出力104は、外部出力バッファ（B U F）ブロック150を介して、発振器回路108のO U Tと呼ばれる出力ピンに接続されている。発振器回路全体にさらに必要な部分が、2つの出力リード109および110を備える個別バイアス回路（B I A S）ブロッ

40

50

ク160で示されている。リード109は、カスコードバッファWCBブロック120にバイアス電流を供給し、リード110は、出力バッファBUFブロック150にバイアス電流を供給している。

#### 【0022】

鉤括弧内の回路ブロック名称の略語は、記憶を助けるためのものであり、また、将来の参照のためのものである。ここでは、以下、すべての回路ブロックについて簡単に説明し、追ってより詳細に説明する。

#### 【0023】

##### 1. 図1のアイテム100 水晶共振子(XTAL)

このブロックは、ここでは特定の事例として選択された水晶(XTAL)共振子を表しているが、一般的には任意のタイプの共振子(TFR、MEMS等)を使用することができ、また、通常、いわゆるオフチップ部品として集積回路に外部接続することができる。しかしながら、低コスト解決策のためには、回路の動作の安定性が幾分か悪くなるが、オンチップ集積共振子デバイスを使用することも可能である。

#### 【0024】

特にTFRタイプの共振子は、MEMSとして、あるいは類似の三次元構成技法でチップ上に統合しなければならない。回路は、この説明用実施例では、共振周波数が約13MHzの結晶を使用し、その直列共振モードを利用して正規に動作するように設計されている。生成される周波数は、すべて結晶によって決まる。現在の構造は、任意のタイプの結晶を使用して動作させることができ、水晶(XTAL)の場合、XTAL共振周波数は、約1MHzから約50MHzまでであるが、ここで示す原理は、他のタイプの共振子を利用することにより、周波数レンジをさらにkHzからGHzまで拡張することができる。

#### 【0025】

XTALの等価回路モデルおよび等価回路モデルのコンポーネントの値は、XTALの製造者によって提供される。使用されている等価回路モデルおよびその説明については、図2を参照されたい。図3Aおよび3Bは、XTALのインピーダンス対周波数のグラフを示したものである。

#### 【0026】

##### 2. 図1のアイテム10 発振器コア

長方形の破線に囲まれた回路ブロック10は、発振器に必須の基本的な部分であり、発振器のコアとして設計されている。この回路は、Butlerによって最初に提案された[F. Butler, 「直列共振水晶発振器(Series-Resonant Crystal Oscillators)」, Wireless Engineer, 1946年6月, 157~160ページ]もので、ここでは修正されている。

#### 【0027】

RC、LCあるいは結晶制御のすべての発振器は、所望の発振器周波数で動作させるための2つの条件を満たしていることが必要である。1つは、発振器周波数における発振器のループ利得が1より大きいことであり、もう1つは、発振器の閉ループ位相シフトがゼロ(あるいは $2n$ ラジアン( $n=0$ または整数全体))であることである。この発振器コア内では、安定発振のためのこれらの振幅条件および位相条件が確立され、かつ、維持されている。このコア全体が、正帰還を備える増幅器を構成しており、したがって発振に必要な振幅条件は、増幅器の利得を調整することによって達成される。増幅器のコンポーネントは、XTALと共に、チップの共振有効部分を構成している。増幅器の帰還およびコア内のすべての周波数依存コンポーネントが、発振のための正しい位相条件を決定している。詳細な電気回路図については、図4を参照されたい。

#### 【0028】

##### 3. 図1のアイテム140 自動利得制御(AGC)

自動利得制御のための回路ブロックには、以下に示す機能が含まれている。

a) 発振器信号の定電圧振幅を維持する

b) 周波数の不安定性すなわち位相雑音による周波数変調の副作用と考えることができ

る発振器信号の振幅変調を防止し、発振器の高速スタートアッププロセスを保証し、かつ、主増幅トランジスタの零入力電流（MOSFETの相互コンダクタンス $g_m$ によって決まる）を一定に維持する。相互コンダクタンス $g_m$ は、[S]をユニットとして、 $g_m = I_D / V_{GS}$ で定義される。 $I_D$ はDCドレイン電流であり、 $V_{GS}$ は、電界効果トランジスタ（FET）のDCゲート-ソース電圧である。また、これは、 $g_m = I_d / V_{g_s}$ としてAC量で表すこともできる。項を再配列すると、 $I_d = g_m * V_{g_s}$ （[S] = ジーメンズ = 1 / オーム = 1 / [ ]）が得られる。

#### 【0029】

AGCブロックを設計するための上に挙げた主な目標は、発振器の適切かつ高速のスタートアッププロセスを保証し、かつ、定常状態における望ましくないあらゆる振幅変調を回避するものでなければならず、また、生成される信号の振幅を安定化させるものでなければならない。これらの設計目標は、生成発振器コア信号を厳密に追跡することによって、また、共通ゲート増幅器（CGA）の零入力電流の調整、つまり、トランジスタの相互コンダクタンス $g_m$ および利得を制御することによって首尾良く達成される。電気回路のこれらの重要な機能については、図5に関連してより詳細に説明する。

#### 【0030】

##### 4. 図1のアイテム150 出力バッファ（BUF）

出力バッファBUFは、必要な出力電力を有する負荷を生成正弦波発振器信号に供給するためのものである。この回路ブロックのもう1つの主な目的は、発振器のコアと負荷を分離することである。このコンテキストにおいては、分離は、出力負荷の変動が生成発振器信号に影響しないことを意味している。バッファの出力インピーダンスを小さくし、かつ、必要な負荷を駆動するだけの十分な電力を引き渡す機能を持たせなければならないのは、この理由によるものである。また、システムへの余計な位相雑音の付加を回避するためには、バッファの直線性が良好であり、かつ、雑音が小さいことが肝要である。電気回路図については、図6を参照されたい。

#### 【0031】

##### 5. 図1のアイテム160 バイアス回路（BIAS）

バイアス回路ブロックは基準電流を生成している。この基準電流は、ホワイトカスコードバッファWCB109をバイアスするため、および出力バッファBUF110をバイアスするためにさらに使用される。電気回路図については、図7を参照されたい。

#### 【0032】

次に、それぞれ既に図1に示し、かつ、紹介した回路ブロックについて、各回路ブロックの完全な回路図、および特性および相応する物理量を示す追加線図を使用して広範囲に渡って説明する。各回路ブロックに対する本発明の新規性および利点がリストされている。

#### 【0033】

図2は、発振器回路のシミュレーションの範囲内での計算に使用される、水晶の典型的な電気モデルの等価回路図を示したものである。水晶は、基本的に若干の受動コンポーネントのみからなる3極回路網としてモデル化され、

$L_0$ 、 $C_0$  および  $R_0$  が水晶の直列共振周波数を決定し、

$L_0$ 、 $C_0$ 、 $R_0$  および  $C_1$  が並列共振周波数を決定し、また、

$C_2$  および  $C_3$  は、水晶のプレート寄生およびパッケージ寄生の接地に対する寄生容量を表している。

#### 【0034】

水晶の極すなわちピンは、 $X_1$  および  $X_2$  が能動XTALピンを表し、 $X_0$  が接地XTALピンを表している。

物理的現象をより明察し、かつ、感覚的に展開するために、水晶の製造者が提示しているコンポーネントおよびそれらの典型的な数値を示しておく。

#### 【0035】

$L_0 = 28.906$  [mH]

10

20

30

40

50

$$\begin{aligned} C_0 &= 5.188 \quad [fF] \\ R_0 &= 11.24 \quad [ ] \\ C_1 &= 1 \quad [pF] \\ C_2、C_3 &= 1 \quad [pF] \end{aligned}$$

(最後の2つの容量 $C_2$ および $C_3$ の影響は、それらが端子対 $X_1 - X_0$ および $X_2 - X_0$ に並列に接続されているため、無視されることが非常に多い。)

#### 【0036】

図2から分かるように、2つの回路共振が可能である( $R_0$ の影響は無視する)。1つは、 $L_0$ および $C_0$ によってのみ形成される直列共振であり、もう1つは、 $L_0$ および $C_0$ が $C_1$ と結合して形成される並列共振である。直列共振周波数 $f_{res}(serial)$ は、式 $f_{res}(serial) = (1/2) * (L_0 * C_0)^{-1/2}$ に従って計算され、 $f_{res}(serial) = 13.0 MHz$ が導かれる。

10

#### 【0037】

通常、水晶の並列共振周波数は製造者によって示されるが、XTALの性質により、両共振周波数は互いに非常に接近している。距離 $f = f_{res}(parallel) - f_{res}(serial)$ は、 $f = f_{res}(serial) * C_0 / 2C_1$ に等しく、ここでは $f = 33.722 kHz$ が導かれる。水晶のQ値は、主として $L_0$ および $R_0$ から決定される。決定式は、 $Q = 1 / R_0 * (L_0 / C_0)^{-1/2}$ 、あるいは $Q = 1 / (2 * f_{res}(serial) * C_0 * R_0)$ 、もしくは $Q = 2 * f_{res}(serial) * L_0 / R_0$ であり、したがって直列インダクタンスが大きいほど、また直列抵抗が小さいほど、大きいQ値が得られる。この式から値を計算すると、 $Q = 21000$ であり、非常に大きい値になる。大きいQ値によって、オフセットに近い回路の位相雑音性能が改善され、また、キャリアの不安定性が軽減される。

20

#### 【0038】

図3Aおよび3Bは、本発明のアプリケーションに使用される、水晶XTALの等価インピーダンスの周波数線図を示したものである。図3Bでは、示されている周波数レンジは、10 MHzから100 MHzまで展開しており、したがって互いに非常に接近して出現している共振周波数も、グラフ上では強調されている。一方、図3Aでは、周波数は共振周波数を中心に、12.7 MHzから13.4 MHzまで展開している。下側の直列共振の場合を観察すると、共振周波数におけるインピーダンスは純抵抗性であり、 $R_0$ に等しい。直列タイプの共振を有する発振器の背後にある基本的な着想は、正にこの周波数領域を利用したものであり、したがって水晶共振子のQ値の場合と同様、完全な発振器に対して、ほぼ同じQ値が得られる。一般的な動作原理については、発振器のコアを取り扱った章でさらに説明し、ここでは、いくつかの特定の特殊性に重点を置いた説明に留める。

30

#### 【0039】

水晶の特性(図2、3Aおよび3B)および水晶発振器設計の新規性：

直列共振周波数におけるインピーダンスは純抵抗性であり、 $R_0$ に等しい。直列共振周波数における位相シフトは、ゼロに等しい(発振の位相条件を満足するためには重要である)。13 MHzより高い周波数に対する等価インピーダンスは、 $C_1$ によって決まる容量性特性のインピーダンスである。そのコンテキストにおける最も重要なことは、インピーダンスの絶対値が減少していることであり、これを適切に考慮しない場合、例えばひずみによる高周波信号が水晶自身を介して送信されることになる。発振器のコアは、このような高周波成分が生成されないこと、あるいは送信されないこと、もしくは増幅されないことを保証しなければならない。つまり、高い周波数においては根本的に発振の可能性が存在しているが、発振器コア回路は、発振(振幅および位相-上記参照)のための少なくとも1つの条件が、妥当な安全限界内で満足しないことを保証しなければならない。

40

#### 【0040】

図4は、修正バッファ発振器コアの電気回路図を示したものである。

図中の破線は、ホワイトカスコードバッファWCB(図の左側のアイテム410)および共通ゲート増幅器CGA(図の右側のアイテム420)の2つのブロックを囲っている

50

。水晶共振子400は、ホワイトカスコードバッファWCBの出力部と共通ゲート増幅器CGAの入力部の間に接続されている。バッファWCBおよび増幅器CGAは、XT1とXT2の間の電圧である信号に余計な位相シフトをもたらさないため（理想的な成分を保証している）、XTALが同じ位相を信号として維持している場合、発振のための位相条件のみが満足することになる。つまり、これは、水晶が直列共振モードで動作し、したがって純抵抗性インピーダンスを示している場合にのみ可能である。発振のための振幅条件の合致については、共通ゲート増幅器CGAの利得を制御することによって保証されている。

#### 【0041】

NMOSトランジスタ $N_1$  および $N_2$ 、抵抗 $R_0$ 、 $R_1$  および $R_2$ 、およびコンデンサ $C_{cg}$  は、共通ゲート段CGAを形成している。トランジスタ $N_1$  が主増幅トランジスタであり、 $N_2$  はバイアスマラーダイオードである。ピン401は、発振器の出力信号Output\_CGAを担っており、ホワイトカスコードバッファ回路WCBの入力部に直接接続されている。コンデンサ $C_{cg}$  は、増幅トランジスタのゲートにAC接地を提供し、2つのトランジスタ $N_1$  および $N_2$  は電流ミラーとして接続され、トランジスタ $N_1$  の零入力電流を設定している。

10

#### 【0042】

本発明による発振器コア（図4）の新規性および利点：

トランジスタ化（バイポーラ）されたオリジナルトポロジーによるエミッタフォロウがホワイトカスコードバッファWCBに置換され、低出力インピーダンスを提供している。また、バッファWCBと増幅器段CGAの間の結合が直接DC結合として実施されている。オリジナル回路のコンデンサは回避されている。オリジナル構造が固定利得であり、振幅制限器であるのに対し、増幅器利得のアナログおよび連続アクティブ制御が実施されている。また、ホワイトカスコードコンデンサ（ $C_{wc}$ ）のサイズが有効に縮小されている。

20

#### 【0043】

これらのすべての対策が相俟って、振幅の安定性、ひずみおよび位相雑音に関して、より良好な性能を達成している。回路の利用可能周波数レンジも同様に拡張されている。総合容量値が縮小されたことにより、シリコンチップの面積がより小さくなり、延いては生産コストがより低減されている。

30

#### 【0044】

次に図5を参照すると、発振器コア信号の振幅を制御するための自動利得制御ブロックAGCの電気回路図が示されている。

#### 【0045】

Input\_AGC501のための入力信号は、本発明の主な利点である、共通ゲート増幅器CGAの出力信号Output\_CGA（図4のアイテム401）から直接入力されている。それにより、敏感なXTALをキャッチング雑音および妨害信号から保護するために、バッファリング増幅器BUFが共振子から遠く離れた位置に維持されている。AGCの出力信号Output\_AGC502は、零入力電流I-AGC（図4のアイテム403）すなわち増幅器CGAの利得を制御している。この帰還により、ほぼ正弦波の出力揺動が保証され、かつ、出力揺動がクリッピングの影響を信号に及ぼすほど大きくなり過ぎない方法で利得が設定される。同様に、信号が全く存在していない場合（発振器のスタートアップ時）、利得はその最大値に設定され、それにより発振器のスタートアップ時間が短縮される。DCレジームすなわち最大供給電流は、NMOSトランジスタ $N_{101}$ 、 $N_{102}$ 、PMOSトランジスタ $P_{101}$ 、 $P_{102}$ 、および抵抗 $R_{103}$  によってのみ決まる。これらの5つのコンポーネントは、ここでは非線形電流ミラーセルがNMOSトランジスタを使用して製造されている点を除き、後述する構造（BIASおよび図7参照）と同様、基本的には自己バイアス電流基準として動作している。抵抗 $R_{101}$  および $R_{102}$  は、DCバイアス点に影響を及ぼしていない。DCレベルが異なるため、入力は、コンデンサ $C_{101}$  を使用してDC減結合にしなければならない。抵抗 $R_{102}$  および

40

50

コンデンサ  $C_{103}$  は、トランジスタ  $N_{102}$  のゲートのための低域通過フィルタを形成しており、入力の振幅に応じて、トランジスタ  $N_{102}$  のドレイン電流に影響を及ぼしている。抵抗  $R_{101}$  は、ダイオード接続トランジスタ  $N_{101}$  のインピーダンスを大きくし、DC レジームを確立して、電流ミラーを実現している  $N_{101}$  のゲートとドレインの間の「ショート」接続を提供している。抵抗  $R_{104}$  および外部ピン  $AGC\ point$  は試験用に過ぎず、発振器の最終バージョンでは除去される。制御された出力電流（入力信号  $Input\_AGC$  の大きさによって） $Output\_AGC$  は、さらに電流ミラー  $P_{102} - P_{103}$  に転送され、共通ゲート増幅器  $CGA$  の  $I - AGC$ （図4のアイテム403）に供給される。

#### 【0046】

自動利得制御回路（図5）の新規性：

自動利得制御  $AGC$  に使用されているトポロジーの主な利点は、主として、総電流消費が非常に小さい  $\mu A$  程度の電圧制御可能電流を生成する可能性である。もう1つの利点は、広範囲にわたる周波数レンジで動作する可能性である。

#### 【0047】

図6は、出力バッファ  $BUF$  の電気回路図を示したものである。出力バッファ  $BUF$  は、図4の  $WCB$  に関連して既に説明した  $WCB$  と同じホワイトカスコードアーキテクチャが使用されている。そのトポロジーの利点は、コアと負荷の間の分離が良好であり、また、同じ零入力電流を使用した標準の構造と比較した場合、出力インピーダンスが小さくなっていることである。図6では、トランジスタ  $N_{201}$  が主バッファリングトランジスタであり、トランジスタ  $N_{202}$  および  $N_{203}$  が電流ミラーを形成してDC バイアス点を確立している。出力信号に比例した信号が抵抗  $R_{201}$  から入力され、コンデンサ  $C_{201}$  を介して、トランジスタ  $N_{202}$  のゲートに供給される。この帰還により、出力インピーダンスが有効に減少し、トランジスタ  $N_{201}$  の比較的小さい零入力電流のみが消費される。 $N_{203}$  のゲートとドレインの間に接続された抵抗  $R_{202}$  が、このダイオード接続  $NMOS$  トランジスタのインピーダンスを著しく大きくしており、それにより、この接続の他の利点として、非常に小さい帰還コンデンサ  $C_{201}$  を使用することができる。トランジスタのゲートのインピーダンスが巨大であるため、DC 動作点において、抵抗  $R_{202}$  が電流ミラーの動作を変化させることはない。帰還コンポーネント  $R_{201}$  および  $C_{201}$  の値は、最適性能および最小占有シリコン面積を見出すパラメトリックシミュレーションによって最適化されている。電流ミラーの比率は、1:10になるように選択され、 $XTAL$  発振器設計全体の本質的な部分である電流消費を可能な限り小さくしている。低消費と共に低出力インピーダンスを達成するために、トランジスタ  $N_{201}$  のアスペクト比  $W/L$ （幅/長さ）は、 $N_{202}$  と比較すると、より大きい相互コンダクタンス値  $g_m$  を得るために大きくなっている。すべてのトランジスタに対して、選択されているチャネル長は、 $1/f$  折点周波数を小さくし、かつ、位相雑音フロアをより小さくするために、最小可能値より長くなっている。

#### 【0048】

図7は、バイアスブロック  $BIAS$  の電気回路図を示したものである。 $XTAL$  発振器のバイアス部分は、ホワイトカスコードバッファ  $WCB701$  および出力バッファ  $BUF702$  の零入力電流を提供している（共通ゲート増幅器  $CGA$  のバイアスは、自動利得制御ブロック  $AGC$  によって保証されている）。

#### 【0049】

主バイアスセルは、相俟って動作するパラメータおよびアーキテクチャが異なる2つの電流ミラーを形成している  $NMOS$  トランジスタ  $N_{110}$  および  $N_{111}$ 、 $PMOS$  トランジスタ  $P_{110}$  および  $P_{111}$ 、および  $R_{111}$  からなっている。 $NMOS$  トランジスタの対は、両トランジスタがその飽和領域で動作しているため、入力電流と出力電流の間に線形依存性を有している。 $PMOS$  トランジスタセルは、トランジスタ  $P_{111}$  の負帰還として接続されている抵抗  $R_{111}$  のため、非線形特性の伝達関数を有している。トランジスタ  $P_{111}$  は、 $MOS$  トランジスタの標準式が有効ではない弱反転領域で動作して

10

20

30

40

50

いる。この現象により、上で言及した伝達関数は非線形であり、2つの伝達曲線の交点がトランジスタのバイアス点を決定している。

#### 【0050】

水晶発振器設計のこれらの方法は、他者によって以前から使用されており、基本水晶発振器の総ループ利得は、やはり自動利得制御 (AGC) すなわち振幅調整技法を使用して調整されている。参照により本明細書に組み込まれている、1977年6月発行の、the IEEE Journal of Solid-State Circuits、Vol. SC-12、第3巻に掲載されているEric VittozおよびJean Fellrathの「CMOS Analog Integrated Circuits Based on Weak Inversion Operation」という名称の論文に、振幅調整を有するこのような水晶発振器の1つがより詳細に記載されている。振幅調整 (すなわちAGC) を有する水晶発振器は、入力電流 (すなわちバイアス電流) を定常状態が得られるまで小さくすることによって動作している。回路の利得が閉ループ調整技法によって自動的に制御されるため、AGCという用語は、回路の動作に由来している。詳細には、発振器の総ループ利得が浪費されることはなく、また、クリッピング、ひずみおよび調波などの望ましくない副作用が緩和されている。

10

#### 【0051】

しかしながら、上に示した解決法には、余計なフィルタリングおよび容量結合回路の重さに起因する、回路が動作する同調帯域が狭いという欠点がある。この欠点は、本発明では回避されている。

20

#### 【0052】

バイアスブロック回路 (図7) の新規性：

本発明による構造の最も重要な利点は、電流基準をセットアップしている間の電流損失が非常に小さいことである。ホワイトカスコードバッファWCBおよび出力バッファBUFのための基準電流は、3つのPMOSTランジスタ $P_{110}$ 、 $P_{112}$  および $P_{113}$  からなる電流ミラーシステムを使用して生成される。抵抗 $R_{110}$  は、試験用にのみ使用される外部ピンBIAS\_P703への接続を提供している。コンデンサ $C_{110}$  は、PMOSTランジスタのすべてのゲートをAC接地することによって、発振器からもたらされる妨害を防止している。

#### 【0053】

本発明の好ましい実施形態は、単一集積回路デバイス上に実施される抵抗およびコンデンサと同様、MOSFET技術を使用して構築されたトランジスタを備えていることが好ましい。本発明による水晶発振器をモノリシック集積回路デバイスとして実施することにより、温度変動によってもたらされる有害な影響が有利に低減され、さらには無効化される。

30

#### 【0054】

図8A、8B、9および10は、測定およびシミュレーションの結果を補助的に示したものであり、新しい直列発振器の性能が立証されている。

図8Aを参照すると、発振器コア内で生成される信号 (output\_CGA; 図4のアイテム401) をコンピュータシミュレーションした結果が示されている。驚くべきことに、上で既に言及したように、利得が固定され、かつ、信号がクリップされる回路の結果と比較すると、正弦波信号に非常に良好に近似している。

40

#### 【0055】

図8Bを参照すると、出力バッファBUFのOutput (図6のアイテム601) に生成される信号 (1k の抵抗素子がロードされている) をコンピュータシミュレーションした結果が示されている。驚くべきことに図8Aに示す信号に類似しており、負荷抵抗素子の電力消費に起因する劣化は存在していない。図に示す曲線は、過渡シミュレーションによる信号であり、既に定常状態に達している。時間スケールは、2.5ms以降が示されている (ゼロにおけるスタートアップ以降)。最悪の条件、すなわち約200 の重負荷を備えている場合であっても、スタートアップ時間は、依然として2.5ms未満を

50

維持している。

【0056】

図9は、位相雑音の周波数線図を示したものである。発振器キャリア信号からのオフセットは、この場合、100 Hzから10 kHzまでのレンジに及んでいる。負荷条件は、50 の抵抗が直列に接続された1 k の抵抗である。このシミュレーションおよび測定の結果は、13 MHzの中心周波数と比較したオフセットがこのように小さい場合であっても正確に一致している。

【0057】

図10は、自動利得制御回路の性能を、制御パラメータであるAGC入力信号の電圧と共に時間線図の形で示したもので、入力信号Input\_\_AGC(図5のアイテム501)の様々な電圧値に対するトランジスタN<sub>1</sub>(図4参照)の零入力電流の過渡挙動が示されている。(測定条件:帰還ループは開、観察された測値の下での正規動作条件に対するインピーダンス関係)。この場合も、シミュレーションおよび専用の実施態様の結果と類似している。

10

【0058】

図11は、既に記述し、かつ、説明した本発明による回路を使用して発振させるための方法を示したものである。

【0059】

第1のステップ201に記述されているように、適切な共振子素子を選択することによって発振器周波数が決定される。ステップ202で、発振器および自動振幅コントローラ回路に対する確実なスタートアップ条件が確立され、それにより最大速度でのスタートアップが保証される。ステップ203で共振子が駆動され、発振器バッファ回路および増幅器回路の内部で発振が開始する。ステップ204で、生成された発振の振幅を制御し、かつ、安定化させることにより、発振器信号に対する自動利得制御が実行される。ステップ205で、出力バッファ回路を使用して、生成された正弦波発振信号が負荷の影響から分離される。ステップ206で、増幅器回路およびバッファ回路に対するバイアスを閉ループ調整の範囲内で制御しつつ発振が増幅される。

20

【0060】

好ましい実施形態の中で示し、かつ、シミュレーションおよび測定によって評価したように、この新規な回路により、従来技術に取って代わる有効かつ製造可能な代替態様が提供される。

30

【0061】

以上、本発明について、本発明の好ましい実施形態を参照して詳細に示し、かつ、説明したが、本発明の精神および範囲を逸脱することなく、形態および詳細に様々な変更を加えることができることは、当分野の技術者には理解されよう。

【図面の簡単な説明】

【0062】

【図1】本発明の好ましい実施形態のビルディングブロックを示す、近代のモノリシック集積回路技術を使用して実現することができる5つの基本的な回路ブロックのすべてを示したブロック図である。

40

【図2】本発明の単なる実例に過ぎない水晶共振子の電気等価回路図である。本発明の重要性に影響することのない異なる共振子あるいはモデル化技法を使用する場合、この電気線図は著しく修正される。同様に、本発明による値およびその妥当性は、それらによっては影響されない。

【図3】図3-Aは、インピーダンス曲線を周波数線図の形で示したグラフである。水晶共振子のインピーダンス対周波数のグラフである。このグラフに示す、約13 MHzで発振する直列および並列の2つの共振子は、一例として取り上げたものであり、本発明は、非常に低い周波数、例えばセラミック共振子のせいぜい数kHzのレンジから、非常に高い周波数、例えば薄膜共振子(TFR)の場合の数GHzに及ぶすべての類似共振曲線をカバーしている。本発明は、全周波数レンジをカバーしている。図3-Bは、インピーダ

50

ンス曲線を周波数線図の形で示した他のグラフである。水晶共振子のインピーダンス対周波数のグラフである。このグラフに示す、約13MHzで発振する直列および並列の2つの共振子は、一例として取り上げたものであり、本発明は、非常に低い周波数、例えばセラミック共振子のせいぜい数kHzのレンジから、非常に高い周波数、例えば薄膜共振子(TFR)の場合の数GHzに及ぶすべての類似共振曲線をカバーしている。本発明は、全周波数レンジをカバーしている。

【図4】水晶と共に発振器コアを形成している第1および第2の回路ブロックの電気回路図である。

【図5】自動利得制御回路ブロックと呼ばれている第3の回路ブロックの電気回路図である。

10

【図6】出力バッファ回路ブロックと呼ばれている第4の回路ブロックの電気回路図である。

【図7】ショートバイアスブロックと呼ばれている、バイアス電流生成回路からなる第5の回路ブロックの電気回路図である。

【図8】図8Aは、生成される発振器信号の挙動をシミュレーション結果の形で示したグラフである。図8Bは、生成される発振器信号の挙動をシミュレーション結果の形で示した他のグラフである。

【図9】異なる周波数オフセットにおける位相雑音を示す、生成される発振器信号の位相雑音挙動を周波数線図の形で示した他のグラフである。

【図10】異なる制御信号レベルをパラメータとして使用した自動利得制御回路の機能を時間線図の形で示したグラフである。

20

【図11】本発明による回路を使用して発振させるための方法を示す図である。

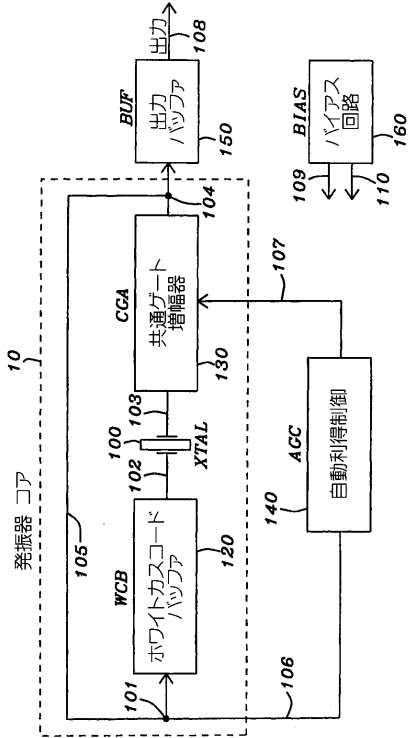
【符号の説明】

【0063】

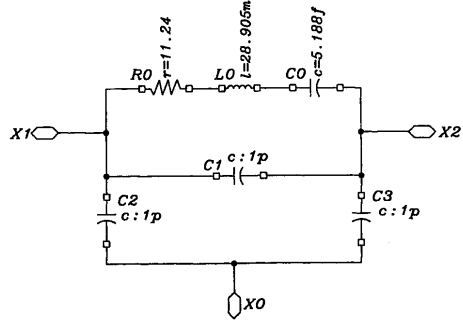
- 105 リード
- 120 ホワイトカスコードバッファ
- 130 共通ゲート増幅器
- 140 自動利得制御
- 150 出力バッファ
- 160 バイアス回路

30

【図 1】



【図 2】



【図 3】

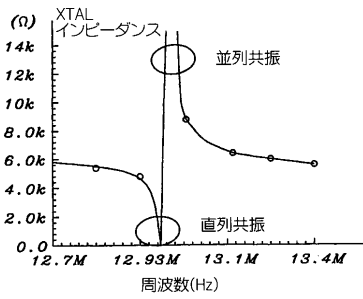


FIG. 3A

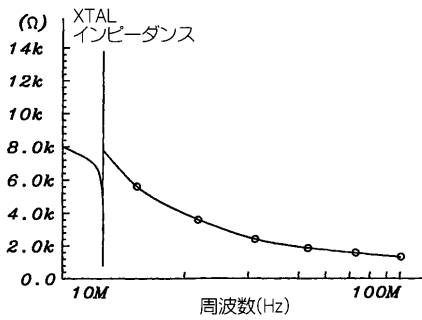
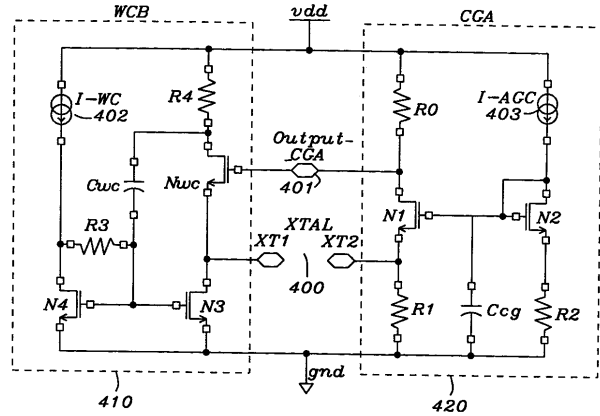
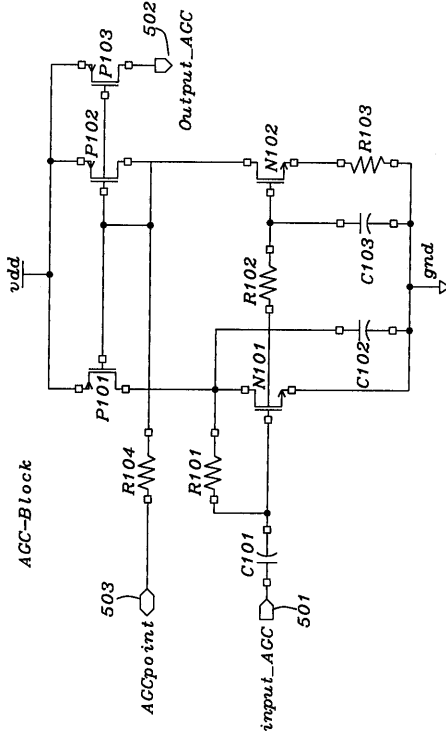


FIG. 3B

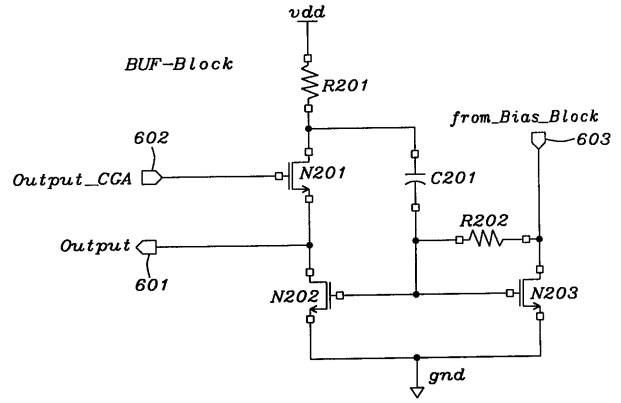
【図 4】



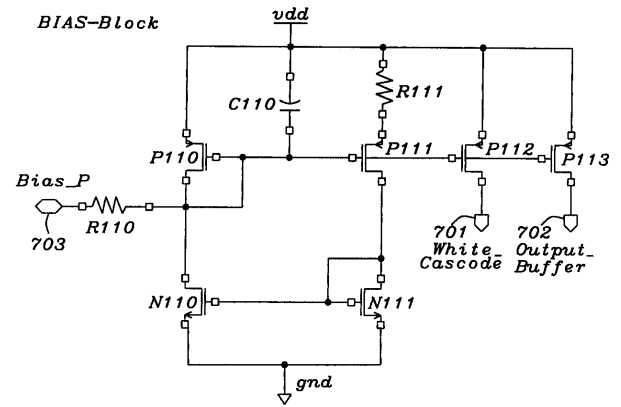
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

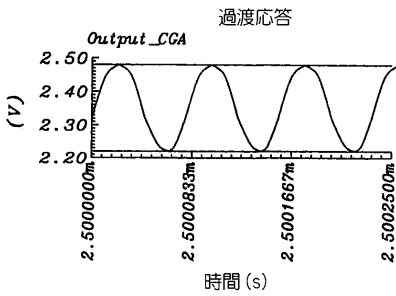


FIG. 8A

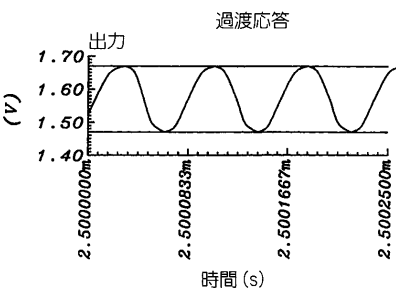
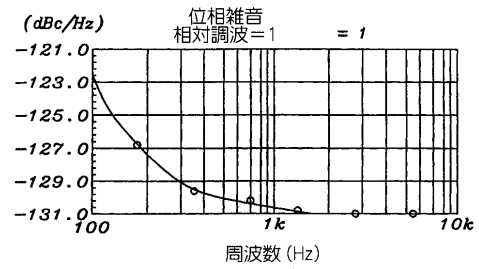
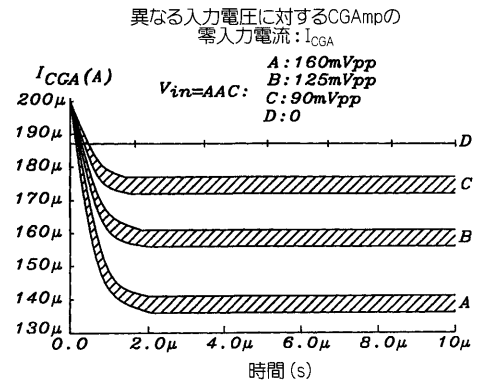


FIG. 8B

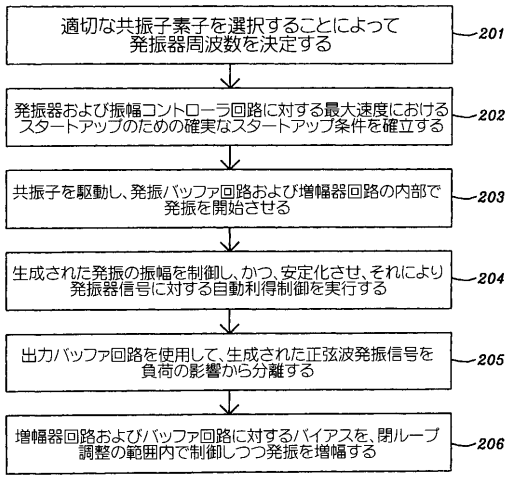
【 図 9 】



【 図 10 】



【 図 1 1 】



---

フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100107696

弁理士 西山 文俊

(72)発明者 アンドレアス・シブライ

オーストリア国ア - 8 5 6 4 クロッテンドルフ, ハレルスドルフ 2 8

(72)発明者 クルト・フリッツヴェンヴァルナー

オーストリア国ア - 8 5 6 5 セント・ヨハン, セント・ヨハン・オー・ハー 1 1 2

Fターム(参考) 5J079 AA04 BA22 BA34 EA11 FA04 FA14 FB05 FB09 FB25 GA12

HA25 JA01 JA02