

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4653752号
(P4653752)

(45) 発行日 平成23年3月16日(2011.3.16)

(24) 登録日 平成22年12月24日(2010.12.24)

(51) Int.Cl.

F I

H03K 17/16 (2006.01)

H03K 17/16

H

請求項の数 10 (全 8 頁)

(21) 出願番号	特願2006-533727 (P2006-533727)	(73) 特許権者	500498833
(86) (22) 出願日	平成16年6月10日 (2004.6.10)		フェアチャイルド セミコンダクター コーポレーション
(65) 公表番号	特表2007-517419 (P2007-517419A)		アメリカ合衆国、メイン、サウス ポートランド、 ラニング ヒル ロード 82
(43) 公表日	平成19年6月28日 (2007.6.28)		
(86) 国際出願番号	PCT/US2004/018605	(74) 代理人	100087642
(87) 国際公開番号	W02004/112249		弁理士 古谷 聡
(87) 国際公開日	平成16年12月23日 (2004.12.23)	(74) 代理人	100076680
審査請求日	平成19年5月21日 (2007.5.21)		弁理士 溝部 孝彦
(31) 優先権主張番号	10/460,075	(74) 代理人	100121061
(32) 優先日	平成15年6月12日 (2003.6.12)		弁理士 西山 清春
(33) 優先権主張国	米国 (US)	(72) 発明者	クライン, クリスチャン
			アメリカ合衆国メイン州04103, ポートランド, ディアリング・アベニュー・425, アpartment・1
			最終頁に続く

(54) 【発明の名称】 バッファにおける伝搬遅延及びプロセス及び温度の影響を低減する方法

(57) 【特許請求の範囲】

【請求項 1】

制御入力部を有する出力駆動トランジスタと、
 反対の極性の、第1及び第2のより低値の電流源と、
 オンの時には前記第1のより低値の電流源を前記制御入力部に接続する、第1のスイッチと、
 オンの時には前記第2のより低値の電流源を前記制御入力部に接続する、第2のスイッチと、
 反対の極性の、第1及び第2のより高値のパルス電流源であって、前記パルス電流源の両方が、前記制御入力部に接続されており、ここで、前記第1のパルス電流源は、前記第1のより低値の電流源と同じ極性であり、前記第2のパルス電流源は、前記第2のより低値の電流源と同じ極性であることからなる、第1及び第2のより高値のパルス電流源と、
 前記第1のスイッチがオンに切り替えられる第1の状態と、前記第2のスイッチがオンに切り替えられる第2の状態とを有する、入力信号と、
 前記入力信号のエッジ遷移によってアクティブにされるタイミング回路であって、前記より高値のパルス電流源の両方をアクティブにするための出力を有する、タイミング回路とを備え、
 前記第1のスイッチと前記第1のより高値のパルス電流源とが、実質的に同時に両方ともオンに切り替えられ、前記第2のスイッチと前記第2のより高値のパルス電流源とが、実質的に同時に両方ともオンに切り替えられることからなる、バッファ回路。

10

20

【請求項 2】

前記出力トランジスタが、M O S F E Tであり、前記制御入力部が、該M O S F E Tのゲートであることからなる、請求項 1 に記載のバッファ回路。

【請求項 3】

前記第 1 のより高値のパルス電流源は、
第 3 のより高値の電流源と、
オンの時には前記第 3 のより高値の電流源を前記制御入力部に接続する、第 3 のスイッチ
とを含み、及び、

前記第 2 のより高値のパルス電流源は、
第 4 のより高値の電流源と、
オンの時には前記第 4 のより高値の電流源を前記制御入力部に接続する、第 4 のスイッチ
とを含むことからなる、請求項 1 に記載のバッファ回路。

10

【請求項 4】

前記タイミング回路は、前記第 3 のスイッチを即座にオンに切り替える第 1 のワンショットタイミング回路と、前記第 4 のスイッチを即座にオンに切り替える第 2 のワンショットタイミング回路とを含むことからなる、請求項 3 に記載のバッファ回路。

【請求項 5】

前記タイミング回路は、温度、プロセス、及び供給電圧の変動を補償するために構成され、

20

前記バッファ回路の遅延が、そのような変動にわたって実質的に一定のままとなることからなる、請求項 1 に記載のバッファ回路。

【請求項 6】

制御入力部を有する出力トランジスタを提供し、
反対の極性の、第 1 及び第 2 のより低値の電流源を、前記制御入力部に接続し、
反対の極性の、第 1 及び第 2 のより高値のパルス電流源を、前記制御入力部に接続し、
前記第 1 のスイッチがオンに切り替えられる第 1 の状態と、前記第 2 のスイッチがオンに切り替えられる第 2 の状態とを有する入力信号を提供し、及び、
前記入力信号のエッジ遷移によってタイミング回路をアクティブにし、前記より高値の
パルス電流源の両方をトリガするための前記タイミング回路からの出力を提供する
ことを含み、

30

前記第 1 のより高値のパルス電流源が、前記第 1 のより低値の電流源と同じ極性であり、
前記第 2 のより高値のパルス電流源が、前記第 2 のより低値の電流源と同じ極性であり、
及び、

前記第 1 のより低値の電流源を前記接続することと、前記第 1 のより高値のパルス電流源を前記トリガすることとが、実質的に同時に起こり、及び、前記第 2 のより低値の電流源を前記接続することと、前記第 2 のより高値のパルス電流源を前記トリガすることとが、実質的に同時に起こることからなる、方法。

【請求項 7】

40

前記出力トランジスタが、M O S F E Tであり、前記制御入力部が、該M O S F E Tのゲートであることからなる、請求項 6 に記載の方法。

【請求項 8】

前記第 1 のより高値のパルス電流源を前記接続することが、
第 3 のより高値の電流源を提供し、及び、
前記第 3 のより高値の電流源を、第 3 のスイッチを介して前記制御入力部に接続する
ことを含み、

前記第 2 のより高値のパルス電流源を前記接続することが、
第 4 のより高値の電流源を提供し、及び、
前記第 4 のより高値の電流源を、第 4 のスイッチを介して前記制御入力部に接続する

50

ことを含むことからなる、請求項 6 に記載の方法。

【請求項 9】

前記第 3 のスイッチを即座にオンに切り替え、及び、前記第 2 のスイッチを即座にオンに切り替える

ことを更に含むことからなる、請求項 8 に記載の方法。

【請求項 10】

前記タイミング回路をアクティブにすることは、温度、プロセス、及び供給電圧の変動を補償し、

前記バッファ回路の遅延は、そのような変動にわたって、実質的に一定のままとなることからなる、請求項 6 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高速バッファ回路伝搬遅延を提供する際のバッファ遅延における温度の影響と、製造プロセスの影響とを最小化させることに関する。

【背景技術】

【0002】

多くの電子システムが、特定のシステム内における様々な機能間で情報とデータとを共有するために、バックプレーン相互接続構成を用いて構築される。そのシステムとバックプレーン相互接続とは、多くの異なるシステムに対して、任意に分散させられ、及び/又は、バス化されるため、その相互接続線のインピーダンス負荷は制御されていない。そのようなシステム内において、高速エッジによって、システムエラーが生じる可能性がある。その制御されていない終端インピーダンス不整合と、伝送線路を相互接続する線の長さとは、結果として、論理機能を妨げる可能性のある高電圧スイングによる長時間にわたるリングングを生じさせる。更には、その高速エッジは、他の信号線に対して容量性結合する可能性があり、そのことがエラーを生じさせ、インピーダンス異常に起因して電流が突然変化する時の信号線間の磁気的な結合もまた、論理エラーを生じさせる。その厄介な高速エッジは、動作状態全体を低速のままにさせる低速エッジを用いることを余儀なくさせる。

【0003】

バックプレーンは、高速マイクロプロセッサシステム、大容量メモリ、キャッシュ、通信システム、ディスプレイ、キーボード、プリンタ、及びそのようなシステム内に見られる他の典型的な周辺機器を相互接続するために、日常的に用いられる。高速エッジが、そのようなシステム内において問題を生じさせる。

【0004】

バックプレーンを駆動するバッファが、上述の問題を低減するために、低速スルーレートで設計される。更には、温度補償されたバッファが設計されているが、そのような設計は、バッファ回路遅延と、電力供給変動とプロセス変動との影響とを無視する。

【0005】

米国特許第 6,437,622 号は、温度変化による低速エッジの変化がほとんど無いように温度補償された低速エッジを提供することによって既知の状態を示す。その低速エッジは、出力 MOS トランジスタ P1 及び N1 のゲートを、「電流を枯渇させること」によって達成される。ゲートをゆっくりと駆動させることによって、その出力エッジが、対応するように低速になる。前記特許第 6,437,622 号による発明の図 1 が、その設計を示している。ここで、電流源は、トランジスタ P1 及び N1 のゲートをゆっくりと駆動させ、すなわち該ゲートの電流を枯れさせる。この設計において、ゲート電流は、駆動トランジスタ P1 及び N1 のスルーレートの変化を補償するために温度に適合させる。更なるゲート電流が、より高い温度において提供される。

【0006】

図 2 は、図 1 内におけるようなバッファ回路の出力を示す。1 ナノ秒か又はそれを超え

10

20

30

40

50

る処理電圧及び温度の伝搬遅延内における差は、そのような設計において共通である。図2は、低及び高V_{CC}並びに極端の温度の（同時に存在する両極端のいくつかのパラメータの）コーナーのプロセス状態を含む4つの極端なPVT状態についての出力波形を示す。グラフ22と比較されたグラフ20は、+110 から -40 までの温度変化による変動を示す。グラフ24と比較されたグラフ20は、+3.45Vから+3.15VまでのV_{CC}の変化と同時に、「高速」から「低速」までのプロセスの変動を示す。グラフ26は、+3.15V、-40、及び低速プロセス状態におけるグラフである。本発明の回路構成による同様のパラメータ変動が、図4内に示されており、そこでは、図2内での1ナノ秒の遅延が、0.1ナノ秒未満（40）に低減されている。

【0007】

10

図1の出力トランジスタP1及びN1は、トランジスタが応答する前に到達されるべき閾値を示す。低電流は、必然的にゆっくりとゲートを駆動させることになり、それによって、結果として、トランジスタが応答し始める前に回路遅延が生じる。実際の設計では、より高い温度が、出力駆動MOSトランジスタを弱め、そして、電力供給変動と、チップ製造むらとに結びついた時には、何ナノ秒かの遅延を受ける可能性がある。

【0008】

しかしながら、既知の設計において、バッファの遅延は、過剰であり、温度と、時間が経過すれば自然に発生する、製造プロセス内の変動とに関して制御されていない。

【特許文献1】米国特許第6,437,622号明細書

【発明の開示】

20

【発明が解決しようとする課題】

【0009】

バッファ遅延と、動作条件の変化と製造むらとに関連した、該バッファ遅延の変動とを、最小化させることが、本発明の目的である。

【課題を解決するための手段】

【0010】

前述の背景の説明を考慮して、本発明は、出力信号を駆動するためのバッファ回路とプロセスとを提供する。該バッファ回路において、出力駆動トランジスタが、制御入力、好適にはMOSトランジスタのゲートを、画定する。該ゲートは、ある入力論理信号に回答して、正及び負の方向にゆっくりと駆動される。それによって、バッファの出力において低速エッジが生じる。本発明は、両方の極性の電流パルスを追加的に提供し、該電流パルスは、正及び負の論理遷移の開始においてトリガされる。電流のパルスは、任意の閾値に打ち勝つのに十分な時間だけ継続する。該閾値は、バッファ回路出力が制御入力信号に反応し始める前に、打ち負かされなければならない。好適には、そのパルスは、論理入力信号によってトリガされるワンショットタイミング回路によって提供される。ワンショットの、タイミングが取られた出力は、スイッチをアクティブにして、より高レベルの電流源を、バッファ回路の制御入力に接続する。

30

【0011】

好適な一実施形態において、ワンショットのタイミングパルスを、温度、プロセス、及び供給電圧の変動を補償するために設計することができる。これにより、バッファ回路遅延は、そのような変動にわたって、実質的に一定のままとなる。典型的には、ワンショットのタイミングパルスは、温度上昇によって、より低速なトランジスタ製造プロセスによって、及びより低い供給電圧によって、より長くなることになる。

40

【0012】

コンピュータ又は処理システム、通信手段、メモリ、及び実質的に任意の他のデジタルシステムを含むデジタルシステムが、本発明を実施することの有利性を見い出すであろう。

【0013】

後述の詳細な説明が、例示的な実施形態と、その図面と、使用方法とに関連させられて進められることになるが、本発明は、これらの実施形態と使用方法とに限定されることを

50

意図していないことが当業者であれば理解されよう。それどころか、本発明は、広範囲に関するものであり、添付の特許請求の範囲内の記載によってのみ画定されることが意図される。

【実施例】

【0014】

下記の本発明の説明は、添付図面を参照する。

【0015】

図3は、本発明の一実施形態を示す概略図である。そのアプローチは、短い「タグ」を供給することである、すなわち、従来技術の図1の電流源と同じ方向に、出力トランジスタのゲートにおいて引っ張る(pull)ことである。その引っ張りは、遅延の影響を打ち消すために、ゲートを出力トランジスタ閾値へと急速に上昇させるように駆動させる。前記引っ張りは、ゲートを駆動させるために利用可能な低い電流のみを有するように生じる。前記引っ張りが閾値に打ち勝つことだけに制限される場合には、例えばゲートにおいて第1の数百ミリボルトの場合には、前記引っ張りは、低速な出力エッジに影響を及ぼさないことになる。これらの第1の数百ミリボルトの遷移を越えた後には、低電流源10と12とが、ゲートをゆっくりと駆動させるために継続し、それにより、所望の低速出力エッジが生じる。エッジの遷移は、主としてこの駆動を終了させることに依存し、従って、前記低速エッジが維持される。前記引っ張りは、出力が本発明によらずに生じることになる前に、うまく動作させるように該出力を開始させ、従って、エッジ遷移速度に影響を及ぼすこと無く遅延を低減させる。

【0016】

依然として図3を参照すると、ワンショットパルスは、代替として、トランジスタ20と22とをターンオンさせる。ダイオード30と32とが、トランジスタ20と22とがオンの時には、出力トランジスタ38のゲート34における電圧スイングを制限する。ダイオード間の電圧降下を、ワンショット駆動が出力トランジスタ38の閾値に実質的に打ち勝つことになるように出力トランジスタ38の閾値に一致させるために、サイズ調整することができる。更に、ワンショットパルス幅の設計は、温度補償を組み入れることができる。該温度補償において、温度が上昇して出力トランジスタの駆動が弱まった時には、パルスが延長されることになり、弱まっているトランジスタを打ち消すより強力なイニシャルパルスが提供される。温度によって延長されたパルス幅を提供するワンショットの設計は、当該技術分野において周知である。そのような設計は、タイミングコンデンサを組み入れることができる。該タイミングコンデンサは、温度によって値が増加するか、又は該コンデンサを駆動する電流源が温度によって減少させられることができる。いずれの場合か、又はその組み合わせにおいて、温度上昇によって、パルス幅がより長くなることになる。

【0017】

プロセス変動のより低速なプロセス変動が、典型的には、より高い抵抗と、より低い駆動電流とを生み出す。そのようなより低速なプロセス下において、ワンショット遅延回路は、その他の回路構成要素における、より低速なプロセス影響を、補償するように動作するより長いパルス幅を生成することになる。

【0018】

図4は、図2のグラフとの比較を示し、低速な出力エッジが維持されるが、温度、供給電圧、及びチップ製造プロセスにおける変動にわたる、約0.1ナノ秒未満の遅延40が存在する。工業上の温度範囲の-40度Cから+85度Cまでが、温度変動を判断するための基準として使用され、電力供給変動においては、3.3Vからの+/-5%が、判断するための基準として使用される。プロセス変動は、容易には標準化されないか又は定量化されないが、典型的には、「低速」プロセスが、エミュレートされる。該「低速」プロセスにおいて、閾値電圧はより高く、電流駆動はより低く、及び抵抗は増加する。

【0019】

図5は、ワンショットのタイミングパルスと、ゲート電圧とを示す。ここで、ゲート電

圧は、出力トランジスタの閾値に到達されるまで、パルス幅の間で、急速に低下する（５２）。従って、ゲートは、低い電流源のみによって駆動され、低速ゲート５４と低速出力エッジとが生じる。

【００２０】

図６は、本発明の好適な一実施形態の代表的な概略図である。ここで、入力信号５０が、２つのワンショット５２と５４とを駆動するか、アクティブにするか、又はトリガする。該２つのワンショット５２と５４は、前記入力信号の正のエッジと負のエッジとの両方において、パルスを生成する。入力信号における負のエッジは、ワンショット５２からの負のパルスをトリガし、PMOS ６４をオンに切り替える。ダイオード接続トランジスタ７０を介してPMOS ６４は、出力トランジスタ７２のゲート７５をハイに急速に駆動する。ダイオード接続PMOS ７０は、出力トランジスタ７２の閾値と一致する電圧降下を提供するためにサイズ調整される。前記入力信号はまた、カスケード接続された、MOSトランジスタ５６と５８とのインバータセットを駆動する。前記入力信号が、ローになる時には、PMOS ５６をターンオンさせ、該PMOS ５６が、電流源をPMOS ６０からゲート７５に接続する。トランジスタ６４からのより高い電流パルスが枯れる時には、トランジスタ６０からの電流が、ゲート７５をハイに駆動するために継続する。トランジスタ６０は、ゲート７２をゆっくりと駆動して出力信号８０の低速エッジを提供するためにロー値の電流を提供するように構成される。

10

【００２１】

前記入力信号がハイになる時には、ワンショット５４は、NMOS ６６をターンオンさせる正のパルスを提供する。該NMOS ６６は、ダイオード接続NMOS ６８の電圧降下を介して、ゲート７５をローに駆動する。前記パルスが、枯れる時には、NMOS ６２の電流源によって提供されたローレベルの電流が、オンのNMOS ５８を介してゲート７５をローに駆動するために継続する。この動作は、出力トランジスタ７２における更に緩慢なターンオフを生じさせ、出力信号８０において低速エッジを再び提供する。この特定回路の図６において、上昇する出力信号はまた、出力８０に接続される抵抗８２とコンデンサＣ１とによる一定のRC時間に依存することになる。

20

【００２２】

本発明は、MOSトランジスタを用いて説明されているが、バイポーラトランジスタによってか、又はMOS回路構成とバイポーラ回路構成との両方を組み込んだ回路構成によって、効果的に同様の発明のアプローチを用いることもできる。当該技術分野においてこれらを実践することによって、これらの他のプロセスを用いて本発明を実施することができることとなる。

30

【００２３】

上述のような、ダイオード接続トランジスタを、当業者によって他の電圧降下を提供するためにサイズ変更することができる。

【００２４】

上述の実施形態は、例としてここで提示されており、その多くのバリエーションと代替とが可能であることが理解されるべきである。従って、本発明は、添付の特許請求の範囲内の記載によってのみ画定されているものとして広範囲にとらえられるべきである。

40

【図面の簡単な説明】

【００２５】

【図１】従来技術のバッファ回路の概略図である。

【図２】従来技術のバッファ回路の遅延変動を示すタイミングチャートである。

【図３】本発明の一実施形態を示す概略ブロック図である。

【図４】温度にわたる本発明の遅延の変動と、プロセス変動とを示すタイミング図である。

。

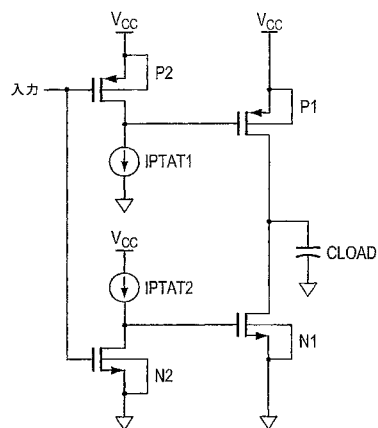
【図５】ワンショット、及び出力トランジスタのゲート電圧のタイミングチャートである。

。

【図６】図３の更に詳細な概略図である。

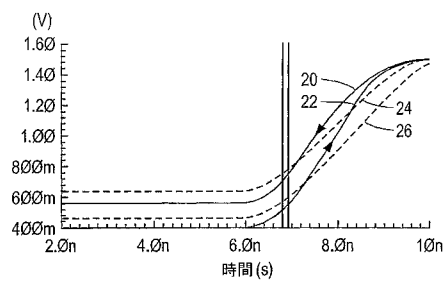
50

【図 1】



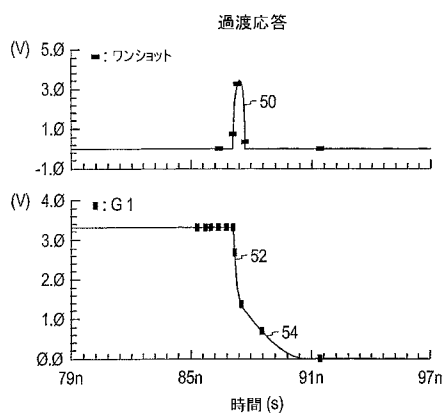
従来技術

【図 2】



従来技術

【図 5】



【図 3】

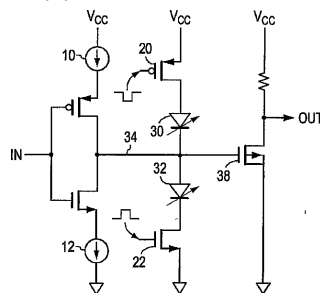
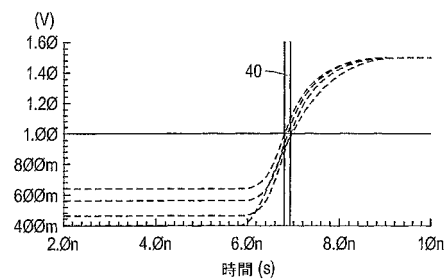
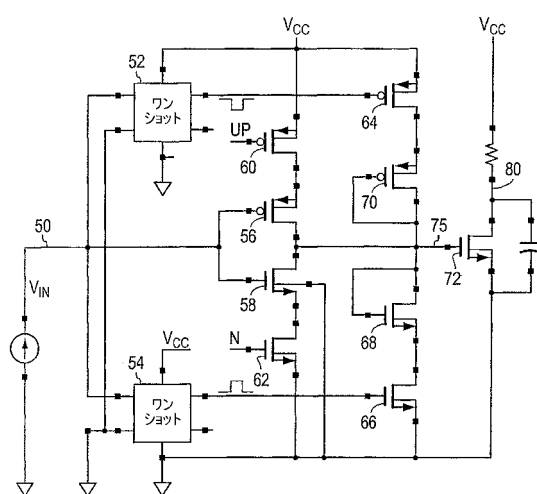


FIG. 3

【図 4】



【図 6】



フロントページの続き

(72)発明者 マクドナルド, ジェイムス, ジェイ, ザ・セカンド
アメリカ合衆国メイン州 0 4 0 3 8, ゴーハム, パーストゥ・ロード・6 1

審査官 栗栖 正和

(56)参考文献 米国特許第 0 6 3 3 5 6 3 8 (U S , B 1)
米国特許第 0 5 5 5 7 2 2 3 (U S , A)
特開昭 5 9 - 1 8 1 8 2 8 (J P , A)
特開 2 0 0 3 - 0 1 7 9 8 7 (J P , A)

(58)調査した分野(Int.Cl., D B 名)
H03K 17/00-17/70