

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6328153号  
(P6328153)

(45) 発行日 平成30年5月23日(2018.5.23)

(24) 登録日 平成30年4月27日(2018.4.27)

(51) Int.Cl.

F I

G 1 1 C 19/28 (2006.01)

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 1 1 C 19/28 2 3 0

G 0 9 G 3/36

G 0 9 G 3/20 6 2 1 F

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/20 6 7 0 J

請求項の数 9 (全 12 頁)

(21) 出願番号 特願2015-561904 (P2015-561904)  
 (86) (22) 出願日 平成25年6月28日(2013.6.28)  
 (65) 公表番号 特表2016-517607 (P2016-517607A)  
 (43) 公表日 平成28年6月16日(2016.6.16)  
 (86) 国際出願番号 PCT/CN2013/078443  
 (87) 国際公開番号 WO2014/139249  
 (87) 国際公開日 平成26年9月18日(2014.9.18)  
 審査請求日 平成28年6月24日(2016.6.24)  
 (31) 優先権主張番号 201310082062.7  
 (32) 優先日 平成25年3月14日(2013.3.14)  
 (33) 優先権主張国 中国(CN)

前置審査

(73) 特許権者 510280589  
 京東方科技集團股▲ふん▼有限公司  
 BOE TECHNOLOGY GROU  
 P CO., LTD.  
 中華人民共和國100015北京市朝陽區  
 酒仙橋路10號  
 No. 10 Jiuxianqiao R  
 d., Chaoyang Distric  
 t, Beijing 100015, CH  
 INA

(73) 特許権者 511121702  
 成都京東方光電科技有限公司  
 中華人民共和國611731四川省成都市  
 高新區(西區)合作路1188號

最終頁に続く

(54) 【発明の名称】 シフトレジスタ、表示装置、ゲート駆動回路及び駆動方法

(57) 【特許請求の範囲】

【請求項 1】

シフトレジスタであって、複数の段のシフトレジスト回路を含み、前記複数の段のシフトレジスト回路の第N段のシフトレジスト回路は、

プルアップ回路にプリチャージするためのプリチャージ回路と、

プリチャージされた後、出力端にハイレベルを出力させるプルアップ回路と、

出力端がハイレベルを出力した後、前記第N段のシフトレジスト回路をリセットするリセット回路と、

前記第N段のシフトレジスト回路がリセットされた後、第N段のシフトレジスト回路の出力レベルをホールドするホールド回路と

を含み、

前記プリチャージ回路は、制御端と入力端が前段のシフトレジスト回路の出力端に接続され、出力端が前記リセット回路の入力端に接続され、

前記プルアップ回路は、入力端が第1の制御信号端子に接続され、

前記リセット回路は、制御端が後段のシフトレジスト回路の出力端に接続され、出力端が接地され、

前記ホールド回路は、前記プリチャージ回路の出力端と、前記リセット回路の入力端と、プルアップ回路の制御端と、プルアップ回路の出力端とに接続され、第1の制御端が前記第1の制御信号端子に接続され、第2の制御端が第2の制御信号端子に接続され、

前記ホールド回路は、第1のホールド回路と、第2のホールド回路とを含み、

10

20

前記第 1 のホールド回路は、ゲートが前記プルアップ回路の制御端に接続され、ドレインが接地される第 5 のトランジスタと、ゲートが前記ホールド回路の第 1 の制御端であり、ソースとドレインが前記第 5 のトランジスタのソース及びプルダウンノードに接続される第 8 のトランジスタと、を含み、

前記第 1 のホールド回路と第 2 のホールド回路は、前記プルダウンノードによって接続され、

前記第 5 のトランジスタと前記第 8 のトランジスタのいずれもオンされる場合、前記第 5 のトランジスタと前記第 8 のトランジスタの幅・長比によって前記プルダウンノードを低くさせるシフトレジスタ。

【請求項 2】

10

前記第 2 のホールド回路は、ゲートが前記ホールド回路の第 2 の制御端でありソースが第 6 のトランジスタのソースと前記プルアップ回路の出力端とに接続されドレインが接地される第 4 のトランジスタと、ゲートが第 7 のトランジスタのゲートに接続されドレインが接地される第 6 のトランジスタと、ソースが前記プリチャージ回路の出力端と前記リセット回路の入力端と前記プルアップ回路の制御端とに接続されドレインが接地される前記第 7 のトランジスタとを含み、

前記プルダウンノードは、さらに前記第 6 のトランジスタのゲート、前記第 7 のトランジスタのゲートに接続される請求項 1 に記載のシフトレジスタ。

【請求項 3】

20

前記第 2 のホールド回路は、ゲートが前記ホールド回路の第 2 の制御端であり、ソースが第 7 のトランジスタのソース及び前記プルアップ回路の出力端に接続され、ドレインが接地される第 4 のトランジスタと、ゲートが前記第 7 のトランジスタのゲートと接続され、ソースが前記プリチャージ回路の出力端と前記リセット回路の入力端と前記プルアップ回路の制御端とに接続され、ドレインが前記第 7 のトランジスタのソースに接続される第 6 のトランジスタと、ドレインが接地される前記第 7 のトランジスタとを含み、

前記プルダウンノードは、さらに前記第 6 のトランジスタのゲート、前記第 7 のトランジスタのゲートに接続される請求項 1 に記載のシフトレジスタ。

【請求項 4】

前記プリチャージ回路は、ゲートが制御端であり、ソースが入力端であり、ドレインが出力端である第 1 のトランジスタを含む請求項 1 ~ 3 のいずれかに記載のシフトレジスタ。

30

【請求項 5】

前記リセット回路は、ゲートが制御端であり、ソースが入力端であり、ドレインが出力端である第 2 のトランジスタを含む請求項 1 ~ 3 のいずれかに記載のシフトレジスタ。

【請求項 6】

プルアップ回路は、ゲートが制御端でありソースが入力端であり、ドレインが出力端である第 3 のトランジスタと、一端が前記第 3 のトランジスタのゲートに接続され他端が前記第 3 のトランジスタのドレインに接続されるキャパシタとを含む請求項 1 ~ 3 のいずれかに記載のシフトレジスタ。

【請求項 7】

40

ゲート駆動回路であって、

請求項 1 ~ 6 のいずれかに記載のシフトレジスタを含むゲート駆動回路。

【請求項 8】

表示装置であって、

請求項 7 に記載のゲート駆動回路を含む表示装置。

【請求項 9】

請求項 1 に記載のシフトレジスタによるゲート駆動方法であって、以下のステップを含み、

プリチャージ回路がプルアップ回路に充電し ( S 1 )、

プルアップ回路がシフトレジスタ回路のレベルをプルアップさせ、シフトレジスタ回路

50

がハイレベルを出力し（Ｓ２）、

リセット回路がシフトレジスト回路をリセットさせ（Ｓ３）、

シフトレジスト回路がリセットされた後、ホールド回路がシフトレジスト回路の出力レベルをホールドし（Ｓ４）、

前記ステップＳ４で、ホールド回路における第８のトランジスタの等価容量は前記第８のトランジスタのオン又はオフによって変化し、前記第８のトランジスタがオンされる場合の等価容量は前記第８のトランジスタがオフされる場合の等価容量より大きいゲート駆動方法。

【発明の詳細な説明】

【技術分野】

10

【０００１】

本発明は、液晶表示分野に関し、特に、シフトレジスタ、表示装置、ゲート駆動回路及び駆動方法に関する。

【背景技術】

【０００２】

薄膜トランジスタ液晶ディスプレイＴＦＴ－ＬＣＤにおいて、一つのフレーム画面を表示する基本原理は、データ駆動によって各行の画素が必要とする信号を順にトップダウンのように出力し、ゲート駆動が順にトップダウンのように画素の各行に所定の幅の矩形波を入力して選択導通することである。従来の製造方法では、ゲート駆動ＩＣとデータ駆動ＩＣをＣＯＧ（ｃｈｉｐ ｏｎ ｇｌａｓｓ）工程でガラス基板に接着する。小型サイズの薄膜トランジスタ液晶ディスプレイは、解像度が高い場合、ゲート駆動とデータ駆動の出力が多く、駆動ＩＣの長さが大きくなって、駆動ＩＣのモジュール化の接着工程によくない。現在、ゲート駆動回路の設計によって、現在のプロセスにいずれの工程もコストも増加することなく、アレイ基板工程でガラス基板にゲート駆動ＩＣを製作する。図１は基本のゲート駆動回路のシフトレジスタユニット回路の原理を示す。しかし、該回路の動作周期が長く、閾値電圧にドリフト問題があつて、制御信号は回路を良好に制御することができない。

20

【発明の概要】

【発明が解決しようとする課題】

【０００３】

30

本発明の解決しようとする技術問題は、回路の動作周期を減少して、閾値電圧のドリフト問題を改善し、制御信号による回路に対する制御をさらに実現できるシフトレジスタ、表示装置、ゲート駆動回路及び駆動方法を提供することである。

【課題を解決するための手段】

【０００４】

上記の技術問題を解決するために、本発明の一つの形態によつては、シフトレジスタを提供し、前記シフトレジスタは複数の段のシフトレジスト回路を含み、前記複数の段のシフトレジスト回路の第Ｎ段のシフトレジスト回路は、

プルアップ回路に対してプリチャージするためのプリチャージ回路と、

プリチャージされた後、出力端にハイレベルを出力させるプルアップ回路と、

出力端がハイレベルを出力した後、前記第Ｎ段のシフトレジスト回路をリセットするリセット回路と、

40

前記第Ｎ段のシフトレジスト回路がリセットされた後、第Ｎ段のシフトレジスト回路の出力レベルをホールドするホールド回路と

を含み、

前記プリチャージ回路は、制御端と入力端が前段のシフトレジスト回路の出力端に接続され、出力端が前記リセット回路の入力端に接続され、

前記プルアップ回路は、入力端が第１の制御信号端子に接続され、

前記リセット回路は、制御端が後段のシフトレジスト回路の出力端に接続され、出力端が接地され、

50

前記ホールド回路は、前記プリチャージ回路の出力端と、前記リセット回路の入力端と、前記プルアップ回路の制御端と、前記プルアップ回路の出力端とに接続され、第 1 の制御端が前記第 1 の制御信号端子に接続され、第 2 の制御端が前記第 2 の制御信号端子に接続され、

前記ホールド回路には、ゲートが前記第 1 の制御信号端子に接続され、ソースとドレインが互いに接続された第 8 のトランジスタが設置されている。

【 0 0 0 5 】

さらに、前記ホールド回路が、第 8 のトランジスタが設置された第 1 のホールド回路と、第 2 のホールド回路とを含む。

【 0 0 0 6 】

さらに、前記第 1 のホールド回路は、ゲートが前記プルアップ回路の制御端に接続されドレインが接地される第 5 のトランジスタと、制御端が前記ホールド回路の第 1 の制御端であり、ソースとドレインが前記第 5 のトランジスタのソースに接続される第 8 のトランジスタとを含み、

前記第 2 のホールド回路は、ゲートが前記ホールド回路の第 2 の制御端でありソースが第 6 のトランジスタのソースと前記プルアップ回路の出力端とに接続されドレインが接地される第 4 のトランジスタと、ゲートが第 7 のトランジスタのゲートに接続されドレインが接地される前記第 6 のトランジスタと、ソースが前記プリチャージ回路の出力端と前記リセット回路の入力端と前記プルアップ回路の制御端とに接続されドレインが接地される前記第 7 のトランジスタとを含み、

前記第 1 のホールド回路と第 2 のホールド回路は、第 8 のトランジスタのソースとドレイン、前記第 5 のトランジスタのソース、前記第 6 のトランジスタのゲート、前記第 7 のトランジスタのゲートを接続するプルダウンノードによって接続される。

【 0 0 0 7 】

さらに、前記第 1 のホールド回路が、ゲートが前記プルアップ回路の制御端に接続され、ドレインが接地された第 5 のトランジスタと、制御端が前記ホールド回路の第 1 の制御端であり、ソースとドレインが前記第 5 のトランジスタのソースに接続される第 8 のトランジスタとを含み、

前記第 2 のホールド回路は、ゲートが前記ホールド回路の第 2 の制御端であり、ソースが第 7 のトランジスタのソース及び前記プルアップ回路の出力端に接続され、ドレインが接地される第 4 のトランジスタと、ゲートが前記第 7 のトランジスタのゲートに接続され、ソースが前記プリチャージ回路の出力端と前記リセット回路の入力端と前記プルアップ回路の制御端とに接続され、ドレインが前記第 7 のトランジスタのソースに接続される第 6 のトランジスタと、ドレインが接地される前記第 7 のトランジスタとを含み、

前記第 1 のホールド回路と第 2 のホールド回路はプルダウンノードによって接続され、前記プルダウンノードは、第 8 のトランジスタのソースとドレイン、前記第 5 のトランジスタのソース、第 6 のトランジスタのゲート、前記第 7 のトランジスタのゲートに接続される。

【 0 0 0 8 】

さらに、前記プリチャージ回路は、ゲートが制御端であり、ソースが入力端であり、ドレインが出力端である第 1 のトランジスタを含む。

【 0 0 0 9 】

さらに、前記リセット回路は、ゲートが制御端であり、ソースが入力端であり、ドレインが出力端である第 2 のトランジスタを含む。

【 0 0 1 0 】

さらに、前記プルアップ回路は、ゲートが制御端でありソースが入力端であり、ドレインが出力端である第 3 のトランジスタと、一端が前記第 3 のトランジスタのゲートに接続され他端が前記第 3 のトランジスタのドレインに接続されるキャパシタとを含む。

【 0 0 1 1 】

本発明の他方によっては、ゲート駆動回路を提供し、前記ゲート駆動回路は上記のシフ

10

20

30

40

50

トレジスタを含む。

【 0 0 1 2 】

本発明の他方によっては、表示装置を提供し、前記表示装置は上記のゲート駆動回路を含む。

【 0 0 1 3 】

本発明の他方によっては、ゲート駆動方法を提供し、前記ゲート駆動方法は、

S 1、プリチャージ回路がプルアップ回路に充電する、

S 2、プルアップ回路がシフトレジスタ回路のレベルをプルアップさせ、シフトレジスタ回路がハイレベルを出力する、

S 3、リセット回路がシフトレジスタ回路をリセットさせる、

S 4、シフトレジスタ回路がリセットされた後、ホールド回路がシフトレジスタ回路の出力レベルをホールドする、

を含み、

前記ステップ S 4で、ホールド回路における第 8 のトランジスタの等価容量は第 8 のトランジスタのオン又はオフによって変化し、第 8 のトランジスタがオンされる場合の等価容量は第 8 のトランジスタがオフされる場合の等価容量より大きいゲート駆動方法。

【 0 0 1 4 】

本発明の実施例に係るシフトレジスタ、表示装置、ゲート駆動回路及び駆動方法は、シフトレジスタを実現するだけではなく、回路の動作周期を減少して、電圧のドリフト問題を改善し、ソース・ドレインが短絡されたトランジスタで、制御信号によるプルダウンノードに対する制御を実現して、プルダウンノードを第 1 の制御信号がハイレベルである場合急速にプルアップさせ、第 1 の制御信号がローレベルである場合にプルダウンの幅が減少して、制御信号による回路に対する制御をさらによく実現できる。

【 図面の簡単な説明 】

【 0 0 1 5 】

【 図 1 】 従来技術である G O A 回路のシフトレジスタユニット回路の原理図である。

【 図 2 】 本発明の実施例のシフトレジスタ回路の原理図である。

【 図 3 】 本発明の実施例 1 のシフトレジスタユニット回路の原理図である。

【 図 4 】 本発明の実施例のシフトレジスタユニット回路のタイミングチャージである。

【 図 5 】 本発明の実施例のシフトレジスタ回路のタイミングチャージである。

【 図 6 】 本発明の実施例 2 のシフトレジスタユニット回路の原理図である。

【 図 7 】 本発明の実施例のゲート駆動方法のフローチャートである。

【 発明を実施するための形態 】

【 0 0 1 6 】

以下に、図面と実施例を組み合わせ、さらに本発明の具体の実施形態を詳しく説明する。以下の実施例は本発明の原理を説明するためのものではあるが、本発明の範囲を限定するものではない。

【 0 0 1 7 】

実施例 1

本発明の実施例に係るシフトレジスタは複数段のシフトレジスタ回路を含む。図 2 に示すように、当図において、S R 0 ~ S R n は n 段のシフトレジスタ回路の各段であり、G L 0 ~ G L n は n 段のシフトレジスタ回路の出力端であり、S T V が開始信号であり、各段のシフトレジスタは、前段の出力を開始信号 S T V とし、後段の出力をリセット信号 R S T とし、ダブルクロック C K と C K B によって動作して、トップダウンのゲート駆動スキャン出力を実現する。

【 0 0 1 8 】

図 3 に示すように、前記の複数段のシフトレジスタ回路の第 N 段のシフトレジスタ回路は、

プルアップ回路に対してプリチャージするプリチャージ回路 1 と、

プリチャージされた後、出力端 O U T P U T にハイレベルを出力させるプルアップ回路

2 と、

出力端 O U T P U T がハイレベルを出力した後、前記第 N 段のシフトレジスタ回路をリセットするリセット回路 3 と、

前記第 N 段のシフトレジスタ回路がリセットされた後、第 N 段のシフトレジスタ回路の出力レベルをホールドするホールド回路と

を含み、

N が 1 以上の自然数である。

【 0 0 1 9 】

プリチャージ回路 1 は、制御端と入力端が前段のシフトレジスタ回路の出力端 N - 1 \_ O U T に接続され、出力端が前記リセット回路 3 の出力端に接続され、

プルアップ回路 2 は、入力端が第 1 の制御信号端子 C K に接続され、

リセット回路 3 は、制御端が後段のシフトレジスタ回路の出力端 N + 1 \_ O U T に接続され、出力端が接地され、

前記ホールド回路は、プリチャージ回路 1 の出力端と、リセット回路 3 の入力端と、プルアップ回路 2 の制御端と、プルアップ回路 2 の出力端とに接続され、第 1 の制御端が前記第 1 の制御信号端子 C K に接続され、第 2 の制御端が前記第 2 の制御信号端子 C K B に接続され、

前記ホールド回路には、ゲートが前記第 1 の制御信号端子に接続され、ソースとドレインが互いに接続された第 8 のトランジスタ M 8 が設置される。

【 0 0 2 0 】

前記ホールド回路は第 8 のトランジスタ M 8 が設置された第 1 のホールド回路 4 A と、第 2 のホールド回路 4 B を含む。

【 0 0 2 1 】

第 1 のホールド回路 4 A は、ゲートがプルアップ回路 2 の制御端に接続されドレインが接地される第 5 のトランジスタ M 5 と、制御端がホールド回路の第 1 の制御端であり、ソースとドレインが第 5 のトランジスタのソースに接続される第 8 のトランジスタ M 8 とを含み、

第 2 のホールド回路 4 B は、ゲートが前記ホールド回路の第 2 の制御端でありソースが第 6 のトランジスタ M 6 のソースとプルアップ回路 2 の出力端とに接続されドレインが接地される第 4 のトランジスタ M 4 と、ゲートが第 7 のトランジスタ M 7 のゲートに接続されドレインが接地される第 6 のトランジスタ M 6 と、ソースがプリチャージ回路 1 の出力端と前記リセット回路 3 の入力端とプルアップ回路 2 の制御端とに接続されドレインが接地される第 7 のトランジスタ M 7 とを含み、

第 1 のホールド回路 4 A と第 2 のホールド回路 4 B は、第 8 のトランジスタ M 8 のソースとドレイン、第 5 のトランジスタ M 5 のソース、第 6 のトランジスタ M 6 のゲート、第 7 のトランジスタ M 7 のゲートを接続するプルダウンノード P D によって接続される。

【 0 0 2 2 】

当該図で、P U がプルアップノードであり、P D がプルダウンノードであり、第 1 の制御信号端子 C K と第 2 の制御信号端子 C K B に入力される信号が差動入力であるダブルクロック信号である。

【 0 0 2 3 】

例示された実施例において、プリチャージ回路 1 は、ゲートが制御端であり、ソースが入力端であり、ドレインが出力端である第 1 のトランジスタ M 1 を含む。

【 0 0 2 4 】

リセット回路 3 は、ゲートが制御端であり、ソースが入力端であり、ドレインが出力端である第 2 のトランジスタ M 2 を含む。

【 0 0 2 5 】

プルアップ回路 2 は、ゲートが制御端でありソースが入力端であり、ドレインが出力端である第 3 のトランジスタ M 3 と、一端が第 3 のトランジスタ M 3 のゲートに接続され他端が第 3 のトランジスタ M 3 のドレインに接続されるキャパシタ C 1 とを含む。

## 【 0 0 2 6 】

さらに、上記のトランジスタ（第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタ、第 5 のトランジスタ、第 6 のトランジスタ、第 7 のトランジスタ、第 8 のトランジスタ）は薄膜トランジスタである。

## 【 0 0 2 7 】

具体的には、図 4 に示すように、本発明の実施例 1 のシフトレジスタは、第 1 のクロック信号期間で、第 1 の制御信号端子 C K がローレベルを出力し、第 2 の制御信号端子 C K B がハイレベルを出力し、前段のシフトレジスタ回路出力 N - 1 \_ O U T がハイレベルであり、後段のシフトレジスタ回路出力 N + 1 \_ O U T がローレベルである。トランジスタ M 2、M 6、M 7、M 8 がオフされ、トランジスタ M 1、M 4 はオンされる。前段のシフトレジスタ回路出力 N - 1 \_ O U T はトランジスタ M 1 を介してトランジスタ M 3 のゲートにプリチャージして、プルアップノード P U の電圧を高くさせる。第 2 の制御信号端子 C K はローレベルであると共に、プルアップノード P U はプルダウンノード P D の電圧がローになれるように、プルダウンノード P D を引き下げ、トランジスタ M 3 のゲートであるプルアップノード P U がプリチャージする（P r e - c h a r g i n g）状態を維持するように、トランジスタ M 6、M 7 いずれもオフされ、出力端 O U T P U T 電圧がローレベルを維持する。

## 【 0 0 2 8 】

第 2 のクロック信号期間で、回路がプリチャージした（P r e - c h a r g i n g）後、第 1 の制御信号端子 C K の出力がハイレベルであり、第 2 の制御信号端子 C K B の出力がローレベルであり、前段のシフトレジスタ回路出力 N - 1 \_ O U T がローレベルであり、後段のシフトレジスタ回路出力 N + 1 \_ O U T がローレベルである。トランジスタ M 1、M 2、M 4 がオフされる。キャパシタ C 1 の昇圧（b o o s t）作用によってプルアップノード P U が引き上げられ、トランジスタ M 3 がオンされ、出力端 O U T P U T が高電圧信号を出力する。トランジスタ M 8 のソース・ドレインが短絡されてコンデンサに等価し、プルダウンノード P D のレベルを第 1 の制御信号端子 C K の信号の変化に結合させ、その時プルアップノード P U がハイレベルであり、トランジスタ M 5 がオンされ、トランジスタ M 8、M 5 の幅・長比がプルダウンノード P D のレベルを低くさせ、トランジスタ M 7、M 8 がオフされる。その期間のトランジスタ M 8 の等価コンデンサの容量はトランジスタがオンされる時の等価容量である。プルアップノード P U がハイレベルを維持し、出力端 O U T P U T の出力がハイレベルを維持して、前段のシフトレジスタ回路出力 N - 1 \_ O U T 信号をシフトする。

## 【 0 0 2 9 】

第 3 のクロック信号期間で、前段のシフトレジスタ回路出力 N - 1 \_ O U T がローレベルであり、第 1 の制御信号端子 C K がローレベルであり、第 2 の制御信号端子 C K B がハイレベルであり、後段のシフトレジスタ回路出力 N + 1 \_ O U T がハイレベルである。トランジスタ M 1 がオフされ、トランジスタ M 2、M 4 がオンされる。プルアップノード P U と出力端 O U T P U T がローレベルに変化する。

## 【 0 0 3 0 】

第 4 のクロック信号期間で、前段のシフトレジスタ回路出力 N - 1 \_ O U T がローレベルであり、後段のシフトレジスタ回路出力 N + 1 \_ O U T がローレベルであり、第 1 の制御信号端子 C K がハイレベルであり、第 2 の制御信号端子 C K B がローレベルである。トランジスタ M 1、M 2、M 4 がオフされ、プルアップノード P U がローレベルであることによって、トランジスタ M 3、M 5 がオフされる。トランジスタ M 8 のソース・ドレインが短絡されてコンデンサに等価し、第 1 の制御信号端子 C K がハイレベルであり、プルダウンノード P D がトランジスタ M 8 を介して第 1 の制御信号端子 C K のハイレベルと結合して、トランジスタ M 6、M 7 をオンさせることによって、プルアップノード P U と出力端 O U T P U T がローレベルまでプルダウンされる。その期間、トランジスタ M 8 の等価容量はトランジスタがオンされる時の等価容量であり、容量はトランジスタがオフされる時の等価容量より大きい。

## 【 0 0 3 1 】

第5のクロック信号期間で、前段のシフトレジスタ回路出力  $N - 1 \text{ \_\_ O U T}$  がローレベルであり、後段のシフトレジスタ回路出力  $N + 1 \text{ \_\_ O U T}$  がローレベルであり、第1の制御信号端子  $C K$  がローレベルであり、第2の制御信号端子  $C K B$  がハイレベルである。トランジスタ  $M 1$ 、 $M 2$  がオフされ、プルアップノード  $P U$  がローレベルであることによって、トランジスタ  $M 3$ 、 $M 5$  がオフされる。トランジスタ  $M 4$  がオンされて、出力端  $O U T P U T$  がローレベルまでプルダウンされる。トランジスタ  $M 8$  のソース・ドレインが短絡されてコンデンサに等価し、第1の制御信号端子  $C K$  がローレベルであり、プルダウンノード  $P D$  がトランジスタ  $M 8$  を介して第1の制御信号端子  $C K$  のローレベルと結合し、その期間のトランジスタ  $M 8$  の等価容量の容量はトランジスタがオフされる時の等価容量であり、容量はトランジスタがオンされる時の等価容量より小さい。

10

## 【 0 0 3 2 】

図5は本発明の実施例のシフトレジスタ回路のシーケンス図であり、ここで、 $S T V$  が開始信号であり、 $G L 0 \sim G L n$  が  $n$  段のシフトレジスタ回路の出力端である。

## 【 0 0 3 3 】

本発明の実施例のシフトレジスタが回路の動作周期を減少し、閾値電圧のドリフト問題を改善し、ソース・ドレインが短絡されたトランジスタで、制御信号のプルダウンノードに対する制御を実現して、プルダウンノードを第1の制御信号がハイレベルである時急速に上昇させ、第1の制御信号がローレベルである時プルダウンの幅が減少して、制御信号による回路に対する制御をさらによく実現できる。

20

## 【 0 0 3 4 】

## 実施例2

本発明の実施例のシフトレジスタは図6に示すようであり、その特徴が実施例1と基本的に同じであって、実施例1との違い点は、第1のホールド回路4Aが、ゲートがプルアップ回路の制御端に接続され、ドレインが接地された第5のトランジスタ  $M 5$  と、制御端が前記ホールド回路の第1の制御端であり、ソースとドレインが第5のトランジスタ  $M 5$  のソースに接続される第8のトランジスタ  $M 8$  とを含み、

第2のホールド回路4Bは、ゲートが前記ホールド回路の第2の制御端であり、ソースが第7のトランジスタ  $M 7$  のソース及びプルアップ回路2の出力端に接続され、ドレインが接地される第4のトランジスタ  $M 4$  と、ゲートが第7のトランジスタ  $M 7$  のゲートと接続され、ソースがプリチャージ回路1の出力端とリセット回路3の入力端とプルアップ回路2の制御端とに接続され、ドレインが第7のトランジスタ  $M 7$  のソースに接続される第6のトランジスタ  $M 6$  と、ドレインが接地される第7のトランジスタ  $M 7$  とを含み、

30

第1のホールド回路4Aと第2のホールド回路4Bはプルダウンノード  $P D$  によって接続され、プルダウンノード  $P D$  は、第8のトランジスタのソースとドレイン、第5のトランジスタのソース、第6のトランジスタのゲート、第7のトランジスタのゲートに接続されることである。

## 【 0 0 3 5 】

ソース・ドレインが短絡されたトランジスタで容量結合の効果を実現して、本発明の実施例の方案はいろいろあることができる。例えば、プリチャージ回路  $P r e - c h a r g i n g$  とリセット回路  $R e s e t$  モジュールの設計で  $G O A$  両方向走査を実現し、設計することでプルアップノード  $P U$  と出力端  $O U T P U T$  を前段または後段のシフトレジスタの出力までプルダウンし、或いは本発明の技術の四つのクロック回路を採用し、本発明のソース・ドレインが短絡されたトランジスタで容量結合の効果を実現する技術方案を使用すれば、いずれも本発明の保護の範囲に入る。

40

## 【 0 0 3 6 】

本発明の実施例のゲート駆動回路は前記シフトレジスタを含む。

## 【 0 0 3 7 】

本発明の実施例の表示装置は前記ゲート駆動回路を含む。

## 【 0 0 3 8 】

50



図 7 は本発明の例示的な実施例のゲート駆動方法のフローチャートを示す。図 7 に示すように、該方法の操作プロセスは、以下のである。

ステップ S 1 で、プリチャージ回路がプルアップ回路に充電し、

ステップ S 2 で、プルアップ回路がシフトレジスト回路のレベルをプルアップさせ、シフトレジスト回路がハイレベルを出力し、

ステップ S 3 で、リセット回路がシフトレジスト回路をリセットさせ、

ステップ S 4 で、シフトレジスタ回路がリセットされた後、ホールド回路はシフトレジスト回路の出力レベルをホールドする。

【 0 0 3 9 】

ステップ S 4 で、ホールド回路における第 8 のトランジスタの等価容量は第 8 のトランジスタのオン又はオフによって変化し、第 8 のトランジスタがオンされる場合の等価容量は第 8 のトランジスタがオフされる場合の等価容量より大きい。

10

【 0 0 4 0 】

以上の実施形態は本発明を説明するためにのみ用いられ、本発明を限定するためのものではなく、当業者については、本発明の精神及び趣旨から逸脱しない場合、様々な変化及び変形をすることができる。従って、等価の技術案はいずれも本発明の範囲に入り、本発明の特許保護範囲は請求の範囲に限定される。

【 符号の説明 】

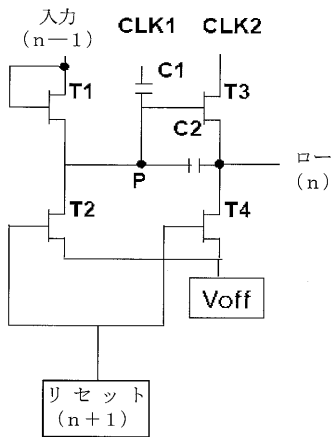
【 0 0 4 1 】

M 1 第 1 のトランジスタ  
 M 2 第 2 のトランジスタ  
 M 3 第 3 のトランジスタ  
 M 4 第 4 のトランジスタ  
 M 5 第 5 のトランジスタ  
 M 6 第 6 のトランジスタ  
 M 7 第 7 のトランジスタ  
 M 8 第 8 のトランジスタ  
 P D プルダウンノード  
 P U プルアップノード  
 R e s e t リセット回路  
 R S T リセット信号  
 S T V 開始信号

20

30

【図 1】



【図 2】

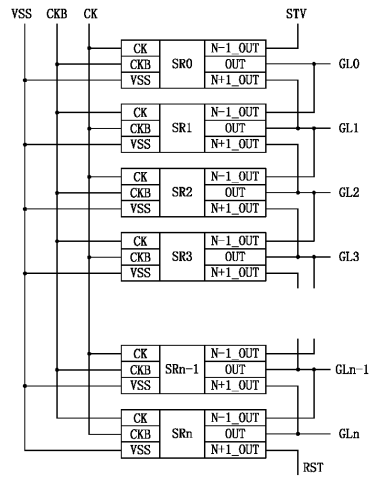


図 2

【図 3】

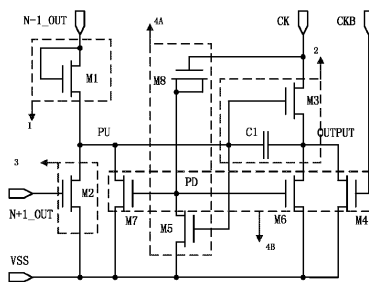


図 3

【図 4】

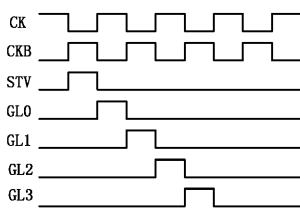


図 4

【図 5】

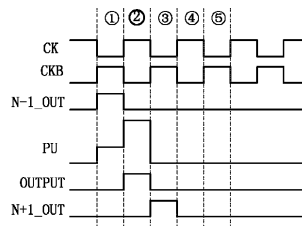


図 5

【図 6】

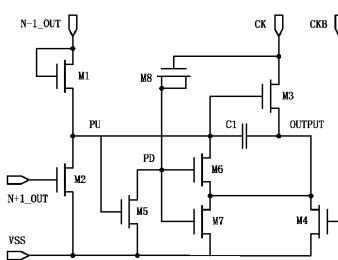
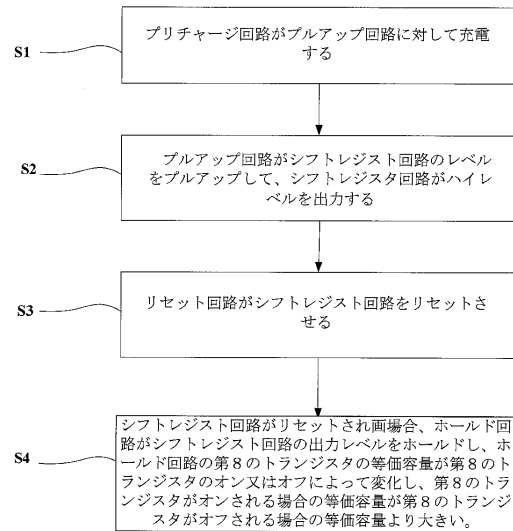


図 6

【図 7】



## フロントページの続き

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 呉 博

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

(72)発明者 祁 小敬

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

(72)発明者 周 全国

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

(72)発明者 聶 磊森

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

審査官 塚田 肇

(56)参考文献 特開 2 0 0 7 - 2 4 2 1 2 9 ( J P , A )

特開 2 0 1 2 - 0 9 9 2 1 1 ( J P , A )

特開 2 0 1 0 - 0 6 1 1 3 0 ( J P , A )

特開 2 0 1 0 - 2 4 5 7 2 8 ( J P , A )

米国特許出願公開第 2 0 0 8 / 0 2 9 7 4 9 5 ( U S , A 1 )

米国特許出願公開第 2 0 0 8 / 0 7 9 7 0 1 ( U S , A 1 )

米国特許出願公開第 2 0 1 0 / 1 7 1 7 2 8 ( U S , A 1 )

米国特許出願公開第 2 0 0 6 / 2 6 7 1 4 1 ( U S , A 1 )

米国特許出願公開第 2 0 0 4 / 0 7 9 9 4 6 ( U S , A 1 )

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 1 9 / 2 8

G 0 9 G 3 / 2 0

G 0 9 G 3 / 3 6