

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 7 月 4 日 (04.07.2019)



(10) 国际公布号
WO 2019/127432 A1

(51) 国际专利分类号:
H04N 19/186 (2014.01) **H04N 19/91** (2014.01)

(21) 国际申请号: PCT/CN2017/120016

(22) 国际申请日: 2017 年 12 月 29 日 (29.12.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市大疆创新科技有限公司 (SZ DJI TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市南山区高新区南区粤兴一道9号香港科大深圳产学研大楼6楼, Guangdong 518057 (CN)。

(72) 发明人: 张健华 (ZHANG, Jianhua); 中国广东省深圳市南山区高新区南区粤兴一道9号香港科大深圳产学研大楼6楼, Guangdong 518057 (CN)。
孙云胜 (SUN, Yunsheng); 中国广东省深圳市南

山区高新区南区粤兴一道9号香港科大深圳产学研大楼6楼, Guangdong 518057 (CN)。 杨成章 (YANG, Chengzhang); 中国广东省深圳市南山区高新区南区粤兴一道9号香港科大深圳产学研大楼6楼, Guangdong 518057 (CN)。 韩彬 (HAN, Bin); 中国广东省深圳市南山区高新区南区粤兴一道9号香港科大深圳产学研大楼6楼, Guangdong 518057 (CN)。

(74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区北清路68号院3号楼101, Beijing 100094 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: VIDEO DECODER AND MANUFACTURING METHOD THEREFOR, AND DATA PROCESSING CIRCUIT, SYSTEM AND METHOD

(54) 发明名称: 视频解码器及其制造方法, 数据处理电路、系统和方法

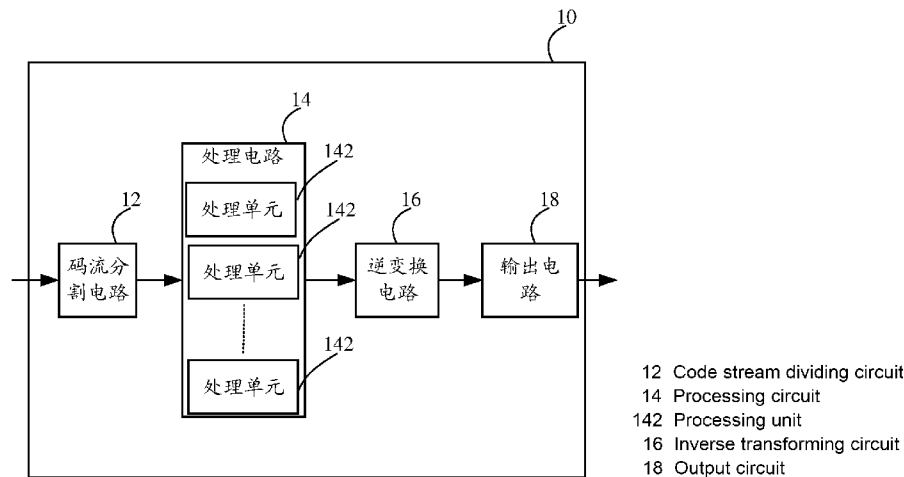


图 1

(57) Abstract: The invention provides a video decoder and a manufacturing method thereof, and a data processing circuit, system and method. The video decoder comprises: a code stream dividing circuit for dividing a received code stream, so as to obtain a plurality of sub-code streams; a processing circuit comprising a plurality of processing units, said plurality of processing units being used to perform parallel entropy decoding and inverse quantization on the plurality of sub-code streams, so as to obtain inverse quantization data; an inverse transforming circuit for performing inverse transformation on the inverse quantization data, so as to obtain inverse transformation data; an output circuit for outputting the decoded video information according to the inverse transformation data. The plurality of parallel processing units introduced in the embodiments of the present application can perform parallel processing on the sub-code streams, thereby being able to improve the video decoding efficiency.

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权申请并被授予专利 (细则4.17(ii))

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 提供一种视频解码器及其制造方法, 数据处理电路、系统和方法。该视频解码器包括: 码流分割电路, 用于对接收到的码流进行分割, 得到多个子码流; 处理电路, 包含多个处理单元, 多个处理单元用于对多个子码流进行并行的熵解码和逆量化, 得到逆量化数据; 逆变换电路, 用于对逆量化数据进行逆变化, 得到逆变换数据; 输出电路, 用于根据逆变换数据, 输出解码后的视频信息。本申请实施例引入并行的多个处理单元, 能够对子码流进行并行处理, 从而能够提高视频解码效率。

视频解码器及其制造方法，数据处理电路、系统和方法

技术领域

本申请涉及视频编解码领域，并且更为具体地，涉及一种视频解码器及其制造方法，数据处理方法、电路及系统。

背景技术

视频编解码技术可以对视频数据进行压缩，从而方便视频数据的存储和传输。目前，视频编解码技术广泛应用于各个领域，如移动终端领域，无人机图传领域等。

视频解码过程可以理解为视频编码过程的逆过程，通常包括码流分割、熵解码、逆量化、逆变换等操作。

视频解码效率是视频解码器的重要衡量标准，如何提高视频解码效率一直是业界的研究热点。

发明内容

本申请提供一种视频解码器及其制造方法，数据处理电路、系统和方法，以提高视频解码效率。

第一方面，提供一种视频解码器，包括：码流分割电路，用于对接收到的码流进行分割，得到多个子码流；处理电路，包含多个处理单元，多个所述处理单元用于对多个所述子码流进行并行的熵解码和逆量化，得到逆量化数据；逆变换电路，用于对所述逆量化数据进行逆变化，得到逆变换数据；输出电路，用于根据所述逆变换数据，输出解码后的视频信息。

第二方面，提供一种制造视频解码器的方法，包括：提供用于对接收到的码流进行分割的码流分割电路，以得到多个子码流；在所述码流分割电路的输出端设置处理电路，所述处理电路包含多个处理单元，多个所述处理单元并行地对多个所述子码流进行熵解码和逆量化，得到逆量化数据；在所述处理电路的输出端设置逆变换电路，以对所述逆量化数据进行逆变化，得到逆变换数据；在所述逆变换电路的输出端设置输出电路，以根据所述逆变换数据，输出解码后的视频信息。

第三方面，提供一种数据处理电路，包括：第一接口电路，用于与所述

数据处理电路的后级电路相连；处理电路，用于检测所述后级电路发送的就绪信号，当检测到所述就绪信号有效时，开始对目标数据进行处理，并将处理后的数据发送至所述后级电路。

5 第四方面，提供一种数据处理系统，包括依次连接的多个处理电路，且至少部分所述处理电路为如第三方面所述的数据处理电路。

第五方面，提供一种数据处理电路的数据处理方法，所述数据处理电路包括第一接口电路和处理电路，所述第一接口电路用于与后级电路相连；所述数据处理方法包括：所述处理电路检测所述后级电路发送的就绪信号；当检测到所述就绪信号有效时，所述处理电路开始对目标数据进行处理，并将处理后的数据发送至所述后级电路。

本申请引入并行的多个处理单元，能够对子码流进行并行处理，从而能够提高视频解码效率。

附图说明

15 图 1 是本申请一个实施例提供的视频解码器的示意性结构图。

图 2 为视频中的图像帧、条带、码流、子码流的关系示例图。

图 3 是图 1 中的处理单元的示意性结构图。

图 4 是图 3 中的 VLD 电路的示意性结构图。

图 5 是图 3 中的逆量化电路的示意性结构图。

20 图 6 是本申请另一实施例提供的视频解码器的示意性结构图。

图 7 是图 1 中的输出电路的示意性结构图。

图 8 是本申请一个实施例提供的处理电路和逆变换电路的连接方式示例图。

25 图 9 是本申请另一实施例提供的处理电路和逆变换电路的连接方式示例图。

图 10 是数据处理系统中的前级电路和后级电路的交互方式的示意图。

图 11 是本申请实施例提供的前级电路的逻辑时序的示意图。

图 12 是本申请实施例提供的前级电路的逻辑时序图。

图 13 是本申请实施例提供的制造视频解码器的方法的示意性流程图。

30 图 14 是本申请实施例提供的数据处理电路的示意性结构图。

图 15 是本申请实施例提供的数据处理系统的示意性结构图。

图 16 是本申请实施例提供的数据处理方法的示意性流程图。

具体实施方式

为了便于理解，先对视频编解码的过程进行介绍。

- 5 视频编码器通常可以包括分割电路、变换域编码电路、量化电路、编码电路、码流输出电路等。可选地，视频编码器还可以包括滤波电路、码率控制电路等。

分割电路可以将待编码的图像帧分割为一个或多个可独立编解码的数据单元，并以该数据单元为单位进行独立的编码处理。分割电路分割出的数据单元可以是图像帧中的一块图像。该一块图像例如可以称为条带（slice）。后文主要以条带为例进行说明。

- 15 变换域编码电路可以将待编码的数据转换至频域，从频域的角度减小图像数据的相关性（如空间相关性），以降低码率。变换域编码对应的变换方式可以有多种，如傅里叶变换或离散余弦变换（discrete cosine transform, DCT）变换等。

量化电路主要利用人眼对高频信号敏感度较低的特性，将图像数据中的部分高频信息舍弃，从而将变换编码后的数值限定在一定范围内，以进一步降低码率。

- 20 编码电路可以采用行程编码、熵编码等编码方式对图像数据进行编码。行程编码和熵编码均属于无损编码。行程编码可以充分利用相邻图像块的特性，将图像块以 run-level 两个因子表示，从而进一步简化数据。熵编码例如可以是霍夫曼（Huffman）编码，也可以是算术编码等。熵编码可以将高频数据以更少的码流表示，以实现高频数据的无损压缩。

- 25 码率控制电路通常采用预测等方式计算待编码的条带所采用的量化值。码率控制电路可以在码流头部添加头部信息，从而将码流打包输出。

上文列举的视频编码器的电路是从功能上划分的功能电路，实际上，不同功能电路可以由同一或不同硬件电路实现，本申请实施例对此并不限定。

- 30 视频解码过程为视频编码过程的逆过程，通常包含码流分割、熵解码、逆量化、逆变换等操作。为了提高视频解码效率，下面结合图 1，详细描述本申请实施例提供的视频解码器 10。

如图 1 所示，视频解码器 10 通常可以包括码流分割电路 12、处理电路

14、逆变换电路 16 以及输出电路 18。

码流分割电路 12 有时也可称为流随机存取存储器控制 (stream random access memory control, stream RAM control) 电路。码流分割电路 12 可用于对接收到的码流进行分割, 得到多个子码流 (或称码流块)。子码流可以独立解码。子码流例如可以是条带数据被编码后得到的码流。相应地, 该子码流也可称为编码后的条带流 (slice coded stream)。

图像帧、条带、码流、子码流的关系与图像帧的尺寸、视频采用的编解码协议等因素有关, 本申请实施例对此并不限定。下面结合图 2, 以 4K 444 规格的视频为例进行举例说明。如图 2 中的 (a) 所示, 4K 444 规格的视频中的图像帧的尺寸为 4096×2160 。如图 2 中的 (b) 所示, 针对该图像帧, 可以以 128×16 为单位进行划分, 共得到 4320 个条带, 其中每个条带可以独立编解码。图像中的像素通常包含多个分量 (component), 如 RGB 分量, 或 YUV 分量, 如图 2 的 (c) 所示。对图 2 的 (a) 中的图像帧编码后, 可以得到具有如图 2 中的 (d) 所示的封装格式的码流。该码流包含图像帧的帧头 (frame header), 该帧头对应的帧数据可以包含 4320 个子码流形成的码流信息。图 2 中的 (d) 示出了子码流的一种封装格式, 从图 2 中的 (d) 可以看出, 子码流可以包含条带头 (slice header) 以及 Y、U、V 分量对应的码流信息。

处理电路 14 有时也可称为码流解码电路 (或称 PE unit, 其中 PE 为 process element 的缩写)。处理电路 14 可以包含多个处理单元 142。多个处理单元 142 可用于对多个子码流进行熵解码和逆量化, 得到逆量化数据。多个处理单元 142 对多个子码流的熵解码过程可以并行进行; 和/或多个处理单元 142 对多个子码流的逆量化过程可以并行进行。

以编码端采用行程编码的方式进行熵编码为例, 如图 3 所示, 在处理电路 142 中, 可以先利用可变长度解码器 (variable length decoder, VLD) 电路 144 将不等长的子码流解码成等长的字符 (例如可以根据字典等信息进行解码)。然后, 可以利用逆量化电路 146 将 VLD 电路 144 解码得到的字符 (例如可以包含直流分量 (direct component, DC) 系数和/或形成编码得到的 LEVEL 信息) 乘以量化因子, 得到逆量化数据。接着, 可以基于 Run 信息, 在地址控制器的控制下将逆量化数据写入到 RAM 的对应地址中, 以还原变换后、量化前的条带数据。

进一步地, 在一些实施例中, 处理单元 142 可用于对相应的子码流 (即该处理单元 142 所处理的子码流) 中的数据沿各个颜色分量进行并行的熵解码和/或并行的逆量化。

不同图像域的颜色分量不同, 本申请实施例对颜色分量的形式并不限定。例如可以包含亮度分量和/或色度分量。作为一个示例, 图像数据为 RGB 颜色空间的图像数据, 图像数据的颜色分量为 R 分量、G 分量、B 分量。作为另一个示例, 图像数据为 YUV 颜色空间的图像数据, 图像数据的颜色分量为 Y 分量、U 分量、V 分量。

以 YUV 颜色空间为例, 如图 4 所示, VLD 电路 144 可以进一步划分为 VLD 单元 144a, VLD 单元 144b, VLD 单元 144c。VLD 单元 144a, VLD 单元 144b, VLD 单元 144c 可分别用于对图像数据的 Y 分量、U 分量和 V 分量进行独立的可变长度解码。

逆变换电路 16 (可以包括一个或多个逆变换器) 可用于对处理电路 14 输出的逆量数据进行逆变换 (inverse transform)。逆变换方式可以有多种, 如逆离散余弦变换 (inverse discrete cosine transformation, IDCT) 或逆傅里叶变换等。

仍以 YUV 颜色空间为例, 如图 5 所示, 逆量化电路 146 可以进一步划分为逆量化单元 146a, 逆量化单元 146b, 逆量化单元 146c。逆量化单元 146a, 逆量化单元 146b, 逆量化单元 146c 可分别用于对数据的 Y 分量 (包括 Y 分量对应的 DC 系数和/或 LEVEL 信息)、U 分量 (包括 U 分量对应的 DC 系数和/或 LEVEL 信息) 和 V 分量 (包括 V 分量对应的 DC 系数和/或 LEVEL 信息) 进行独立的逆量化。应理解, 图 5 是以逆量化电路 146 包含三个逆量化单元, 且三个逆量化单元分别用于处理不同颜色分量对应的逆量化数据为例进行说明的, 但本申请实施例对逆量化电路 146 中包含的逆量化单元的数量, 以及每个逆量化单元处理的颜色分量的数量不做具体限定。例如, 逆量化电路 146 可以包含一个逆量化单元, 该逆量化单元可以处理三个颜色分量对应的逆量化数据。又如, 逆量化电路 146 可以包含两个逆量化单元, 其中一个逆量化单元可以处理两个颜色分量对应的逆量化数据, 另一个逆量化单元可以处理剩余的一个颜色分量对应的逆量化数据。

输出电路 18 有时也可称为写存储器存取单元 (write memory access unit, WR MAU)。输出电路 18 可用于输出解码后的视频信息。例如, 输出电路

18 可以通过外部传输线路(如高级可扩展接口(advanced eXtensible interface, AXI)总线)将解码后的视频信息输出(比如将解码后的视频信息写出至内存或视频的回放模块中)。

本申请实施例引入并行的多个处理单元,能够对子码流进行并行处理,从而能够提高视频解码效率。

可选地,在一些实施例中,在逆变化电路 16 对数据进行处理之后,输出电路 18 输出解码后的视频信息之前,还可以对逆变换之后的图像数据进行图像域变换,以在不同图像域对图像数据进行处理。例如,可以将图像数据从 YUV 域变换为 RGB 域进行处理,反之亦可。

可选地,如图 6 所示,视频解码器 10 还可以包括对外的软件配置接口 17,如高级外围总线(advanced peripheral bus, APB)接口或 AXI-Lite 接口。通过该软件配置接口 17,可以对视频解码器 10 的配置寄存器(configuration register, CFG REG,图中未示出)进行配置,从而可以调整或控制视频解码器 10 的解码方式。

可选地,如图 6 所示,视频解码器 10 还可以包括码流读取电路 11。码流读取电路 11 有时也可称为流存储器存取单元(stream memory access unit, stream MAU)。码流读取电路 11 可以使用如 AXI 总线或其他类型的数据传输线路,将码流读入到视频解码器 10 中,并解析码流中的头信息(header 信息)。

输出电路 18 可以包括一个输出接口(或一组输出接口),也可以包括多个输出接口(或多组输出接口)。以视频解码器 10 通过总线(如 AXI 总线)与系统中的其他部件相连为例,该输出接口也可称为写总线接口或写接口。当输出电路 18 包括多个输出接口(或多组输出接口)时,视频解码器 10 还可包括:开关电路(图中未示出)。该开关电路可用于控制至少一个输出接口(或至少一组输出接口)的导通与关断的。开关电路的控制方式可以有多种,例如,可以人工控制,也可以基于检测电路对视频解码器 10 或视频解码器 10 所处的系统的环境信息进行检测,并根据检测到的环境信息自动地对输出接口进行通断控制。该环境信息例如可以包括以下信息:与总线相连的输出接口的吞吐率,视频解码器所处的系统的工作频率,视频解码器的工作频率以及码流中的图像数据的格式。

如图 7 所示,可以为输出电路 18 预先设置 2 个输出接口,即图 7 中的

写总线接口 1 和写总线接口 2。视频解码器 10 可以根据实际需要选择 1 个输出接口或 2 个输出接口工作。当 2 个输出接口同时工作时, 视频解码器 10 可以通过该 2 个输出接口将解码后的视频信息并行输出, 以提高输出视频信息的效率。

- 5 本申请实施例可以根据实际情况配置视频解码器的输出接口的数量, 使得解码后的视频信息的输出方式更加灵活。

逆变化电路 16 可以实现并行的多点逆变换, 逆变换的点数与逆变换电路 16 的规格或部署方式有关, 本申请实施例对此并不限定。以需要实现 8×8 的逆变换为例, 作为一个示例, 可以通过部署两个规格为一维 (1D) 逆变换器分别做行列变换实现 8 点每周期 (或 8 point/cycle) 的并行逆变换; 10 作为另一个示例, 可以通过部署一个一维逆变换器实现 4 点每周期 (或 4 point/cycle) 的并行逆变换, 待逆变换的数据可以分时复用该一维逆变换器; 作为另一个示例, 可以通过部署一个更快的你变换器或者多个较慢的逆变换器来实现 16 点每周期的并行逆变换。由于逆变换器能够对数据进行多点并行处理, 因此, 通常而言, 比一个逆变换器对逆变换数据的处理要快于处理 15 电路 14 中的一个处理单元 142 对子码流的处理速度。如果不对二者的处理速度进行匹配, 则可能会浪费逆变换电路 16 的处理资源。下面结合具体的实施例, 详细描述本申请实施例提供的处理电路 14 和逆变换电路 16 之间的速率匹配方案。

- 20 可选地, 逆变换电路 16 可以包括多个逆变换器, 其中不同逆变换器用于处理子码流的不同颜色分量。

例如, 作为一种实现方式, 该逆变换器连接的处理单元的数量 X 可以等于 M_1 与 N_1 相除的结果向上取整。 M_1 可以表示处理单元完成一个子码流的一个颜色分量的处理所需的时间 (或所需的最长时间), N_1 可以表示逆变换器完成一个子码流的一个颜色分量的处理所需的时间。 25

应理解, X 、 M_1 、 N_1 的具体取值可以与子码流中的条带的尺寸以及逆变换器的规格有关, 本申请对此并不限定。以子码流中的条带的尺寸为 128×16 , 逆变换器为 4 点每周期的 IDCT 为例进行举例说明。由于 IDCT 的规格是 4 点每周期, 则 IDCT 完成一个条带数据的一个颜色分量的逆变换通常需要 512 30 个周期。处理单元 142 完成一个条带数据的解码最多需要 4096 个周期。由于 $4096/512$ 的结果等于 8, 因此, 如图 9 所示, 可以将 8 个处理单元 142 (即

图 9 中的处理单元 142a 至处理单元 142h) 与 3 个 IDCT 相连, 使得该 8 个处理单元 142 与 3 个 4 点每周期的 IDCT 的速率相匹配。利用图 9 所示的速率匹配结果, 有助于实现 8K 444@30fps 规格视频实时解码。

可选地, 逆变换电路 16 可以包括一个逆变换器。该逆变换器可用于对一个子码流的三个颜色分量进行处理。

作为一种实现方式, 该逆变换器连接的处理单元的数量 Y 可以等于 M_2 与 N_2 相除的结果向上取整。其中 M_2 可以表示处理单元完成一个子码流的一个颜色分量的处理所需的时间 (或所需的最长时间), N_2 可以表示逆变换器完成一个子码流的三个颜色分量的处理所需的时间。

应理解, Y 、 M_2 、 N_2 的具体取值与子码流中的条带的尺寸以及逆变换器的规格有关, 本申请对此并不限定。以子码流中的条带的尺寸为 128x16, 逆变换器为 IDCT 为例进行举例说明。由于 IDCT 的规格是 8 点每周期, 则 IDCT 完成一个条带数据 (包括 Y、U、V 三个分量的数据) 的逆变换通常需要 768 个周期 ($256 \times 3 = 768$ 个周期)。处理单元 142 完成一个条带的解码最多需要 4096 个周期。由于 $4096/768$ 的结果向上取整等于 6, 因此, 如图 8 所示, 可以将 6 个处理单元 142 (即图 8 中的处理单元 142a 至处理单元 142f) 与一个 8 点每周期的 IDCT 相连, 使得该 6 个处理单元 142 与该一个 IDCT 的速率相匹配。利用图 8 所示的速率匹配结构, 有助于实现 4K 444@60fps 或 6K 444@30fps 规格视频实时解码。

参见图 1, 视频解码器 10 中, 通常会设置依次连接的多个数据处理电路 (或称多个模块), 如码流分割电路 12、处理电路 14, 逆变换电路 16 等。视频解码器 10 中, 相邻的两个数据处理电路互为前后级电路。以数据处理电路为图 1 中的逆变换电路 16 为例, 则逆变换电路 16 的前级电路为处理电路 14; 相应地, 处理电路 14 的后级电路为逆变换电路 16。

如图 10 所示, 前级电路和后级电路可以通过接口相连。以后级电路视角来看, 通用的接口信号一般包括数据信号 (也可称为 input data), 数据有效信号 (也可称为 input data valid) 以及就绪信号 (output ready)。前级电路可以将处理完的数据传递至后级电路, 供后级电路继续处理。后级电路可以通过就绪信号向前级电路反馈状态, 以指示该后级电路是否准备好接收前级电路传递的数据信号。例如, 当后级电路的就绪信号有效时, 可以从前级电路接收数据信号和数据有效信号, 否则后级电路不接收前级电路发送的数据

信号和数据有效信号。

由于就绪信号与数据有效信号对应，当就绪信号无效时，需要及时控制前级电路暂缓处理（stall 住），或者可以在前级电路额外引入额外的存储资源（如 RAM），以缓存部分输出结果。前一种做法需要在前级电路引入更多的控制或处理逻辑，如果前级电路内部的流水级较多，这种做法会导致前级电路的控制复杂，从而导致前级电路的移植性、扩展性差。后一种做法会增加视频解码器的存储资源的消耗。

为了解决上述问题，本申请实施例提供的视频解码器 10 中的数据处理电路可以被配置为执行以下操作：检测数据处理电路的后级电路发送的就绪信号；当检测到就绪信号有效时，开始对目标数据进行处理，并将处理后的数据发送至后级电路。可选地，数据处理电路还可被配置为：数据处理电路对目标数据的处理时间与处理后的数据的发送时间部分重叠。二者之间的重叠时间可以由数据处理电路内部的流水级决定，本申请实施例对此并不限定。

本申请实施例中，在接收到后级电路发送的就绪信号之后，前级电路开始对数据进行处理。换句话说，前级电路的数据处理过程的启动可以由后级电路发送的就绪信号控制。这种数据处理和交互方式可以保证数据的正确传输，避免在视频解码器中引入复杂的控制逻辑或引入过多的存储资源。

图 11 和图 12 示出了本申请实施例提供的数据处理电路内部流水线的逻辑时序。如图 11 和图 12 所示，数据处理电路首先检查后级电路的就绪信号的状态；当就绪信号有效时（图 11 中的就绪表示就绪信号有效），数据处理电路开始处理数据包，并在经过一定延迟（该延迟的时间取决于数据处理电路内部的流水级的结构，因此，该延迟也可称为流水延迟（pipeline delay），本申请实施例对此并不限定）之后，输出处理后的数据包给后级电路。数据处理电路重复上述过程，直到处理完所有的数据。

本申请实施例相当于引入了一种以数据包为单位的整体握手和数据交互方式。数据包可以理解为相同类型的一组数据。以数据处理电路为如图 1 所示的码流分割电路 12 为例，数据包可以是待分割的码流数据。以数据处理电路为如图 1 所示的逆变换电路 16 为例，数据包可以是处理电路 14 输出的逆量化数据。

上文结合图 1 至图 12，详细描述了本申请实施例提供的视频解码器，下

面结合图 13,详细描述本申请实施例提供的制造视频解码器的方法。应理解,方法实施例与装置实施例的描述相互对应,因此,未详细描述的部分可以参见前面装置实施例。

图 13 是本申请实施例提供的制造视频解码器的方法的示意性流程图。

5 图 13 的方法可以包括步骤 1310-1340,下面对这些步骤进行详细描述。

在步骤 1310 中,提供用于对接收到的码流进行分割的码流分割电路,以得到多个子码流。

在步骤 1320 中,在码流分割电路的输出端设置处理电路。

10 该处理电路可以包含多个处理单元。多个处理单元可并行地对多个子码流进行熵解码和逆量化,得到逆量化数据。

在步骤 1330 中,在处理电路的输出端设置逆变换电路,以对逆量化数据进行逆变化,得到逆变换数据。

在步骤 1340 中,在逆变换电路的输出端设置输出电路,以根据逆变换数据,输出解码后的视频信息。

15 可选地,至少一个处理单元可用于对相应的子码流中的数据沿各个颜色分量进行并行的熵解码和逆量化。

可选地,颜色分量可以包括 RGB 颜色空间的颜色分量,或 YUV 颜色空间的颜色分量。

20 可选地,逆变换电路被可配置为:逆变换电路对逆量化数据的处理速度与处理电路对多个子码流的处理速度相匹配。

可选地,逆变换电路包括至少一个逆变换器,在处理电路的输出端设置逆变换电路。图 13 的方法还可包括:将逆变换器与多个处理单元相连。

25 可选地,逆变换器对应的处理单元的数量可以是基于以下因素中的至少一个确定的:逆变换器的变换速率,处理电路的数据处理速率,子码流的数据量,子码流的编码复杂度。

可选地,逆变换电路可以包括一个逆变换器。上述将逆变换器与多个处理单元相连可以包括:将逆变换器与 6 个处理单元相连。该逆变换器可用于从 6 个处理单元接收各个颜色分量对应的逆量化数据,并对各个颜色分量对应的逆量化数据执行 8 点每周期的二维逆变换。

30 可选地,逆变换电路可以包括并行的 3 个逆变换器。上述将逆变换器与多个处理单元相连可以包括:将逆变换器与 8 个处理单元相连。逆变换器可

用于从 8 个处理单元接收一个颜色分量对应的逆量化数据，并对一个颜色分量对应的逆量化数据执行 4 点每周期的一维逆变换。

可选地，输出电路可以包括多个输出接口。图 13 的方法还可包括：提供开关电路，以控制至少一个输出接口的导通与关断。

- 5 可选地，图 13 的方法还可包括：提供检测电路，以检测以下信息中的至少一种：与总线相连的输出接口的吞吐率，视频解码器所处的系统的工作频率，视频解码器的工作频率以及码流中的图像数据的格式。开关电路可用于根据检测电路检测到的信息，控制至少一个输出接口的导通与关断。

- 10 可选地，视频解码器中的数据处理电路可被配置为执行以下操作：检测数据处理电路的后级电路发送的就绪信号；当检测到就绪信号有效时，开始对目标数据进行处理，并将处理后的数据发送至后级电路。

可选地，数据处理电路可被配置为：数据处理电路对目标数据的处理时间与处理后的数据的发送时间部分重叠。

- 15 可选地，数据处理电路和后级电路可以通过数据线和数据有效线相连，上述将处理后的数据发送至后级电路可以包括：当数据有效线上的信号有效时，通过数据线向后级电路发送处理后的数据。

- 20 在数据处理系统中（如图 1 所示的视频解码器 10 即为一种典型的数据处理系统），通常会设置多个数据处理电路（或称多个模块）形成数据流的流水线，如图 1 所示的码流分割电路 12、处理电路 14，逆变换电路 16 等。视频解码器 10 中，相邻的两个数据处理电路互为前后级电路。以数据处理系统为图 1 所示的视频解码器 10，数据处理电路为图 1 中的逆变换电路 16 为例，则逆变换电路 16 的前级电路为处理电路 14；相应地，处理电路 14 的后级电路为逆变换电路 16。

- 25 前级电路和后级电路可以通过接口相连。以后级电路视角来看，通用的接口信号一般包括数据信号（也可称为 input data），数据有效信号（也可称为 input data valid）以及就绪信号（output ready）。前级电路可以将处理完的数据传递至后级电路，供后级电路继续处理。后级电路可以通过就绪信号向前级电路反馈状态，以指示该后级电路是否准备好接收前级电路传递的数据信号。例如，当后级电路的就绪信号有效时，可以从前级电路接收数据信号
30 和数据有效信号，否则后级电路不接收前级电路发送的数据信号和数据有效信号。

由于就绪信号与数据有效信号对应，当就绪信号无效时，需要及时控制前级电路暂缓处理（stall 住），或者可以在前级电路额外引入额外的存储资源（如 RAM），以缓存部分输出结果。前一种做法需要在前级电路引入更多的控制或处理逻辑，如果前级电路内部的流水级较多，这种做法会导致前级电路的控制复杂，从而导致前级电路的移植性、扩展性差。后一种做法会增加数据处理系统的存储资源的消耗。

本申请实施例提供一种数据处理电路，以解决上述问题。应理解，该数据处理电路可应用于如上文描述的视频解码器 10 中，也可应用于其他任意类型的数据处理系统中，本申请实施例对此并不限定。

如图 14 所示，本申请实施例提供的数据处理电路 1400 可以包括第一接口电路 1410 和处理电路 1420。第一接口电路 1410 可用于与数据处理电路 1400 的后级电路相连。处理电路 1420 可用于检测后级电路发送的就绪信号，当检测到就绪信号有效时，开始对目标数据进行处理，并将处理后的数据发送至后级电路。本申请实施例对处理电路 1420 将处理后的数据发送至后级电路的方式并不限定。例如，第一接口电路 1410 可以包括数据线和数据有效线，处理电路 1420 可用于当数据有效线上的信号有效时，通过数据线向后级电路发送处理后的数据。

本申请实施例中，在接收到后级电路发送的就绪信号之后，数据处理电路 1400 作为前级电路，开始对数据进行处理。换句话说，前级电路的数据处理过程的启动可以由后级电路发送的就绪信号控制。这种数据处理和交互方式可以保证数据的正确传输，避免在视频解码器中引入复杂的控制逻辑或引入过多的存储资源。

图 11 和图 12 示出了本申请实施例提供的数据处理电路内部流水线的逻辑时序。如图 11 和图 12 所示，数据处理电路首先检查后级电路的就绪信号的状态；当就绪信号有效时（图 11 中的就绪表示就绪信号有效），数据处理电路开始处理数据包，并在经过一定延迟（该延迟的时间取决于数据处理电路内部的流水级的结构，因此，该延迟也可称为流水延迟（pipeline delay），本申请实施例对此并不限定）之后，输出处理后的数据包给后级电路。数据处理电路重复上述过程，直到处理完所有的数据。

本申请实施例相当于引入了一种以数据包为单位的整体握手和数据交互方式。数据包可以理解为相同类型的一组数据。以数据处理电路为如图 1

所示的码流分割电路 12 为例，数据包可以是待分割的码流数据。

可选地，处理电路 1420 可以被配置为目标数据的处理时间与处理后的数据的发送时间部分重叠。二者之间的重叠时间可以由数据处理电路内部的流水级决定，本申请实施例对此并不限定。

5 可选地，数据处理电路 1400 还可包括第二接口电路。数据处理电路 1400 可以通过该第二接口电路与数据处理电路 1400 的前级电路相连。处理电路 1420 还可用于当接收到前级电路的数据时，将前级电路与数据处理电路的就绪信号设置为无效信号。本申请实施例中，数据处理电路 1400 作为后级电路，当收到其前级电路发送的数据包时，将该数据处理电路 1400 与该数据
10 处理电路 1400 的前级电路之间的就绪信号无效掉，从而避免前级电路因控制流水的延迟导致就绪信号的状态的错误判断。

本申请实施例还提供一种数据处理系统。该数据处理系统可以是如上文描述的视频解码器 10，也可以是其他类型的数据处理系统，本申请实施例对此并不限定。如图 15 所示，所述数据处理系统 1500 可以包括依次连接的多个
15 数据处理电路 1510，该多个处理电路 1510 中的至少部分处理电路为如图 14 所示的数据处理电路 1400。

可选地，数据处理系统 1500 还可包括：多个输出接口；开关电路，用于控制至少一个输出接口的导通与关断。

20 可选地，数据处理系统 1500 还可包括：检测电路，用于检测以下信息中的至少一种：与总线相连的输出接口的吞吐率，数据处理系统所处的计算机系统的主工作频率，数据处理系统的工作频率以及数据处理系统所处理的数据的类型；开关电路用于根据检测电路检测到的信息，控制至少一个输出接口的导通与关断。

上文结合图 14 至图 15，详细描述了本申请实施例提供的数据处理电路，
25 下面结合图 16，详细描述本申请实施例提供的数据处理电路的数据处理方法。应理解，方法实施例的描述与装置实施例的描述相互对应，因此，未详细描述的部分可以参见前面装置实施例。

该数据处理电路可以包括第一接口电路和处理电路。第一接口电路可用于与后级电路相连。如图 16 所示，本申请实施例提供的数据处理电路的数据
30 处理方法可以包括步骤 1610-1620。

在步骤 1610 中，处理电路检测后级电路发送的就绪信号。

在步骤 1620 中，当检测到就绪信号有效时，处理电路开始对目标数据进行处理，并将处理后的数据发送至后级电路。

可选地，处理电路被配置为：对目标数据的处理时间与处理后的数据的发送时间部分重叠。

- 5 可选地，第一接口电路包括数据线和数据有效线。步骤 1620 可进一步包括：当数据有效线的信号为有效时，通过数据线向后级电路发送处理后的数据。

- 10 可选地，数据处理电路还可包括第二接口电路，第二接口电路用于与数据处理电路的前级电路相连。图 16 的方法还可包括：当接收到前级电路的数据时，处理电路将前级电路与数据处理电路的就绪信号设置为无效信号。

需要说明的是，在不冲突的前提下，本申请描述的各个实施例和/或各个实施例中的技术特征可以任意的相互组合，组合之后得到的技术方案也应落入本申请的保护范围。

- 15 在上述实施例中，可以全部或部分地通过软件、硬件、固件或者其他任意组合来实现。当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机指令。在计算机上加载和执行所述计算机程序指令时，全部或部分地产生按照本申请实施例所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、或者其他可编程装置。所述计算机指令可以存储在计算机可读存储介质中，
- 20 或者从一个计算机可读存储介质向另一个计算机可读存储介质传输，例如，所述计算机指令可以从一个网站站点、计算机、服务器或数据中心通过有线（例如同轴电缆、光纤、数字用户线（digital subscriber line, DSL））或无线（例如红外、无线、微波等）方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是包含一个或多个可用介质集成的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质（例如，软盘、硬盘、磁带）、光介质
- 25 （例如数字视频光盘（digital video disc, DVD））、或者半导体介质（例如固态硬盘（solid state disk, SSD））等。

- 30 本领域普通技术人员可以意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特

定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统、装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本申请各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权利要求

1、一种视频解码器，其特征在于，包括：

码流分割电路，用于对接收到的码流进行分割，得到多个子码流；

处理电路，包含多个处理单元，多个所述处理单元用于对多个所述子码

5 流进行并行的熵解码和逆量化，得到逆量化数据；

逆变换电路，用于对所述逆量化数据进行逆变化，得到逆变换数据；

输出电路，用于根据所述逆变换数据，输出解码后的视频信息。

2、如权利要求 1 所述的视频解码器，其特征在于，所述处理单元用于对相应的子码流中的数据沿各个颜色分量进行并行的熵解码和逆量化。

10 3、如权利要求 2 所述的视频解码器，其特征在于，所述颜色分量包括 RGB 颜色空间的颜色分量，或 YUV 颜色空间的颜色分量。

4、如权利要求 1-3 中任一项所述的视频解码器，其特征在于，所述逆变换电路被配置为：所述逆变换电路对所述逆量化数据的处理速度与所述处理电路对多个所述子码流的处理速度相匹配。

15 5、如权利要求 4 所述的视频解码器，其特征在于，所述逆变换电路包括多个逆变换器，其中不同逆变换器用于处理子码流的不同颜色分量。

6、如权利要求 5 所述的视频解码器，其特征在于，所述逆变换器连接的所述处理单元的数量 X 等于 M_1 与 N_1 相除的结果向上取整，其中 M_1 表示所述处理单元完成一个子码流的一个颜色分量的处理所需的时间， N_1 表示所

20 述逆变换器完成一个子码流的一个颜色分量的处理所需的时间。

7、如权利要求 6 所述的视频解码器，其特征在于，所述逆变换电路包括并行的 3 个逆变换器，每个所述逆变换器与 8 个所述处理单元相连，用于从 8 个所述处理单元接收一个颜色分量对应的逆量化数据，并对所述一个颜色分量对应的逆量化数据执行 4 点每周期的一维逆变换。

25 8、如权利要求 4 所述的视频解码器，其特征在于，所述逆变换电路包括一个逆变换器，所述逆变换器用于对一个子码流的三个颜色分量进行处理。

9、如权利要求 8 所述的视频解码器，其特征在于，所述逆变换器连接的所述处理单元的数量 Y 等于 M_2 与 N_2 相除的结果向上取整，其中 M_2 表示所述处理单元完成一个子码流的一个颜色分量的处理所需的时间， N_2 表示所

30 述逆变换器完成一个子码流的三个颜色分量的处理所需的时间。

10、如权利要求 9 所述的视频解码器，其特征在于，所述逆变换器与 6 个所述处理单元相连，所述逆变换器用于从 6 个所述处理单元接收各个颜色分量对应的逆量化数据，并对所述各个颜色分量对应的逆量化数据执行 8 点每周期的一维逆变换。

5 11、如权利要求 1-10 中任一项所述的视频解码器，其特征在于，所述输出电路包括：

多个输出接口；

所述视频解码器还包括：

开关电路，用于控制至少一个所述输出接口的导通与关断。

10 12、如权利要求 11 所述的视频解码器，其特征在于，所述视频解码器还包括：

检测电路，用于检测以下信息中的至少一种：与总线相连的输出接口的吞吐率，所述视频解码器所处的系统的工作频率，所述视频解码器的工作频率以及所述码流中的图像数据的格式；

15 所述开关电路用于根据所述检测电路检测到的信息，控制至少一个所述输出接口的导通与关断。

13、如权利要求 1-12 中任一项所述的视频解码器，其特征在于，所述视频解码器中的数据处理电路被配置为执行以下操作：

检测所述数据处理电路的后级电路发送的就绪信号；

20 当检测到所述就绪信号有效时，开始对目标数据进行处理，并将处理后的数据发送至所述后级电路。

14、如权利要求 13 所述的视频解码器，其特征在于，所述数据处理电路被配置为：所述数据处理电路对所述目标数据的处理时间与所述处理后的数据的发送时间部分重叠。

25 15、如权利要求 13 或 14 所述的视频解码器，其特征在于，所述数据处理电路和所述后级电路通过数据线和数据有效线相连，所述数据处理电路用于当所述数据有效线上的信号有效时，通过所述数据线向所述后级电路发送所述处理后的数据。

16、一种制造视频解码器的方法，其特征在于，包括：

30 提供用于对接收到的码流进行分割的码流分割电路，以得到多个子码流；

在所述码流分割电路的输出端设置处理电路，所述处理电路包含多个处理单元，多个所述处理单元并行地对多个所述子码流进行熵解码和逆量化，得到逆量化数据；

5 在所述处理电路的输出端设置逆变换电路，以对所述逆量化数据进行逆变化，得到逆变换数据；

在所述逆变换电路的输出端设置输出电路，以根据所述逆变换数据，输出解码后的视频信息。

17、如权利要求 16 所述的方法，其特征在于，至少一个所述处理单元用于对相应的子码流中的数据沿各个颜色分量进行并行的熵解码和逆量化。

10 18、如权利要求 17 所述的方法，其特征在于，所述颜色分量包括 RGB 颜色空间的颜色分量，或 YUV 颜色空间的颜色分量。

19、如权利要求 16-18 中任一项所述的方法，其特征在于，所述逆变换电路被配置为：所述逆变换电路对所述逆量化数据的处理速度与所述处理电路对多个所述子码流的处理速度相匹配。

15 20、如权利要求 19 所述的方法，其特征在于，所述逆变换电路包括多个逆变换器，其中不同逆变换器用于处理子码流的不同颜色分量。

21、如权利要求 20 所述的方法，其特征在于，所述逆变换器连接的所述处理单元的数量 X 等于 M_1 与 N_1 相除的结果向上取整，其中 M_1 表示所述处理单元完成一个子码流的一个颜色分量的处理所需的时间， N_1 表示所述逆
20 变换器完成一个子码流的一个颜色分量的处理所需的时间。

22、如权利要求 21 所述的方法，其特征在于，所述逆变换电路包括并行的 3 个逆变换器，每个所述逆变换器与 8 个所述处理单元相连，用于从 8 个所述处理单元接收一个颜色分量对应的逆量化数据，并对所述一个颜色分量对应的逆量化数据执行 4 点每周期的一维逆变换。

25 23、如权利要求 19 所述的方法，其特征在于，所述逆变换电路包括一个逆变换器，所述逆变换器用于对一个子码流的三个颜色分量进行处理。

24、如权利要求 23 所述的方法，其特征在于，所述逆变换器连接的所述处理单元的数量 Y 等于 M_2 与 N_2 相除的结果向上取整，其中 M_2 表示所述处理单元完成一个子码流的一个颜色分量的处理所需的时间， N_2 表示所述逆
30 变换器完成一个子码流的三个颜色分量的处理所需的时间。

25、如权利要求 24 所述的方法，其特征在于，所述逆变换器与 6 个所

述处理单元相连,所述逆变换器用于从6个所述处理单元接收各个颜色分量对应的逆量化数据,并对所述各个颜色分量对应的逆量化数据执行8点每周期的一维逆变换。

26、如权利要求16-25中任一项所述的方法,其特征在于,所述输出电
5 路包括:

多个输出接口;

所述方法还包括:

提供开关电路,以控制至少一个所述输出接口的导通与关断。

27、如权利要求26所述的方法,其特征在于,所述方法还包括:
10 提供检测电路,以检测以下信息中的至少一种:与总线相连的输出接口的吞吐率,所述视频解码器所处的系统的工作频率,所述视频解码器的工作频率以及所述码流中的图像数据的格式;

所述开关电路用于根据所述检测电路检测到的信息,控制至少一个所述输出接口的导通与关断。

28、如权利要求16-27中任一项所述的方法,其特征在于,所述视频解
15 码器中的数据处理电路被配置为执行以下操作:

检测所述数据处理电路的后级电路发送的就绪信号;

当检测到所述就绪信号有效时,开始对目标数据进行处理,并将处理后的数据发送至所述后级电路。

29、如权利要求28所述的方法,其特征在于,所述数据处理电路被配
20 置为:所述数据处理电路对所述目标数据的处理时间与所述处理后的数据的发送时间部分重叠。

30、如权利要求28或29所述的方法,其特征在于,所述数据处理电路和所述后级电路通过数据线和数据有效线相连,

25 所述将处理后的数据发送至所述后级电路,包括:

当所述数据有效线上的信号有效时,通过所述数据线向所述后级电路发送所述处理后的数据。

31、一种数据处理电路,其特征在于,包括:

第一接口电路,用于与所述数据处理电路的后级电路相连;

30 处理电路,用于检测所述后级电路发送的就绪信号,当检测到所述就绪信号有效时,开始对目标数据进行处理,并将处理后的数据发送至所述后级

电路。

32、如权利要求 31 所述的数据处理电路，其特征在于，所述处理电路被配置为所述目标数据的处理时间与所述处理后的数据的发送时间部分重叠。

5 33、如权利要求 31 或 32 所述的数据处理电路，其特征在于，所述第一接口电路包括数据线和数据有效线，所述处理电路用于当所述数据有效线上的信号有效时，通过所述数据线向所述后级电路发送所述处理后的数据。

34、如权利要求 31-33 中任一项所述的数据处理电路，其特征在于，所述数据处理电路还包括：

10 第二接口电路，用于与所述数据处理电路的前级电路相连；

所述处理电路还用于当接收到所述前级电路的数据时，将所述前级电路与所述数据处理电路的就绪信号设置为无效信号。

35、一种数据处理系统，其特征在于，包括依次连接的多个处理电路，且至少部分所述处理电路为如权利要求 31-34 中任一项所述的数据处理电
15 路。

36、如权利要求 35 所述的数据处理系统，其特征在于，所述数据处理系统还包括：

多个输出接口；

开关电路，用于控制至少一个所述输出接口的导通与关断。

20 37、如权利要求 36 所述的数据处理系统，其特征在于，所述数据处理系统还包括：

检测电路，用于检测以下信息中的至少一种：与总线相连的输出接口的吞吐率，所述数据处理系统所处的计算机系统的主工作频率，所述数据处理系统的工作频率以及所述数据处理系统所处理的数据的类型；

25 所述开关电路用于根据所述检测电路检测到的信息，控制至少一个所述输出接口的导通与关断。

38、一种数据处理电路的数据处理方法，其特征在于，所述数据处理电路包括第一接口电路和处理电路，所述第一接口电路用于与后级电路相连；

所述数据处理方法包括：

30 所述处理电路检测所述后级电路发送的就绪信号；

当检测到所述就绪信号有效时，所述处理电路开始对目标数据进行处

理，并将处理后的数据发送至所述后级电路。

39、如权利要求 38 所述的数据处理方法，其特征在于，所述处理电路被配置为：对所述目标数据的处理时间与所述处理后的数据的发送时间部分重叠。

5 40、如权利要求 38 或 39 所述的数据处理方法，其特征在于，所述第一接口电路包括数据线和数据有效线，

所述将处理后的数据发送至所述后级电路，包括：

当所述数据有效线的信号为有效时，通过所述数据线向所述后级电路发送所述处理后的数据。

10 41、如权利要求 38-40 中任一项所述的数据处理方法，其特征在于，所述数据处理电路还包括第二接口电路，所述第二接口电路用于与所述数据处理电路的前级电路相连，

所述数据处理方法还包括：

15 当接收到所述前级电路的数据时，所述处理电路将所述前级电路与所述数据处理电路的就绪信号设置为无效信号。

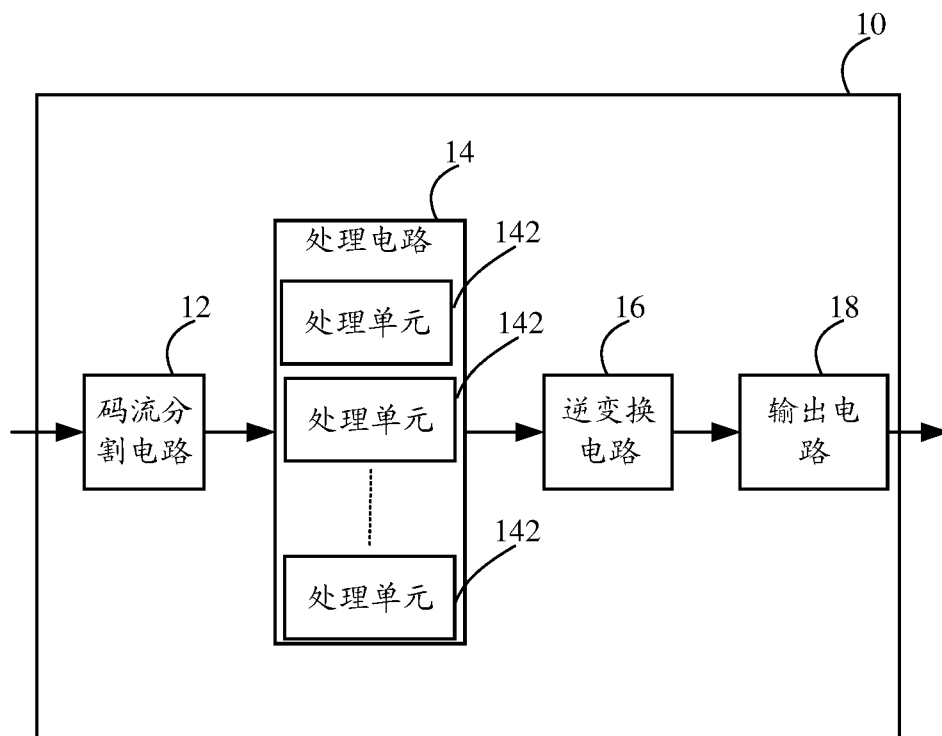


图 1

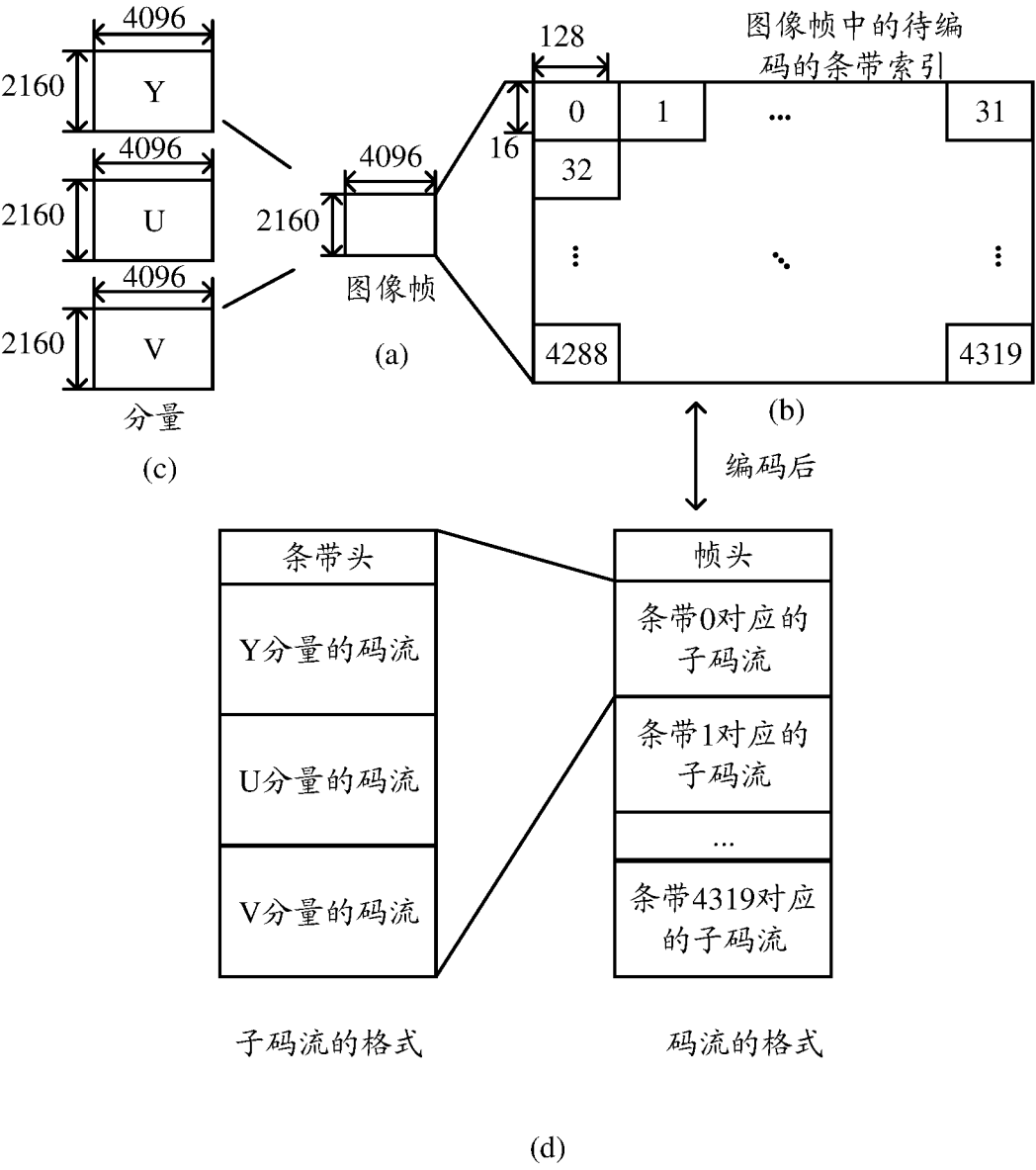


图 2

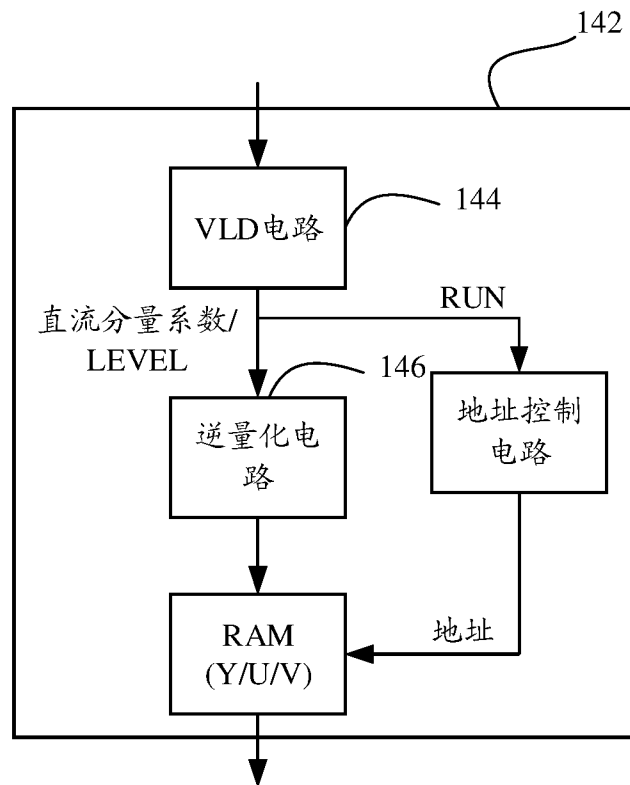


图 3

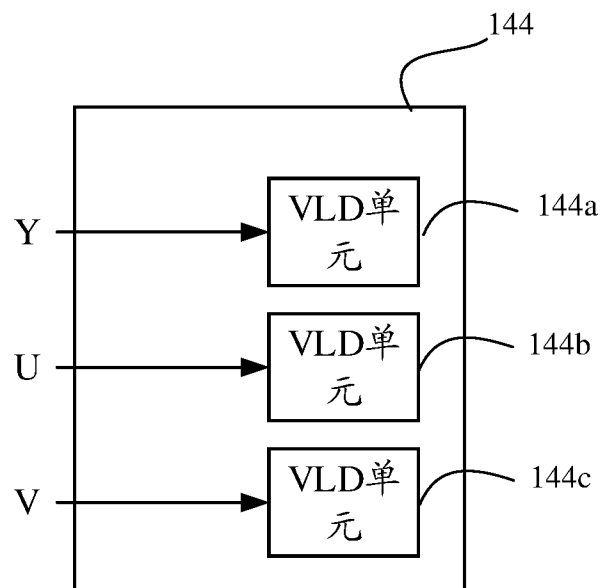


图 4

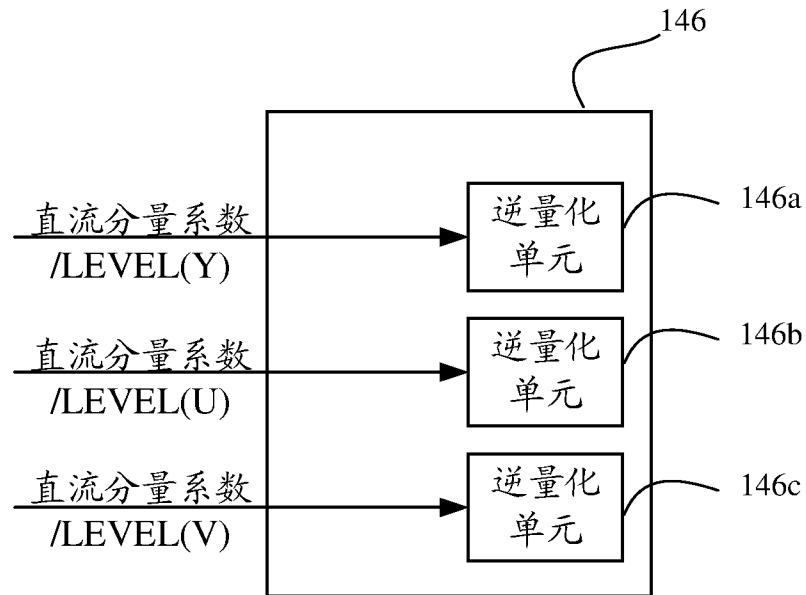


图 5

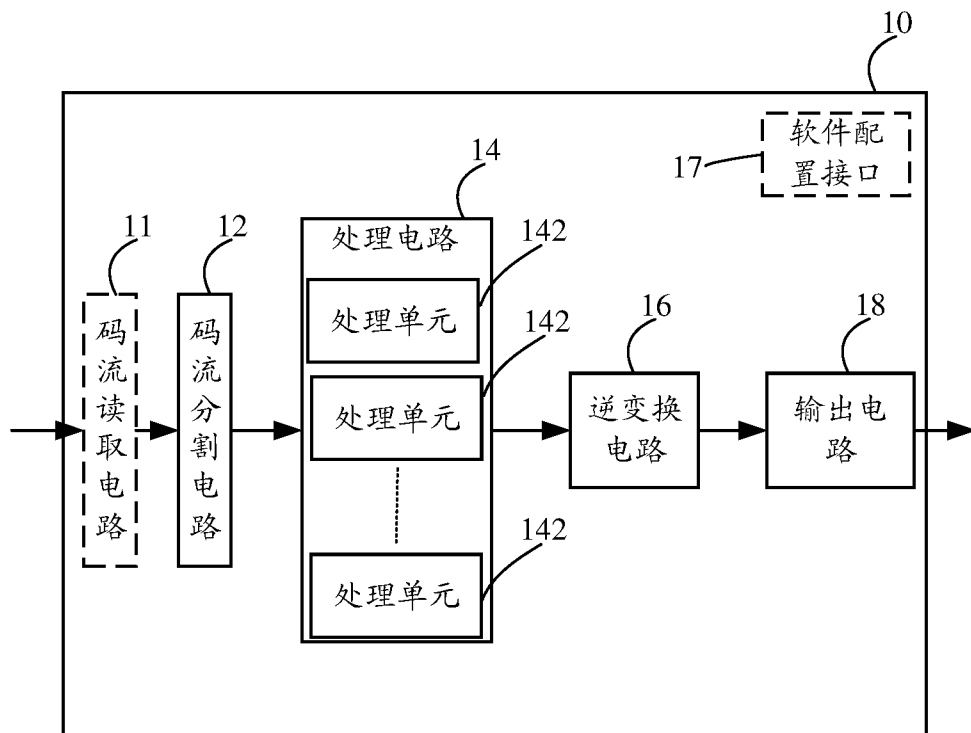


图 6

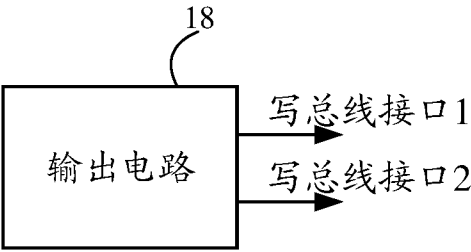


图 7

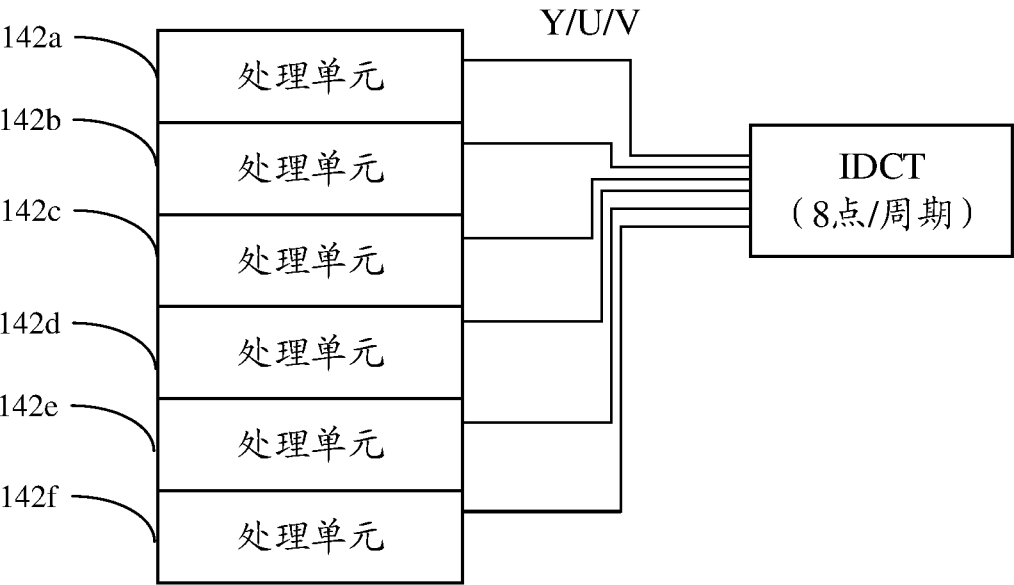


图 8

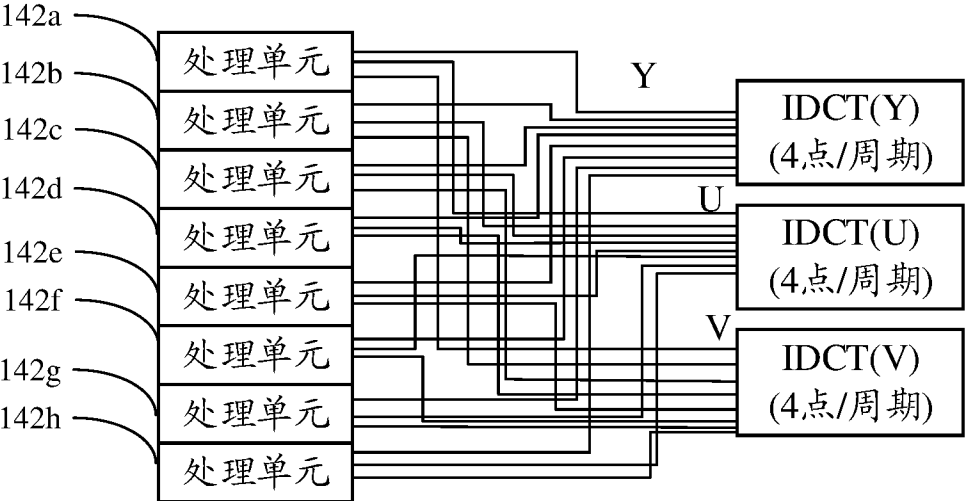


图 9

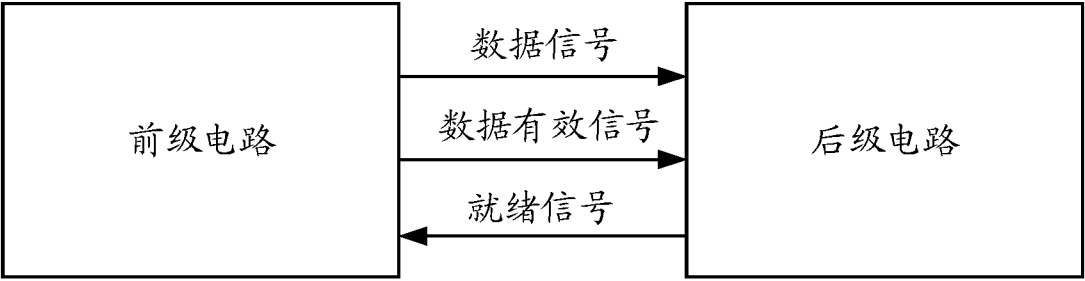


图 10

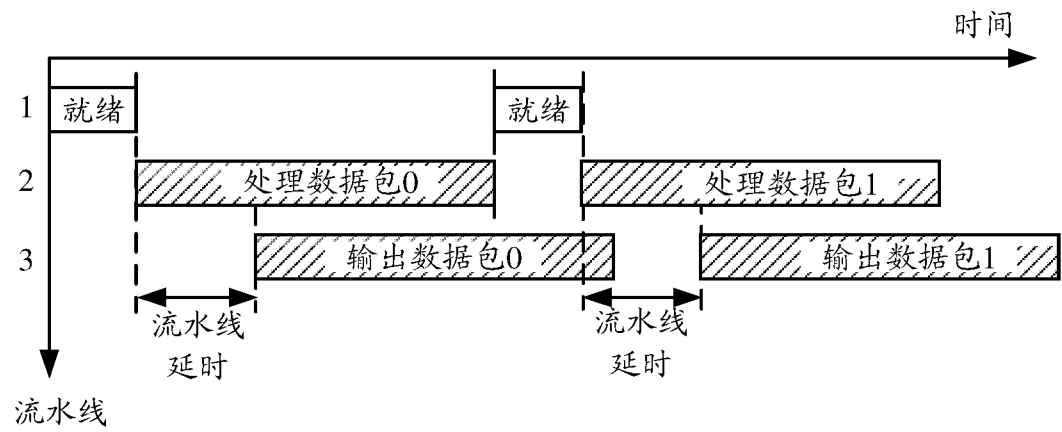


图 11

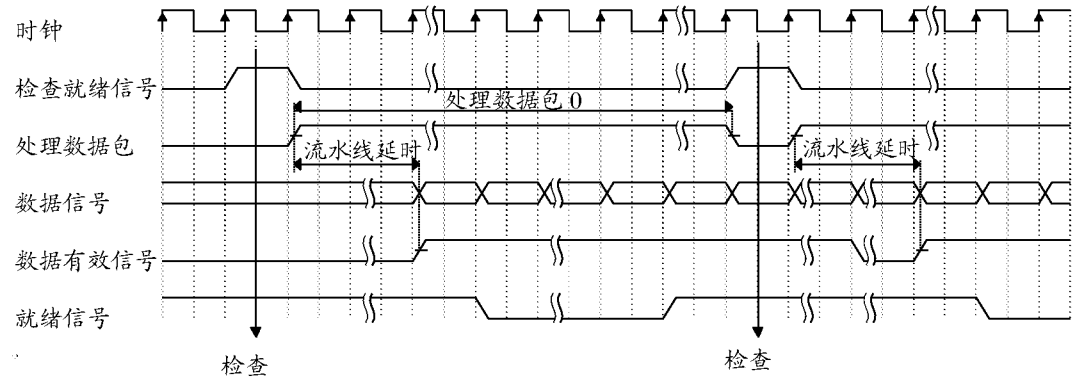


图 12

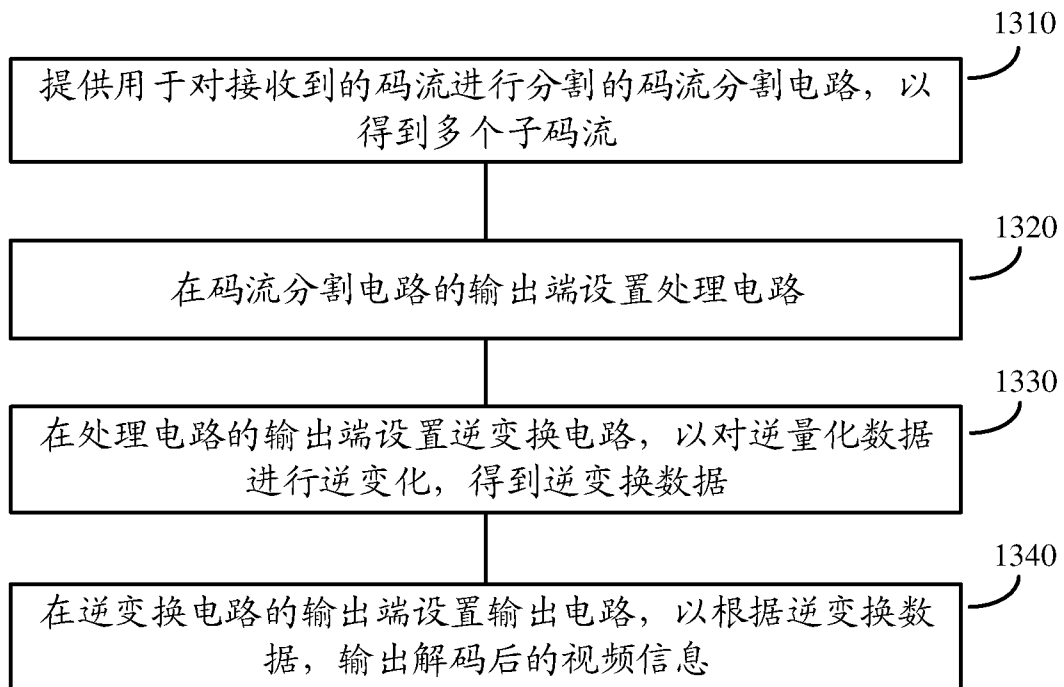


图 13

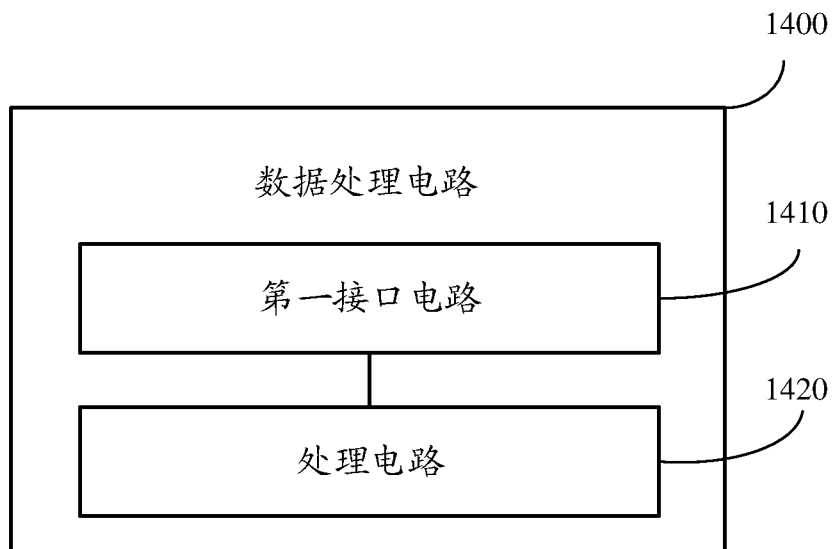


图 14

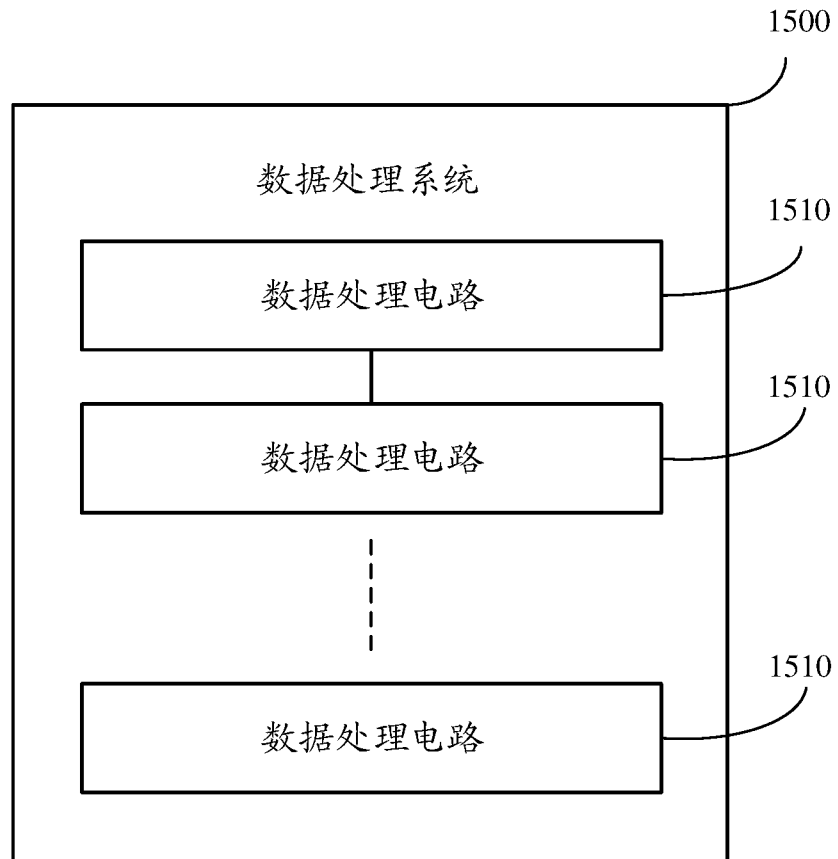


图 15

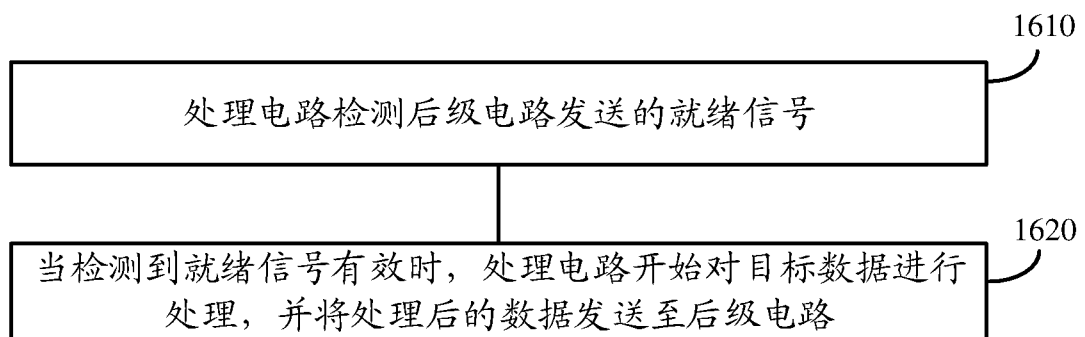


图 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/120016

A. CLASSIFICATION OF SUBJECT MATTER

H04N 19/186(2014.01)i; H04N 19/91(2014.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 颜色空间, 颜色分量, 解码, 解压, 熵, vld, 并行, 逆量化, 逆变换, RGB, YUV, 分割, 子码流, 数量, 时间, 就绪, 后级, 下一级, color, component, space, decod+, decompress+, entropy, parallel+, conver+, devid+, sub+, amount, time, ready, finish, level, next

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101889449 A (MITSUBISHI ELECTRIC CORPORATION) 17 November 2010 (2010-11-17) the abstract, claim 2, description, paragraphs [0878]-[0887] and [0928]-[0940], and figures 64-68 and 76-81	1-5, 8, 11, 12, 16-20, 23, 26, 27
Y	CN 101889449 A (MITSUBISHI ELECTRIC CORPORATION) 17 November 2010 (2010-11-17) the abstract, claim 2, description, paragraphs [0878]-[0887] and [0928]-[0940], and figures 64-68 and 76-81	13-15, 28-30
X	CN 1230081 A (PANASONIC CORPORATION) 29 September 1999 (1999-09-29) description, page 15, the last paragraph to page 20, paragraph 5, and figures 7-9	31-41
Y	CN 1230081 A (PANASONIC CORPORATION) 29 September 1999 (1999-09-29) description, page 15, the last paragraph to page 20, paragraph 5, and figures 7-9	13-15, 28-30
A	CN 106210728 A (MONTAGE TECHNOLOGY (SHANGHAI) CO., LTD.) 07 December 2016 (2016-12-07) entire document	1-41

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

31 August 2018

Date of mailing of the international search report

29 September 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/120016**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105451027 A (IMAGINATION TECHNOLOGY LTD.) 30 March 2016 (2016-03-30) entire document	1-41
A	WO 2015131328 A1 (MICROSOFT TECHNOLOGY LICENSING LLC ET AL.) 11 September 2015 (2015-09-11) entire document	1-41

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/120016

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101889449	A	17 November 2010	RU	2011119591	A	27 November 2012
				RU	2470480	C1	20 December 2012
				JP	2013176168	A	05 September 2013
				RU	2010102711	A	10 August 2011
				EP	2169961	A1	31 March 2010
				HK	1148148	A1	11 October 2013
				US	2009003716	A1	01 January 2009
				KR	20100032438	A	25 March 2010
				US	2009003717	A1	01 January 2009
				US	2009003441	A1	01 January 2009
				WO	2009001864	A1	31 December 2008
				CN	103327328	A	25 September 2013
				RU	2514787	C1	10 May 2014
				JP	WO2009001864	A1	26 August 2010
				RU	2430486	C1	27 September 2011
				EP	2661088	A1	06 November 2013
				RU	2012140183	A	10 May 2014
				BR	PI0813996	A2	06 January 2015
				CA	2691742	A1	31 December 2008
				EP	2169961	A4	15 June 2011
				KR	20110061627	A	09 June 2011
				US	2009110067	A1	30 April 2009
				US	2009003448	A1	01 January 2009
				US	2009003449	A1	01 January 2009
CN	1230081	A	29 September 1999	DE	69825710	D1	23 September 2004
				EP	0919953	A2	02 June 1999
				US	2003014264	A1	16 January 2003
CN	106210728	A	07 December 2016	US	2016301942	A1	13 October 2016
CN	105451027	A	30 March 2016	GB	201416591	D0	05 November 2014
				GB	2530311	A	23 March 2016
				GB	2542511	A	22 March 2017
				US	2016088313	A1	24 March 2016
				DE	102015114978	A1	24 March 2016
				US	2018084277	A1	22 March 2018
				US	2017085916	A1	23 March 2017
WO	2015131328	A1	11 September 2015	CN	105230023	A	06 January 2016
				MX	2016011297	A	08 November 2016
				EP	3114843	A4	01 March 2017
				KR	20160129067	A	08 November 2016
				JP	2017512439	A	18 May 2017
				JP	6340083	B2	06 June 2018
				RU	2653295	C2	07 May 2018
				US	2016261884	A1	08 September 2016
				PH	12016501641	A1	03 October 2016
				RU	2016135630	A	07 March 2018
				CA	2939434	A1	11 September 2015
				CL	2016002184	A1	03 February 2017
				RU	2016135630	A3	07 March 2018
				AU	2014385774	A1	01 September 2016
				SG	11201607282Y	A	29 September 2016

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/CN2017/120016

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
		EP 3114843 A1	11 January 2017

国际检索报告

国际申请号

PCT/CN2017/120016

A. 主题的分类

H04N 19/186(2014.01)i; H04N 19/91(2014.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H04N

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPODOC:颜色空间, 颜色分量, 解码, 解压, 熵, vld, 并行, 逆量化, 逆变换, RGB, YUV, 分割, 子码流, 数量, 时间, 就绪, 后缀, 下一级, color, component, space, decod+, decompress+, entropy, parallel+, conver+, devid+, sub+, amount, time, ready, finish, level, next

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101889449 A (三菱电机株式会社) 2010年 11月 17日 (2010 - 11 - 17) 摘要、权利要求2、说明书[0878]-[0887], [0928]-[0940]段、图64-68, 76-81	1-5, 8, 11, 12, 16-20, 23, 26, 27
Y	CN 101889449 A (三菱电机株式会社) 2010年 11月 17日 (2010 - 11 - 17) 摘要、权利要求2、说明书[0878]-[0887], [0928]-[0940]段、图64-68, 76-81	13-15, 28-30
X	CN 1230081 A (松下电器产业株式会社) 1999年 9月 29日 (1999 - 09 - 29) 说明书第15页最后1段至第20页第5段、图7-9	31-41
Y	CN 1230081 A (松下电器产业株式会社) 1999年 9月 29日 (1999 - 09 - 29) 说明书第15页最后1段至第20页第5段、图7-9	13-15, 28-30
A	CN 106210728 A (澜起科技上海有限公司) 2016年 12月 7日 (2016 - 12 - 07) 全文	1-41
A	CN 105451027 A (想象技术有限公司) 2016年 3月 30日 (2016 - 03 - 30) 全文	1-41
A	WO 2015131328 A1 (MICROSOFT TECHNOLOGY LICENSING LLC等) 2015年 9月 11日 (2015 - 09 - 11) 全文	1-41

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 8月 31日

国际检索报告邮寄日期

2018年 9月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

戚颖

电话号码 86-10-53961718

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/120016

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101889449	A	2010年 11月 17日	RU	2011119591	A	2012年 11月 27日
				RU	2470480	C1	2012年 12月 20日
				JP	2013176168	A	2013年 9月 5日
				RU	2010102711	A	2011年 8月 10日
				EP	2169961	A1	2010年 3月 31日
				HK	1148148	A1	2013年 10月 11日
				US	2009003716	A1	2009年 1月 1日
				KR	20100032438	A	2010年 3月 25日
				US	2009003717	A1	2009年 1月 1日
				US	2009003441	A1	2009年 1月 1日
				WO	2009001864	A1	2008年 12月 31日
				CN	103327328	A	2013年 9月 25日
				RU	2514787	C1	2014年 5月 10日
				JP	WO2009001864	A1	2010年 8月 26日
				RU	2430486	C1	2011年 9月 27日
				EP	2661088	A1	2013年 11月 6日
				RU	2012140183	A	2014年 5月 10日
				BR	PI0813996	A2	2015年 1月 6日
				CA	2691742	A1	2008年 12月 31日
				EP	2169961	A4	2011年 6月 15日
				KR	20110061627	A	2011年 6月 9日
				US	2009110067	A1	2009年 4月 30日
				US	2009003448	A1	2009年 1月 1日
				US	2009003449	A1	2009年 1月 1日
CN	1230081	A	1999年 9月 29日	DE	69825710	D1	2004年 9月 23日
				EP	0919953	A2	1999年 6月 2日
				US	2003014264	A1	2003年 1月 16日
CN	106210728	A	2016年 12月 7日	US	2016301942	A1	2016年 10月 13日
CN	105451027	A	2016年 3月 30日	GB	201416591	D0	2014年 11月 5日
				GB	2530311	A	2016年 3月 23日
				GB	2542511	A	2017年 3月 22日
				US	2016088313	A1	2016年 3月 24日
				DE	102015114978	A1	2016年 3月 24日
				US	2018084277	A1	2018年 3月 22日
				US	2017085916	A1	2017年 3月 23日
WO	2015131328	A1	2015年 9月 11日	CN	105230023	A	2016年 1月 6日
				MX	2016011297	A	2016年 11月 8日
				EP	3114843	A4	2017年 3月 1日
				KR	20160129067	A	2016年 11月 8日
				JP	2017512439	A	2017年 5月 18日
				JP	6340083	B2	2018年 6月 6日
				RU	2653295	C2	2018年 5月 7日
				US	2016261884	A1	2016年 9月 8日
				PH	12016501641	A1	2016年 10月 3日
				RU	2016135630	A	2018年 3月 7日
				CA	2939434	A1	2015年 9月 11日
				CL	2016002184	A1	2017年 2月 3日
				RU	2016135630	A3	2018年 3月 7日
				AU	2014385774	A1	2016年 9月 1日

表 PCT/ISA/210 (同族专利附件) (2015年1月)

国际申请号
PCT/CN2017/120016

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
		SG 11201607282Y A	2016年 9月 29日
		EP 3114843 A1	2017年 1月 11日

表 PCT/ISA/210 (同族专利附件) (2015年1月)