



(12)发明专利

(10)授权公告号 CN 103887187 B

(45)授权公告日 2018.11.23

(21)申请号 201410061904.5

H01L 23/31(2006.01)

(22)申请日 2014.02.24

H01L 23/488(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 103887187 A

(56)对比文件

US 2012/0313234 A1,2012.12.13,

CN 102543766 A,2012.07.04,

(43)申请公布日 2014.06.25

审查员 曹毓涵

(73)专利权人 通富微电子股份有限公司

地址 226006 江苏省南通市崇川区崇川路
288号

(72)发明人 夏鑫 丁万春 高国华

(74)专利代理机构 深圳市威世博知识产权代理

事务所(普通合伙) 44280

代理人 何青瓦

(51)Int.Cl.

H01L 21/50(2006.01)

H01L 21/60(2006.01)

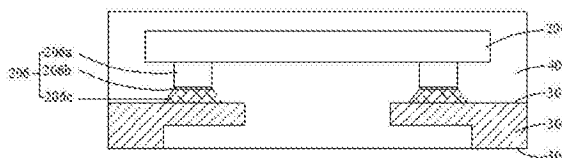
权利要求书1页 说明书5页 附图3页

(54)发明名称

半导体封装结构的形成方法

(57)摘要

一种半导体封装结构的形成方法,包括:提供半导体芯片,在芯片的焊盘上依次形成耐热金属层和金属浸润层,在金属浸润层上依次形成附着层和阻挡层,在阻挡层上形成焊料后回流,形成柱状凸点;提供引线框架,将形成有柱状凸点的芯片倒装于引线框架上,所述柱状凸点与引线框架的内引脚电连接;形成密封所述芯片、柱状凸点和引线框架,并裸露出所述外引脚的塑封层。本发明使得封装结构占据的横向的面积减小,整个封装结构的体积相应减小,提高了封装结构的集成度。



1. 一种半导体封装结构的形成方法,其特征在于,包括:
 - 提供半导体芯片,所述芯片的表面设有焊盘和钝化层,所述钝化层设有裸露所述焊盘的第一开口;
 - 在芯片的焊盘和钝化层上依次形成耐热金属层和金属浸润层;
 - 在金属浸润层上形成光刻胶,所述光刻胶设有曝露出芯片焊盘上方金属浸润层的第二开口,所述第二开口小于所述第一开口;
 - 在第二开口中的金属浸润层上依次形成附着层和阻挡层;
 - 在阻挡层上形成焊料;
 - 去除光刻胶;
 - 蚀刻钝化层上的耐热金属层和金属浸润层至钝化层裸露;
 - 回流焊料,形成柱状凸点;其中,所述焊料的厚度是35~70 μm ;
 - 提供L型引线框架,所述L型引线框架设有若干分立的引脚,内引脚和外引脚设于引脚的相对两面;
 - 将形成有柱状凸点的芯片倒装于引线框架上,所述柱状凸点与所述内引脚电连接,所述外引脚沿远离所述柱状凸点的方向延伸;
 - 通过注塑形成密封所述芯片、柱状凸点和引线框架,并裸露出所述外引脚的塑封层,其中,填充所述塑封层时,所述若干分立的引脚间的开口与所述芯片之间的空间以及所述芯片与所述内引脚之间的空间是相通的,所述塑封层包围所述芯片,并填充满所述若干分立的引脚间的开口及所述芯片和所述内引脚之间的区域。
2. 根据权利要求1所述的一种半导体封装结构的形成方法,其特征在于,所述耐热金属层的材料是钛、铬、钼或它们的组合。
3. 根据权利要求1所述的一种半导体封装结构的形成方法,其特征在于,所述金属浸润层的材料是铜、铝、镍或它们的组合。
4. 根据权利要求1所述的一种半导体封装结构的形成方法,其特征在于,所述附着层的材料是铜。
5. 根据权利要求4所述的一种半导体封装结构的形成方法,其特征在于,所述铜附着层的厚度是5~50 μm 。
6. 根据权利要求1所述的一种半导体封装结构的形成方法,其特征在于,所述阻挡层的材料是镍。
7. 根据权利要求6所述的一种半导体封装结构的形成方法,其特征在于,所述镍阻挡层的厚度是1.5~3 μm 。
8. 根据权利要求1所述的一种半导体封装结构的形成方法,其特征在于,所述焊料的材料是纯锡或锡合金。
9. 根据权利要求8所述的一种半导体封装结构的形成方法,其特征在于,所述焊料的厚度是5~70 μm 。

半导体封装结构的形成方法

技术领域

[0001] 本发明涉及半导体封装领域,尤其涉及一种半导体封装结构、的形成方法。

背景技术

[0002] 随着电子产品如手机、笔记本电脑等朝着小型化,便携式,超薄化,多媒体化以及满足大众需求的低成本方向发展,高密度、高性能、高可靠性和低成本的封装形式及其组装技术得到了快速的发展。与价格昂贵的BGA(Ball Grid Array)等封装形式相比,近年来快速发展的新型封装技术,如四边扁平无引脚QFN(Quad Flat No-leadPackage)封装,由于其具有良好的热性能和电性能、尺寸小、成本低以及高生产率等众多的优点,引发了微电子封装技术领域的一场新的革命。

[0003] 图1为现有的QFN封装结构的结构示意图,所述QFN封装结构包括:半导体芯片14,所述半导体芯片1上具有焊盘2;引脚3(引线框架),所述引脚3围绕所述半导体芯片1的四周排列;金属导线4,金属导线4将半导体芯片1的焊盘2与环绕所述半导体芯片1的引脚3电连接;塑封材料5,所述塑封材料5将半导体芯片1、金属线4和引脚3密封,引脚3的表面裸露在塑封材料的底面,通过引脚3实现半导体芯片1与外部电路的电连接。

[0004] 现有的封装结构占据的体积较大,不利于封装结构集成度的提高。

发明内容

[0005] 本发明解决的问题是怎样提高封装结构的集成度。

[0006] 为解决上述问题,本发明提供一种半导体封装结构的形成方法,包括:提供半导体芯片,所述芯片的表面设有焊盘和钝化层,所述钝化层设有裸露所述焊盘的第一开口;在芯片的焊盘和钝化层上依次形成耐热金属层和金属浸润层;在金属浸润层上形成光刻胶,所述光刻胶设有曝露出芯片焊盘上方金属浸润层的第二开口,所述第二开口小于所述第一开口;在第二开口中的金属浸润层上依次形成附着层和阻挡层;在阻挡层上形成焊料;去除光刻胶;蚀刻钝化层上的耐热金属层和金属浸润层至钝化层裸露;回流焊料,形成柱状凸点;其中,所述焊料的厚度是 $35\sim 70\mu\text{m}$;提供L型引线框架,所述L型引线框架设有若干分立的引脚,内引脚和外引脚设于引脚的相对两面;将形成有柱状凸点的芯片倒装于引线框架上,所述柱状凸点与所述内引脚电连接,所述外引脚沿远离所述柱状凸点的方向延伸;通过注塑形成密封所述芯片、柱状凸点和引线框架,并裸露出所述外引脚的塑封层,其中,填充所述塑封层时,所述若干分立的引脚间的开口与所述芯片之间的空间以及所述芯片与所述内引脚之间的空间是相通的,所述塑封层包围所述芯片,并填充满所述若干分立的引脚间的开口及所述芯片和所述内引脚之间的区域。

[0007] 与现有技术相比,本发明的技术方案具有以下优点:

[0008] 本发明的封装结构的形成方法将半导体芯片倒装在引脚上方,通过柱状凸点将半导体芯片上的焊盘与内引脚电连接,使得形成的封装结构占据的横向的面积减小,整个封装结构的体积较小,提高了封装结构的集成度。

附图说明

[0009] 图1为现有技术封装结构的结构示意图；

[0010] 图2~图11为本发明实施例封装结构的形成过程的剖面结构示意图。

具体实施方式

[0011] 下面结合附图对本发明的具体实施方式做详细的说明。

[0012] 首先,参考图2,提供半导体芯片200,所述半导体芯片200的表面设有焊盘201和钝化层202,所述钝化层202设有裸露所述焊盘201的第一开口。

[0013] 所述焊盘201是芯片200的功能输出端子,并最终通过后续形成的柱状凸点206实现电性功能的传导过渡;钝化层202的材料包括氧化硅、氮化硅、氮氧化硅、聚酰亚胺、苯三聚丁烯等介电材料或它们的混合物,用于保护芯片200中的线路。

[0014] 需要说明的是,所述芯片的焊盘和钝化层可以是芯片的初始焊盘和初始钝化层,也可以是根据线路布图设计需要而形成的过渡焊盘、钝化层;形成过渡焊盘、钝化层的方式主要是采用再布线工艺技术,通过一层或多层再布线将初始焊盘、钝化层转载到过渡焊盘、钝化层上。所述再布线工艺技术为现有成熟工艺,已为本领域技术人员所熟知,在此不再赘述。

[0015] 接着,参考图3,在芯片200的焊盘201和钝化层202上依次形成耐热金属层203和金属浸润层204。

[0016] 所述耐热金属层203的材料可以是钛Ti、铬Cr、钽Ta或它们的组合构成,本发明优选为Ti。所述金属浸润层204的材料可以是铜Cu、铝Al、镍Ni中的一种或它们的组合构成,其中较优的金属浸润层204为Cu。耐热金属层203与金属浸润层204一起构成最终结构的种子层。所述耐热金属层203和金属浸润层204的方法同样可以采用现有的蒸发或溅射或物理气相沉积的方法,其中较优的方法为溅射。当然,根据本领域技术人员的公知常识,形成的方法不仅限于溅射方法,其他适用的方法均可应用于本发明,并且形成的耐热金属层203和金属浸润层204的厚度也是根据实际的工艺需求而定。

[0017] 接着,参考图4,在金属浸润层204上形成光刻胶205,所述光刻胶205设有曝露出芯片200焊盘201上方金属浸润层204的第二开口。

[0018] 形成光刻胶205的方法可以是旋转涂布,这些方法的具体步骤已为本领域技术人员所熟知,在此不再赘述。形成光刻胶205后,具体可通过现有光刻显影技术定义出焊盘201的形状,使光刻胶205中形成开口以曝露出焊盘201上的金属浸润层204。

[0019] 在本发明的其它实施例中,所述第二开口小于所述第一开口,即光刻胶205的开口尺寸要小于芯片200的钝化层开口尺寸;目的是使后续形成的柱状凸点206能够落在第一开口内,避免使柱状凸点206形成于钝化层202上而造成应力过大、焊盘201容易脆裂的可靠性问题。

[0020] 接着,参考图5,在第二开口中的金属浸润层204上依次形成附着层206a和阻挡层206b。

[0021] 在这一步骤中,以芯片200上剩余的光刻胶205为掩膜,在上步中形成的第二开口内、金属浸润层204的上方,依次形成附着层206a和阻挡层206b,具体工艺可以通过用电镀

的方式。当然,根据本领域技术人员的公知常识,形成的方法不仅限于电镀,其他适用的方法均可应用于本发明。所述附着层206a的材料为铜Cu,阻挡层206b的材料为镍Ni。

[0022] 所述附着层206a铜的厚度为5~50 μm ,具体厚度为5 μm 、10 μm 、15 μm 、20 μm 、25 μm 、30 μm 、35 μm 、40 μm 、45 μm 或50 μm 等。附着层206a为最终电性输出端子即柱状凸点206的柱状结构主体。附着层206a在空间上提供了一个足够的物质空间,保证了后续形成的焊料206c在回流后能够牢固地置于附着层206a上而不会偏离,同时也提高了与焊料206c之间的结合力;同时,也正因为附着层206a的柱状结构使得焊料206c的尺寸得以缩小,在保证最终产品焊接过程中物理连接可靠度的前提下,提升了单位空间内的功能输出端口数,更能满足密间距、功能输出多的封装需求。

[0023] 所述阻挡层206b镍的厚度为1.5 μm ~3 μm ,具体厚度为1.5 μm 、2 μm 、2.5 μm 或3 μm 等。阻挡层206b的作用为防止后续形成焊料凸点的材料扩散至金属浸润层204中,当Ni层厚度小于1.5 μm 时,Ni最终会因相邻金属间的扩散效应而消失,进而无法有效地阻挡后续焊料凸点扩散到金属浸润层204中;当Ni层厚度大于3 μm 时,会因Ni金属本身的电热性能较差而导致电阻率上升,进而影响最终产品的电热性能。因此,厚度适宜的阻挡层(Ni)一方面能够避免自身因扩散效应而消失,进而有效地阻止焊料和金属浸润层之间因金属间化合物的形成而产生的孔隙;同时又不至于因镍阻挡层过厚而导致电阻率上升而影响产品的电热性能。

[0024] 接着,参考图6,在阻挡层206b上形成焊料206c。

[0025] 在这一步骤中,仍以光刻胶205为掩膜,在阻挡层206b上形成焊料206c,形成所述焊料206c的材料为纯锡或锡合金,如锡银合金、锡铜合金、锡银铜合金等。形成焊料206c的方法可以是电解电镀、溅射、网版印刷或直接植入预制好的焊料球等方式,这些方法的具体步骤已为本领域技术人员所熟知,在此不再赘述。

[0026] 本实施例中,焊料206c的厚度为5 μm ~70 μm ,具体厚度例如5 μm 、10 μm 、15 μm 、20 μm 、25 μm 、30 μm 、35 μm 、40 μm 、45 μm 、50 μm 、55 μm 、60 μm 、65 μm 或70 μm 等。由上述步骤形成的柱状结构,可以大大减少焊料308a的使用量,一方面节约了材料成本,更重要的是少量焊料206c回流后的尺寸较小,能满足焊盘201密间距或相同空间内更多功能输出点的应用需求。

[0027] 接着,参考图7,去除光刻胶205;以附着层206a为掩膜,蚀刻钝化层202上的耐热金属层203和金属浸润层204至钝化层裸露。

[0028] 在完成上述工序后,光刻胶205可以去除了,可以使用湿法或剥离的方式去除,这些方法的具体步骤已为本领域技术人员所熟知,在此不再赘述。

[0029] 在本实施例中,具体可通过喷洒酸液或将晶片浸泡于酸液中的方法来去除焊料206c以外的芯片200表面的金属浸润层204和耐热金属层203,从而曝露出钝化层202。

[0030] 接着,参考图8,回流焊料,形成柱状凸点206。

[0031] 在本实施例中,通过回流加热熔化焊料206c成半球状,构成了由附着层206a、阻挡层206b和焊料206c组成的柱状凸点206,此时,芯片200的功能输出端子由焊盘201过渡到柱状凸点206上,柱状凸点206成为了芯片200的电性输出端。

[0032] 接着,参考图9,提供引线框架300,所述引线框架300设有若干分立的引脚,内引脚301和外引脚302设于引脚的相对两面。

[0033] 所述引线框架300采用冲切或蚀刻工艺形成,内引脚301作为引脚的电性输入端与有源器件或无源器件相连,外引脚作为电性输出端与下一级封装如印刷电路板等进行互

连。

[0034] 接着,参考图10,将形成有柱状凸点206的芯片200倒装于引线框架300上,所述柱状凸点206与所述内引脚301电连接。

[0035] 通过柱状凸点206将芯片200上的焊盘201与内引脚301电连接,使得形成的封装结构占据的横向的面积减小,整个封装结构的体积较小,提高了封装结构的集成度。同时,与传统通过金属引线将焊盘201与内引脚301互连的方式相比,本发明的倒装结构大大缩短了芯片200与内引脚201间的传输距离,电阻、热阻也相应降低,从而提升了整个产品的性能,作为芯片200输出端的柱状凸点206也更能满足大功率产品的要求。

[0036] 柱状凸点206与内引脚301互连后,还需经过回流工艺,回流工艺具有固化焊料、校准对位的功能,使柱状凸点206与内引脚301之间能够精确对位并且固定。

[0037] 然后,请参考图11,形成密封所述芯片200、柱状凸点206和引线框架300,并裸露出外引脚302的塑封层400。

[0038] 所述塑封层400包围所述芯片200、填充芯片200和内引脚301之间的区域,塑封层400还填充满引脚之间的开口,塑封层400的底部暴露出外引脚302。填充塑封层400时,由于引脚间的开口与芯片200之间的空间以及芯片200与内引脚301之间的空间是相通的,提高了塑封材料的流动性,从而防止在塑封层400中产生空隙等缺陷。

[0039] 所述塑封层400用于保护和隔离封装结构,所述塑封层400的材料为树脂,所述树脂可以为环氧树脂、聚酰亚胺树脂、苯并环丁烯树脂或聚苯并恶唑树脂;所述树脂也可以为聚对苯二甲酸丁二酯、聚碳酸酯、聚对苯二甲酸乙二醇酯、聚乙烯、聚丙烯、聚烯烃、聚氨酯、聚烯烃、聚醚砜、聚酰胺、聚亚氨酯、乙烯-醋酸乙烯共聚物或聚乙烯醇;所述塑封层400还可以为其他合适的塑封材料。

[0040] 所述塑封层400的形成工艺为注塑工艺或转塑工艺(transfer molding)。所述塑封层400的形成工艺还可以为其他合适的工艺。

[0041] 形成塑封层400后,还包括,采用切割工艺分割塑封层400,形成多个分立的半导体封装单元。

[0042] 上述方法形成的封装结构,请参考图11,包括:

[0043] 芯片200,所述芯片200的表面设有焊盘201和钝化层202,所述钝化层202设有裸露所述焊盘201的第一开口,所述焊盘201上设有种子层和柱状凸点206,所述种子层与焊盘201相连,所述柱状凸点206堆叠于所述种子层上;

[0044] 引线框架300,所述引线框架300设有若干分立的引脚,内引脚301和外引脚302设于引脚的相对两面;

[0045] 所述芯片200倒装于引线框架300上,所述柱状凸点206与所述内引脚301相连;

[0046] 塑封层400,所述塑封层400密封所述芯片200、柱状凸点206和引线框架300,并裸露出所述外引脚302;

[0047] 所述柱状凸点206自下而上依次由附着层206a、阻挡层206b和焊料206c堆叠组成,所述附着层206a与种子层相连,阻挡层206b堆叠于附着层206a上,焊料206c堆叠于阻挡层206b上。

[0048] 具体的,所述种子层由耐热金属层203和金属浸润层204堆叠组成,所述耐热金属层203与焊盘201相连,所述金属浸润层204堆叠于所述耐热金属层203上。

[0049] 所述柱状凸点206设于所述第一开口内。

[0050] 所述耐热金属层203的材料是钛、铬、钽或它们的组合。

[0051] 所述金属浸润层204的材料是铜、铝、镍或它们的组合。

[0052] 所述附着层206a的材料是铜,铜的厚度是5~50 μm 。

[0053] 所述阻挡层206b的材料是镍,镍的厚度是1.5~3 μm 。

[0054] 所述焊料206c的材质是纯锡或锡合金,焊料206c的厚度是5~70 μm 。

[0055] 综上,本发明实施例的封装结构及其封装结构的形成方法,将半导体芯片倒装在内引脚上,通过种子层和柱状凸点块构成的连接结构将半导体芯片上的焊盘与引脚电连接,使得整个封装结构的体积较小,并且该封装结构的形成方法能实现引线框结构的芯片尺寸级封装,提高了封装结构的集成度。

[0056] 虽然本发明以较佳实施例披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

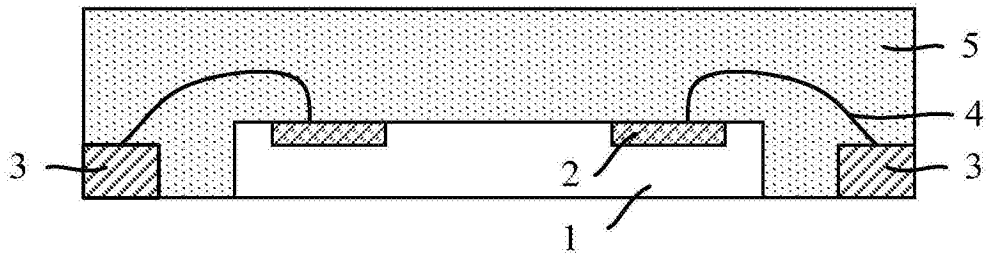


图1

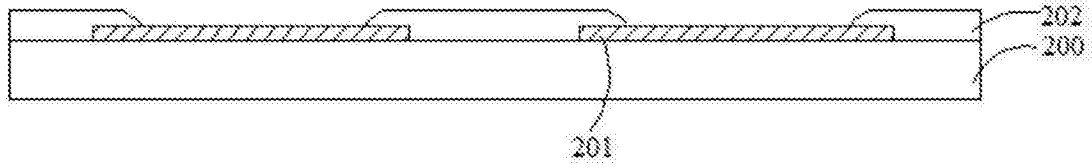


图2

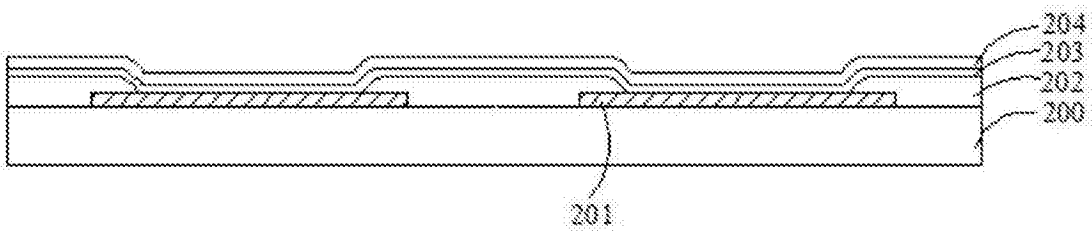


图3

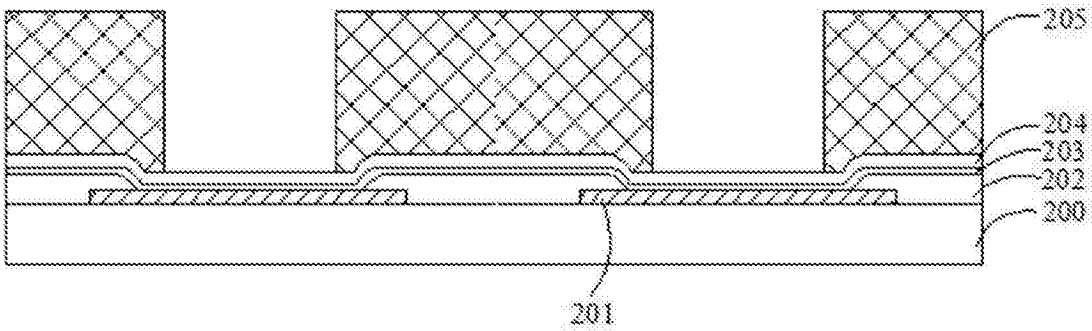


图4

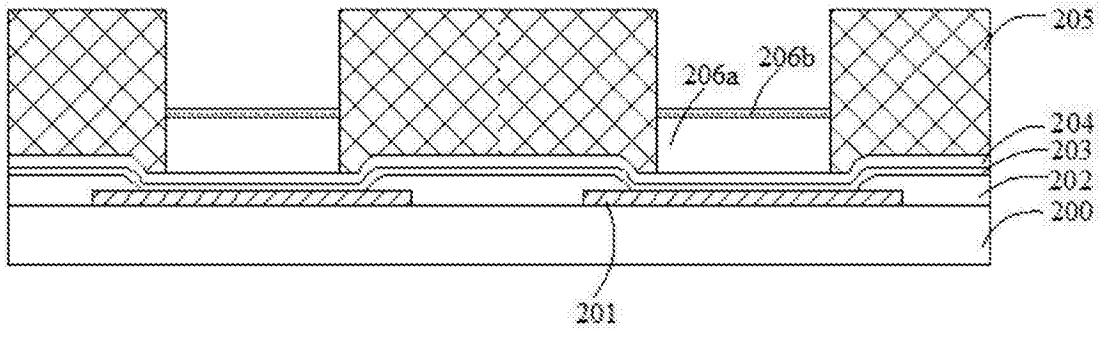


图5

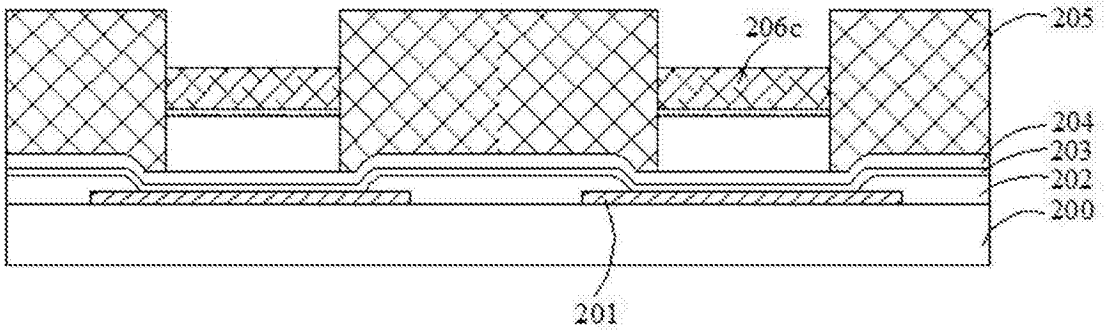


图6

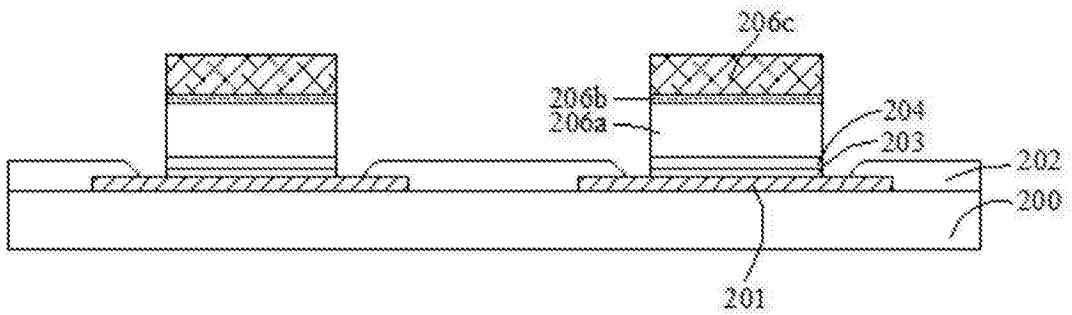


图7

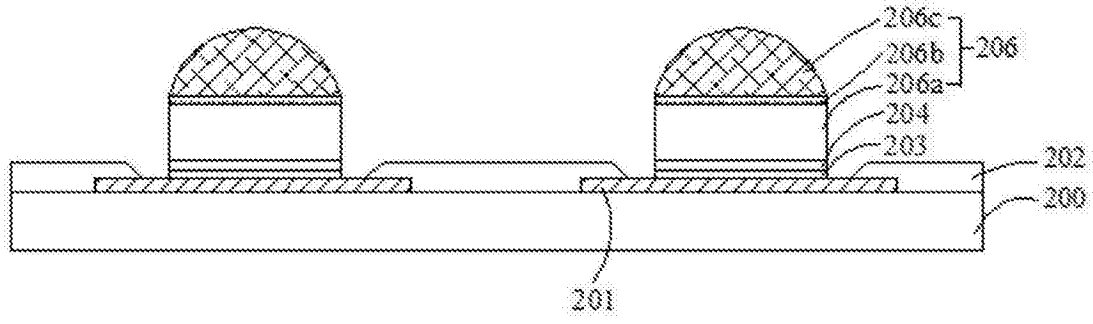


图8



图9

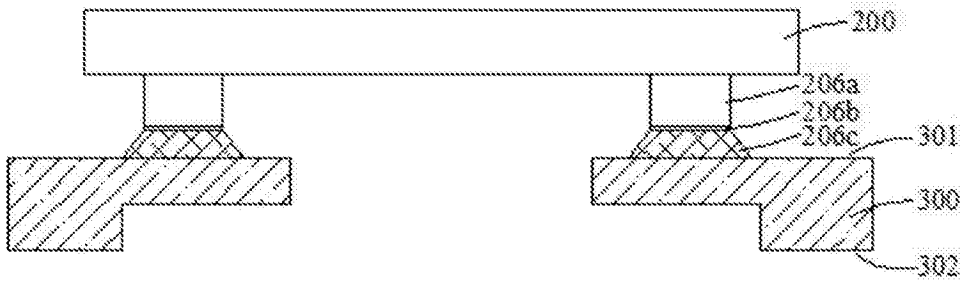


图10

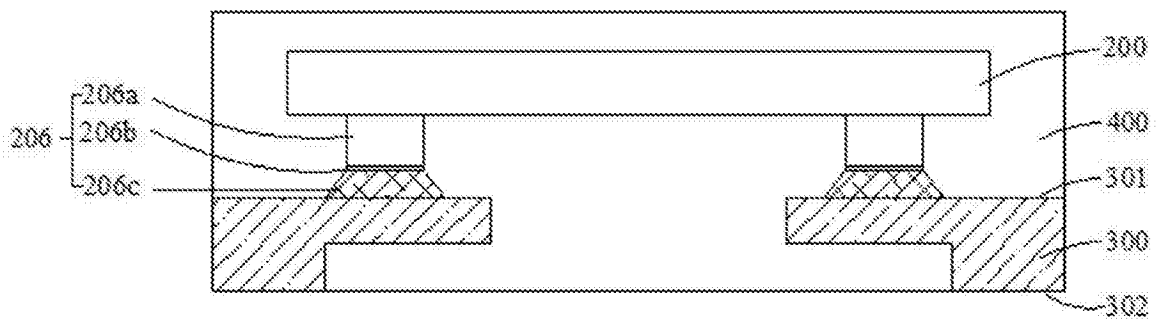


图11