

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年12月31日 (31.12.2008)

PCT

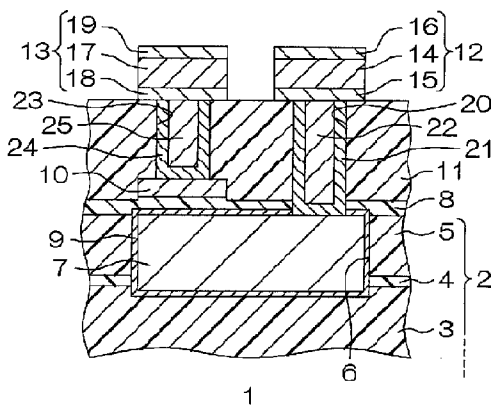
(10) 国際公開番号
WO 2009/001780 A1

- (51) 国際特許分類:
H01L 21/768 (2006.01) H01L 23/522 (2006.01)
H01L 21/316 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01)
- (74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町2丁目6番12号 サンマリオンNBFタワー21階 あい特許事務所内 Osaka (JP).
- (21) 国際出願番号: PCT/JP2008/061347
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (22) 国際出願日: 2008年6月20日 (20.06.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-165540 2007年6月22日 (22.06.2007) JP
特願2007-165541 2007年6月22日 (22.06.2007) JP
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中尾 雄一 (NAKAO, Yuichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto (JP).
- 添付公開書類:
— 国際調査報告書

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置およびその製造方法

図1



(57) Abstract: Disclosed is a semiconductor device comprising a first insulating layer made of a material containing Si and O, a groove formed by excavating the first insulating layer, an embedded body embedded in the groove and made of a metal material mainly containing Cu, a second insulating layer formed on the first insulating layer and the embedded body and made of a material containing Si and O, and a barrier layer formed between the embedded body and the second insulating layer as well as between the embedded body and the second insulating layer and made of $Mn_xSi_yO_z$ (wherein x, y and z are numbers larger than 0).

(57) 要約: 本発明の半導体装置は、Si および O を含む材料からなる第1絶縁層と、前記第1絶縁層を掘り下げた形状の溝と、前記溝に埋設され、Cu を主成分とする金属材料からなる埋設体と、前記第1絶縁層および前記埋設体上に積層され、Si および O を含む材料からなる第2絶縁層と、前記埋設体と前記第1絶縁層および前記第2絶縁層との各間に形成され、 $Mn_xSi_yO_z$ (x, y, z: 零よりも大きい数) からなるバリア膜とを備えている。

WO 2009/001780 A1

明 細 書

半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造方法に関する。

背景技術

[0002] 近年、電極および配線の材料として、従来から一般的に用いられているAl(アルミニウム)に代えて、より導電性の高いCu(銅)を用いることが検討されている。

たとえば、容量膜を下部電極および上部電極で挟み込んだMIM(Metal-Insulator-Metal)構造の容量素子(以下「MIM容量素子」という。)は、抵抗成分が小さく、高容量密度化が可能であることから、特に無線通信用システムLSIに搭載される容量素子として注目されている。MIM容量素子では、下部電極および上部電極の材料として、Alが一般的に用いられているが、さらなる低抵抗化のために、下部電極の材料として、Cuを用いることが検討されている。

[0003] 図6は、下部電極の材料としてCuを採用したMIM容量素子の模式的な断面図である。

MIM容量素子101は、図示しない半導体基板上に形成されている。

半導体基板には、絶縁層102が積層されている。絶縁層102は、 SiO_2 (酸化シリコン)からなる層間絶縁膜103、 SiC (炭化シリコン)からなるエッチストップ膜104および SiO_2 からなる層間絶縁膜105を半導体基板側からこの順に積層した構造を有している。

[0004] 絶縁層102の表層部には、その表面から掘り下げた形状の溝106が形成されている。溝106には、Cuからなる下部電極107が埋設されている。

Cuは、Alに比べて、 SiO_2 への拡散性が高い。このため、下部電極107が絶縁層102に直に接触していると、絶縁層102中にCuが拡散し、電極間の短絡などを生じるおそれがある。そのため、絶縁層102と下部電極107との間には、Cuの絶縁層102への拡散を防止するための拡散防止膜108が形成されている。この拡散防止膜108は、たとえば、Ta(タンタル)からなる。

[0005] 絶縁層102および下部電極107の上には、誘電材料からなる容量膜109が積層されている。容量膜109上には、TiN(窒化チタン)からなる上部電極110が形成されている。この上部電極110は、容量膜109を挟んで下部電極107と対向し、平面視で下部電極107よりも小さい外形を有している。

容量膜109および上部電極110上には、 SiO_2 からなる層間絶縁膜111が積層されている。層間絶縁膜111上には、配線112, 113がそれぞれ所定のパターンに形成されている。

[0006] 層間絶縁膜111および容量膜109には、下部電極107と配線112とが対向する部分において、コンタクトホール114が膜厚方向(積層方向)に貫通して形成されている。コンタクトホール114には、下部電極コンタクトプラグ115が形成されている。下部電極コンタクトプラグ115により、配線112と下部電極107とが電氣的に接続されている。

[0007] 層間絶縁膜111には、上部電極110と配線113とが対向する部分において、コンタクトホール116が膜厚方向(積層方向)に貫通して形成されている。コンタクトホール116には、上部電極コンタクトプラグ117が形成されている。上部電極コンタクトプラグ117により、配線113と上部電極110とが電氣的に接続されている。

誘電材料には、SiN(窒化シリコン)、SiCN(炭窒化シリコン)および SiO_2 などがある。下部電極107の材料としてCuが用いられる場合、容量膜109の材料としては、Cuの拡散に対するバリア性を有するSiNまたはSiCNが一般的に用いられる。ところが、容量膜109の材料としてSiNまたはSiCNを用いた場合、容量膜109の材料として SiO_2 を用いた場合と比較して、リーク電流が増大する。

[0008] また、半導体装置の高集積化に伴い、配線のさらなる微細化が要求されてきている。配線の微細化による配線抵抗の増大を抑えるため、配線の材料として、Cuを用いることが検討されている。

Cu配線は、Cuがドライエッチングなどによる微細なパターンニングが困難であることから、いわゆるダマシン法によって形成される。ダマシン法では、まず、 SiO_2 からなる絶縁膜に、所定の配線パターンに対応した微細な配線溝が形成される。次に、めっき法により、絶縁膜上に、Cu膜が形成される。Cu膜は、配線溝を埋め尽くし、絶縁膜

の表面全域を覆うような厚さに形成される。その後、CMP (Chemical Mechanical Polishing: 化学的物理的研磨) 法により、Cu膜が研磨される。Cu膜の研磨は、Cu膜の配線溝外の部分がすべて除去され、配線溝外の絶縁膜の表面が露出するまで続けられる。これにより、配線溝内にのみCu膜が残存し、配線溝内に埋設されたCu配線が得られる。

[0009] Cuは、Alに比べて、 SiO_2 への拡散性が高い。このため、 SiO_2 からなる絶縁膜上に直にCu配線 (Cu膜) が形成されると、絶縁膜中にCuが拡散し、配線間の短絡などを生じるおそれがある。

そのため、絶縁膜とCu配線との間には、Cuの絶縁膜への拡散を防止するためのバリア膜が必要となる。このバリア膜を形成する手法として、たとえば、Cu膜の形成に先立ち、配線溝が形成された絶縁膜上にCuとMn (マンガン) との合金からなる合金膜を形成し、Cu膜の形成後に熱処理を行うことにより、合金膜中のMnを絶縁膜との界面に拡散させて、その界面に Mn Si O_x (x, y, z: 零よりも大きい数。以下、単に「 MnSiO 」と記載する。) からなるバリア膜を形成する手法が提案されている。(たとえば、特許文献2参照)。

[0010] 図7は、 MnSiO からなるバリア膜を採用した多層配線構造の模式的な断面図である。

図示しない半導体基板には、第1絶縁層121が積層されている。第1絶縁層121は、 SiO_2 からなる層間絶縁膜122、 SiC からなるエッチストップ膜123および SiO_2 からなる層間絶縁膜124を半導体基板側からこの順に積層した構造を有して形成されている。

[0011] 第1絶縁層121の表層部には、所定の配線パターンに対応した微細な第1溝125が形成されている。第1溝125には、 MnSiO からなるバリア膜126を介して、Cuからなる第1配線127が埋設されている。

第1絶縁層121および第1配線127の上には、第2絶縁層128が積層されている。第2絶縁層128は、 SiCN または SiN からなる拡散防止膜129、 SiC からなるエッチストップ膜130、 SiO_2 からなる層間絶縁膜131、 SiC からなるエッチストップ膜132および SiO_2 からなる層間絶縁膜133を第1絶縁層121側からこの順に積層した構造を有

している。

[0012] 第2絶縁層128の表層部には、所定の配線パターンに対応した微細な第2溝134が形成されている。また、第2絶縁層128には、第2溝134と第1配線127とが対向する部分において、ビアホール135が貫通形成されている。第2溝134およびビアホール135の内面には、MnSiOからなるバリア膜136が被着されている。ビアホール135には、Cuからなるビア137が埋設されている。第2溝134には、Cuからなる第2配線138が埋設されている。

[0013] 第1絶縁層121に形成された第1溝125の内面にCuMn合金膜が形成され、このCuMn合金膜上に第1配線127の材料であるCuが堆積された後、熱処理が行われることにより、MnSiOからなるバリア膜126が形成される。熱処理が行われると、CuMn合金膜中のMnが第1絶縁層121に含まれるSi(シリコン)およびO(酸素)と結合し、MnSiOが生成される。また、第2絶縁層に形成された第2溝134およびビアホール135の内面にCuMn合金膜が形成され、このCuMn合金膜上に第2配線138の材料であるCuが堆積された後、熱処理が行われることにより、MnSiOからなるバリア膜136が形成される。

[0014] ところが、第2絶縁層128の最下層に形成される拡散防止膜129は、SiCNまたはSiNからなり、その材料にOが含まれていない。そのため、第1配線127およびビア137と拡散防止膜129との各間には、MnSiOからなるバリア膜が形成されない。したがって、バリア膜126とバリア膜136とは、不連続となっている。そのため、半導体装置に外力が加わったときに、バリア膜により被覆されていないビア137の下端部(破線Aで囲まれる部分)に応力が集中し、いわゆるストレスマイグレーションを生じるおそれがある。

特許文献1:特開平8-274256号公報

特許文献2:特開2005-277390号公報

発明の開示

発明が解決しようとする課題

[0015] 本発明の目的は、電極または配線の材料としてCuを主成分とする金属材料を用いた場合に、リーク電流の増大またはストレスマイグレーションの発生を招くことなく、電

極または配線の周囲へのCuの拡散を防止することができる、半導体装置およびその製造方法を提供することである。

課題を解決するための手段

- [0016] 本発明の一の局面に係る半導体装置は、SiおよびOを含む材料からなる第1絶縁層と、前記第1絶縁層を掘り下げた形状の溝と、前記溝に埋設され、Cuを主成分とする金属材料からなる埋設体と、前記第1絶縁層および前記埋設体上に積層され、SiおよびOを含む材料からなる第2絶縁層と、前記埋設体と前記第1絶縁層および前記第2絶縁層との各間に形成され、MnSiO₂からなるバリア膜とを備えている。
- [0017] この構造では、SiおよびOを含む材料からなる第1絶縁層に、溝が形成されている。溝には、Cuを主成分とする金属材料からなる埋設体が埋設されている。第1絶縁層および埋設体上には、SiおよびOを含む材料からなる第2絶縁層が積層されている。そして、埋設体と第1絶縁層および第2絶縁層との各間には、MnSiO₂からなるバリア膜が形成されている。このバリア膜により、埋設体に含まれるCuが第1絶縁層および第2絶縁層に拡散することを防止できる。
- [0018] 前記埋設体は、電極であってもよいし、配線であってもよい。
- たとえば、前記半導体装置がMIM容量素子を備える場合、前記埋設体は、そのMIM容量素子を構成する下部電極であってもよい。すなわち、MIM容量素子を備える半導体装置に本発明が適用される場合、その半導体装置(以下、この項において「第1半導体装置」という。)は、SiおよびOを含む材料からなる第1絶縁層と、前記第1絶縁層を掘り下げた形状の下溝と、前記下溝に埋設され、Cuを主成分とする金属材料からなる下部電極と、前記下部電極上に積層され、少なくとも前記下部電極側の最下層部分がSiO₂からなる絶縁膜と、前記絶縁膜を挟んで前記下部電極に対向して設けられ、導電性材料からなる上部電極と、前記下部電極と前記第1絶縁層および前記絶縁膜との各間に形成され、MnSiO₂からなる第1バリア膜とを備える。
- [0019] この構造では、第1絶縁層に形成された溝に、Cuを主成分とする金属材料からなる下部電極が埋設されている。下部電極上には、少なくとも下部電極側の最下層部分がSiO₂からなる絶縁膜が積層されている。絶縁膜上には、導電性材料からなる上部電極が形成されている。上部電極は、絶縁膜を挟んで下部電極と対向している。そし

て、下部電極と第1絶縁層および絶縁膜との各間には、MnSiOからなる第1バリア膜が形成されている。

[0020] 第1バリア膜により、下部電極に含まれるCuが第1絶縁層および絶縁膜に拡散することを防止できる。

また、絶縁膜の少なくとも最下層部分の材料として、 SiO_2 が用いられている。そのため、同じ膜厚の絶縁膜をSiNまたはSiCNを用いて形成する場合と比較して、リーク電流を低減することができる。

[0021] さらに、第1バリア膜は、下部電極と上部電極との対向部分において、絶縁膜とともに、MIM容量素子の容量膜として機能する。第1バリア膜の材料であるMnSiOは、比誘電率が SiO_2 よりも高い高誘電率材料(High-k膜材料)である。そのため、第1バリア膜が容量膜の一部として機能することにより、MIM容量素子の容量値を増大させることができる。

[0022] 前記第1半導体装置は、前記絶縁膜を貫通して設けられており、前記下部電極に電氣的に接続され、WからなるWプラグと、前記Wプラグと前記下部電極および前記絶縁膜との間に介在された積層バリア膜とを備えていてもよい。この場合、前記積層バリア膜は、前記下部電極および前記絶縁膜に接するTa膜と、前記Wプラグに接するTiN膜とを備えていることが好ましい。

[0023] 積層バリア膜がTiN膜を備えているので、 WF_6 (六フッ化タングステン)ガスを原料ガスとして用いたプラズマCVD法(以下、この方法を「W-CVD法」という。)によりWプラグが形成される場合において、 WF_6 が絶縁膜中へ拡散し、絶縁膜が腐食されることを防止できる。

また、WプラグがTiN膜と接することにより、積層バリア膜とWプラグとの優れた密着性を発揮することができる。一方、下部電極がTa膜と接することにより、積層バリア膜と下部電極との優れた密着性を発揮することができる。そのため、積層バリア膜の層剥がれを防止することができる。したがって、ストレスマイグレーションの発生を防止することができる。さらに、TiN膜と下部電極とが接さず、また、TaはCuとの反応に乏しいため、Cuを主成分とする材料からなる下部電極の腐食を生じない。したがって、エレクトロマイグレーションの発生を防止することができる。

[0024] 前記第1半導体装置は、前記絶縁膜および前記上部電極上に積層され、SiおよびOを含む材料からなる第2絶縁層と、前記第2絶縁層を掘り下げた形状の上溝と、前記上溝に埋設され、Cuを主成分とする金属材料からなる配線と、前記下部電極と前記配線とが互いに対向する部分において、前記絶縁膜および前記第2絶縁層を貫通して設けられ、Cuを主成分とする金属材料からなるビアと、前記第1バリア膜に連続して、前記配線と前記第2絶縁層との間、ならびに前記ビアと前記絶縁膜および前記第2絶縁層との各間に形成され、 MnSiO からなる第2バリア膜とを備えていてもよい。

[0025] 第2バリア膜により、配線およびビアに含まれるCuが絶縁膜および第2絶縁層に拡散することを防止できる。

また、第1バリア膜と第2バリア膜とが連続しているので、半導体装置に外力が加わったときに、ビアと下部電極との接続部分付近でのストレスマイグレーションの発生を防止することができる。その結果、配線信頼性の向上を図ることができる。

[0026] 前記第1半導体装置は、たとえば、工程(a)～(e)を含む製造方法により製造することができる。

(a) SiおよびOを含む材料からなる第1絶縁層に、その表面から掘り下がった形状の下溝を形成する工程

(b) 前記下溝の内面に、CuおよびMnを含む合金材料からなる合金膜を被着させる工程

(c) 前記合金膜上に、Cuを主成分とする金属材料を堆積させて、前記下溝に埋設される下部電極を形成する工程

(d) 前記下部電極上に、 SiH_4 および N_2O を用いたCVD法により、 SiO_2 からなる絶縁膜を形成する工程

(e) 前記絶縁膜上に、導電性材料からなる上部電極を形成する工程と、熱処理により、前記下部電極と前記第1絶縁層との間、および前記下部電極と絶縁膜との間に拡散防止膜を形成する工程

TEOS- O_2 ガスを用いるCVD法により SiO_2 からなる絶縁膜を形成する手法では、下部電極に含まれるCuが酸化し、下部電極の表面にCuO(酸化銅)膜が形成される

。下部電極の表面にCuO膜が形成されると、下部電極とWプラグとの接触抵抗が増大する。

[0027] これに対し、 SiH_4 および N_2O を用いるCVD法では、下部電極の表面にCuO膜を生じさせることなく、 SiO_2 からなる絶縁膜を形成することができる。

たとえば、前記半導体装置が多層配線構造を備える場合、前記埋設体は、その多層配線構造に含まれる配線であってもよい。すなわち、多層配線構造を備える半導体装置に本発明が適用される場合、その半導体装置(以下、この項において「第2半導体装置」という。)は、SiおよびOを含む材料からなる第1絶縁層と、前記第1絶縁層を掘り下げた形状の第1溝と、前記第1溝に埋設され、Cuを主成分とする金属材料からなる第1配線と、前記第1絶縁層および前記第1配線上に積層された、SiおよびOを含む材料からなる第2絶縁層と、前記第2絶縁層を掘り下げた形状の第2溝と、前記第2溝に埋設され、Cuを主成分とする金属材料からなる第2配線と、前記第1配線と前記第2配線とが互いに対向する部分において、前記第2絶縁層を貫通して設けられ、Cuを主成分とする金属材料からなるビアと、前記第1配線と前記第1絶縁層および前記第2絶縁層との各間、ならびに前記第2配線および前記ビアと前記第2絶縁層との各間に連続して形成され、 MnSiO からなるバリア膜とを備える。

[0028] この構造では、第1絶縁層に形成された第1溝に、Cuを主成分とする金属材料からなる第1配線が埋設されている。第1絶縁層上には、第2絶縁層が積層されている。第2絶縁層に形成された第2溝には、Cuを主成分とする第2配線が埋設されている。第1配線と第2配線とは、それらに対向する部分において第2絶縁層を貫通するビアにより、電氣的に接続されている。そして、第1配線と第1絶縁層および第2絶縁層との各間、ならびに第2配線およびビアと第2絶縁層との各間には、 MnSiO からなるバリア膜が連続して形成されている。

[0029] バリア膜により、第1配線、第2配線およびビアに含まれるCuが第1絶縁層および第2絶縁層中に拡散することを防止できる。したがって、Cuの拡散による配線間リークの発生を防止することができる。

また、ビアの底部(下端部)がバリア膜に覆われて保護されるので、半導体装置に外力が加わったときに、ビアの底部付近でのストレスマイグレーションの発生を防止

することができる。その結果、配線信頼性の向上を図ることができる。

[0030] なお、 SiO_2 は、 MnSiO の生成に用いられるOを多く含むので、前記第2絶縁層は、前記第1絶縁層に隣接する最下層に、 SiO_2 からなる層間膜を有しているのが好ましい。これにより、ビアの底部および第1配線と第2絶縁層との間に MnSiO からなるバリア膜を良好に形成することができる。

前記第2半導体装置は、たとえば、工程(f)～(m)を含む製造方法により製造することができる。

(f) SiおよびOを含む材料からなる第1絶縁層に、その表面から掘り下がった形状の第1溝を形成する工程

(g) 前記第1溝の内面に、CuおよびMnを含む合金材料からなる第1合金膜を被着させる工程

(h) 前記第1合金膜上に、Cuを主成分とする金属材料を堆積させて、前記第1溝に埋設される第1配線を形成する工程

(i) 前記第1絶縁層および前記第1配線上に、SiおよびOを含む材料からなる第2絶縁層を積層する工程

(j) 前記第2絶縁層に、その表面から掘り下がった形状の第2溝およびこの第2溝と前記第1配線との間を貫通するビアホールを形成する工程

(k) 前記第2溝および前記ビアホールの内面に、CuおよびMnを含む合金材料からなる第2合金膜を被着させる工程

(l) 前記第2合金膜上に、Cuを主成分とする金属材料を堆積させて、前記第2溝に埋設される第2配線および前記ビアホールに埋設されるビアを形成する工程

(m) 熱処理により、前記第1配線と前記第1絶縁層および前記第2絶縁層との各間、ならびに前記第2配線および前記ビアと前記第2絶縁層との各間にバリア膜を形成する工程

また、前記第2絶縁層が前記層間膜を備える構成は、前記第2絶縁層を積層する工程が、前記第1絶縁層の直上に、 O_2 ガスを用いないCVD法により、 SiO_2 からなる層間膜を形成する層間膜形成工程を含むことにより得ることができる。

[0031] O_2 ガスを用いるCVD法により、 SiO_2 からなる層間膜を形成する手法では、第1配

線に含まれるCuが酸化し、第1配線の表面にCuO膜が形成されてしまう。第1配線の表面にCuO膜が形成されると、第1配線とビアとの接触抵抗が増大する。

これに対し、 O_2 ガスを用いないCVD法、具体的には、 SiH_4 (シラン)および N_2O (亜酸化窒素)を原料ガスとして用いるCVD法では、第1配線の表面にCuO膜を生じさせることなく、 SiO_2 からなる層間膜を形成することができる。

[0032] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0033] [図1]図1は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

[図2A]図2Aは、図1に示す半導体装置の製造方法を説明するための模式的な断面図である。

[図2B]図2Bは、図2Aの次の工程を示す模式的な断面図である。

[図2C]図2Cは、図2Bの次の工程を示す模式的な断面図である。

[図2D]図2Dは、図2Cの次の工程を示す模式的な断面図である。

[図2E]図2Eは、図2Dの次の工程を示す模式的な断面図である。

[図2F]図2Fは、図2Eの次の工程を示す模式的な断面図である。

[図2G]図2Gは、図2Fの次の工程を示す模式的な断面図である。

[図2H]図2Hは、図2Gの次の工程を示す模式的な断面図である。

[図2I]図2Iは、図2Hの次の工程を示す模式的な断面図である。

[図2J]図2Jは、図2Iの次の工程を示す模式的な断面図である。

[図2K]図2Kは、図2Jの次の工程を示す模式的な断面図である。

[図2L]図2Lは、図2Kの次の工程を示す模式的な断面図である。

[図2M]図2Mは、図2Lの次の工程を示す模式的な断面図である。

[図3]図3は、本発明の他の実施形態に係る半導体装置の模式的な断面図である。

[図4]図4は、本発明のさらに他の実施形態に係る半導体装置の模式的な断面図である。

[図5A]図5Aは、図4に示す半導体装置の製造方法を説明するための模式的な断面図である。

[図5B]図5Bは、図5Aの次の工程を示す模式的な断面図である。

[図5C]図5Cは、図5Bの次の工程を示す模式的な断面図である。

[図5D]図5Dは、図5Cの次の工程を示す模式的な断面図である。

[図5E]図5Eは、図5Dの次の工程を示す模式的な断面図である。

[図5F]図5Fは、図5Eの次の工程を示す模式的な断面図である。

[図5G]図5Gは、図5Fの次の工程を示す模式的な断面図である。

[図5H]図5Hは、図5Gの次の工程を示す模式的な断面図である。

[図5I]図5Iは、図5Hの次の工程を示す模式的な断面図である。

[図5J]図5Jは、図5Iの次の工程を示す模式的な断面図である。

[図5K]図5Kは、図5Jの次の工程を示す模式的な断面図である。

[図5L]図5Lは、図5Kの次の工程を示す模式的な断面図である。

[図6]図6は、従来のMIM容量素子を備える半導体装置の模式的な断面図である。

[図7]図7は、従来の多層配線構造を備える半導体装置の模式的な断面図である。

符号の説明

- [0034]
- 1 半導体装置
 - 2 第1絶縁層
 - 6 下溝
 - 7 下部電極
 - 8 絶縁膜
 - 9 第1バリア膜
 - 10 上部電極
 - 11 第2絶縁層
 - 21 積層バリア膜
 - 22 Wプラグ
 - 24 積層バリア膜
 - 25 Wプラグ
 - 51 半導体装置
 - 52 配線

- 56 上溝
- 57 コンタクトホール(ビアホール)
- 58 コンタクト(ビア)
- 59 第2バリア膜
- 61 半導体装置
- 62 第1絶縁層
- 66 第1溝
- 67 第1配線
- 68 第2絶縁層
- 69 層間膜
- 74 第2溝
- 75 ビアホール
- 76 第2配線
- 77 ビア
- 78 バリア膜

発明を実施するための最良の形態

[0035] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

半導体装置1は、半導体基板(図示せず)を備えている。この半導体基板は、たとえば、Si基板からなる。半導体基板の表層部には、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)などの機能素子が作り込まれている。

[0036] 半導体基板側には、第1絶縁層2が積層されている。第1絶縁層2は、 SiO_2 からなる層間絶縁膜3と、SiCからなるエッチストップ膜4と、 SiO_2 からなる層間絶縁膜5とを、半導体基板側からこの順に積層して形成されている。

第1絶縁層2の表層部には、下溝6が形成されている。下溝6には、Cuからなる下部電極7が埋設されている。

[0037] 第1絶縁層2および下部電極7上には、 SiO_2 からなる絶縁膜8が積層されている。

下部電極7と第1絶縁層2および絶縁膜8との各間には、第1絶縁層2および絶縁膜

8へのCuの拡散を防止するための第1バリア膜9が形成されている。第1バリア膜9は、MnSiOからなる。

絶縁膜8上には、TiNからなる上部電極10が形成されている。上部電極10は、絶縁膜8を挟んで下部電極7と対向し、平面視で下部電極7よりも小さい外形を有している。これにより、半導体装置1は、第1バリア膜9および絶縁膜8を容量膜とし、これを下部電極7と上部電極10とで挟み込んだMIM構造の容量素子を備えている。

[0038] 絶縁膜8および上部電極10上には、 SiO_2 からなる第2絶縁層11が積層されている。

第2絶縁層11上には、配線12, 13が形成されている。

配線12は、Al-Cu合金からなる配線本体14と、配線本体14の下面側に設けられ、TiN層およびTi層の積層構造を有する下バリア膜15と、配線本体14の上面側に設けられ、TiNからなる上バリア膜16とを備えている。なお、下バリア膜15に代えて、TiNからなる1層のTiNバリア膜が設けられてもよい。

[0039] また、配線13は、Al-Cu合金からなる配線本体17と、配線本体17の下面側に設けられ、TiN層およびTi層の積層構造を有する下バリア膜18と、配線本体17の上面側に設けられ、TiNからなる上バリア膜19とを備えている。なお、下バリア膜18に代えて、TiNからなる1層のTiNバリア膜が設けられてもよい。

第2絶縁層11および絶縁膜8には、下部電極7と配線12とが対向する部分において、これらの膜を膜厚方向に貫通するコンタクトホール20が形成されている。コンタクトホール20の側面および下部電極7におけるコンタクトホール20内に臨む部分には、積層バリア膜21が被着されている。

[0040] 積層バリア膜21は、Taバリア層、Ta₂N₅バリア層、Tiバリア層およびTiNバリア層の積層構造を有している。最外層のTaバリア層は、コンタクトホール20の側面および下部電極7に接している。

積層バリア膜21が被着されたコンタクトホール20には、W(タングステン)からなるWプラグ22が形成されている。Wプラグ22は、上端が配線12に接続され、その下端が下部電極7に接続されている。これにより、配線12と下部電極7とは、Wプラグ22を介して電氣的に接続されている。

[0041] また、第2絶縁層11には、上部電極10と配線13とが対向する部分において、第2絶縁層11を膜厚方向に貫通するコンタクトホール23が形成されている。コンタクトホール23の側面および上部電極10におけるコンタクトホール23内に臨む部分には、積層バリア膜24が被着されている。なお、積層バリア膜24は、積層バリア膜21と同様に、Taバリア層、Ta₂N₅バリア層、Tiバリア層およびTiNバリア層の積層構造を有している。

[0042] 積層バリア膜24が被着されたコンタクトホール23には、WからなるWプラグ25が形成されている。Wプラグ25は、上端が配線13に接続され、その下端が上部電極10に接続されている。これにより、配線13と上部電極10とは、Wプラグ25を介して電気的に接続されている。

図2A～2Mは、半導体装置の製造工程を順に示す模式的な断面図である。

[0043] まず、第1絶縁層2を最表面に有する半導体基板が用意される。そして、フォトリソグラフィ工程およびエッチング工程により、第1絶縁層2の表層部に、下溝6が形成される。次に、図2Aに示すように、スパッタ法により、下溝6の内面を含む第1絶縁層2の表面全域に、CuとMnとの合金からなる合金膜31が被着される。

次いで、図2Bに示すように、めっき法により、合金膜31上に、Cuを主成分とする金属材料層32が形成される。この金属材料層32は、下溝6を埋め尽くす厚さに形成される。

[0044] その後、熱処理が行われることにより、図2Cに示すように、合金膜31中のMn(マンガ)ンが、第1絶縁層2に含まれるSiおよびO(酸素)と結合し、MnSiO膜33が形成される。また、このとき、合金膜31中のMnの一部は、金属材料層32中を移動し、金属材料層32の表面に析出する。なお、MnSiO膜33の形成に伴って、合金膜31は、金属材料層32と実質的に一体となる。

[0045] 次いで、CMP法により、金属材料層32およびMnSiO膜33が研磨される。この研磨は、図2Dに示すように、金属材料層32およびMnSiO膜33の下溝6外に形成されている不要部分がすべて除去されて、下溝6外の第1絶縁層2の表面が露出し、その第1絶縁層2の表面と下溝6内の金属材料層32の表面とが面一になるまで続けられる。これにより、下溝6内に埋設された下部電極7が得られる。

[0046] 次に、図2Eに示すように、 SiH_4 および N_2O を原料ガスとして用いたCVD法により、第1絶縁層2および下部電極7の上に絶縁膜8が積層される。

絶縁膜8の積層後、再び熱処理が行われる。この熱処理によって、下部電極7中に残留していたMnが絶縁膜8に含まれるSiおよびOと結合し、図2Fに示すように、絶縁膜8と下部電極7との間にMnSiO膜34が形成される。その結果、第1絶縁層2と下部電極7との間、および絶縁膜8と下部電極7との間に、MnSiO膜33, 34からなる第1バリア膜9が形成される。

[0047] 次に、スパッタ法により、絶縁膜8上の全面に、金属材料膜(図示せず)が形成される。その後、金属材料膜は、フォトリソグラフィ工程およびエッチング工程により、絶縁膜8を挟んで下部電極7に対向する一部を除いて除去される。これにより、図2Gに示すように、上部電極10が形成される。

その後、図2Hに示すように、CVD法により、絶縁膜8および上部電極10の上に、第2絶縁層11が積層される。そして、第2絶縁層11上に、コンタクトホール20, 23を形成すべき部分のみを露出させる開口を有するレジストパターン35が形成される。

[0048] このレジストパターン35をマスクとして、下部電極7および上部電極10がそれぞれ露出するまで第2絶縁層11がエッチングされる。これにより、図2Iに示すように、下部電極7の一部を露出させるコンタクトホール20と、上部電極10の一部を露出させるコンタクトホール23とが形成される。コンタクトホール20, 23の形成後、レジストパターン35は除去される。

[0049] 次に、図2Jに示すように、CVD法により、第2絶縁層11、上部電極10および下部電極7の露出面(コンタクトホール20, 23の側面を含む)の全域に、Taバリア層、Ta₂N₃バリア層、Tiバリア層およびTiNバリア層が順次に積層されることにより積層バリア膜36が形成される。

その後、図2Kに示すように、W-CVD法により、積層バリア膜36上に、WからなるW層37が形成される。W層37は、コンタクトホール20, 23を埋め尽くす厚さに形成される。

[0050] W層37の形成後、CMP法により、W層37および積層バリア膜36が研磨される。この研磨は、図2Lに示すように、W層37および積層バリア膜36のコンタクトホール20

, 23外に形成されている不要部分がすべて除去されて、コンタクトホール20, 23外の第2絶縁層11の表面が露出し、その第2絶縁層11の表面とコンタクトホール20, 23内のW層37および積層バリア膜36の表面とが面一になるまで続けられる。これにより、積層バリア膜36は、コンタクトホール20の側面および下部電極7の上面に被着した部分が積層バリア膜21となり、コンタクトホール23の側面および上部電極10の上面に被着した部分が積層バリア膜24となる。また、W層37は、コンタクトホール20内に残存した部分がWプラグ22となり、コンタクトホール23内に残存した部分がWプラグ25となる。

[0051] 次いで、図2Mに示すように、スパッタ法により、第2絶縁層11およびWプラグ22, 25の上に、TiN/Ti層38、Al-Cu合金層39およびTiN層40がこの順に積層される。

その後、フォトリソグラフィ工程およびエッチング工程を経て、TiN/Ti層38、Al-Cu合金層39およびTiN層40が選択的に除去されることにより、図1に示すように、配線12, 13が形成される。これにより、図1に示す半導体装置1が得られる。

[0052] 以上のように、半導体装置1では、SiおよびOを含む材料からなる第1絶縁層2に下溝6が形成され、この下溝6には、Cuを主成分とする金属材料からなる下部電極7が埋設されている。下部電極7上には、少なくとも下部電極7側の最下層部分が SiO_2 からなる絶縁膜8が積層されている。絶縁膜8上には、導電性材料からなる上部電極10が形成されている。上部電極10は、絶縁膜8を挟んで下部電極7と対向している。そして、下部電極7と第1絶縁層2および絶縁膜8との各間には、 MnSiO からなる第1バリア膜9が形成されている。

[0053] 第1バリア膜9により、下部電極7に含まれるCuが第1絶縁層2および絶縁膜8に拡散することを防止できる。

また、絶縁膜8の材料として、 SiO_2 が用いられている。この SiO_2 からなる絶縁膜8を有するMIM容量素子では、その絶縁膜8と同じ膜厚のSiNまたはSiCNからなる容量膜を有するMIM容量素子と比較して、リーク電流を低減することができる。

[0054] さらに、第1バリア膜9は、下部電極7と上部電極10との対向部分において、絶縁膜8とともに、MIM容量素子の容量膜として機能する。第1バリア膜9の材料であるMn

SiO₂は、比誘電率がSiO₂よりも高い高誘電率材料(High-k膜材料)である。そのため、第1バリア膜9が容量膜の一部として機能することにより、MIM容量素子の容量値を増大させることができる。

[0055] また、Wプラグ22は、絶縁膜8を貫通して下部電極7と電氣的に接続されている。絶縁膜8および下部電極7とWプラグ22との間には、積層バリア膜21が介在されている。

積層バリア膜21は、Wプラグ22に接する部分がTiNバリア層である。そのため、積層バリア膜21上へのWF₆ガスの供給時(図2Kに示す工程時)に、WF₆ガスが第2絶縁層11および絶縁膜8へ拡散し、第2絶縁層11および絶縁膜8が腐食されることを防止できる。

[0056] また、Wプラグ22が積層バリア膜21のTiNバリア層と接することにより、積層バリア膜21とWプラグ22との優れた密着性を発揮することができる。一方、下部電極7が積層バリア膜21のTaバリア層と接することにより、積層バリア膜21と下部電極7との優れた密着性を発揮することができる。そのため、積層バリア膜21の膜剥がれを防止することができる。したがって、ストレスマイグレーションの発生を防止することができる。さらに、TiNバリア層と下部電極7とが接さず、また、TaはCuとの反応に乏しいため、Cuからなる下部電極7の腐食を生じることもない。したがって、エレクトロマイグレーションの発生を防止することができる。

[0057] その結果、下部電極7と配線12との接続信頼性を向上させることができる。

積層バリア膜21において、Taバリア層とTiNバリア層との間には、Ta₂N₃バリア層が介在されている。Ta₂N₃は、Taに比べて、たとえば、SiO₂などの絶縁材料へのCuの拡散を防止する能力(Cu拡散防止能力)に優れている。そのため、下部電極7のCuが第2絶縁層11へ拡散することを防止することができる。

[0058] また、積層バリア膜21において、Ta₂N₃バリア層とTiNバリア層との間には、Tiバリア層が介在されている。Tiは、Ta₂N₃およびTiNに対して優れた密着性を有する。そのため、Ta₂N₃バリア層とTiNバリア層との密着性を向上させることができる。その結果、積層バリア膜21の膜剥がれを一層防止することができる。

また、第1絶縁層2および下部電極7の上に絶縁膜8を積層する際には、SiH₄ およ

び N_2O を原料ガスとするCVD法が用いられる。これにより、下部電極7の表面にCuO膜を生じさせることなく、 SiO_2 からなる絶縁膜8を形成することができる。

[0059] なお、絶縁膜8は、少なくとも下部電極7側の最下層に SiO_2 層を有していればよく、この SiO_2 層上に、SiN、SiCまたはSiCNなどの他の絶縁材料からなる層が積層されてもよい。絶縁膜8が最下層に SiO_2 層を有していれば、絶縁膜8と下部電極7との間にMnSiOからなる第1バリア膜9(MnSiO膜34)を形成することができる。

[0060] また、図2A～2Mに示す製造方法では、第1絶縁層2と下部電極7との間にMnSiO膜33を形成する熱処理と、絶縁膜8と下部電極7との間にMnSiO膜34を形成する熱処理とが2回の工程に分けて行われる。しかしながら、MnSiO膜33、34は、1回の熱処理工程によって形成されてもよい。すなわち、金属材料層32を堆積させた後、熱処理を行わずに工程を進める。そして、絶縁膜8を積層した後に熱処理を行うことにより、同一工程において、下部電極7と第1絶縁層2および絶縁膜8との各間に、MnSiOからなる第1バリア膜9(MnSiO膜33、34)が形成されてもよい。

[0061] 図3は、本発明の他の実施形態に係る半導体装置の模式的な断面図である。なお、図3において、図1に示す各部に相当する部分には、図1の場合と同一の参照符号を付している。また、以下では、図1に示す構造との相違点のみを取り上げて説明し、同一の参照符号を付した各部についての説明を省略する。

図1に示す半導体装置1では、配線12、13の両方が第2絶縁層11上に形成されている。これに対し、図3に示す半導体装置51では、下部電極7と電氣的に接続される配線52が第2絶縁層11に埋設されている。

[0062] 半導体装置51において、第2絶縁層11は、 SiO_2 からなる層間絶縁膜53と、SiCからなるエッチストップ膜54と、 SiO_2 からなる層間絶縁膜55とを、下部電極7側からこの順に積層して形成されている。

第2絶縁層11の表層部には、上溝56が形成されている。上溝56には、Cuからなる配線52が埋設されている。また、第2絶縁層11には、上溝56と下部電極7とが対向する部分において、コンタクトホール57が第2絶縁層11、絶縁膜8および第1バリア膜9を貫通して形成されている。コンタクトホール57には、Cuからなるコンタクト58が埋設されている。コンタクト58は、配線52と一体的に接続されるとともに、下部電極7

に接続されている。そして、配線52と第2絶縁層11との間、ならびにコンタクト58と絶縁膜8および第2絶縁層11との各間には、MnSiO₂からなる第2バリア膜59が第1バリア膜9に連続して形成されている。

[0063] この構成によっても、図1に示す構成と同様な効果を得ることができる。そのうえ、配線52がCuからなるので、図1に示す構成と比較して、配線抵抗を低減することができる。

また、第2バリア膜59により、配線52およびコンタクト58に含まれるCuが絶縁膜8および第2絶縁層11中に拡散することを防止することができる。

[0064] さらに、第1バリア膜9と第2バリア膜59とが連続しているので、半導体装置51に外力が加わったときに、コンタクト58と下部電極7との接続部分付近でのストレスマイグレーションの発生を防止することができる。その結果、配線信頼性の向上を図ることができる。

図4は、本発明のさらに他の実施形態に係る半導体装置の模式的な断面図である。

[0065] 半導体装置61は、半導体基板(図示せず)上に、Cu配線材料を用いた多層配線構造を有している。

半導体基板は、たとえば、Si基板からなる。半導体基板の表層部には、MOSFET (Metal Oxide Semiconductor Field Effect Transistor)などの機能素子が作り込まれている。

[0066] 半導体基板上には、第1絶縁層62が積層されている。第1絶縁層62は、層間絶縁膜63、エッチストップ膜64および層間絶縁膜65を、半導体基板側からこの順に積層して形成されている。層間絶縁膜63、65は、たとえば、SiO₂からなる。また、エッチストップ膜64は、たとえば、SiCからなる。

第1絶縁層62の表層部には、所定の配線パターンに対応した第1溝66が形成されている。第1溝66には、Cuからなる第1配線67が埋設されている。

[0067] 第1絶縁層62および第1配線67上には、第2絶縁層68が積層されている。第2絶縁層68は、層間膜69、エッチストップ膜70、層間絶縁膜71、エッチストップ膜72および層間絶縁膜73を、第1絶縁層62側からこの順に積層して形成されている。層間

膜69は、たとえば、 SiO_2 からなる。エッチストップ膜70、72の材料としては、エッチストップ膜64と同じ材料を用いることができる。また、層間絶縁膜71、73の材料としては、層間絶縁膜63、65と同じ材料を用いることができる。

[0068] 第2絶縁層68の表層部には、所定の配線パターンに対応した第2溝74が形成されている。また、第2絶縁層68には、第2溝74と第1配線67とが対向する部分に、ビアホール75が貫通して形成されている。

第2溝74およびビアホール75には、それぞれCuからなる第2配線76およびビア77が埋設されている。第2配線76およびビア77は、一体をなしている。

[0069] そして、第1配線67と第1絶縁層62および第2絶縁層68(層間膜69)との各間、ならびに第2配線76およびビア77と第2絶縁層68との各間には、 MnSiO からなるバリア膜78が形成されている。

図5A～5Lは、半導体装置の製造工程を順に示す模式的な断面図である。

まず、最表面に第1絶縁層62を有する半導体基板が用意される。そして、図5Aに示すように、フォトリソグラフィ工程およびエッチング工程により、第1絶縁層62の表層部に、第1溝66が形成される。

[0070] 次に、図5Bに示すように、スパッタ法により、第1溝66の内面を含む第1絶縁層62の表面全域に、CuとMnとの合金からなる合金膜79が被着される。

次いで、図5Cに示すように、めっき法により、合金膜79上に、Cuを主成分とする金属材料層80が形成される。この金属材料層80は、第1溝66を埋め尽くす厚さに形成される。

[0071] その後、熱処理が行われることによって、図5Dに示すように、合金膜79中のMnが第1絶縁層62に含まれるSiおよびOと結合し、 MnSiO 膜81が形成される。また、このとき、合金膜79中のMnの一部は、金属材料層80中を移動し、金属材料層80の表面に析出する。なお、 MnSiO 膜81の形成に伴って、合金膜79は、金属材料層80と実質的に一体となる。

[0072] 次いで、CMP法により、金属材料層80および MnSiO 膜81が研磨される。この研磨は、図5Eに示すように、金属材料層80および MnSiO 膜81の第1溝66外に形成されている不要部分がすべて除去されて、第1溝66外の第1絶縁層62の表面が露

出し、その第1絶縁層62の表面と第1溝66内の金属材料層80の表面とが面一になるまで続けられる。これにより、第1溝66内に埋設された第1配線67が得られる。

[0073] 次に、図5Fに示すように、第1絶縁層62および第1配線67の上に、CVD法により、層間膜69、エッチストップ膜70、層間絶縁膜71、エッチストップ膜72および層間絶縁膜73がこの順に積層される。これにより、第1絶縁層62および第1配線67の上に、第2絶縁層68が形成される。

ここで、CVD法による SiO_2 膜の形成には、 $\text{TEOS}-\text{O}_2$ ガスが原料として一般的に用いられるが、 $\text{TEOS}-\text{O}_2$ ガスを用いたCVD法では、第1配線67の表面にCuO膜を生じる。第1配線67の表面にCuO膜が生じると、第1配線67とビア77との接触抵抗が大きくなる。そのため、層間膜69は、 SiH_4 および N_2O を原料ガスとして用いたCVD法により形成される。これにより、第1配線67の表面を酸化させることなく、第1絶縁層62および第1配線67上に、 SiO_2 からなる層間膜69が形成される。

[0074] その後、第2絶縁層68上に、ビアホール75を形成すべき部分のみを露出させる開口を有するレジストパターン(図示せず)が形成される。このレジストパターンをマスクとして、層間絶縁膜73、エッチストップ膜72および層間絶縁膜71がドライエッチングされることにより、図5Gに示すように、ビアホール75が形成される。このとき、層間絶縁膜73、エッチストップ膜72および層間絶縁膜71は、適当なタイミングで反応ガス(エッチャント)を切り換えることによって連続的にエッチングされる。層間絶縁膜71のエッチングは、エッチストップ膜70が露出した時点で停止する。

[0075] ビアホール75は、図5Hに示すように、半導体装置1の表面の凹凸を小さくするために埋め込み材82によって埋め尽くされる。半導体装置1の表面の凹凸が大きいと、次に述べるレジストパターン83を形成するためのフォトリソグラフィ工程における焦点深さが良好に定まらず、高解像度の露光が出来ないためである。

そして、図5Iに示すように、第2溝を形成すべき部分のみを露出させる開口を有するレジストパターン83が形成され、そのレジストパターン83をマスクとして、エッチストップ膜72が露出するまで第2絶縁層68がエッチングされることにより、第2溝74が形成される。第2溝74の形成後、埋め込み材82およびレジストパターン83は除去される。

[0076] 次いで、図5Jに示すように、層間膜69およびエッチストップ膜70におけるビアホール75に対向する部分がエッチングされることにより、第1配線67の一部がビアホール75を介して露出する。

そして、図5Kに示すように、第2溝74の内面およびビアホールの75内面を含む第2絶縁層68の表面全域、ならびに第1配線67におけるビアホール75に臨む部分に、CuとMnとの合金からなる合金膜84が被着される。次いで、めっき法により、合金膜84上に、Cuを主成分とする金属材料層85が形成される。この金属材料層85は、第2溝74を埋め尽くす厚さに形成される。

[0077] その後、熱処理が行われることによって、図5Lに示すように、合金膜84中のMnが第2絶縁層68に含まれるSiおよびOと結合し、MnSiO膜86が形成される。また、第1配線67中に残留していたMnが層間膜69に含まれるSiおよびOと結合し、MnSiO膜87が形成される。これにより、第1配線67と第1絶縁層62および第2絶縁層68との各間、ならびに第2配線76およびビア77と第2絶縁層68との各間に、MnSiO膜81、86、87からなるバリア膜78が形成される。なお、バリア膜78の形成に伴って、合金膜84は、金属材料層85と実質的に一体となる。

[0078] 次いで、CMP法により、金属材料層85およびバリア膜78が研磨される。この研磨は、金属材料層85およびバリア膜78の第2溝74外に形成されている不要部分がすべて除去されて、第2溝74外の第2絶縁層68の表面が露出し、その第2絶縁層68の表面と第2溝74内の金属材料層85の表面とが面一になるまで続けられる。これにより、第2溝に埋設された第2配線76およびビアホール75に埋設されたビア77が形成され、図4に示す半導体装置61が得られる。

[0079] 半導体装置61では、第1絶縁層62に形成された第1溝66に、Cuを主成分とする金属材料からなる第1配線67が埋設されている。また、第1絶縁層62上には、第2絶縁層68が積層されている。第2絶縁層68に形成された第2溝74には、Cuを主成分とする第2配線76が埋設されている。第1配線67と第2配線76とは、それらが対向する部分において第2絶縁層68を貫通して設けられたビア77により、電氣的に接続されている。そして、第1配線67と第1絶縁層62および第2絶縁層68との各間、ならびに第2配線76およびビア77と第2絶縁層68と各の間には、MnSiOからなるバリア膜

78が連続して形成されている。

[0080] バリア膜78により、第1配線67、第2配線76およびビア77に含まれるCuが第1絶縁層62および第2絶縁層68中に拡散することを防止することができる。よって、Cuの拡散による配線間リークの発生を防止することができる。

また、ビア77の底部(下端部)がバリア膜78に覆われて保護されるので、半導体装置61に外力が加わったときに、ビア77の底部付近でのストレスマイグレーションの発生を防止することができる。その結果、配線信頼性の向上を図ることができる。

[0081] なお、図5A～5Lに示す製造方法では、第1絶縁層62と第1配線67との間にMnSiO膜81を形成する熱処理と、第2絶縁層68と第1配線67、ビア77および第2配線76との間にMnSiO膜86, 87を形成する熱処理とを2回の工程に分けて行われる。しかし、MnSiO膜81, 86, 87は、1回の熱処理工程によって形成されてもよい。すなわち、金属材料層80を堆積させた後、熱処理を行わずに、第2絶縁層68を積層する。そして、工程を進めて、金属材料層85を堆積させた後、熱処理を行うことにより、同一工程において、第1配線67と第1絶縁層62および第2絶縁層68との各間、ならびに第2配線76およびビア77と第2絶縁層68との各間に、MnSiOからなるバリア膜78(MnSiO膜81, 86, 87)が形成されてもよい。

[0082] また、層間膜69の材料としてSiO₂を例示したが、層間膜69の材料としては、SiおよびOを含む絶縁材料であればよく、たとえば、SiOC(炭素を添加した酸化シリコン)が用いられてもよい。

この出願は、2007年6月22日に日本国特許庁に提出された特願2007-165540号および特願2007-165541号に対応しており、これらの出願の全開示は、ここに引用により組み込まれるものとする。

請求の範囲

- [1] 半導体装置において、
 SiおよびOを含む材料からなる第1絶縁層と、
 前記第1絶縁層を掘り下げた形状の溝と、
 前記第1溝に埋設され、Cuを主成分とする金属材料からなる埋設体と、
 前記第1絶縁層および前記埋設体上に積層され、SiおよびOを含む材料からなる第2絶縁層と、
 前記埋設体と前記第1絶縁層および前記第2絶縁層との各間に形成され、 $\text{Mn Si}_x \text{O}_z$ (x, y, z : 零よりも大きい数)からなるバリア膜とを含む。
- [2] 半導体装置において、
 SiおよびOを含む材料からなる第1絶縁層と、
 前記第1絶縁層を掘り下げた形状の下溝と、
 前記下溝に埋設され、Cuを主成分とする金属材料からなる下部電極と、
 前記下部電極上に積層され、少なくとも前記下部電極側の最下層部分が SiO_2 からなる絶縁膜と、
 前記絶縁膜を挟んで前記下部電極に対向して設けられ、導電性材料からなる上部電極と、
 前記下部電極と前記第1絶縁層および前記絶縁膜との各間に形成され、 $\text{Mn Si}_x \text{O}_z$ (x, y, z : 零よりも大きい数)からなる第1バリア膜とを含む。
- [3] 請求項2に記載の半導体装置において、
 前記絶縁膜を貫通して設けられて、前記下部電極に電氣的に接続され、WからなるWプラグと、
 前記Wプラグと前記下部電極および前記絶縁膜との間に介在された積層バリア膜とを含み、
 前記積層バリア膜は、前記下部電極および前記絶縁膜に接するTa膜と、前記Wプラグに接するTiN膜とを備える。
- [4] 請求項2に記載の半導体装置において、
 前記絶縁膜および前記上部電極上に積層され、SiおよびOを含む材料からなる第

2絶縁層と、

前記第2絶縁層を掘り下げた形状の上溝と、
前記上溝に埋設され、Cuを主成分とする金属材料からなる配線と、
前記下部電極と前記配線とが互いに対向する部分において、前記絶縁膜および前記第2絶縁層を貫通して設けられ、Cuを主成分とする金属材料からなるビアと、
前記第1バリア膜に連続して、前記配線と前記第2絶縁層との間、ならびに前記ビアと前記絶縁膜および前記第2絶縁層との各間に形成され、 $\text{Mn}_x \text{Si}_y \text{O}_z$ (x, y, z: 零よりも大きい数) からなる第2バリア膜とを含む。

[5] 半導体装置の製造方法において、

SiおよびOを含む材料からなる第1絶縁層に、その表面から掘り下がった形状の下溝を形成する工程と、

前記下溝の内面に、CuおよびMnを含む合金材料からなる合金膜を被着させる工程と、

前記合金膜上に、Cuを主成分とする金属材料を堆積させて、前記下溝に埋設される下部電極を形成する工程と、

前記下部電極上に、 SiH_4 および N_2O を用いたCVD法により、 SiO_2 からなる絶縁膜を形成する工程と、

前記絶縁膜上に、導電性材料からなる上部電極を形成する工程と、

熱処理により、前記下部電極と前記第1絶縁層および前記絶縁膜との各間に第1バリア膜を形成する工程とを含む。

[6] 半導体装置において、

SiおよびOを含む材料からなる第1絶縁層と、

前記第1絶縁層を掘り下げた形状の第1溝と、

前記第1溝に埋設され、Cuを主成分とする金属材料からなる第1配線と、

前記第1絶縁層および前記第1配線上に積層された、SiおよびOを含む材料からなる第2絶縁層と、

前記第2絶縁層を掘り下げた形状の第2溝と、

前記第2溝に埋設され、Cuを主成分とする金属材料からなる第2配線と、

前記第1配線と前記第2配線とが互いに対向する部分において、前記第2絶縁層を貫通して設けられ、Cuを主成分とする金属材料からなるビアと、

前記第1配線と前記第1絶縁層および前記第2絶縁層との各間、ならびに前記第2配線および前記ビアと前記第2絶縁層との各間に連続して形成され、 Mn Si O (x , y , z : 零よりも大きい数)からなるバリア膜とを含む。

[7] 請求項6に記載の半導体装置において、

前記第2絶縁層は、前記第1絶縁層に隣接する最下層に、 SiO_2 からなる層間膜を有する。

[8] 半導体装置の製造方法において、

SiおよびOを含む材料からなる第1絶縁層に、その表面から掘り下がった形状の第1溝を形成する工程と、

前記第1溝の内面に、CuおよびMnを含む合金材料からなる第1合金膜を被着させる工程と、

前記第1合金膜上に、Cuを主成分とする金属材料を堆積させて、前記第1溝に埋設される第1配線を形成する工程と、

前記第1絶縁層および前記第1配線上に、SiおよびOを含む材料からなる第2絶縁層を積層する工程と、

前記第2絶縁層に、その表面から掘り下がった形状の第2溝およびこの第2溝と前記第1配線との間を貫通するビアホールを形成する工程と、

前記第2溝および前記ビアホールの内面に、CuおよびMnを含む合金材料からなる第2合金膜を被着させる工程と、

前記第2合金膜上に、Cuを主成分とする金属材料を堆積させて、前記第2溝に埋設される第2配線および前記ビアホールに埋設されるビアを形成する工程と、

熱処理により、前記第1配線と前記第1絶縁層および前記第2絶縁層との各間、ならびに前記第2配線および前記ビアと前記第2絶縁層との各間にバリア膜を形成する工程と、を含む。

[9] 請求項8に記載の半導体装置の製造方法において、

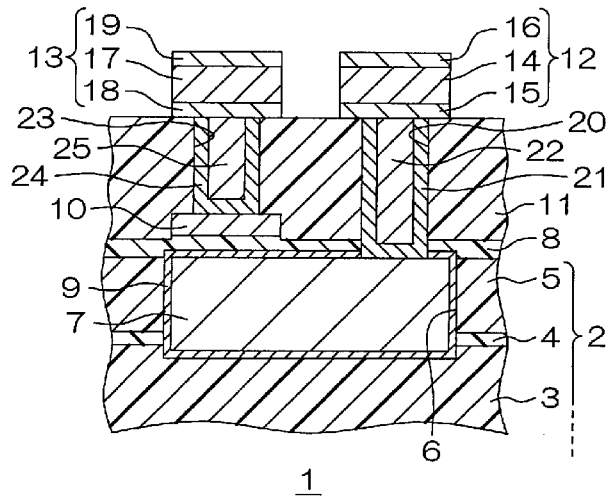
前記第2絶縁層を積層する工程は、前記第1絶縁層の直上に、 O_2 ガスを用いない

CVD法により、 SiO_2 からなる層間膜を形成する層間膜形成工程を含む。

- [10] 請求項9に記載の半導体装置の製造方法において、
前記CVD法は、 SiH_4 および N_2O を原料ガスとして用いたCVD法である。

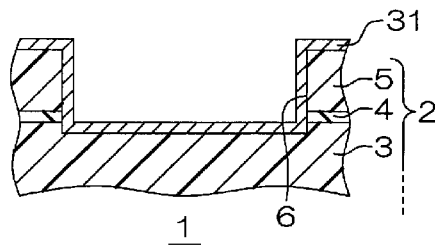
[図1]

図1



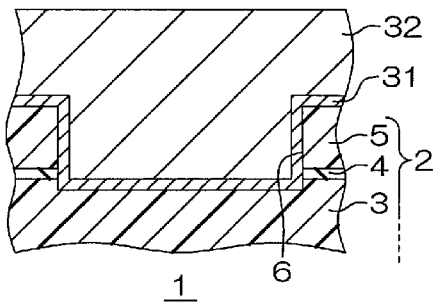
[図2A]

図2A

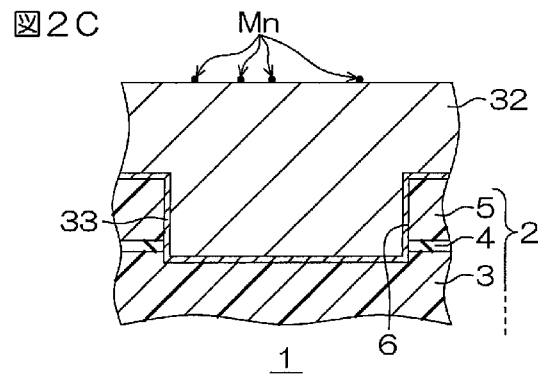


[図2B]

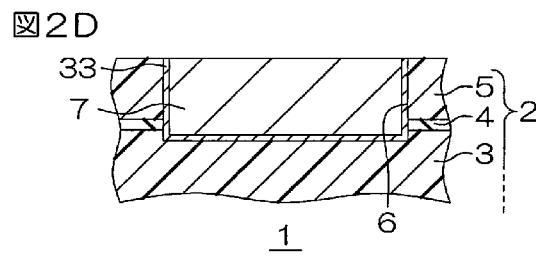
図2B



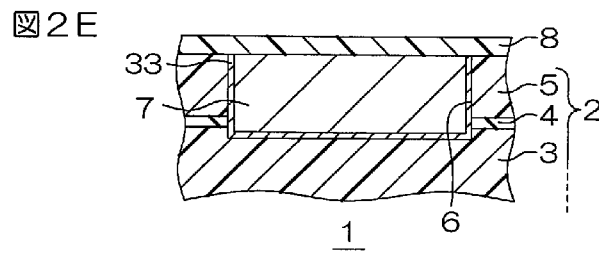
[図2C]



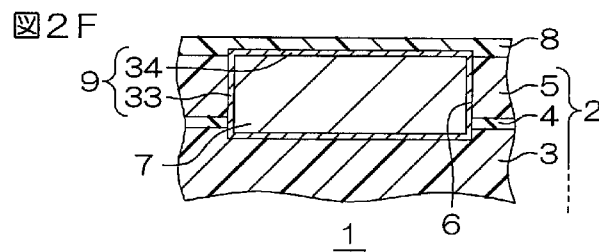
[図2D]



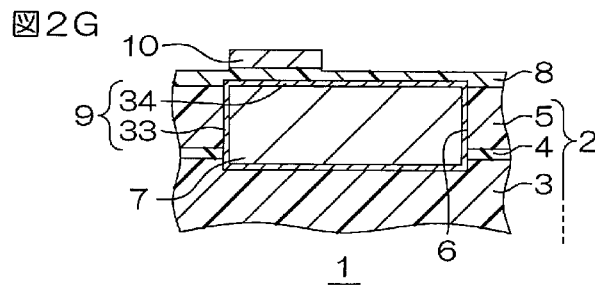
[図2E]



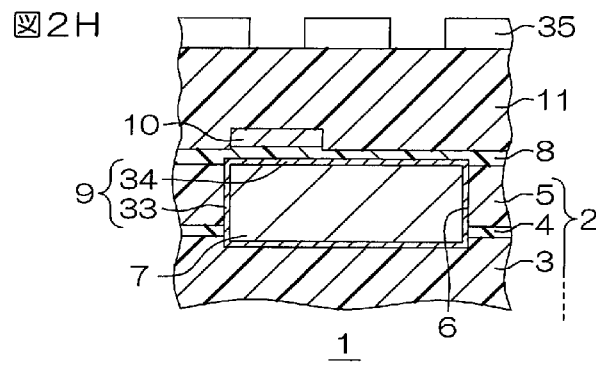
[図2F]



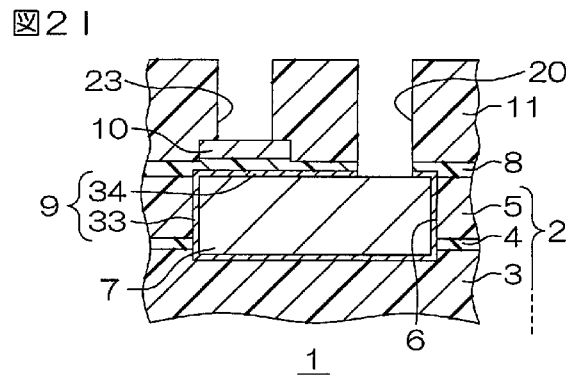
[図2G]



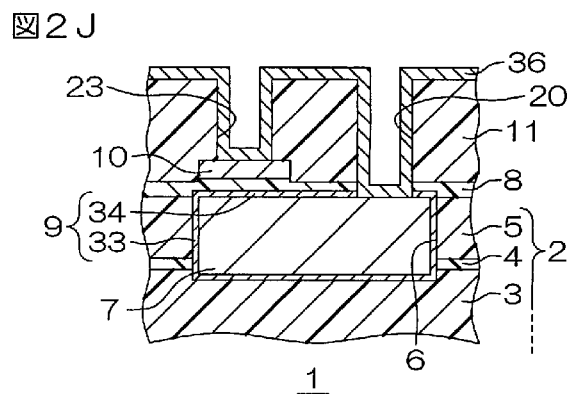
[図2H]



[図2I]

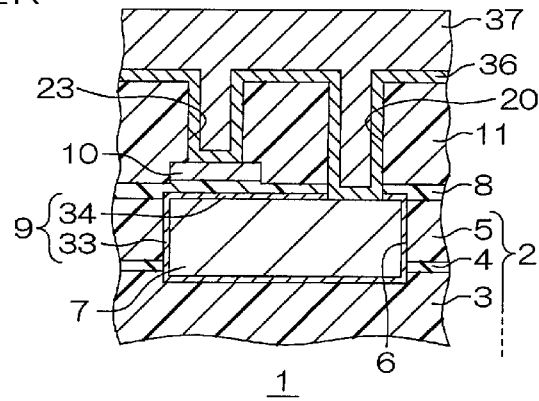


[図2J]



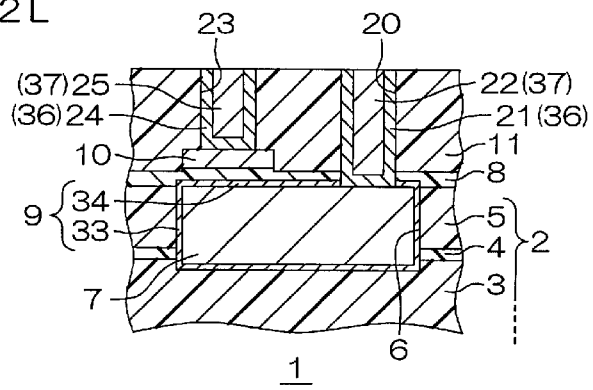
[図2K]

図2K



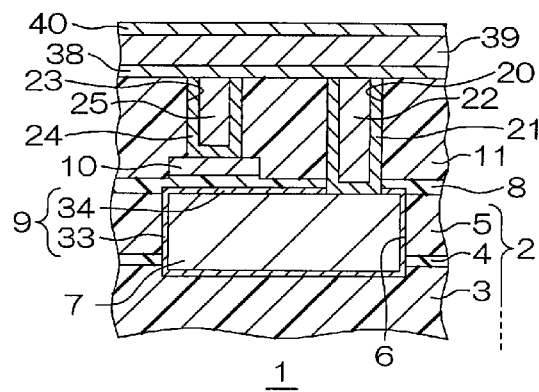
[図2L]

図2L



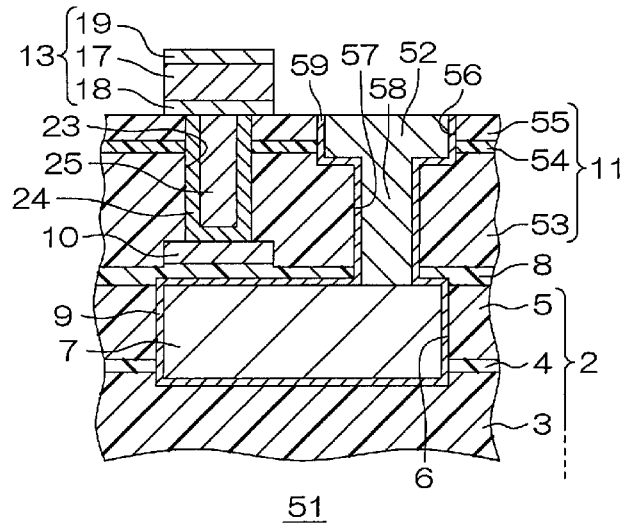
[図2M]

図2M



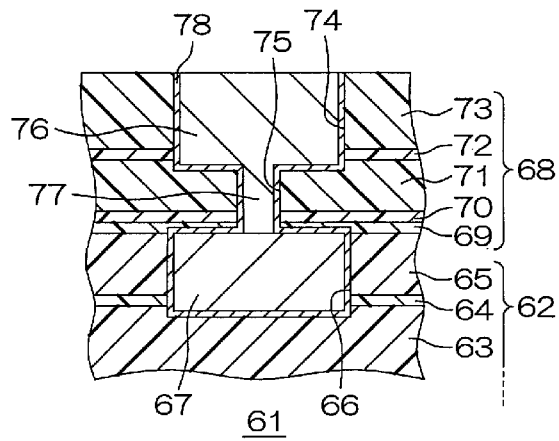
[図3]

図3



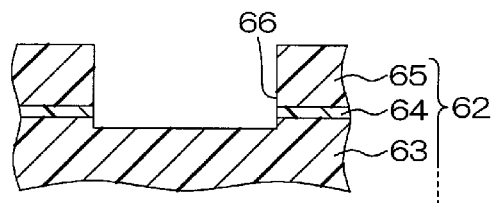
[図4]

図4

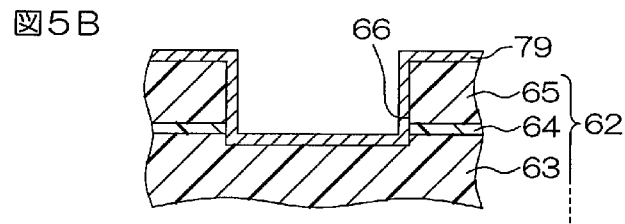


[図5A]

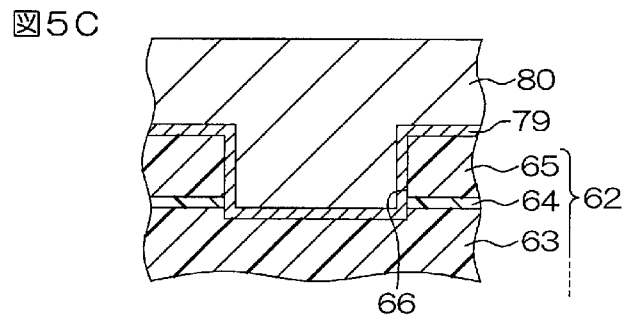
図5A



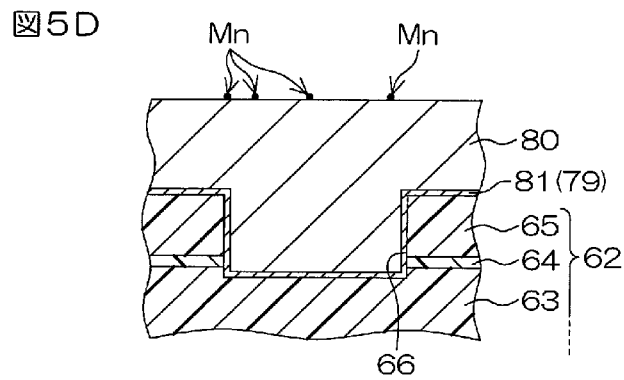
[図5B]



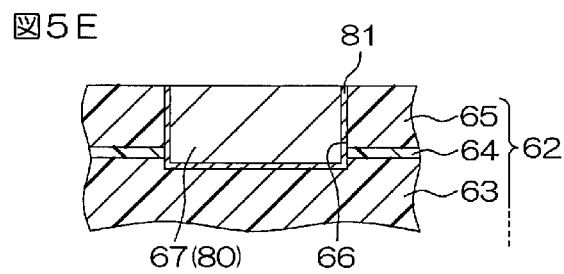
[図5C]



[図5D]

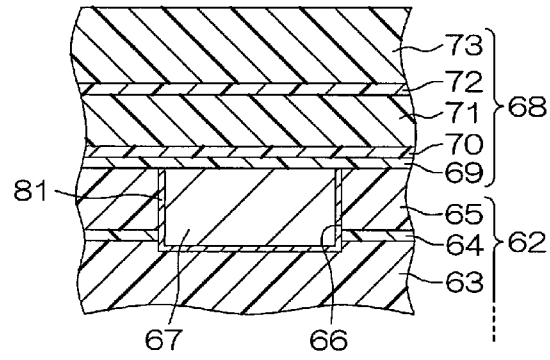


[図5E]



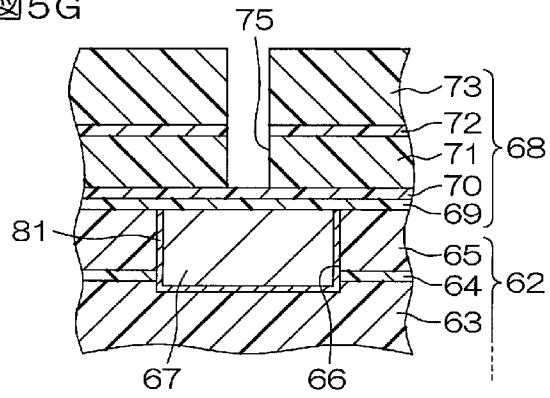
[[図5F]

図5F



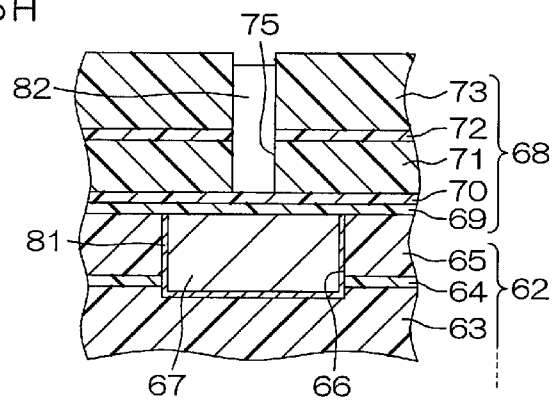
[[図5G]

図5G



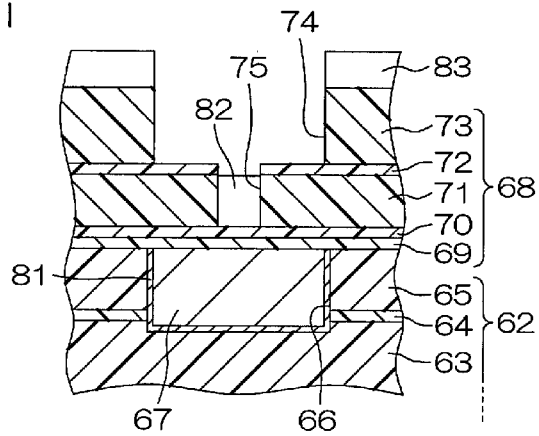
[[図5H]

図5H



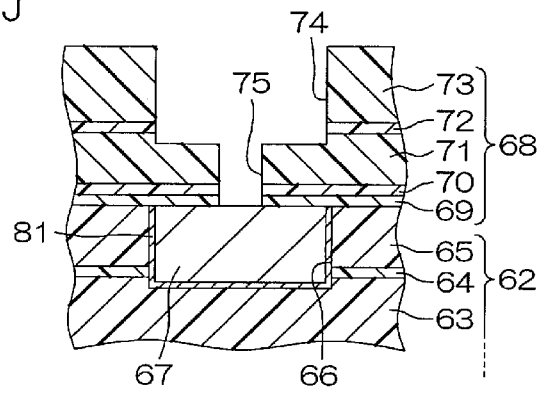
[[図5I]]

図5I



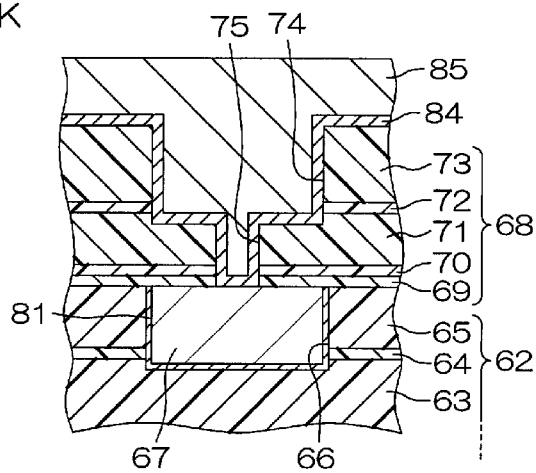
[[図5J]]

図5J



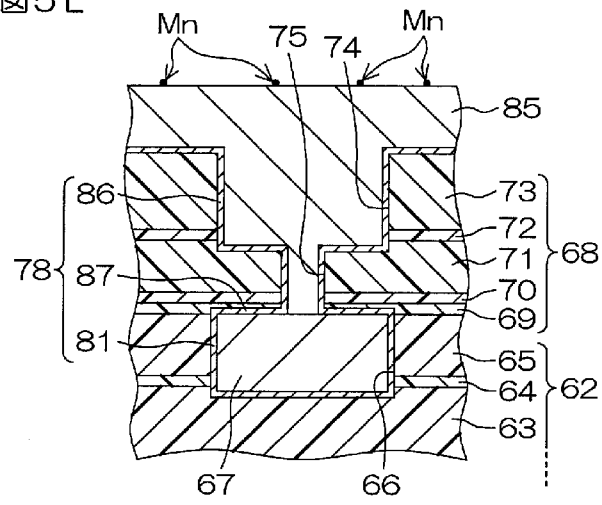
[[図5K]]

図5K



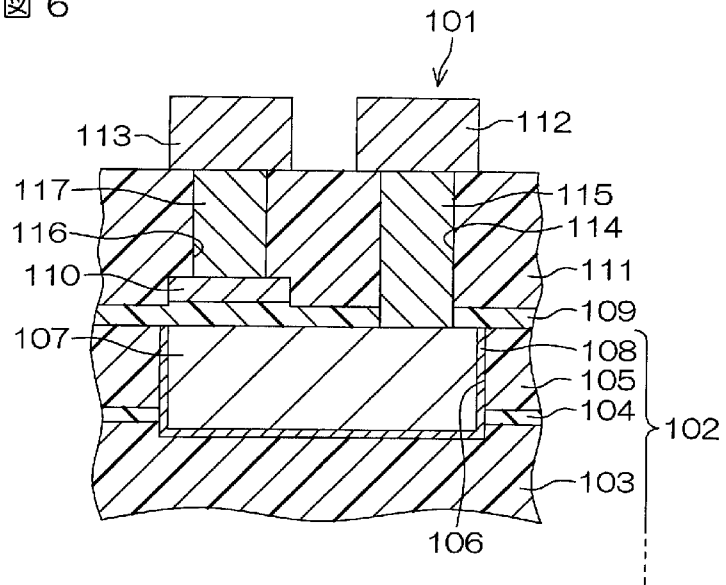
[図5L]

図5L



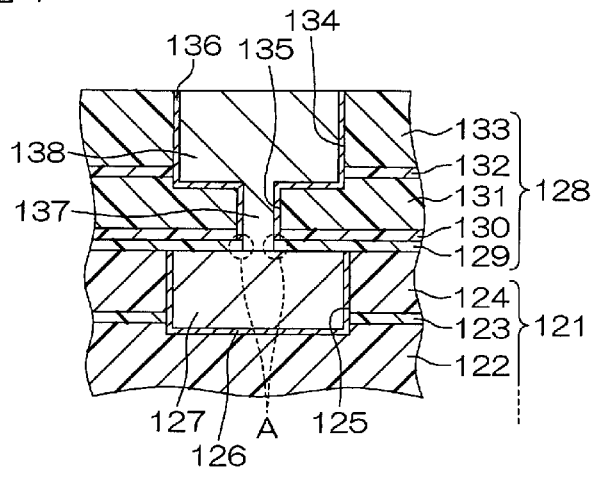
[図6]

図6



[図7]

図 7



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/061347

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/768 (2006.01) i, *H01L21/316* (2006.01) i, *H01L21/822* (2006.01) i,
H01L23/522 (2006.01) i, *H01L27/04* (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/768, *H01L21/316*, *H01L21/822*, *H01L23/522*, *H01L27/04*

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-12923 A (Toshiba Corp.), 18 January, 2007 (18.01.07), Par. Nos. [0012] to [0067]; Figs. 1 to 13 & US 2007/0012973 A1 & CN 1893080 A	1-4 5
X Y	JP 2005-277390 A (Semiconductor Technology Academic Research Center), 06 October, 2005 (06.10.05), Par. Nos. [0017], [0095] to [0104]; Fig. 20 & US 2005/0218519 A1 & TW 264046 B & KR 10-2006-0042167 A & CN 1697175 A	6-8 9,10
X	JP 2007-142236 A (Sony Corp.), 07 June, 2007 (07.06.07), Par. Nos. [0028] to [0037]; Fig. 3 & CN 1971901 A & KR 10-2007-0053636 A	1,6,7

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 August, 2008 (05.08.08)	Date of mailing of the international search report 19 August, 2008 (19.08.08)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/061347

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-134498 A (Renesas Technology Corp.), 30 April, 2004 (30.04.04), Par. No. [0044]; Fig. 6 (Family: none)	5, 9, 10
Y	JP 2004-95866 A (Fujitsu Ltd.), 25 March, 2004 (25.03.04), Par. No. [0061]; Fig. 7 & US 2004/0043518 A1 & US 6700147 B1	5, 9, 10
Y	JP 2003-324185 A (Toshiba Corp.), 14 November, 2003 (14.11.03), Par. No. [0027]; Fig. 2 & US 6573604 B1 & CN 1453871 A	5, 9, 10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/768(2006.01)i, H01L21/316(2006.01)i, H01L21/822(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/768, H01L21/316, H01L21/822, H01L23/522, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2007-12923 A (株式会社東芝) 2007.01.18, 段落【0012】-【0067】, 第 1-13 図 & US 2007/0012973 A1 & CN 1893080 A	1-4
Y		5
X	JP 2005-277390 A (株式会社半導体理工学研究センター) 2005.10.06, 段落【0017】, 段落【0095】-【0104】, 第 20 図 & US 2005/0218519 A1 & TW 264046 B & KR 10-2006-0042167 A & CN 1697175 A	6-8

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

05.08.2008

国際調査報告の発送日

19.08.2008

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

長谷山 健

4 L

9 1 7 1

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y		9, 10
X	JP 2007-142236 A (ソニー株式会社) 2007.06.07, 段落【0028】-【0037】, 第 3 図 & CN 1971901 A & KR 10-2007-0053636 A	1, 6, 7
Y	JP 2004-134498 A (株式会社ルネサステクノロジ) 2004.04.30, 段落【0044】, 第 6 図 (ファミリーなし)	5, 9, 10
Y	JP 2004-95866 A (富士通株式会社) 2004.03.25, 段落【0061】, 第 7 図 & US 2004/0043518 A1 & US 6700147 B1	5, 9, 10
Y	JP 2003-324185 A (株式会社東芝) 2003.11.14, 段落【0027】, 第 2 図 & US 6573604 B1 & CN 1453871 A	5, 9, 10