

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2015년 3월 12일 (12.03.2015)



(10) 국제공개번호
WO 2015/034260 A1

- (51) 국제특허분류:
H01J 31/02 (2006.01)
- (21) 국제출원번호: PCT/KR2014/008267
- (22) 국제출원일: 2014년 9월 3일 (03.09.2014)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2013-0105287 2013년 9월 3일 (03.09.2013) KR
- (71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 136-701 서울시 성북구 안암로 145, 고려대학교 (안암동 5가), Seoul (KR).
- (72) 발명자: 이철진 (LEE, Cheol Jin); 142-070 서울시 강북구 화계사길 32 (수유동), Seoul (KR). 신창환 (SHIN, Chang Hwan); 136-791 서울시 성북구 화랑로 14길 5, B-403 (하월곡동, KIST 과학자아파트), Seoul (KR). 신동훈 (SHIN, Dong Hoon); 130-720 서울시 동대문구 약령사로 25, 107-140 (제기동, 벽산아파트), Seoul (KR). 윤기남 (YUN, Ki Nam); 425-778 경기도 안산시 단원구 원선로 50, 112-2101 (원곡동, 벽산블루밍아파트), Gyeonggi-do (KR).
- (74) 대리인: 특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM); 137-810 서울시 서초

구 사평대로 343, 4층(반포동, 제일약품빌딩), Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

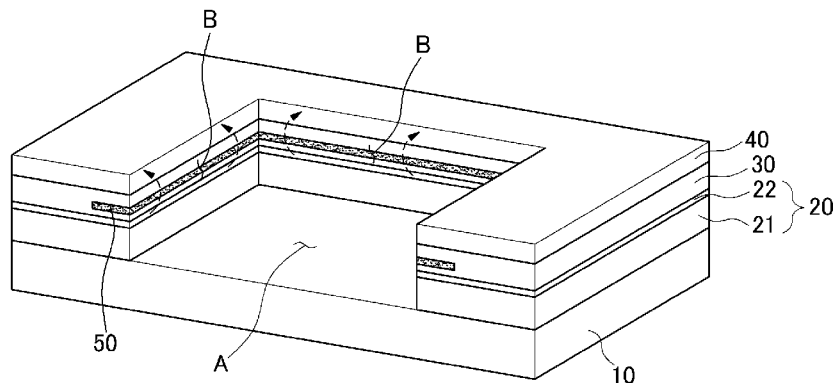
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: VERTICAL VACUUM ELECTRONIC DEVICE, MANUFACTURING METHOD THEREFOR, AND INTEGRATED DEVICE

(54) 발명의 명칭: 수직형 진공 전자 소자, 그 제조방법 및 집적 소자



(57) Abstract: Disclosed are a vertical vacuum electronic device, an integrated device, and a method of manufacturing a vertical vacuum electronic device. In particular, a vertical vacuum electronic device according to an embodiment of the present invention comprises: a substrate; a first electrode layer formed on a surface of the substrate such that a predetermined region of the surface of the substrate is exposed; an insulation material formed on the first electrode layer in a shape so as to surround the predetermined region; a second electrode layer formed on the insulation material; and a gate that is inserted into the insulation material and arranged in a shape so as to surround the predetermined region and has some exposed faces surrounding the predetermined region, wherein the predetermined region is determined according to the pattern of the gate.

(57) 요약서: 본 발명은, 수직형 진공 전자 소자, 집적 소자 및 수직형 진공 전자 소자의 제조방법에 대해 개시한다. 특히, 본 발명의 일 실시예에 따른 수직형 진공 전자

[다음 쪽 계속]



WO 2015/034260 A1



소자는, 기관; 상기 기관의 표면 중 소정의 영역이 노출되도록 상기 기관의 표면 상에 형성된 제 1 전극층; 상기 제 1 전극층 상에 상기 소정의 영역을 에워싸는 형태로 형성된 절연 물질; 상기 절연 물질 상에 형성된 제 2 전극층; 및 상기 절연 물질 내에 삽입되며, 상기 소정의 영역을 에워싸는 형태로 배치되며, 상기 소정의 영역을 에워싸는 일부 면이 노출되는 게이트를 포함하고, 상기 소정의 영역은 상기 게이트의 패턴에 따라 결정된다.

명세서

발명의 명칭: 수직형 진공 전자 소자, 그 제조방법 및 집적 소자 기술분야

- [1] 본 발명은 수직형 진공 전자 소자, 그 제조방법 및 집적 소자에 관한 것이고, 보다 구체적으로 수직 구조의 3극 진공 전자 소자, 이를 제조하는 방법 및 복수 개의 수직형 진공 전자 소자를 포함하는 집적 소자에 관한 것이다.

배경기술

- [2] 1947년 트랜지스터가 발명된 이래 고체전자소자는 꾸준히 미세화를 추구함으로써 동작속도가 비약적으로 향상되어왔다. 그로 인해, 고체전자소자는 컴퓨터, 통신, 텔레비전, 우주항공, 자동차 등과 같은 전 분야에서 폭 넓게 이용되고 있다.
- [3] 그러나, 게이트 전극 크기가 수십 nm 이하로 줄어들면서, 도핑 레벨 불균일에 의한 문턱전압 변화, 게이트 절연막 터널링에 의한 누설전류증가, 열 발산에 따른 열적진동 및 양자역학적 진동에 의한 오작동과 같은 문제점들로 인해 고체전자소자는 이론적이나 기술적으로 미세화의 한계에 다다르게 되었다. 따라서 이러한 기존 고체전자소자의 한계점을 극복할 수 있는 새로운 개념에 기반한 전자소자기술의 필요성이 대두되었다.
- [4] 이에 따라, 고체전자소자보다 미세하게 제작이 가능하고, 높은 퍼포먼스를 보이는 진공 나노 전자 소자가 개발되었다. 최근 다양한 구조를 가진 진공 나노 전자 소자를 제작하기 위한 연구가 지속적으로 이루어지고 있다.
- [5] 최근 Vanderbilt 대학의 Weng Poo Kang 그룹, 교토 대학의 Yasuhito Gotoh 그룹 등에서 수직형 어레이 구조의 진공 전자 소자를 제작했다는 논문을 각각 Diamond & Related Materials (DRM22(2012)142), Journal of Vacuum Science & Technology B (JVSTB29(2011)02B116)에 발표하기도 하였다.
- [6] 다만, Kang 그룹의 진공 전자 소자는 에미터와 게이트의 간격이 약 0.9 m로 제작되었기 때문에, 적절한 동작을 위해서 100V 이상의 전압을 애노드 측에 인가해야 하고, 소형화시키기 어렵다는 문제점이 있었다. 또한, 해당 논문에서 주파수 특성까지는 다루지 않았다는 부족함이 있었다.
- [7] Gotoh 그룹의 진공 전자 소자는 Kang 그룹의 것과 마찬가지로 마이크로미터 수준으로 제작되었기 때문에, 100V 이상의 전압을 인가해야 하고, 소형화시키기 어렵다는 문제점이 있었다. 또한, 최대 1 MHz의 주파수에서 전압 이득을 얻을 수 있다고 밝히고 있으나, 이는 기존에 사용되던 고체전자소자의 주파수 특성과 비교했을 경우 미비한 수준에 불과하다는 한계가 있었다.
- [8] 한편, 한국공개특허 제 공개특허 10-2005-0087111호(발명의 명칭: 탄소 나노튜브 전계방출소자 제조 장치 및 방법)는 탄소 나노튜브 페이스트를 이용하여 에미터를 형성한 전계방출소자를 상압 플라즈마로 후처리하도록 하여

공정 제한을 줄이고 비용을 낮춘 탄소 나노튜브 전계방출소자 제조 장치 및 방법에 대해 개시하고 있다.

발명의 상세한 설명

기술적 과제

- [9] 본 발명의 일부 실시예는 단시간 내 전자들이 이동하기에 충분히 짧은 전극 간의 거리(100nm 이하)와, 고주파에서 충분히 작은 게이트 커패시턴스를 가진 수직형 진공 전자 소자 및 이들로 구성된 집적 소자를 제공하는 데에 그 목적이 있다.
- [10] 또한, 본 발명의 일부 실시예는 제 1 전극층과 제 2 전극층 간의 상호 구조를 다양화함에 따라 전자 이동 경로를 다르게 만들고, 그에 따라 상압 상태에서 진공 환경과 유사한 성능으로 동작할 수 있는 수직형 진공 전자 소자의 제조방법을 제공하는 데에 다른 목적이 있다.
- [11] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제 해결 수단

- [12] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 일 실시예에 따른 수직형 진공 전자 소자는, 기판; 상기 기판의 표면 중 소정의 영역이 노출되도록 상기 기판의 표면 상에 형성된 제 1 전극층; 상기 제 1 전극층 상에 상기 소정의 영역을 에워싸는 형태로 형성된 절연 물질; 상기 절연 물질 상에 형성된 제 2 전극층; 및 상기 절연 물질 내에 삽입되되, 상기 소정의 영역을 에워싸는 형태로 배치되며, 상기 소정의 영역을 에워싸는 일부 면이 노출되는 게이트를 포함하고, 상기 소정의 영역은 상기 게이트의 패턴에 따라 결정된다.
- [13] 또한, 본 발명의 일 실시예에 따른 집적 소자는, 미리 설계된 배열로 배치된 복수 개의 수직형 진공 전자 소자를 포함하고, 각각의 수직형 진공 전자 소자는, 기판; 상기 기판의 표면 중 소정의 영역이 노출되도록 상기 기판의 표면 상에 형성된 제 1 전극층; 상기 제 1 전극층 상에 상기 소정의 영역을 에워싸는 형태로 형성된 절연 물질; 상기 절연 물질 상에 형성된 제 2 전극층; 및 상기 절연 물질 내에 삽입되되, 상기 소정의 영역을 에워싸는 형태로 배치되며, 상기 소정의 영역을 에워싸는 일부 면이 노출되는 게이트를 포함하고, 상기 소정의 영역은 상기 게이트의 패턴에 따라 결정되며, 상기 제 1 전극층과 상기 제 2 전극층은 서로 다른 극성의 전극과 연결된다.
- [14] 또한, 본 발명의 일 실시예에 따른 수직형 진공 전자 소자의 제조방법은, (a) 기판의 표면 상에 제 1 전극층, 절연 물질 및 게이트를 차례로 형성하는 단계; (b) 상기 게이트가 미리 설정된 형상으로 형성되도록 패터닝하는 단계; (c) 상기 패터닝하는 단계 이후에 상기 게이트를 둘러싸도록 절연 물질을 추가 형성하고, 상기 추가 형성된 절연 물질 상에 제 2 전극층을 형성하는 단계; 및 (d) 상기 미리 설정된 형상을 기초로 상기 기판의 표면 중 소정의 영역과, 상기 소정의 영역을

에워싸는 상기 게이트의 일부 면이 노출되도록 상기 제 2 전극층, 상기 추가 형성된 절연 물질, 상기 절연 물질 및 상기 제 1 전극층을 차례로 에칭하는 단계를 포함한다.

- [15] 아울러, 본 발명의 다른 실시예에 따른 수직형 진공 전자 소자의 제조방법은, (a) 기판의 표면 상에 제 1 전극층, 절연 물질 및 게이트를 차례로 형성하는 단계; (b) 상기 게이트가 미리 설정된 형상으로 형성되도록 패터닝하는 단계; (c) 상기 패터닝하는 단계 이후에 상기 게이트를 둘러싸도록 절연 물질을 형성하는 단계; (d) 상기 미리 설정된 형상을 기초로 상기 기판의 표면 중 소정의 영역과, 상기 소정의 영역을 에워싸는 상기 게이트의 일부 면이 노출되도록 상기 절연 물질 및 상기 제 1 전극층을 차례로 에칭하는 단계; 및 (e) 상기 형성된 절연 물질 상에 제 2 전극층을 형성하는 단계를 포함한다.

발명의 효과

- [16] 전술한 본 발명의 과제 해결 수단 중 어느 하나인 수직형 진공 전자 소자는 전계가 가해짐에 따라 수직 방향으로 전자를 방출하는 냉음극 에미터를 포함함으로써, 종래의 고체전자소자와 달리 극한환경에서도 고주파 동작 및 고출력 동작을 수행할 수 있다는 장점이 있다.
- [17] 또한, 수직형 진공 전자 소자의 제 1 전극층과 제 2 전극층 사이의 간격이 상압에서 적절하게 (예를 들어, 전자의 평균자유행로(mean free path)) 결정됨으로써, 수직형 진공 전자 소자가 일반적인 상압 환경에서도 진공 환경에서와 실질적으로 유사한 성능으로 동작할 수 있고, 양 전극간 전자의 이동 효율을 극대화시킬 수 있다.
- [18] 또한, 미세화, 고집적화에 유리하기 때문에, 복수의 수직형 진공 전자 소자로 이루어진 초소형 집적 회로는 극한환경에서도 설계자의 최초 의도대로 고주파 동작 및 고출력 동작을 수행할 수 있고, 종래보다 적은 전력을 소모할 수 있다.
- [19] 아울러, 본 발명에 제안된 수직형 진공 전자 소자의 제조방법의 경우, 노출된 일부 면을 제외하고 절연 물질 내에 삽입되고 커패시턴스를 최소화하도록 게이트를 형성함으로써, 외부 온도변화 및 외부 방사선에 의한 소자 동작 특성 변화를 최소화시킬 수 있고, 주변 환경(압력, 온도 등)에 의해 큰 제약을 받지 않고 수직형 진공 전자 소자를 제조할 수 있다.

도면의 간단한 설명

- [20] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 수직형 진공 전자 소자의 구조를 나타낸 도면,
- [21] 도 2는 본 발명의 다른 실시예에 따른 수직형 진공 전자 소자의 구조를 나타낸 도면,
- [22] 도 3은 본 발명의 또 다른 실시예에 따른 수직형 진공 전자 소자의 구조를 나타낸 도면,
- [23] 도 4a, 도 4b 및 도 4c는 본 발명의 일 실시예에 따른 수직형 진공 전자 소자의

- 제조방법을 설명하기 위한 각 과정을 도시한 도면,
 [24] 도 4a, 도 4b 및 도 4d는 본 발명의 다른 실시예에 따른 수직형 진공 전자 소자의 제조방법을 설명하기 위한 각 과정을 도시한 도면,
 [25] 도 5는 본 발명의 각 실시예에 따른 수직형 진공 전자 소자의 제조방법에 대한 순서도이다.

발명의 실시를 위한 형태

- [26] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [27] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [28] 본원 명세서 전체에서, 어떤 부제가 다른 부제 “상에” 위치하고 있다고 할 때, 이는 어떤 부제가 다른 부제에 접해 있는 경우뿐 아니라 두 부제 사이에 또 다른 부제가 존재하는 경우도 포함한다.
- [29] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 수직형 진공 전자 소자의 구조를 나타낸 도면이다.
- [30] 본 발명의 일 실시예에 따른 수직형 진공 전자 소자는 각기 다른 물질로 이루어진 복수의 층이 형성된 구조로서, 기판(Substrate, 10), 제 1 전극층(20), 절연 물질(30), 제 2 전극층(40), 및 게이트(Gate, 50)를 포함한다. 이처럼 수직형 진공 전자 소자는 제 1 전극층(20), 제 2 전극층(40), 게이트(50)를 포함하는 3극 구조이므로, 방출된 전자의 양과 에너지를 2극 구조보다 용이하게 제어할 수 있다.
- [31] 기판(10)은 수직형 진공 전자 소자의 가장 아래에 배치되고, 실질적으로 평평한 면을 가진 2차원 타입으로 이루어지며, 실리콘, SOI(Silicon On Insulator) 등으로 제작될 수 있다.
- [32] 제 1 전극층(20)은 상술한 기판(10)의 표면 중 소정의 영역(A)이 노출되도록 기판(10)의 표면 상에 형성된다. 이때, 소정의 영역(A)은 후술할 게이트(50)의 패턴에 따라 결정된다.
- [33] 예를 들어, 소정의 영역(A)은 도 1a 및 도 1b에 도시된 것처럼 ‘ㄷ’ 자 형상일 수 있는데, 이는 게이트(50)의 패턴이 ‘ㄷ’ 자 형상이기 때문이다. 게이트(50)의

패턴은 ‘ㄷ’ 자 형상, ‘口’ 자 형상, ‘o’ 자 형상을 포함할 수 있고, 소정의 영역(A)은 기판(10)의 중심 부근을 포함할 수 있다.

- [34] 절연 물질(30)은 제 1 전극층(20) 상에 소정의 영역(A)을 에워싸는 형태로 형성된다. 절연 물질(30)은 제 1 전극층(20) 또는 제 2 전극층(40)과 게이트(50)를 서로 절연시키고 간극을 유지시키기 때문에, 스페이서(Spacer)라고 불린다. 또한, 사이에 배치된 절연 물질(30)을 가로질러 제 1 전극층(20)과 제 2 전극층(40) 간에 전자 이동 경로가 용이하게 형성될 수 있다. 이때, 절연 물질(30)은 제 1 전극층(20)과 동일한 면적을 가지고 일정 두께를 이루면서 알루미늄 옥사이드, 실리콘 다이 옥사이드 등과 같은 재료로 이루어질 수 있다.
- [35] 제 2 전극층(40)은 절연 물질(30) 상에 형성된다.
- [36] 구체적으로, 도 1a 및 도 1b에 도시된 것처럼 복수의 층이 트렌치(Trench) 구조를 이룰 수 있고, 제 2 전극층(40)은 제 1 전극층(20) 또는 절연 물질(30)과 실질적으로 동일한 형상으로 형성될 수 있다. 제 2 전극층(40)의 면적은 제 1 전극층(20)의 면적, 및 게이트(50)가 삽입된 절연 물질(30)의 면적과 실질적으로 동일할 수 있고(도 1a 참고), 이들 면적보다 다소 작을 수도 있다(도 1b 참고).
- [37] 게이트(50)는 상술한 절연 물질(30) 내에 삽입되고, 소정의 영역(A)을 에워싸는 형태로 배치되며, 소정의 영역(A)을 에워싸는 일부 면(B)이 노출된다. 상술한 제 1 전극층(20)과 제 2 전극층(40) 간의 전자 진행 경로(도 1a 및 도 1b의 화살표)는 게이트(50)의 일부 면(B) 상에 형성될 수 있고, 게이트(50)는 제 1 전극층(20)과 제 2 전극층(40) 사이에 배치될 수 있다.
- [38] 구체적으로, 게이트(50)는 미리 설정된 형상으로 패터닝(Patterning)되어 형성되고, 절연 물질(30)이 소정의 영역(A)과 가까운 게이트(50)의 일부 면(B)을 제외한 나머지 면을 둘러싸고 있을 수 있다. 이미 상술한 것과 같이 게이트(50)의 패턴은 ‘ㄷ’ 자 형상, ‘口’ 자 형상, ‘o’ 자 형상을 포함할 수 있다. 또한, 게이트(50)의 두께 및 폭은 게이트(50)와 제 1 전극층(20) 간의 커패시턴스(Capacitance) 또는 게이트(50)와 제 2 전극층(40) 간의 커패시턴스가 최소화되도록 주파수 특성을 고려하여 미리 설정되거나 설계될 수 있다. 이때, 게이트(50)는 전도성이 우수한 소재들로 제작될 수 있는데, 예를 들어, 나노 소재 또는 금속 소재로 이루어진 박막으로 제작될 수 있다. 이때, 나노 소재는 그래핀 또는 탄소나노튜브이고, 금속 소재는 금, 은, 및 구리 중 적어도 하나일 수 있다.
- [39] 이하에서는, 상술한 제 1 전극층(20)과 제 2 전극층(40)에 대해 좀더 상세하게 설명하기로 한다.
- [40] 도 1a 및 도 1b에 각각 도시된 일 예처럼 제 1 전극층(20)은 에미터(Emitter)와 캐소드(Cathode)로서 동작을 수행하거나, 기판(10)의 표면 상에 형성된 캐소드 층(21), 및 그 캐소드 층(21)과 전기적으로 연결되고 캐소드 층(21) 상에 형성된 에미터 층(22)을 포함할 수 있고, 제 2 전극층(40)은 애노드(Anode)로서 동작을 수행할 수 있다.
- [41] 구체적으로, 제 1 전극층(20)이 음(-)의 전극인 캐소드로서의 역할과 전자를

방출하는 에미터로서의 역할을 동시에 수행하거나, 각각의 역할을 수행하는 캐소드 층(21) 및 에미터 층(22)을 포함할 수 있고, 제 2 전극층(40)은 양(+)의 전극인 애노드로서 방출된 전자를 끌어당길 수 있으며, 그래핀 또는 탄소나노튜브를 포함하는 나노 소재로 이루어진 박막으로 제작될 수 있다.

- [42] 보다 구체적으로, 에미터 층(22)은 스프레이 기법, 딥핑(Dipping) 기법, 전기영동 기법, 박막전사 기법 등에 의해 증착될 수 있다. 이렇게 형성된 에미터 층(22)에 충분한 전계를 인가하면 에미터 층(22)을 이루는 물질의 끝 부분에 전계가 집중되어 전자가 방출된다. 특히, 수직형 진공 전자 소자의 경우 복수의 층이 트랜치(Trench) 구조를 이루기 때문에, 에미터 층(22)에서 방출된 전자가 가장 위에 배치된 애노드 역할의 제 2 전극층(40)을 향해 이동할 수 있고, 전자 진행 경로(도 1a 및 도 1b의 화살표)는 양 전극층 사이에 배치된 게이트(50)의 일부 면(B) 상에 형성될 수 있다. 덧붙여, 에미터 층(22)은 나노 소재 또는 금속 소재로 이루어진 박막으로 제작될 수 있다. 이때, 나노 소재는 그래핀 또는 탄소나노튜브이고, 금속 소재는 금, 은 및, 구리 중 적어도 하나일 수 있다. 또한, 에미터 층(22)은 종래 알려진 방식에 의해 침상 구조로 제작될 수도 있다.
- [43] 도 2는 본 발명의 다른 실시예에 따른 수직형 진공 전자 소자의 구조를 나타낸 도면이다. 본 발명의 다른 실시예에 따른 수직형 진공 전자 소자는 제 2 전극층(40)을 제외하고, 도 1a 및 도 1b에 도시된 수직형 진공 전자 소자와 전체적으로 구조가 유사하다. 도 2에 도시된 것처럼, 제 2 전극층(40)은 소정의 영역(A)과 일정한 거리만큼 이격된 상태에서 소정의 영역(A) 중 일부 또는 전부를 가리도록 형성될 수 있다. 이러한 구조로 제작되는 경우, 전자 진행 경로(도 2의 화살표)가 도 1a 또는 도 1b의 구조인 경우보다 용이하게 형성될 수 있다.
- [44] 아울러, 도 3은 본 발명의 또 다른 실시예에 따른 수직형 진공 전자 소자의 구조를 나타낸 도면이다. 도 3에 도시된 것처럼 제 1 전극층(20)은 애노드로서 동작을 수행하고, 제 2 전극층(40)은 에미터와 캐소드로서 동작을 수행하거나, 절연 물질(30) 상에 형성된 에미터 층(41), 및 그 에미터 층(41)과 전기적으로 연결되고 에미터 층(41) 상에 형성된 캐소드 층(42)을 포함할 수 있다.
- [45] 나아가, 제 1 전극층(20)과 제 2 전극층(40) 사이의 간격은 상압에서 전자의 평균자유행로(mean free path)로 결정될 수 있다. 이렇게 결정된 간격으로 수직형 진공 전자 소자가 제작되는 경우, 제 1 전극층(20)과 제 2 전극층(40) 간의 전자 진행 경로는 노출된 일부 면에 인접하여 형성될 수 있다. 즉, 전자 진행 경로는 진공 상태인 경우뿐만 아니라 상압 환경에서도 게이트(50)의 일부 면 상에 형성될 수 있다.
- [46] 구체적으로, 상압에서 전자의 평균자유행로는 아래 수학적 식 1에 의해 결정될 수 있다. 이때, K_B 는 볼츠만 상수이고, T 는 온도, d 는 가스 입자의 지름(meter), p 는 압력을 의미한다.
- [47] 수학적 식 1

$$l = \frac{K_B T}{\sqrt{2\pi} d^2 p}$$

[48] 표 1

[Table 1]

Vacuum range	Pressure in hPa (mbar)	Molecules/cm ³	Molecules/m ³	Mean free path
Ambient pressure	1013	2.7*10 ¹⁹	2.7*10 ²⁵	68nm
Low vacuum	300-1	10 ¹⁹ -10 ¹⁶	10 ²⁵ -10 ²²	0.1-100 μ m
Medium vacuum	1-10 ⁻³	10 ¹⁶ -10 ¹³	10 ²² -10 ¹⁹	0.1-100mm
High vacuum	10 ⁻³ -10 ⁻⁷	10 ¹³ -10 ⁹	10 ¹⁹ -10 ¹⁵	10cm-1km
Ultra high vacuum	10 ⁻⁷ -10 ⁻¹²	10 ⁹ -10 ⁴	10 ¹⁵ -10 ¹⁰	1km-10 ⁵ km
Extremely high vacuum	<10 ⁻¹²	<10 ⁴	<10 ¹⁰	>10 ⁵ km

[49] 표 1에 나타난 것처럼, 압력의 차이에 따라 공기 중에서 전자의 평균자유행로가 전혀 상이해진다는 것을 알 수 있다. 참고로, Jennings, S (1988). "The mean free path in air". Journal of Aerosol Science, Vol 19, No.2, pp. 159~166를 살펴보면, 상압에서 전자의 평균자유행로는 대략적으로 65~67nm라는 것을 알 수 있다. 즉, 진공 상태가 아닌 일반적인 상압 환경에서 자유전자가 공기 내 다른 입자와 충돌하지 않고 움직일 수 있는 평균적인 거리는 대략 100nm 이하, 보다 정확하게는 68nm 이하라는 것을 알 수 있다.

[50] 따라서, 제 1 전극층(20)과 제 2 전극층(40) 사이의 간격이 상압에서 적절하게 (예를 들어, 전자의 평균자유행로(mean free path)) 결정됨으로써, 에미터 역할을 하는 전극층에서 방출된 전자는 일반적인 상압 환경에서도 다른 입자와 충돌하지 않고 애노드 역할을 하는 전극층으로 이동할 수 있다. 다시 말하자면, 본 발명에서 제안된 수직형 진공 전자 소자는 100nm 이하의 전극층 간격을 가짐으로써, 일반적인 상압 환경에서도 수직형 진공 전자 소자가 진공 환경에서와 실질적으로 유사한 성능으로 동작할 수 있다. 또한, 진공 환경에서 제작되어야 할 필요 없이 보다 단순한 제작 공정 및 저렴한 제작 비용으로 고성능의 전자 소자를 제작할 수 있다. 그뿐만 아니라, 100nm 이하의 전극층 간격으로 인해, 수직형 진공 전자 소자에 대한 미세화, 고집적화가 용이하게 이루어질 수 있다.

- [51] 이하에서 설명될 본 발명의 일 실시예에 따른 집적 소자(미도시)는 미리 설계된 배열(Array)로 배치된 복수 개의 수직형 진공 전자 소자를 포함하고, 배열은 설계자의 의도 또는 용도에 따라 달라질 수 있다. 이때, 각각의 수직형 진공 전자 소자는 도 1 내지 도 3에 도시된 구조 중 하나일 수 있으나, 특별히 제한되는 것은 아니다. 다만, 각각의 수직형 진공 전자 소자는 이미 상술한 것과 같이 기판(10), 제 1 전극층(20), 절연 물질(30), 제 2 전극층(40) 및 게이트(50)를 포함하고, 각 구성에 대한 자세한 설명은 생략하기로 한다.
- [52] 제 1 전극층(20)은 기판(10)의 표면 중 소정의 영역(A)이 노출되도록 기판(10)의 표면 상에 형성된다. 절연 물질(30)은 제 1 전극층(20) 상에 소정의 영역(A)을 에워싸는 형태로 형성되고, 제 2 전극층(40)은 그 절연 물질(30) 상에 형성된다. 또한, 게이트(50)는 절연 물질(30) 내에 삽입되고, 소정의 영역(A)을 에워싸는 형태로 배치되며, 소정의 영역(A)을 에워싸는 일부 면(B)이 노출된다.
- [53] 이때, 소정의 영역(A)은 게이트(50)의 패턴에 따라 결정되며, 제 1 전극층(20)과 제 2 전극층(40)은 서로 다른 극성의 전극과 연결된다. 즉, 제 1 전극층(20)이 캐소드 및 에미터로서 동작하는 경우 (-) 전극과 연결되고, 애노드 역할의 제 2 전극층(40)은 (+) 전극과 연결된다. 반대로, 제 1 전극층(20)이 애노드로서 동작하는 경우 (+) 전극과 연결되고, 제 2 전극층(40)이 캐소드 및 에미터로서 동작하는 경우 (-) 전극과 연결된다. 이와 같이 연결되어 전원을 집적 소자에 공급하는 전원공급 회로가 별도로 혹은 집적 소자와 함께 배치될 수 있다.
- [54] 여기서, 제 1 전극층(20)과 제 2 전극층(40) 사이의 간격은 상압에서 전자의 평균자유행로(mean free path)로 결정될 수 있다.
- [55] 이렇게 적절하게 결정된 간격으로 집적 소자가 제작되는 경우, 제 1 전극층(20)과 제 2 전극층(40) 간의 전자 진행 경로가 노출된 일부 면에 인접하여 형성될 수 있다. 즉, 상압에서 전자 진행 경로가 게이트(50)의 일부 면 상에 형성될 수 있고, 집적 소자가 일반적인 상압 환경에서도 진공 환경에서와 실질적으로 유사한 성능으로 동작할 수 있다. 또한, 외부 온도변화 및 외부 방사선에 의한 소자 동작 특성 변화에 영향이 적기 때문에, 극한환경에서도 집적 소자 또는 수직형 진공 전자 소자는 설계자의 최초 의도대로 고주파 동작 및 고출력 동작을 수행할 수 있다. 즉, 본 발명에서 제안된 집적 소자 또는 수직형 진공 전자 소자는 극저온, 극고온 및 방사선 환경에서의 조사 장치, 우주탐사선, 무선통신 및 위성 레이더, 항공기, 심해저 잠수정, 극지방용 선박, 전기자동차, 고속철도, 무선전력 전송기기, 전력 스위칭 기기 등에 응용할 수 있을 것이다.
- [56] 한편, 본 발명의 일 실시예에 따른 수직형 진공 전자 소자를 제조하는 방법에 대하여 도 4a, 도 4b, 도 4c, 및 도 5를 참고하여 설명하기로 한다. 도 4a, 도 4b 및 도 4c는 본 발명의 일 실시예에 따른 수직형 진공 전자 소자의 제조방법을 설명하기 위한 각 과정을 도시한 도면이고, 도 5는 본 발명의 각 실시예에 따른 수직형 진공 전자 소자의 제조방법에 대한 순서도이다.
- [57] 참고로, 이하 설명될 수직형 진공 전자 소자의 제조방법은 도 1a 및 도 1b에

도시된 수직형 진공 전자 소자를 제조하는 방법으로서, 도 3에 도시된 수직형 진공 전자 소자를 제조하는 방법도 관련 업계 종사자라면 이와 유사하게 이루어질 수 있다는 것을 용이하게 이해할 수 있을 것이다.

- [58] 우선, 기판(10)이 제공되고(S110), 그 기판(10)의 표면 상에 각 층이 차례로 형성된다(S120). 즉, 기판(10)의 표면 상에 제 1 전극층(20), 절연 물질(30) 및 게이트(50)가 차례로 형성된다. 이때, 도 4a에 도시된 (1) 과정 내지 (4) 과정처럼 형성하는 단계(S120)가 이루어질 수 있다. 구체적으로, 클리닝 처리된 기판(10)의 표면 상에 캐소드(21) 층, 에미터(22) 층, 절연 물질(30) 층 및 게이트(50) 층을 이루는 각각의 재료가 차례로 증착(deposition)될 수 있다. 다만, 이미 상술한 것처럼 제 1 전극층(20)이 캐소드 및 에미터의 역할을 함께 수행하는 경우, 두 개의 층(21, 22)을 구분하여 형성시키지 않고 제 1 전극층(20)만을 형성시킬 수도 있다.
- [59] 이어서, 게이트(50)가 미리 설정된 형상으로 형성되도록 패터닝 단계(S130)가 수행된다. 도 4b에 도시된 (5) 과정처럼 위에서 내려다보았을 때 게이트(50)가 ‘ㄷ’ 자 형상, ‘ㄱ’ 자 형상 및 ‘o’ 자 형상 중 어느 하나로 형성되도록 패터닝 단계(S130)가 수행될 수 있다. 이때, 미리 설정된 형상은 소정의 영역(A)을 에워싸는 형태일 수 있고, 게이트(50)의 두께 및 폭은 게이트(50)와 제 1 전극층(20) 간의 커패시턴스(Capacitance) 또는 게이트(50)와 제 2 전극층(40) 간의 커패시턴스가 최소화되도록 주파수 특성을 고려하여 미리 설정되거나 설계될 수 있다. 도 4b에 도시된 (6) 과정처럼 이러한 패터닝 단계(S130) 이후에 게이트(50)를 둘러싸도록 절연 물질(40)이 추가적으로 형성된다(S140).
- [60] 다음으로 도 4c에 도시된 (7-1) 과정처럼, 애노드 역할의 제 2 전극층(40)이 그 추가로 형성된 절연 물질(30) 상에 증착되어 형성된다(S151).
- [61] 계속해서, (8-1) 과정 내지 (10-1) 과정처럼, 게이트(50)의 미리 설정된 형상을 기초로 기판(10)의 표면 중 소정의 영역(A)과, 그 소정의 영역(A)을 에워싸는 게이트(50)의 일부 면(B)이 노출되도록 제 2 전극층(40), 절연 물질(30; 추가 형성된 절연 물질을 포함), 및 제 1 전극층(20)이 차례로 에칭(etching)된다(S161). 각 층이 에칭되는 순서는 증착되는 순서와 정반대일 수 있고, 적층 구조물의 중심 영역이 각 층을 이루는 재료의 특성에 맞는 널리 알려진 방식에 의해 에칭될 수 있다. 이렇게 에칭됨에 따라 수직형 진공 전자 소자는 트렌치(Trench) 구조를 형성할 수 있고, 일부 면(B)이 노출된 게이트(50)는 제 1 전극층(20)에서 제 2 전극층(40)을 향하여 방출되는 전자의 양을 조절하는 데에 사용될 수 있다.
- [62] 이때, 제 2 전극층(40), 게이트(50)가 삽입된 절연 물질(30; 추가 형성된 절연 물질을 포함), 및 제 1 전극층(20)이 실질적으로 동일한 형상으로 형성되되, 상기 제 2 전극층의 면적이 상기 절연 물질의 면적과 동일하거나 상기 절연 물질의 면적보다 작게 형성되도록 제 2 전극층(40), 절연 물질(30; 추가 형성된 절연 물질을 포함) 및 제 1 전극층(20)이 차례로 에칭될 수 있다.
- [63] 또한, 상술한 단계(S110) 내지 단계(S161)를 통해 제 1 전극층(20)과 제 2

전극층(40) 사이의 간격이 상압에서 전자의 평균자유행로(mean free path)로 제작될 수 있다. 이렇게 본 발명의 일 실시예에 따른 수직형 진공 나노 소자가 제작됨에 따라, 제 1 전극층(20)과 제 2 전극층(40) 간의 전자 진행 경로가 노출된 일부 면에 인접하여 형성될 수 있다. 즉, 진공인 경우뿐만 아니라 상압 상태에서도 게이트(50)의 일부 면(B) 상에 전자 진행 경로가 형성될 수 있고, 일반적인 상압 환경에서도 진공 환경에서와 실질적으로 유사한 성능으로 동작할 수 있다.

[64] 나아가, 본 발명의 다른 실시예에 따른 수직형 진공 전자 소자를 제조하는 방법에 대하여 도 4a, 도 4b, 도 4d, 및 도 5를 참고하여 설명하기로 한다. 도 4a, 도 4b 및 도 4d는 본 발명의 다른 실시예에 따른 수직형 진공 전자 소자의 제조방법을 설명하기 위한 각 과정을 도시한 도면이다.

[65] 우선, 기판(10)이 제공되고(S110), 그 기판(10)의 표면 상에 각 층이 차례로 형성된다(S120). 즉, 기판(10)의 표면 상에 제 1 전극층(20), 절연 물질(30) 및 게이트(50)가 차례로 형성된다. 이때, 도 4a에 도시된 (1) 과정 내지 (4) 과정처럼 형성하는 단계(S120)가 이루어질 수 있다. 구체적으로, 클리닝 처리된 기판(10)의 표면 상에 캐소드(21) 층, 에미터(22) 층, 절연 물질(30) 층 및 게이트(50) 층을 이루는 각각의 재료가 차례로 증착(deposition)될 수 있다. 다만, 이미 상술한 것처럼 제 1 전극층(20)이 캐소드 및 에미터의 역할을 함께 수행하는 경우, 두 개의 층(21, 22)을 구분하여 형성시키지 않고 제 1 전극층(20)만을 형성시킬 수도 있다.

[66] 이어서, 게이트(50)가 미리 설정된 형상으로 형성되도록 패터닝 단계(S130)가 수행된다. 도 4b에 도시된 (5) 과정처럼 위에서 내려다보았을 때 게이트(50)가 ‘ㄷ’ 자 형상, ‘ㄱ’ 자 형상 및 ‘o’ 자 형상 중 어느 하나로 형성되도록 패터닝 단계(S130)가 수행될 수 있다. 이때, 미리 설정된 형상은 소정의 영역(A)을 에워싸는 형태일 수 있고, 게이트(50)의 두께 및 폭은 게이트(50)와 제 1 전극층(20) 간의 커패시턴스(Capacitance) 또는 게이트(50)와 제 2 전극층(40) 간의 커패시턴스가 최소화되도록 주파수 특성을 고려하여 미리 설정되거나 설계될 수 있다. 도 4b에 도시된 (6) 과정처럼 이러한 패터닝 단계(S130) 이후에 게이트(50)를 둘러싸도록 절연 물질(40)이 추가적으로 형성된다(S140).

[67] 다음으로 도 4d에 도시된 (7-2) 및 (8-2) 과정처럼, 게이트(50)의 미리 설정된 형상을 기초로 기판(10)의 표면 중 소정의 영역(A)과, 그 소정의 영역(A)을 에워싸는 게이트(50)의 일부 면(B)이 노출되도록 절연 물질(30), 및 제 1 전극층(20)이 차례로 에칭(etching)된다(S152). 각 층이 에칭되는 순서는 증착되는 순서와 정반대일 수 있고, 적층 구조물의 중심 영역이 각 층을 이루는 재료의 특성에 맞는 널리 알려진 방식에 의해 에칭될 수 있다. 이렇게 에칭됨에 따라 수직형 진공 전자 소자는 트렌치(Trench) 구조를 형성할 수 있고, 일부 면(B)이 노출된 게이트(50)는 제 1 전극층(20)에서 향후 형성될 제 2 전극층(40)을 향하여 방출되는 전자의 양을 조절하는 데에 사용될 수 있다.

- [68] 계속해서 (9-2) 과정처럼, 애노드 역할의 제 2 전극층(40)이 단계(S140)을 통해 추가로 형성된 절연 물질(30) 상에 증착되어 형성된다(S162). 이때, 제 2 전극층(40)은 소정의 영역(A)과 일정한 거리만큼 이격된 상태에서 소정의 영역(A) 중 일부 또는 전부를 가리도록 형성될 수 있다. 이러한 구조로 제작되는 경우, 전자 진행 경로(도 2의 화살표)가 도 1a 또는 도 1b의 구조인 경우보다 용이하게 형성될 수 있다.
- [69] 또한, 상술한 단계(S110) 내지 단계(S162)를 통해 제 1 전극층(20)과 제 2 전극층(40) 사이의 간격이 상압에서 전자의 평균자유행로(mean free path)로 제작될 수 있다. 이렇게 본 발명의 다른 실시예에 따른 수직형 진공 나노 소자가 제작됨에 따라, 제 1 전극층(20)과 제 2 전극층(40) 간의 전자 진행 경로가 노출된 일부 면에 인접하여 형성될 수 있다. 즉, 진공인 경우뿐만 아니라 상압 상태에서도 게이트(50)의 일부 면(B) 상에 전자 진행 경로가 형성될 수 있고, 일반적인 상압 환경에서도 진공 환경에서와 실질적으로 유사한 성능으로 동작할 수 있다.
- [70] 지금까지 상술한 본 발명의 각 실시예에 따른 수직형 진공 전자 소자의 제조방법에 따라, 절연이 되면서 전자 이동 경로를 확보할 수 있는 고효율의 수직형 진공 전자 소자를 제조할 수 있다. 또한, 의도적으로 진공 환경을 구축할 필요가 없기 때문에, 기판(10)은 비전도성 물질로 제작되어 제공될 수 있고, 비용 및 시간이 절약될 수 있다. 또한, 제 1 전극층(20)과 제 2 전극층(40) 간의 간격이 대략 100nm 이하로 제작되어, 일반적인 상압 환경에서 전자가 다른 입자와 충돌할 가능성을 최소화시킴과 동시에 양 전극층 간에 전자의 이동 시간을 최소화시킬 수 있다.
- [71] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [72] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

청구범위

- [청구항 1] 수직형 진공 전자 소자에 있어서,
 기관;
 상기 기관의 표면 중 소정의 영역이 노출되도록 상기 기관의 표면 상에 형성된 제 1 전극층;
 상기 제 1 전극층 상에 상기 소정의 영역을 에워싸는 형태로 형성된 절연 물질;
 상기 절연 물질 상에 형성된 제 2 전극층; 및
 상기 절연 물질 내에 삽입되되, 상기 소정의 영역을 에워싸는 형태로 배치되며, 상기 소정의 영역을 에워싸는 일부 면이 노출되는 게이트를 포함하고,
 상기 소정의 영역은 상기 게이트의 패턴에 따라 결정되는 수직형 진공 전자 소자.
- [청구항 2] 제 1 항에 있어서,
 상기 제 1 전극층과 상기 제 2 전극층 사이의 간격은 상압에서 전자의 평균자유행로(mean free path)로 결정되고, 상기 결정된 간격으로 제작되는 경우 상기 제 1 전극층과 상기 제 2 전극층 간의 전자 진행 경로가 상기 노출된 일부 면에 인접하여 형성되는 수직형 진공 전자 소자.
- [청구항 3] 제 1 항에 있어서,
 상기 제 1 전극층은 애노드로서 동작을 수행하고, 상기 제 2 전극층은 에미터와 캐소드로서 동작을 수행하거나, 상기 절연 물질 상에 형성된 에미터 층, 및 상기 에미터 층과 전기적으로 연결되고 상기 에미터 층 상에 형성된 캐소드 층을 포함하는 수직형 진공 전자 소자.
- [청구항 4] 제 1 항에 있어서,
 상기 제 1 전극층은 에미터와 캐소드로서 동작을 수행하거나, 상기 기관의 표면 상에 형성된 캐소드 층, 및 상기 캐소드 층과 전기적으로 연결되고 상기 캐소드 층 상에 형성된 에미터 층을 포함하고, 상기 제 2 전극층은 애노드로서 동작을 수행하는 수직형 진공 전자 소자.
- [청구항 5] 제 4 항에 있어서,
 상기 제 2 전극층은 상기 소정의 영역과 일정한 거리만큼 이격된 상태에서 상기 소정의 영역 중 일부 또는 전부를 가리도록 형성된 수직형 진공 전자 소자.
- [청구항 6] 제 4 항에 있어서,
 상기 제 2 전극층은 그래핀 또는 탄소나노튜브를 포함하는 나노

- 소재로 이루어진 박막인 수직형 진공 전자 소자.
- [청구항 7] 제 1 항에 있어서,
상기 제 2 전극층은 상기 절연 물질과 동일한 형상으로 형성되며,
상기 제 2 전극층의 면적은 상기 절연 물질의 면적과 동일하거나
상기 절연 물질의 면적보다 작은 수직형 진공 전자 소자.
- [청구항 8] 제 1 항에 있어서,
상기 게이트는 나노 소재 또는 금속 소재로 이루어진 박막으로
제작되고,
상기 나노 소재는 그래핀 또는 탄소나노튜브이고, 상기 금속
소재는 금, 은, 및 구리 중 적어도 하나인 수직형 진공 전자 소자.
- [청구항 9] 제 1 항에 있어서,
상기 게이트의 패턴은 ‘ㄷ’ 자 형상, ‘ㄱ’ 자 형상, ‘o’ 자 형상을
포함하는 수직형 진공 전자 소자.
- [청구항 10] 제 1 항에 있어서,
상기 게이트의 두께 및 폭은 상기 게이트와 상기 제 1 전극층 간의
커패시턴스 또는 상기 게이트와 상기 제 2 전극층 간의
커패시턴스가 최소화되도록 미리 설정된 수직형 진공 전자 소자.
- [청구항 11] 집적 소자에 있어서,
미리 설계된 배열로 배치된 복수 개의 수직형 진공 전자 소자를
포함하고, 각각의 수직형 진공 전자 소자는,
기판;
상기 기판의 표면 중 소정의 영역이 노출되도록 상기 기판의 표면
상에 형성된 제 1 전극층;
상기 제 1 전극층 상에 상기 소정의 영역을 에워싸는 형태로
형성된 절연 물질;
상기 절연 물질 상에 형성된 제 2 전극층; 및
상기 절연 물질 내에 삽입되며, 상기 소정의 영역을 에워싸는
형태로 배치되며, 상기 소정의 영역을 에워싸는 일부 면이
노출되는 게이트를 포함하고,
상기 소정의 영역은 상기 게이트의 패턴에 따라 결정되며, 상기 제
1 전극층과 상기 제 2 전극층은 서로 다른 극성의 전극과 연결되는
집적 소자.
- [청구항 12] 제 11 항에 있어서,
상기 제 1 전극층과 상기 제 2 전극층 사이의 간격은 상압에서
전자의 평균자유행로(mean free path)로 결정되고, 상기 결정된
간격으로 제작되는 경우 상기 제 1 전극층과 상기 제 2 전극층 간의
전자 진행 경로가 상기 노출된 일부 면에 인접하여 형성되는 집적
소자.

- [청구항 13] 수직형 진공 전자 소자를 제조하는 방법에 있어서,
 (a) 기판의 표면 상에 제 1 전극층, 절연 물질 및 게이트를 차례로 형성하는 단계;
 (b) 상기 게이트가 미리 설정된 형상으로 형성되도록 패터닝하는 단계;
 (c) 상기 패터닝하는 단계 이후에 상기 게이트를 둘러싸도록 절연 물질을 추가 형성하고, 상기 추가 형성된 절연 물질 상에 제 2 전극층을 형성하는 단계; 및
 (d) 상기 미리 설정된 형상을 기초로 상기 기판의 표면 중 소정의 영역과, 상기 소정의 영역을 에워싸는 상기 게이트의 일부 면이 노출되도록 상기 제 2 전극층, 상기 추가 형성된 절연 물질, 상기 절연 물질 및 상기 제 1 전극층을 차례로 에칭하는 단계를 포함하는 수직형 진공 전자 소자의 제조방법.
- [청구항 14] 제 13 항에 있어서,
 상기 (a) 단계 내지 상기 (d) 단계를 통해 상기 제 1 전극층과 상기 제 2 전극층 사이의 간격이 상압에서 전자의 평균자유행로(mean free path)로 제작됨에 따라, 상기 제 1 전극층과 상기 제 2 전극층 간의 전자 진행 경로가 상기 노출된 일부 면에 인접하여 형성되는 수직형 진공 전자 소자의 제조방법.
- [청구항 15] 제 13 항에 있어서,
 상기 (b) 단계는 상기 게이트가 상기 소정의 영역을 에워싸는 형태인 ‘ㄷ’ 자 형상, ‘ㄱ’ 자 형상 및 ‘o’ 자 형상 중 어느 하나로 형성되도록 패터닝하는 수직형 진공 전자 소자의 제조방법.
- [청구항 16] 제 13 항에 있어서,
 상기 (d) 단계는 상기 제 2 전극층, 상기 추가 형성된 절연 물질, 상기 절연 물질 및 상기 제 1 전극층이 동일한 형상으로 형성되되, 상기 제 2 전극층의 면적이 상기 절연 물질의 면적과 동일하거나 상기 절연 물질의 면적보다 작게 형성되도록 상기 제 2 전극층, 상기 추가 형성된 절연 물질, 상기 절연 물질 및 상기 제 1 전극층을 차례로 에칭하는 수직형 진공 전자 소자의 제조방법.
- [청구항 17] 수직형 진공 전자 소자를 제조하는 방법에 있어서,
 (a) 기판의 표면 상에 제 1 전극층, 절연 물질 및 게이트를 차례로 형성하는 단계;
 (b) 상기 게이트가 미리 설정된 형상으로 형성되도록 패터닝하는 단계;
 (c) 상기 패터닝하는 단계 이후에 상기 게이트를 둘러싸도록 절연 물질을 형성하는 단계;
 (d) 상기 미리 설정된 형상을 기초로 상기 기판의 표면 중 소정의

영역과, 상기 소정의 영역을 에워싸는 상기 게이트의 일부 면이 노출되도록 상기 절연 물질 및 상기 제 1 전극층을 차례로 에칭하는 단계; 및

(e) 상기 형성된 절연 물질 상에 제 2 전극층을 형성하는 단계를 포함하는 수직형 진공 전자 소자의 제조방법.

[청구항 18]

제 17 항에 있어서,

상기 (a) 단계 내지 상기 (e) 단계를 통해 상기 제 1 전극층과 상기 제 2 전극층 사이의 간격이 상압에서 전자의 평균자유행로(mean free path)로 제작됨에 따라, 상기 제 1 전극층과 상기 제 2 전극층 간의 전자 진행 경로가 상기 노출된 일부 면에 인접하여 형성되는 수직형 진공 전자 소자의 제조방법.

[청구항 19]

제 17 항에 있어서,

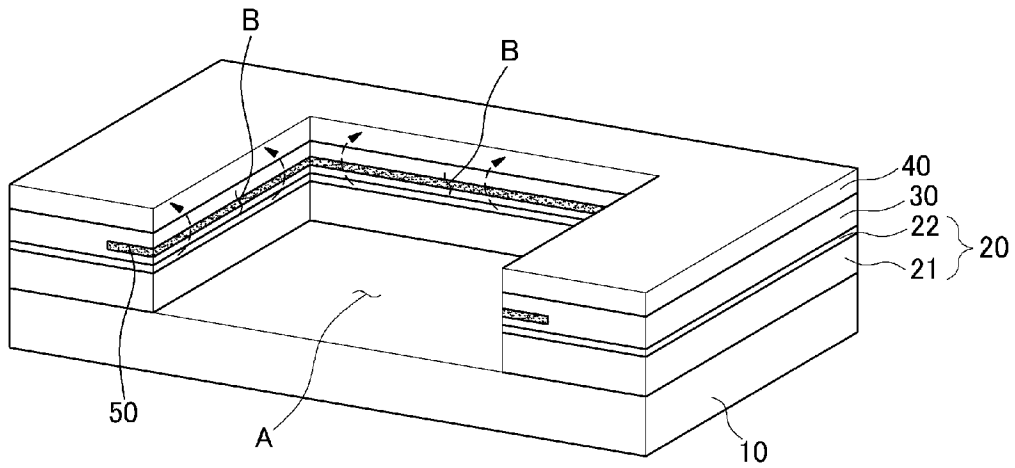
상기 (b) 단계는 상기 게이트가 상기 소정의 영역을 에워싸는 형태인 ‘ㄷ’ 자 형상, ‘口’ 자 형상 및 ‘o’ 자 형상 중 어느 하나로 형성되도록 패터닝하는 수직형 진공 전자 소자의 제조방법.

[청구항 20]

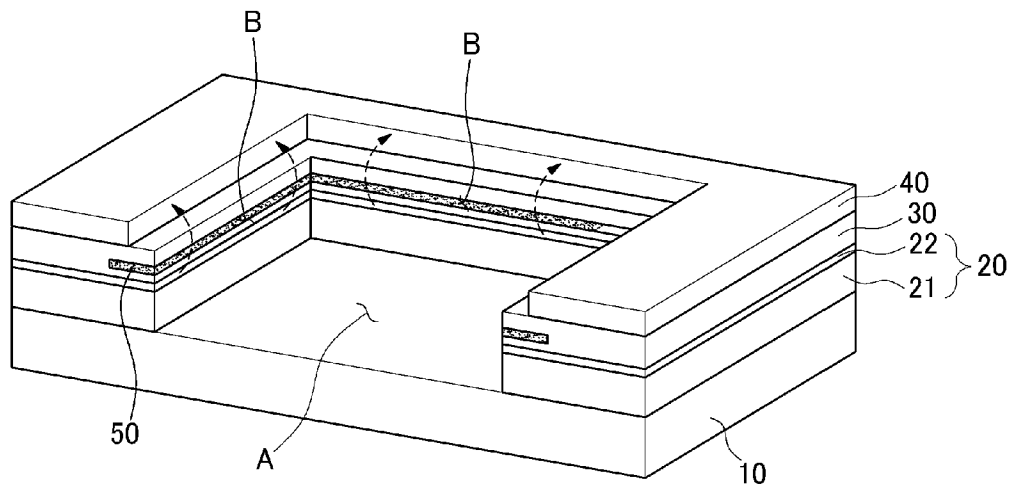
제 17 항에 있어서,

상기 (e) 단계는, 상기 소정의 영역과 일정한 거리만큼 이격된 상태에서 상기 제 2 전극층이 상기 소정의 영역 중 일부 또는 전부를 가리도록 상기 제 2 전극층을 형성하는 수직형 진공 전자 소자의 제조방법.

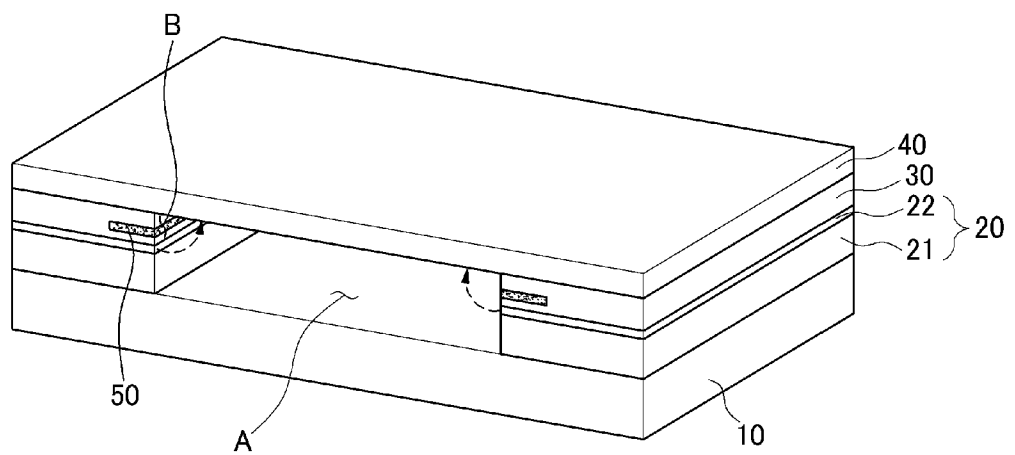
[Fig. 1a]



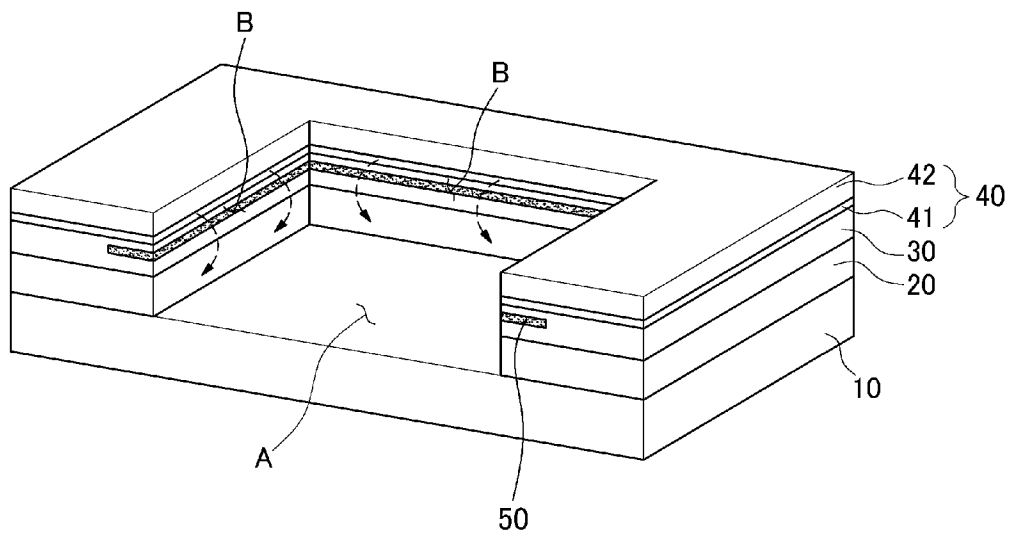
[Fig. 1b]



[Fig. 2]

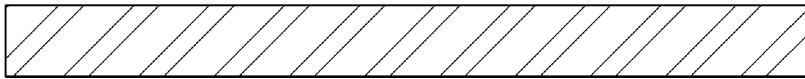


[Fig. 3]

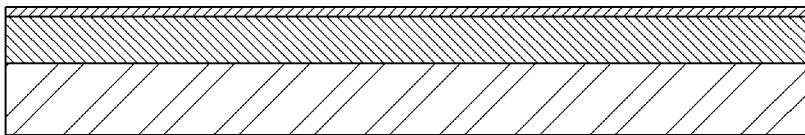


[Fig. 4a]

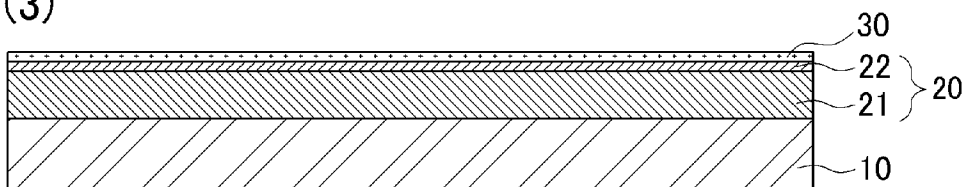
(1)



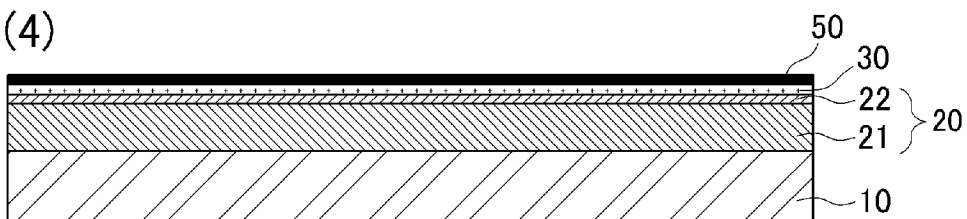
(2)



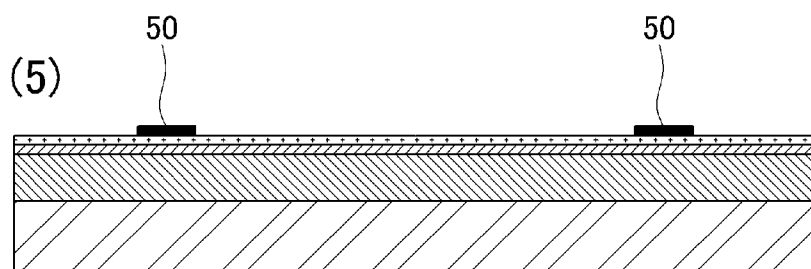
(3)



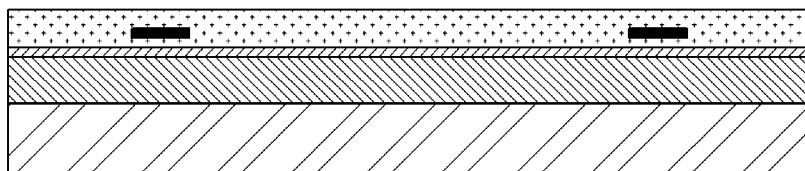
(4)



[Fig. 4b]

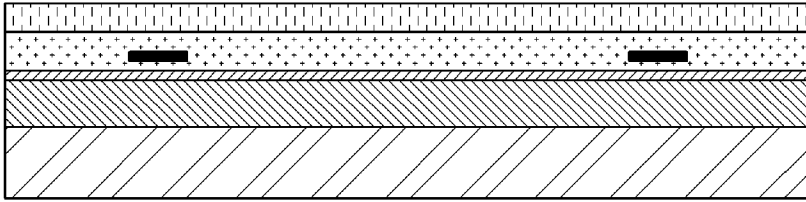


(6)

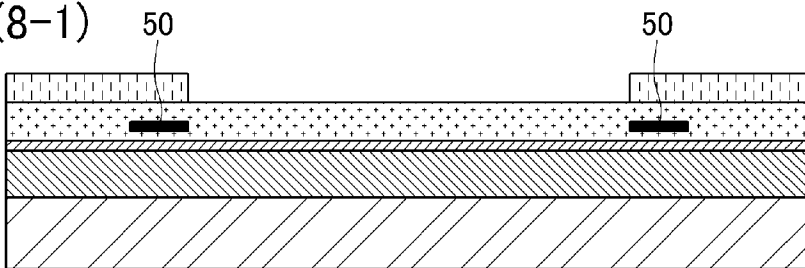


[Fig. 4c]

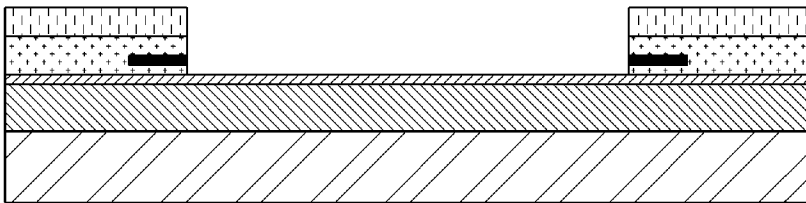
(7-1)



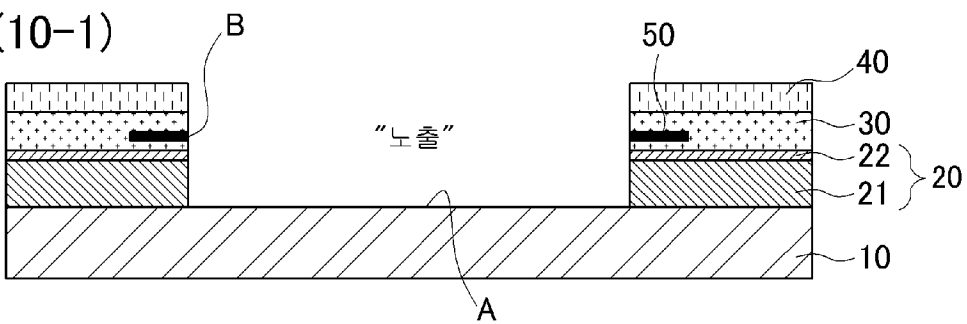
(8-1)



(9-1)

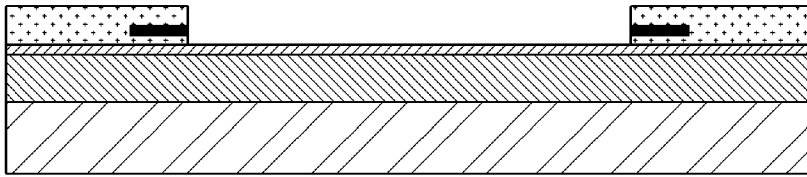


(10-1)

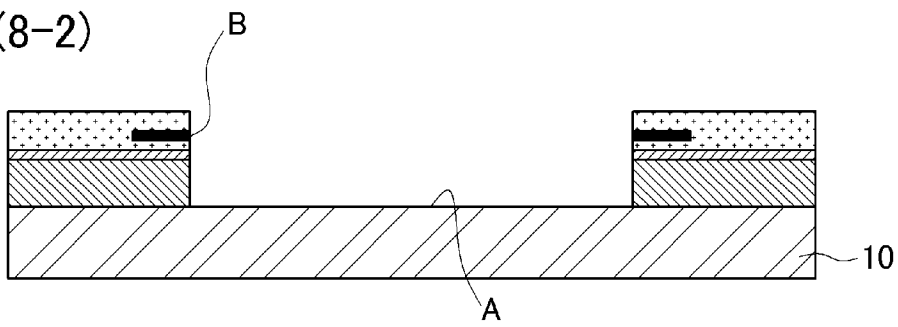


[Fig. 4d]

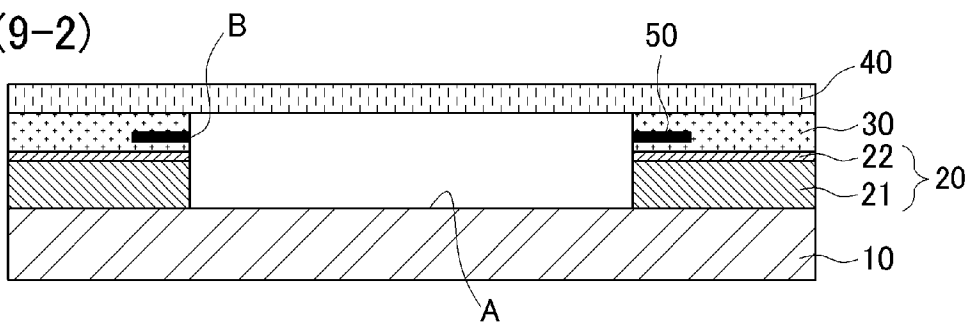
(7-2)



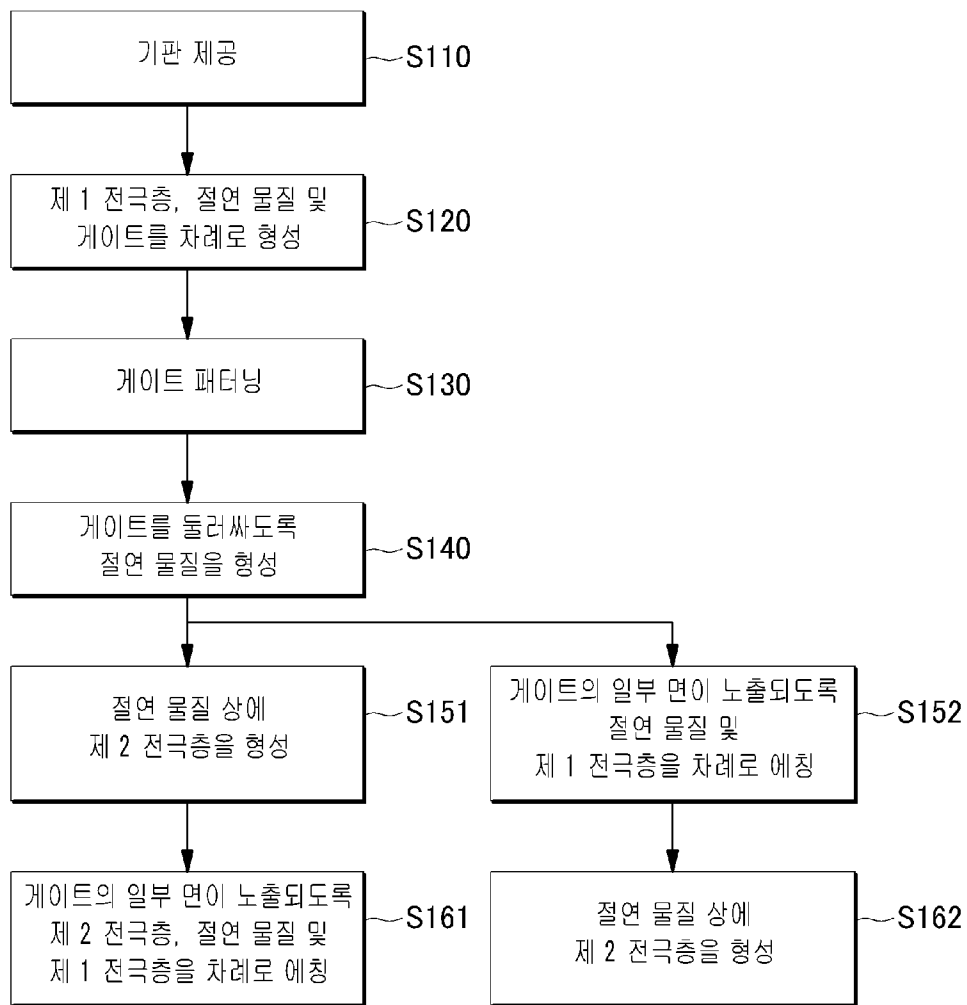
(8-2)



(9-2)



[Fig. 5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/008267**A. CLASSIFICATION OF SUBJECT MATTER*****H01J 31/02(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01J 31/02; H01J 31/12; H01J 19/24; H01J 1/30; H01J 1/304

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: electrode, gate, pattern, vacuum, anode, cathode, emitter

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-311083 A (NARA INSTITUTE OF SCIENCE & TECHNOLOGY et al.) 25 December 2008 See abstract; figure 2 and figure 8; claims 1-14; and paragraphs [0067]-[0081].	1-20
A	KR 10-1998-0081291 A (SONY CORPORATION) 25 November 1998 See abstract; figures 1-7; claims 1-16; and pages 4-6.	1-20
A	JP 2735118 B2 (CANON KABUSHIKI KAISHA) 02 April 1998 See abstract; pages 2-3.	1-20
A	KR 10-2001-0112863 A (LG ELECTRONICS INC.) 22 December 2001 See abstract; pages 2-3.	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

23 OCTOBER 2014 (23.10.2014)

Date of mailing of the international search report

23 OCTOBER 2014 (23.10.2014)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/008267

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2008-311083 A	25/12/2008	JP 4822549 B2	24/11/2011
KR 10-1998-0081291 A	25/11/1998	EP 0871195 A1	14/10/1998
		JP 10-289650 A	27/10/1998
		US 6522053 B1	18/02/2003
JP 2735118 B2	02/04/1998	JP 63-187535 A	03/08/1988
		US 04994708 A	19/02/1991
KR 10-2001-0112863 A	22/12/2001	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01J 31/02(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01J 31/02; H01J 31/12; H01J 19/24; H01J 1/30; H01J 1/304

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 전극, 게이트, 패턴, 진공, 애노드, 캐소드, 에미터

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	JP 2008-311083 A (NARA INSTITUTE OF SCIENCE & TECHNOLOGY 외 2명) 2008.12.25 요약; 도 2 및 도 8; 청구항 1-14; 및 단락 [0067]-[0081] 참조.	1-20
A	KR 10-1998-0081291 A (소니가부시기가이샤) 1998.11.25 요약; 도 1-7; 청구항 1-16; 및 4-6 페이지 참조.	1-20
A	JP 2735118 B2 (캐논가부시기가이샤) 1998.04.02 요약; 페이지 2-3 참조.	1-20
A	KR 10-2001-0112863 A (엘지전자주식회사) 2001.12.22 요약; 페이지 2-3 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2014년 10월 23일 (23.10.2014)

국제조사보고서 발송일

2014년 10월 23일 (23.10.2014)

ISA/KR의 명칭 및 우편주소

 대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

안지현

전화번호 +82-42-481-5767



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2008-311083 A	2008/12/25	JP 4822549 B2	2011/11/24
KR 10-1998-0081291 A	1998/11/25	EP 0871195 A1	1998/10/14
		JP 10-289650 A	1998/10/27
		US 6522053 B1	2003/02/18
JP 2735118 B2	1998/04/02	JP 63-187535 A	1988/08/03
		US 04994708 A	1991/02/19
KR 10-2001-0112863 A	2001/12/22	없음	