



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년12월30일

(11) 등록번호 10-1581173

(24) 등록일자 2015년12월23일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) **G02F 1/13** (2006.01)
H05B 33/02 (2006.01)
- (21) 출원번호 **10-2009-0112002**
- (22) 출원일자 **2009년11월19일**
 심사청구일자 **2014년11월19일**
- (65) 공개번호 **10-2010-0056983**
- (43) 공개일자 **2010년05월28일**
- (30) 우선권주장
 JP-P-2008-296369 2008년11월20일 일본(JP)
- (56) 선행기술조사문헌
 JP2007038641 A*
 JP2008033907 A
 KR1020070017073 A
 KR1020070058458 A
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
에구치 신고
 일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
오이카와 요시아키
 일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 (뒷면에 계속)
- (74) 대리인
장훈

전체 청구항 수 : 총 9 항

심사관 : 류정현

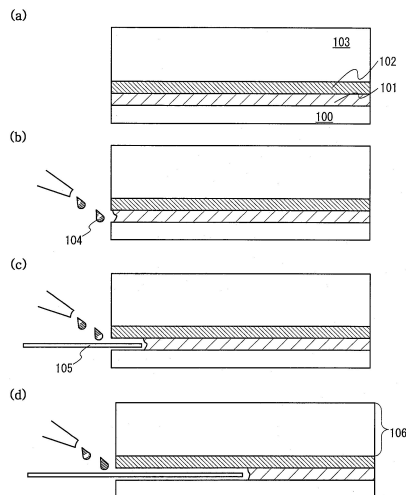
(54) 발명의 명칭 **플렉시블 반도체 장치의 제작 방법**

(57) 요약

반도체 소자를 플렉시블화하는 경우에 반도체 소자를 파괴하지 않고 박리되는 것이 목적의 하나다. 또한, 박리층과 버퍼층의 밀착성을 약하게 하는 기술이 제공되는 것이 목적의 하나다. 또한, 박리로 인하여 반도체 소자에 만곡 스트레스(bending stress)가 생기지 않는 기술이 제공되는 것이 목적의 하나다.

박리층 위에 버퍼층을 사이에 두고 형성한 반도체 소자의 박리가 에칭액을 사용하여 박리층을 용해시킴으로써 행해진다. 또는, 에칭액에 접촉함으로써 박리층이 용해된 영역에 필름을 삽입하고, 박리층이 용해되지 않는 영역을 향하여 필름을 이동시킴으로써 박리가 행해진다.

대표도 - 도1



(72) 발명자

카타야마 마사히로

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

나카무라 아미

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

몬마 요헤이

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

기판 위에 박리층을 형성하는 단계와;

상기 박리층 위에 반도체 소자를 형성하는 단계와;

상기 반도체 소자 위에 수지층을 형성하는 단계와;

에칭액을 사용하여 상기 박리층을 용해하는 단계와;

상기 박리층이 용해된 영역에 필름을 삽입하는 단계와;

상기 박리층이 용해되지 않은 영역을 향하는 방향으로 상기 필름을 이동함으로써, 상기 기판으로부터 상기 반도체 소자를 박리하는 단계를 포함하는, 플렉시블 반도체 장치의 제작 방법.

청구항 4

기판 위에 박리층을 형성하는 단계와;

상기 박리층 위에 반도체 소자를 형성하는 단계와;

상기 반도체 소자 위에 수지층을 형성하는 단계와;

상기 반도체 소자를 둘러싸도록 레이저 광을 조사하여 상기 수지층에 홈을 형성하는 단계와;

에칭액을 사용하여 상기 홈을 따라 상기 박리층을 용해하는 단계와;

상기 박리층이 용해된 영역에 필름을 삽입하는 단계와;

상기 박리층이 용해되지 않은 영역을 향하는 방향으로 상기 필름을 이동함으로써, 상기 기판으로부터 상기 반도체 소자를 박리하는 단계를 포함하는, 플렉시블 반도체 장치의 제작 방법.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 필름은 폴리에틸렌나프탈레이트를 포함하는, 플렉시블 반도체 장치의 제작 방법.

청구항 6

제 3 항 또는 제 4 항에 있어서,

상기 에칭액은 알칼리 용액인, 플렉시블 반도체 장치의 제작 방법.

청구항 7

제 3 항 또는 제 4 항에 있어서,

상기 에칭액은 암모니아-과산화수소 혼합액인, 플렉시블 반도체 장치의 제작 방법.

청구항 8

제 3 항 또는 제 4 항에 있어서,

상기 수지층은 자외선 경화 수지를 포함하는, 플렉시블 반도체 장치의 제작 방법.

청구항 9

제 3 항 또는 제 4 항에 있어서,

상기 박리층은 금속 재료를 포함하는, 플렉시블 반도체 장치의 제작 방법.

청구항 10

제 3 항 또는 제 4 항에 있어서,

상기 박리층은 텅스텐을 포함하는, 플렉시블 반도체 장치의 제작 방법.

청구항 11

제 3 항 또는 제 4 항에 있어서,

상기 반도체 소자 위에 제 1 전극을 형성하는 단계와;

상기 제 1 전극 위에 EL층을 형성하는 단계와;

상기 EL층 위에 제 2 전극을 형성하는 단계를 더 포함하고,

상기 EL층은 발광층을 포함하고,

상기 수지층은 상기 제 2 전극 위에 형성되는, 플렉시블 반도체 장치의 제작 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 플렉시블 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서, 반도체 장치란, 반도체 특성을 이용함으로써 기능될 수 있는 장치 전반을 가리키고, 액정, 일렉트로 루미네선스(EL) 등을 사용한 표시 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

배경 기술

[0003] 근년에 들어, 반도체 장치 제작 기술의 발전은 놀랍고, 특히, 박형화, 플렉시블화에 관하여 주목을 모으고 있다.

[0004] 플렉시블 반도체 장치의 제작 방법으로서, 유리 기판이나 석영 기판과 같은 기재 위에 박막 트랜지스터(TFT) 등의 반도체 소자를 제작한 후, 기재로부터 다른 기재(예를 들어, 플렉시블 기재)로 반도체 소자를 전치하는 기술이 개발되어 있다. 반도체 소자를 다른 기재로 전치하기 위해서는, 반도체 소자를 제작할 때 사용한 기재로부터 반도체 소자를 박리하는 공정이 필요하다.

[0005] 반도체 장치, 특히, 발광 장치를 박리 공정에 의하여 플렉시블화하는 방법으로서의 이하의 방법을 들 수 있다.

[0006] 제 1 방법은 박리 및 전치를 행한 후, EL층을 형성하는 방법이다. 예를 들어, 박리층을 형성한 TFT 기판의 상면에 지지체가 되는 박리 보조용 수지를 도포한다. 다음에, 박리 계기(trigger)를 형성하여 TFT를 제작할 때 사용한 기판을 박리한다. 그리고, 박리 면에 플렉시블 기판을 접합하고, 박리 보조용 수지를 제거한다. 다음에, TFT 상방에 EL층을 형성하여 밀봉한다.

[0007] 제 2 방법은 박리 후, 박리 면에 전극, 격벽, EL층을 형성하는 방법이다. 예를 들어, 박리층을 형성한 TFT 기판의 상면에 지지체가 되는 박리 보조용 수지를 도포한다. 다음에, 박리 계기를 형성하여 TFT를 제작할 때 사용한 기판을 박리한다. 그리고, 박리 면에 콘택트 홀을 형성하고, TFT의 드레인과 전기적으로 접속되도록 산화인듐-산화주석(ITO: Indium Tin Oxide)을 형성하고, 패터닝함으로써 전극을 형성한다. 그 후, 격벽이나 EL층을 형성하고, 필름 등을 접합함으로써 밀봉한다. 이 방법을 사용하면, 하면에 필름이 접합되고, 상면에 박리

보조용 수지가 형성된 발광 장치를 얻을 수 있다.

- [0008] 제 3 방법은 전극, EL층, 박리 보조용 수지 등을 형성한 후, 박리하는 방법이다.
- [0009] 제 1 방법은 박리 보조용 수지의 도포 및 제거가 필요하므로, 그 만큼 공정이 증가된다. 제 2 방법은 플렉시블화된 기관에 대하여 적어도 3회(콘택트 홀 형성, ITO의 패터닝, 격벽 형성)의 포토리소그래피 공정이 필요하므로, 기술적으로 어렵다. 따라서, 제 1 방법 및 제 2 방법과 비교하면 제 3 공정은 공정수가 적고, 양산에 적합한 방법이라고 할 수 있다.
- [0010] 발광 소자로 대표되는 반도체 소자를 제작할 때 사용한 기재로부터 반도체 소자를 박리하는 방법으로서, 박리층을 형성하고, 박리층을 기점으로 하여 반도체 소자를 박리하는 방법이 있다. 우선, 기재 위에 박리층을 형성하고, 그 위에 반도체 소자막을 제작한다. 그 후, 물리적인 힘을 가함으로써 반도체 소자막을 박리층으로부터 박리한다. 상술한 바와 같이 박리를 행하여 반도체 소자를 플렉시블화한다.
- [0011] 예를 들어, 특허 문헌 1에는 다음과 같은 레이저 어블레이션을 사용한 박리 기술이 기재된다. 기관 위에 비정질 실리콘 등으로 이루어진 박리층, 박리층 위에 박막 소자로 이루어진 피박리층을 형성하고, 피박리층을 접착층에 의하여 전사체(轉寫體)에 접착시킨다. 레이저 광의 조사에 의하여 박리층을 어블레이션시킴으로써 박리층에 박리를 발생시킨다.
- [0012] 또한, 특허 문헌 2에는 사람의 손 등의 물리적인 힘으로 박리를 행하는 기술이 기재된다. 특허 문헌 2에서는 기관과 산화물층 사이에 금속층을 형성하고, 산화물층과 금속층의 계면의 결합이 약한 것을 이용하여 산화물층과 금속층의 계면에서 박리를 생기게 함으로써 피박리층과 기관을 박리한다.
- [0013] 사람의 손 등의 물리적인 힘에 의하여 박리를 행하는 경우, 박리층을 기점으로 하여 피박리층을 기재로부터 박리하기 위하여 피박리층을 만곡시킬 필요가 있다. 박리층에 접하여 형성된 피박리층은 박막 트랜지스터(TFT), 배선, 층간막 등을 포함하는 반도체 소자가 형성된 박막이고, 두께 10 μ m 정도이며 매우 부서지기 쉽다. 반도체 소자에 만곡 스트레스가 가해지면, 피박리층이 깨지거나 피박리층에 금이 생기기 쉽고, 이것이 원인이 되어 반도체 소자가 파괴되는 문제가 다발되고 있다.
- [0014] 박리를 행할 때는 기재 위에 형성된 박리층 및 피박리층 중에서도 가장 밀착성이 약한 부분이 우선적으로 박리된다. 따라서, 피박리층을 구성하는 적층막이 박리되지 않고, 기재와 박리층의 계면, 박리층과 피박리층의 계면, 또는 박리층 내부에서 박리되기 시작하기 위해서는 기재에서 피박리층까지의 적층체에 있어서, 기재와 박리층의 계면 또는 박리층과 피박리층의 계면의 밀착성이 가장 약할 필요가 있다.
- [0015] 또한, 박리층이 적층막이면 박리층을 구성하는 각각 막의 계면의 밀착성이 가장 약한 경우에도, 기재와 박리층의 계면, 박리층과 피박리층의 계면, 또는 박리층 내부에서 박리할 수 있다.
- [0016] 다만, 기재와 박리층의 밀착성, 박리층과 피박리층의 밀착성, 또는 박리층 내의 각각의 막 사이의 밀착성이 지나치게 약하면 박리되면 안 되는 공정 중(박리 공정 외의 공정 중)에 막 응력에 의하여 박리가 생길 가능성이 있다. 따라서, 박리 공정의 직전까지는 박리층이 어느 정도 밀착성을 유지하고, 박리 공정에 있어서 어떤 처리를 행함으로써 작위적으로 박리층의 밀착성을 저하시키는 프로세스가 바람직하다.
- [0017] [특허 문헌 1]특개평10-125931호 공보
- [0018] [특허 문헌 2]특개2003-174153호 공보

발명의 내용

해결 하고자하는 과제

- [0019] 박리층 위에 버퍼층을 사이에 두고 피박리층으로서 반도체 소자를 제작하고, 반도체 소자만을 박리 전치함으로써 플렉시블 반도체 장치를 얻으려면, 반도체 소자의 내부에서 박리가 생겨 버린다. 이것은, 박리층과 버퍼층의 밀착성과 비교하여 반도체 소자 내의 막들의 밀착성이 약하고, 박리되어야 하는 박리층과 버퍼층 사이보다 먼저 반도체 소자 내의 막과 막 사이에서 박리되기 때문이다.
- [0020] 반도체 소자의 제작 방법이나 사용하는 재료를 변경하거나, 박리 공정에 있어서 열이나 압력을 가함으로써 반도체 소자 내의 막들의 밀착성이 향상될 가능성이 있지만, 극적인 효과는 기대할 수 없다. 따라서, 박리층과 버퍼층의 밀착성을 약하게 하는 기술이 필요하다.

[0021] 또한, 박리에 의하여 소자에 만곡 스트레스가 생기지 않도록 할 필요가 있다.

과제 해결수단

[0022] 본 발명의 일 형태는 박리층 위에 버퍼층을 사이에 두고 형성한 반도체 소자에 대하여 에칭액을 사용하여 박리층을 용해시킴으로써 박리층과 버퍼층의 밀착성을 약하게 하고, 반도체 소자에 만곡 스트레스가 생기지 않게 박리하는 것이다.

[0023] 또한, 본 발명의 일 형태는 에칭액이 박리층에 접촉하기 쉬워지도록 레이저 광 조사에 의하여 묘화 라인을 형성하는 구성을 포함한다. 또한, 묘화 라인이란, 레이저 광을 조사함으로써 묘화한 홈이다.

[0024] 또한, 본 발명의 일 형태는 에칭액에 접촉됨으로써 박리층이 용해된 영역에 필름을 삽입하고, 박리층이 용해되지 않는 영역을 향하여 필름을 이동시킴으로써 반도체 소자에 만곡 스트레스가 생기지 않게 박리하는 것이다.

[0025] 본 발명의 일 형태는 기판 위에 박리층을 형성하고, 박리층 위에 버퍼층을 형성하고, 버퍼층 위에 반도체 소자를 형성하고, 반도체 소자 위에 수지층을 형성하고, 에칭액을 사용하여 박리층을 용해하고, 박리층이 용해된 영역에 필름을 삽입하고, 필름을 박리층이 용해되지 않는 영역을 향하여 이동시킴으로써 반도체 소자에 만곡 스트레스가 생기지 않고, 기판과 반도체 소자를 박리하는 것을 특징으로 한다.

[0026] 본 발명의 일 형태는 기판 위에 제 1 버퍼층을 형성하고, 제 1 버퍼층 위에 박리층을 형성하고, 박리층 위에 제 2 버퍼층을 형성하고, 제 2 버퍼층 위에 반도체 소자를 형성하고, 반도체 소자 위에 수지층을 형성하고, 에칭액을 사용하여 박리층을 용해하고, 박리층이 용해된 영역에 필름을 삽입하고, 필름을 박리층이 용해되지 않는 영역을 향하여 이동시킴으로써 반도체 소자에 만곡 스트레스가 생기지 않고, 기판과 반도체 소자를 박리하는 것을 특징으로 한다.

[0027] 본 발명의 일 형태는 기판 위에 박리층을 형성하고, 박리층 위에 버퍼층을 형성하고, 버퍼층 위에 반도체 소자를 형성하고, 반도체 소자 위에 수지층을 형성하고, 반도체 소자를 둘러싸도록 레이저 광을 조사하여 버퍼층 및 수지층에 묘화 라인을 형성하고, 묘화 라인을 따라 에칭액을 사용하여 박리층을 용해하고, 박리층이 용해된 영역에 필름을 삽입하고, 필름을 박리층이 용해되지 않는 영역을 향하여 이동시킴으로써 반도체 소자에 만곡 스트레스가 생기지 않고, 기판과 반도체 소자를 박리하는 것을 특징으로 한다.

[0028] 본 발명의 일 형태는 기판 위에 제 1 버퍼층을 형성하고, 제 1 버퍼층 위에 박리층을 형성하고, 박리층 위에 제 2 버퍼층을 형성하고, 제 2 버퍼층 위에 반도체 소자를 형성하고, 반도체 소자 위에 수지층을 형성하고, 반도체 소자를 둘러싸도록 레이저 광을 조사하여 제 1 버퍼층, 제 2 버퍼층, 및 수지층에 묘화 라인을 형성하고, 묘화 라인을 따라 에칭액을 사용하여 박리층을 용해하고, 박리층이 용해된 영역에 필름을 삽입하고, 필름을 박리층이 용해되지 않는 영역을 향하여 이동시킴으로써 반도체 소자에 만곡 스트레스가 생기지 않고, 기판과 반도체 소자를 박리하는 것을 특징으로 한다.

효과

[0029] 종래의 방법으로 반도체 장치를 제작하는 경우, 전체 면 박리 자체를 할 수 없었지만, 유리 기판에 반도체 소자를 형성한 후에 전체 면 박리를 행하여 플렉시블화할 수 있다. 또한, 박리층을 용해시키기 때문에 박리층과 버퍼층의 밀착성을 약하게 할 수 있고, 반도체 소자에 만곡 스트레스가 생기지 않게 박리할 수 있다. 다른 박리 프로세스와 비교하여 공정수의 삭감 및 얼라인먼트 공정의 용이화를 실현할 수 있다.

[0030] 또한, 박리층이 용해된 영역에 필름을 삽입하고, 필름을 박리층이 용해되지 않는 영역을 향하여 이동시킴으로써 반도체 소자에 만곡 스트레스가 생기지 않고, 더 효율적으로 박리할 수 있다.

[0031] 또한, 박리가 생기면, 정전기에 의한 방전(정전기 방전, Electro Static Discharge)의 영향으로 반도체 소자 등이 파괴되는 경우가 있지만, 에칭액을 사용하므로 정전기 방전 파괴를 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

[0032] 본 발명의 실시형태에 대하여, 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 제시하는 본 실시형태의 기재 내용에 한

정하여 해석되는 것은 아니다.

- [0033] (실시형태 1)
- [0034] 본 실시형태에서는 플렉시블 반도체 장치의 제작 방법(특히 박리 공정)에 대하여 설명한다.
- [0035] 도 1a에 박리하기 전의 소자 구조를 도시한다. 기판(100) 위에 박리층(101) 및 반도체 소자층(102)이 형성된다. 반도체 소자층(102) 위에 자외선 경화 수지(103)가 형성된다.
- [0036] 박리층(101)은 금속 재료로 형성한다. 금속 재료로서 알칼리 용액에 가용(可溶)한 재질을 사용하는 것이 바람직하다. 상술한 바와 같은 금속 재료의 일례로서, 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 또는 주석(Sn)을 사용할 수 있다. 박리층(101)으로서 사용하는 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 또는 주석(Sn)의 박막은 스퍼터링법, 플라즈마 CVD법, 도포법, 인쇄법 등에 의하여 기판(100) 위에 형성할 수 있다.
- [0037] 반도체 소자층(102)에는 박막 트랜지스터(TFT) 등이 포함된다. 박막 트랜지스터는 어떤 형상이라도 좋고, 또한, 어떤 방법으로 제작되어도 좋다.
- [0038] 다음에, 에칭액(104)을 사용하여 박리층(101)을 용해시킨다(도 1b 참조). 에칭액(104)으로서는 알칼리 용액을 사용한다. 알칼리 용액은 박리층(101)에 사용한 금속 재료를 용해할 수 있는(에칭할 수 있는) 재질인 것이 바람직하다. 상술한 바와 같은 알칼리 용액의 일례로서 암모니아-과산화수소 혼합액, TMAH(테트라메틸암모늄히드록시드), TMAH-과산화수소 혼합액 등을 들 수 있다.
- [0039] 박리층(101)으로서, 금속 단체라면 용해하지 않고, 산화하면 용해하는 재료(예를 들어, 텅스텐(W))를 사용한 경우에는 에칭액에 과산화수소가 혼합된 것을 사용하면 좋다. 또한, 박리층(101)으로서, 금속 단체라면 용해하지만, 산화되면 용해하지 않는 재료(예를 들어, 알루미늄(Al))를 사용한 경우에는, 에칭액에 과산화수소가 혼합되지 않는 것을 사용하면 좋다.
- [0040] 상술한 바와 같이, 에칭액(104)을 사용하여 박리층(101)을 용해시킴으로써 기판(100)과 박리층(101)의 밀착성 또는 박리층(101)과 반도체 소자층(102)의 밀착성을 약하게 할 수 있다. 또한, 박리층(101)을 완전히 용해할 수 있으므로 제작한 반도체 소자를 만곡시키지 않고 박리할 수 있어 기판의 재이용이 가능하다.
- [0041] 그리고, 박리층(101)이 용해된 영역에 필름(105)을 삽입한다(도 1c 참조). 필름(105)에는 PEN(폴리에틸렌나프탈레이트: polyethylene naphthalate) 등을 사용한다.
- [0042] 또한, 도시하지 않지만, 실제로는 에칭액(104)을 사용하여 박리층(101)을 용해시키면, 반도체 소자층(102) 및 자외선 경화 수지(103)의 단부가 수mm 정도 부유한다. 부유된 부분에 필름(105)을 삽입한다.
- [0043] 박리층(101)이 용해된 영역에 에칭액(104)을 추가하면서, 필름(105)을 박리가 진행되지 않는 영역을 향하여 이동시킴으로써 박리층(101)을 제거한다(도 1d 참조). 필름(105)을 삽입하고, 에칭액(104)을 사용한 박리층(101)의 용해와 필름(105)의 이동을 동시에 행함으로써 반도체 소자에 대한 만곡 스트레스가 생기지 않고, 효율적으로 박리할 수 있다.
- [0044] 종래의 박리 방법에서는, 본 실시형태에서 설명한 바와 같이, 박리층(101)을 용해시켜도 자외선 경화 수지(103)를 지지체로 하는 전치체(106)와 기판(100)을 박리시킬 때, 전치체(106)를 만곡시킬 필요가 있었다. 이 방법에서는 반도체 소자층(102)이 파괴될 가능성이 있다. 본 실시형태에서는, 에칭액(104)을 사용하여 박리층(101)을 용해시킨 영역에 필름(105)을 삽입하고, 용해한 박리층을 제거하여 박리한다. 또한, 필름(105)을 사이에 두고 에칭액(104)이 박리층(101)의 박리가 진행되지 않는 영역에 접함으로써 박리층을 더 용해시킨다. 상술한 바와 같이, 박리가 진행되지 않는 영역을 향하여 필름(105)을 이동시켜 박리층(101)을 제거하기 때문에 반도체 소자층(102)을 만곡시키지 않고 박리할 수 있다.
- [0045] 에칭액을 사용하여 박리층을 용해하는 방법과, 필름을 이동시켜 박리하는 방법을 함께 사용함으로써 더 효율적으로 박리할 수 있다.
- [0046] 에칭액을 첨가하면서 박리를 진행하는 방법이므로, 정전기 방전 파괴를 방지할 수 있다.
- [0047] 또한, 박리층 내부의 밀착성이 반도체 소자층 내의 막들의 밀착성보다 약한 경우라면 에칭액을 첨가하지 않고 필름을 이동시키는 공정만으로 박리할 수 있다. 이 경우에도 반도체 소자에 대한 만곡 스트레스가 생기지 않고 박리할 수 있다.
- [0048] 또한, 본 실시형태는 본 명세서의 다른 실시형태에서 제시한 구성 또는 실시예에서 제시한 구성과 적절

히 조합하여 실시할 수 있다.

- [0049] (실시형태 2)
- [0050] 본 실시형태에서는 플렉시블 발광 장치의 제작 방법(특히, 박리 공정)에 대하여 설명한다.
- [0051] 도 2a에 박리하기 전의 소자 구조를 도시한다. 기판(200) 위에 박리층(201) 및 소자층(202)이 형성된다. 소자층(202)에는 박막 트랜지스터(TFT) 등이 포함된다. 소자층(202) 위에 제 1 전극(203) 및 EL층(204)이 형성된다. EL층(204)에는 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등이 포함된다. EL층(204) 위에 제 2 전극(205) 및 자외선 경화 수지(206)가 형성된다. 또한, 본 실시형태에서는 제 1 전극(203)은 양극으로서 기능하고, 제 2 전극(205)은 음극으로서 기능하는 것으로 하여 이하 설명한다. 또한, 실시형태 1에 있어서의 반도체 소자층(102)은 본 실시형태에 있어서의 소자층(202), 제 1 전극(203), EL층(204), 및 제 2 전극(205)을 포함한다.
- [0052] 박리층(201)은 금속 재료로 형성한다. 금속 재료로서 알칼리 용액에 가용한 재질을 사용하는 것이 바람직하다. 상술한 바와 같은 금속 재료의 일례로서, 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 또는 주석(Sn)을 사용할 수 있다. 박리층(201)으로서 사용하는 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 또는 주석(Sn)의 박막은 스퍼터링법, 플라즈마 CVD법, 도포법, 인쇄법 등에 의하여 기판(200) 위에 형성할 수 있다.
- [0053] 제 1 전극(203)으로서는, 일 함수가 큰(구체적으로는 4.0eV 이상) 금속, 합금, 도전성 화합물, 및 이들의 혼합물 등을 이용하는 것이 바람직하다. 구체적으로는, 예를 들어, 산화인듐-산화주석(ITO: Indium Tin Oxide), 실리콘 또는 산화실리콘을 함유한 산화인듐-산화주석, 산화인듐-산화아연(IZO: Indium Zinc Oxide), 산화텅스텐 및 산화아연을 함유한 산화인듐(IWZO) 등을 들 수 있다. 이들 도전성 금속 산화물막은 보통 스퍼터링법에 의하여 형성되지만, 졸-겔(sol-gel)법 등을 응용하여 형성하여도 좋다.
- [0054] 예를 들어, 산화인듐-산화아연(IZO)은 산화인듐에 대하여 1wt% 내지 20wt%의 산화아연을 첨가한 타깃을 사용하여 스퍼터링법에 의하여 형성할 수 있다. 또한, 산화텅스텐 및 산화아연을 함유한 산화인듐(IWZO)은 산화인듐에 대하여 산화텅스텐을 0.5wt% 내지 5wt%, 산화아연을 0.1wt% 내지 1wt% 함유한 타깃을 사용하여 스퍼터링법에 의하여 형성할 수 있다. 그 외, 금(Au), 백금(Pt), 니켈(Ni), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 철(Fe), 코발트(Co), 구리(Cu), 팔라듐(Pd), 또는 금속 재료의 질화물(예를 들어, 질화티타늄) 등을 들 수 있다.
- [0055] 제 2 전극(205)으로서는, 일 함수가 작은(구체적으로는 3.8eV 이하) 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 사용할 수 있다. 상술한 바와 같은 음극 재료의 구체적인 예로서는, 원소 주기율표의 1족 또는 2족에 속하는 원소, 즉, 리튬(Li), 세슘(Cs) 등의 알칼리 금속, 및 마그네슘(Mg), 칼슘(Ca), 스트론튬(Sr) 등의 알칼리 토류 금속, 및 이들을 함유한 합금(MgAg, AlLi), 유퀴륨(Eu), 이테르븀(Yb) 등의 희토류 금속, 및 이들을 함유한 합금 등을 들 수 있다.
- [0056] 다음에, 에칭액(207)을 사용하여 박리층(201)을 용해시킨다(도 2b 참조). 에칭액(207)으로서 알칼리 용액을 사용한다. 알칼리 용액은 박리층(201)에 사용한 금속 재료를 용해할 수 있는(에칭할 수 있는) 재질인 것이 바람직하다. 상술한 바와 같은 알칼리 용액의 일례로서 암모니아-과산화수소 혼합액, TMAH(테트라메틸암모늄히드록시드), TMAH-과산화수소 혼합액 등을 들 수 있다.
- [0057] 박리층(201)으로서, 금속 단체로는 용해하지 않고, 산화하면 용해하는 재료(예를 들어, 텅스텐(W))를 사용한 경우에는 에칭액에 과산화수소가 혼합된 것을 사용하면 좋다. 또한, 박리층(201)으로서, 금속 단체로는 용해하지만, 산화되면 용해하지 않는 재료(예를 들어, 알루미늄(Al))를 사용한 경우에는, 에칭액에 과산화수소가 혼합되지 않는 것을 사용하면 좋다.
- [0058] 상술한 바와 같이, 에칭액(207)을 사용하여 박리층(201)을 용해시킴으로써, EL층(204)과 제 2 전극(205)의 밀착성이 약한 소자라도 EL층(204)과 제 2 전극(205)의 계면에서 박리되지 않고, 기판(200)으로부터 박리할 수 있다. 또한, 박리층(201)을 용해할 수 있으므로 제작한 반도체 소자를 만곡시키지 않고 박리할 수 있어 기판의 재이용이 가능하다.
- [0059] 그리고, 박리층(201)이 용해된 영역에 필름(208)을 삽입한다(도 2c 참조). 필름(208)에는 PEN(폴리에틸렌나프탈레이트: polyethylene naphthalate) 등을 사용한다.
- [0060] 또한, 도시하지 않지만, 실제로는 에칭액(207)을 사용하여 박리층(201)을 용해시키면, 소자층(202) 및 자외선 경화 수지(206)의 단부가 수mm 정도 부유한다. 부유된 부분에 필름(208)을 삽입한다.

- [0061] 박리층(201)이 용해된 영역에 에칭액(207)을 첨가하면서, 필름(208)을 박리가 진행되지 않는 영역을 향하여 이동시킴으로써 박리층(201)을 제거한다(도 2d 참조). 필름(208)을 삽입하여 에칭액(207)을 사용한 박리층(201)의 용해와 필름(208)의 이동을 동시에 행함으로써 반도체 소자에 대한 만곡 스트레스가 생기지 않고, 효율적으로 박리할 수 있다.
- [0062] 종래의 박리 방법에서는, 본 실시형태에서 설명한 바와 같이 박리층(201)을 용해시켜도 자외선 경화 수지(206)를 지지체로 하는 전치체(209)와 기관(200)을 박리시킬 때, 전치체(209)를 만곡시킬 필요가 있었다. 이 방법에서는 반도체 소자층(202)이나 Et층(204)이 파괴될 가능성이 있다. 본 실시형태에서는 박리가 진행되지 않는 영역을 향하여 필름(208)을 이동시켜 박리층(201)을 제거하기 때문에 소자층(202)이나 Et층(204)을 만곡시키지 않고, 박리할 수 있다.
- [0063] 에칭액을 사용하여 박리층을 용해하는 방법과, 필름을 이동시켜 박리하는 방법을 함께 사용함으로써 더 효율적으로 박리할 수 있다.
- [0064] 에칭액을 첨가하면서 박리를 진행하는 방법이므로, 정전기 방전 파괴를 방지할 수 있다.
- [0065] 또한, 기관과 박리층의 밀착성이 반도체 소자층 내의 막들의 밀착성보다 약한 경우라면 에칭액을 첨가하지 않고 필름을 이동시키는 공정만으로 박리할 수 있다. 이 경우에도 반도체 소자에 대한 만곡 스트레스가 생기지 않고 박리할 수 있다.
- [0066] 본 실시형태는 액티브 매트릭스형 발광 장치에 대하여 설명하지만, 패시브 매트릭스형 발광 장치에 적용할 수도 있다.
- [0067] 본 실시형태는 발광 장치에 대하여 설명하지만, 액정 표시 장치, 반도체 회로, 전자기기 등, 반도체 특성을 이용함으로써 기능될 수 있는 반도체 장치 모두에 적용할 수 있다.
- [0068] 또한, 본 실시형태는 본 명세서의 다른 실시형태에서 제시한 구성 또는 실시예에서 제시한 구성과 적절히 조합하여 실시할 수 있다.
- [0069] (실시형태 3)
- [0070] 본 실시형태에서는 플렉시블 발광 장치를 박리할 때 사용하는 자외선 경화 수지에 대하여 설명한다.
- [0071] 박리 공정은 기관 위에 형성된 소자층 상방에 지지체가 되는 기재를 형성하고, 소자층을 유지하고 나서 행해진다. 발광 장치의 경우, 발광 소자는 물이나 산소로 인하여 열화하고, 또 유기 용매에 접촉하면 용해해 버리기 때문에, 박리 공정에 있어서도 어느 재료를 사용할지 특히 고안할 필요가 있다.
- [0072] 실시형태 1에서 설명한 지지체로서 사용하는 자외선 경화 수지는 용매를 사용하지 않고 형성할 수 있다. 또한, 80℃ 이하의 열 처리로 제작할 수 있으므로, Et층에 데미지를 주지 않고 형성할 수 있다.
- [0073] 또한, 상면 사출 구조의 발광 장치를 제작하는 경우는 지지체로서 사용하는 기재는 투과율이 높아야만 해서, 자외선 경화 수지는 투과율이 높으므로 바람직하다.
- [0074] 본 실시형태는 발광 장치에 대하여 설명하지만, 액정 표시 장치, 반도체 회로, 전자기기 등, 반도체 특성을 이용함으로써 기능될 수 있는 반도체 장치 모두에 적용할 수 있다.
- [0075] 또한, 본 실시형태는 본 명세서의 다른 실시형태에서 제시한 구성 또는 실시예에서 제시한 구성과 적절히 조합하여 실시할 수 있다.
- [0076] (실시형태 4)
- [0077] 본 실시형태에서는 플렉시블 발광 장치의 제작 공정에 대하여 도 3a 내지 도 9b를 사용하여 설명한다.
- [0078] 유리 기관(300) 위에 제 1 버퍼층(301), 박리층(302), 제 2 버퍼층(303)을 형성한다(도 3a 참조). 제 1 버퍼층(301)은 절연성 재료로 형성한다. 절연성 재료의 일례로서 산화질화실리콘 등을 사용할 수 있다.
- [0079] 박리층(302)은 금속 재료로 형성한다. 금속 재료로서 알칼리 용액에 가용한 재질을 사용하는 것이 바람직하다. 상술한 바와 같은 금속 재료로서 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 또는 주석(Sn)을 사용할 수 있다.
- [0080] 제 2 버퍼층(303)은 절연성 재료로 형성한다. 절연성 재료의 일례로서, 질화실리콘, 산화질화실리콘, 또는 질화산화실리콘 등을 사용할 수 있다. 또한, 제 2 버퍼층(303)은 단층 구조와 적층 구조의 어느 쪽이더라도

종지만, 제 2 버퍼층(303)의 총 막 두께는 1000nm 정도 이상인 것이 바람직하다. 예를 들어, 산화질화실리콘막 600nm, 질화실리콘막 200nm, 산화질화실리콘막 200nm을 순차로 적층한 구조 등이 바람직하다.

[0081] 본 명세서 중에서, 산화질화실리콘이란, 그 조성으로서, 질소보다 산소의 함유량이 많은 것으로, 바람직하게는, 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정된 경우에, 농도 범위로서 산소가 50at.% 내지 70at.%, 질소가 0.5at.% 내지 15at.%, 실리콘이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위로 포함되는 것을 가리킨다. 또한, 질화산화실리콘이란, 그 조성으로서, 산소보다 질소의 함유량이 많은 것이며, 바람직하게는, RBS 및 HFS를 사용하여 측정된 경우에, 농도범위로서 산소가 5at.% 내지 30at.%, 질소가 20at.% 내지 55at.%, 실리콘이 25at.% 내지 35at.%, 수소가 10at.% 내지 30at.%의 범위로 포함되는 것을 가리킨다. 다만, 산화질화실리콘 또는 질화산화실리콘을 구성하는 원자의 합계를 100at.%로 하였을 때, 질소, 산소, 실리콘 및 수소의 함유 비율이 상기한 범위 내에 포함되는 것으로 한다.

[0082] 제 2 버퍼층(303) 위에 하지 절연막(304) 및 결정성 반도체막(305)을 형성한다(도 3b 참조). 하지 절연막(304)에는 질화산화실리콘과 산화질화실리콘의 적층막 등을 사용할 수 있다. 결정성 반도체막(305)으로서는, 비정질 반도체에 레이저 광을 조사하여 제작한 결정성 반도체를 사용한다.

[0083] 제작한 결정성 반도체막(305)을 에칭하여 섬 형상 반도체층(306)을 형성한다. 다음에, 노출된 하지 절연막(304) 및 섬 형상 반도체층(306) 위에 게이트 절연막(307)을 형성한다(도 3c 참조). 게이트 절연막(307)에는 산화질화실리콘 등을 사용할 수 있다.

[0084] 다음에, 제 1 게이트 전극층(308) 및 제 2 게이트 전극층(309)을 형성한다(도 3d 참조).

[0085] 그리고, 제 1 게이트 전극층(308) 및 제 2 게이트 전극층(309)을 에칭하여 제 1 게이트 전극(310) 및 제 2 게이트 전극(311)을 형성한다(도 4a 참조). 제 1 게이트 전극(310)으로서는 질화탄탈, 제 2 게이트 전극(311)으로서는 텅스텐(W) 등을 사용할 수 있다.

[0086] 다음에, 제 1 게이트 전극(310) 및 제 2 게이트 전극(311) 위에 제 1 층간 절연막(312)을 형성한다(도 4b 참조). 제 1 층간 절연막(312)은 단층 구조와 적층 구조의 어느 쪽이라도 좋고, 예를 들어, 산화질화실리콘, 질화실리콘, 산화질화실리콘 등을 적층한 막 등을 들 수 있다.

[0087] 다음에, 게이트 절연막(307) 및 제 1 층간 절연막(312)에 콘택트 홀을 형성한다. 그리고, 상술한 콘택트 홀을 통하여 섬 형상 반도체층(306)과 전기적으로 접속되도록 배선(313)을 형성한다(도 4c 참조). 배선(313)은 단층 구조와 적층 구조의 어느 쪽이라도 좋고, 예를 들어, 티타늄(Ti), 알루미늄(Al), 티타늄(Ti)의 순서로 적층한 것 등을 들 수 있다.

[0088] 다음에, 제 2 층간 절연막(314)을 형성하고, 콘택트 홀을 형성하고, 배선(313)의 일부를 노출시킨다. 제 2 층간 절연막(314)으로서는, 산화질화실리콘을 사용하면 좋다. 그리고, 제 2 층간 절연막(314)의 콘택트 홀을 통하여 배선(313)과 전기적으로 접속되도록 제 1 전극층을 형성한다. 제 1 전극층을 원하는 형상으로 에칭하여 제 1 전극(315)으로 한다(도 4d 참조).

[0089] 제 1 전극(315)으로서는, 일 함수가 큰(구체적으로는 4.0eV 이상) 금속, 합금, 도전성 화합물, 및 이들의 혼합물 등을 이용하는 것이 바람직하다. 구체적으로는, 예를 들어, 산화인듐-산화주석(ITO: Indium Tin Oxide), 실리콘 또는 산화실리콘을 함유한 산화인듐-산화주석, 산화인듐-산화아연(IZO: Indium Zinc Oxide), 산화텅스텐 및 산화아연을 함유한 산화인듐(IWZO) 등을 들 수 있다. 이들 도전성 금속 산화물막은 보통 스퍼터링법에 의하여 형성되지만, 졸-겔(sol-gel)법 등을 응용하여 형성하여도 좋다.

[0090] 예를 들어, 산화인듐-산화아연(IZO)은 산화인듐에 대하여 1wt% 내지 20wt%의 산화아연을 첨가한 타깃을 사용하여 스퍼터링법에 의하여 형성할 수 있다. 또한, 산화텅스텐 및 산화아연을 함유한 산화인듐(IWZO)은 산화인듐에 대하여 산화텅스텐을 0.5wt% 내지 5wt%, 산화아연을 0.1wt% 내지 1wt% 함유한 타깃을 사용하여 스퍼터링법에 의하여 형성할 수 있다. 그 외, 금(Au), 백금(Pt), 니켈(Ni), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 철(Fe), 코발트(Co), 구리(Cu), 팔라듐(Pd), 또는 금속 재료의 질화물(예를 들어, 질화티타늄) 등을 들 수 있다.

[0091] 제 1 전극(315)의 단부를 덮어 격벽(316)을 형성한다. 격벽(316)으로서는 폴리이미드 등의 유기 수지를 사용할 수 있다. 다음에, EL층(317) 및 제 2 전극(318)을 형성한다(도 5a 참조).

[0092] EL층(317)에는 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층, 정공 저지(沮止)층 등이

포함된다. EL층(317)에 사용하는 재료는 적절히 선택하면 좋다.

- [0093] 제 2 전극(318)으로서는, 일 함수가 작은(구체적으로는 3.8eV 이하) 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 사용할 수 있다. 상술한 바와 같은 음극 재료의 구체적인 예로서는, 원소 주기율표의 1 족 또는 2족에 속하는 원소, 즉, 리튬(Li), 세슘(Cs) 등의 알칼리 금속, 및 마그네슘(Mg), 칼슘(Ca), 스트론튬(Sr) 등의 알칼리 토류 금속, 및 이들을 함유한 합금(MgAg, AlLi 등), 유로퓸(Eu), 이테르븀(Yb) 등의 희토류 금속, 및 이들을 함유한 합금 등을 들 수 있다.
- [0094] 제작한 발광 소자(제 1 전극(315), EL층(317), 및 제 2 전극(318))를 덮어 자외선 경화 수지(319)를 도포한다(도 5b 참조). 자외선 경화 수지(319)에 자외선을 조사하여 임시적으로 경화한다. 그리고, 가열 처리에 의하여 완전히 경화한다. 여기서, 자외선 경화 수지(319)는 박리하는 막의 기계적 강도를 향상시켜 박리 전 치할 때의 지지체로서 기능하는 것이다. 그러나, EL층(317)은 물이나 유기 용제에 대한 내성이 약하기 때문에, 물이나 유기 용제를 사용하지 않고 형성할 수 있는 재료를 선택할 필요가 있다. 또한, EL층(317)은 내열성이 낮으므로, 본 실시형태에서 사용하는 자외선 경화 수지(319)에는 자외선 조사 처리 및 80℃ 이하 정도의 가열 처리에 의하여 경화하는 재료를 사용한다.
- [0095] 다음에, 자외선 레이저 광(320)을 사용하여 패널부(321)의 외측을 둘러싸도록 묘화한다(도 6a 및 도 7a 참조).
- [0096] 레이저 광이 조사된 부분이 용해되고, 용해된 재료를 제거함으로써 박리의 시작 점(묘화 라인(322))이 형성된다(도 6b 및 도 7b 참조). 묘화 라인(322)은 폭 1mm 정도로 형성하면 좋다. 또한, 도 7a 및 도 7b는 발광 소자를 제작한 패널부의 박리 공정을 도시하는 사시도이다.
- [0097] 그 후, 커터 등의 물리적 수단에 의하여 묘화 라인의 주변부의 제 1 버퍼층(301), 박리층(302), 제 2 버퍼층(303)을 제거한다(도 8a 참조). 이로써, 에칭액이 스며드는 공간을 더 확실히 확보할 수 있다.
- [0098] 묘화 라인(322)에 에칭액(323)을 도입함으로써 박리층(302)이 용해되고, 부분적으로 리프트 오프된다(도 8b 참조). 에칭액(323)에는 알칼리 용액을 사용한다. 알칼리 용액은 박리층(302)에 사용한 금속 재료를 용해할 수 있는(에칭할 수 있는) 재질인 것이 바람직하다. 상술한 바와 같은 알칼리 용액의 일례로서 암모니아-과산화수소 혼합액, TMAH(테트라메틸암모늄히드록시드), TMAH(테트라메틸암모늄히드록시드)-과산화수소 혼합액 등을 사용할 수 있다.
- [0099] 박리층(302)으로서, 금속 단체로는 용해하지 않고, 산화하면 용해하는 재료(예를 들어, 텅스텐(W))를 사용한 경우에는, 에칭액에 과산화수소가 혼합된 것을 사용하면 좋다. 또한, 박리층(302)으로서, 금속 단체로는 용해하지만, 산화되면 용해하지 않는 재료(예를 들어, 알루미늄(Al))를 사용한 경우에는, 에칭액에 과산화수소가 혼합되지 않는 것을 사용하면 좋다.
- [0100] 박리층(302)에 텅스텐(W), 에칭액(323)에 암모니아-과산화수소 혼합액을 사용한 경우, 에칭액(323)에 접촉한 부분의 박리층(302)은 몇 초 동안 용해한다. 따라서, 박리층(302)과 제 1 버퍼층(301)의 밀착성 또는 박리층(302)과 제 2 버퍼층(303)의 밀착성을 약하게 할 수 있고, 발광 소자에 잔류 스트레스가 생기지 않게 박리할 수 있다.
- [0101] 도 6b 내지 도 8b에 있어서, 묘화 라인(322)이 제 1 버퍼층(301), 박리층(302), 제 2 버퍼층(303), 하지 절연막(304), 및 자외선 경화 수지(319)를 2개로 분단하지만, 도면의 간략화를 위하여 도 9a 및 도 9b에서는 묘화 라인보다 왼쪽의 제 1 버퍼층(301), 박리층(302), 제 2 버퍼층(303), 하지 절연막(304), 및 자외선 경화 수지(319)를 생략한다.
- [0102] 리프트 오프가 진행된 영역(324)에서는, 유리 기판(300)과 제 2 버퍼층(303) 사이에 틈이 생긴다. 그 틈에 필름(325)을 삽입한다(도 9a 참조).
- [0103] 또한, 도시하지 않지만, 실제로는 에칭액(323)을 사용하여 박리층(302)을 용해시키면, 자외선 경화 수지(319)의 단부가 수mm 정도 부유된다. 부유된 부분에 필름(325)을 삽입한다.
- [0104] 에칭액(323)을 첨가하면서, 박리가 아직 진행되지 않는 영역(326)을 향하여 이동시킴으로써 리프트 오프 영역이 넓어진다(도 9b 참조). 삽입하는 필름(325)으로서는, 예를 들어, PEN(폴리에틸렌나프탈레이트: polyethylene naphthalate) 등을 사용할 수 있다.
- [0105] 박리가 완료되면, 부착된 에칭액을 순수로 세정한다. 상술한 공정에 의하여 플렉시블 발광 장치를 제

작할 수 있다. 또한, 에칭액을 세정하기 위한 용액으로서는, 에칭액을 세정할 수 있는 용액이라면 어떤 용액을 사용하여도 좋다.

[0106] 발광 장치의 컬러화는 화소의 얼라인먼트를 행하여 적색(R), 녹색(G), 청색(B)을 발광하는 발광 재료를 나누어 형성하는 방법이나, 착색층(컬러 필터)을 형성하는 방법에 의하여 행해진다. 박리함으로써 발광 소자를 플렉시블화하면, 피형성 면의 만곡, 쉬링크(shrink) 등의 문제가 생기기 때문에, 얼라인먼트를 정확하게 행하기 어렵다. 본 실시형태에 있어서는, EL층이나 착색층(컬러 필터) 등을 박리 공정 전에 형성할 수 있으므로, 컬러화를 용이하게 실현할 수 있다. 또한, 제작 공정의 도중에 박리 공정이 행해지는 경우에는 전치를 적어도 2회 행할 필요가 있지만, 본 실시형태에 제시한 제작 방법은 공정 수가 짧고, 제조하기 쉽다는 장점이 있다.

[0107] 또한, 에칭액을 첨가하면서 박리를 진행하는 방법이기 때문에, 정전기 방전 파괴를 방지할 수도 있다.

[0108] 또한, 박리층 내부의 밀착성이 반도체 소자층 내의 막들의 밀착성보다 약한 경우라면, 에칭액을 첨가하지 않고 필름을 이동시키는 공정만으로 박리할 수 있다. 이 경우도, 반도체 소자에 대한 만곡 스트레스가 생기지 않게 박리할 수 있다.

[0109] 본 실시형태는 액티브 매트릭스형 발광 장치에 대하여 설명하지만, 패시브 매트릭스형 발광 장치에 적용할 수도 있다.

[0110] 본 실시형태는 발광 장치에 대하여 설명하지만, 액정 표시 장치, 반도체 회로, 전자기기 등, 반도체 특성을 이용함으로써 가능될 수 있는 반도체 장치 모두에 적용할 수 있다.

[0111] 또한, 본 실시형태는 본 명세서의 다른 실시형태에서 제시한 구성 또는 실시예에서 제시한 구성과 적절히 조합하여 실시할 수 있다.

[0112] [실시예 1]

[0113] 본 실시예에서는 에칭액(암모니아-과산화수소 혼합액)으로 박리층(텅스텐(W))을 에칭할 때의 에칭 레이트에 대하여 설명한다.

[0114] 우선, 유리 기판 위에 텅스텐(W) 50nm를 형성하였다. 다음에, 에칭액으로서 (A) 과산화수소수: 암모니아수: 물=5: 2: 2로 혼합한 액, (B) 과산화수소수: 암모니아수: 물=5: 2: 0으로 혼합한 액을 사용하여 딥핑 방식으로 웨트 에칭을 행하였다. 또한, 과산화수소수의 농도는 34.5%, 암모니아수의 농도는 28%이다. 결과를 표 1에 제시한다.

[0115] [표 1]

[0116]

	에칭 시간(초)	에칭 속도(nm/초)
혼합액(A)	78	0.64
혼합액(B)	58	0.86

[0117] 표 1에 의거하여, 물로 희석되지 않는 혼합액(B)은 물로 희석된 혼합액(A)의 약 1.3배의 에칭 레이트인 것을 알 수 있었다. 이 결과를 바탕으로 하여, 본 발명의 일 형태에 있어서는, 에칭액으로서 물로 희석되지 않는 혼합액을 사용하는 것으로 하였다.

[0118] 또한, 본 실시예는 본 명세서의 다른 실시형태에서 제시한 구성 또는 실시예에서 제시한 구성과 적절히 조합하여 실시할 수 있다.

[0119] [실시예 2]

[0120] 본 실시예에서는 플렉시블 발광 장치의 제작 공정에 대하여 도 3a 내지 도 9b를 사용하여 설명한다.

[0121] CVD법에 의하여, 유리 기판(300) 위에 산화질화실리콘막을 100nm 형성하여 제 1 버퍼층(301)으로 하였다. 그리고, 텅스텐(W)막을 50nm, 산화질화실리콘막을 600nm, 질화실리콘막을 200nm, 산화질화실리콘막을 200nm 형성하였다. 텅스텐(W)막은 박리층(302)으로서 그 외의 막은 제 2 버퍼층(303)으로서 형성하였다(도 3a 참조). 이 때, 제 2 버퍼층(303)의 총 막 두께가 1000nm 이상일 필요가 있다. 이것은 박리 면이 EL층까지 이동하는 것을 방지하기 위해서이다.

- [0122] 제 2 버퍼층(303) 위에 하지 절연막(304)으로서 질화산화실리콘막 140nm과 산화질화실리콘막 100nm을 형성하였다.
- [0123] 다음에, 결정성 반도체막(305)을 형성하였다(도 3b 참조). 반도체층으로서는, 비정질 반도체, 결정성 반도체, 미결정 반도체 등을 사용할 수 있지만, 본 실시예에서는 비정질 반도체에 레이저 광을 조사하여 제작한 결정성 반도체를 사용하였다.
- [0124] 제작한 결정성 반도체막(305)을 에칭하여 섬 형상 반도체층(306)을 형성하였다. 다음에, 게이트 절연막(307)을 형성하였다(도 3c 참조). 게이트 절연막(307)으로서 산화질화실리콘 110nm을 형성하였다.
- [0125] 다음에, 제 1 게이트 전극층(308)으로서 질화탄탈을 30nm 형성하고, 제 2 게이트 전극층(309)으로서 텅스텐(W)을 370nm 형성하였다(도 3d 참조).
- [0126] 그리고, 제 1 게이트 전극층(308) 및 제 2 게이트 전극층(309)을 에칭하여 제 1 게이트 전극(310) 및 제 2 게이트 전극(311)을 형성하였다(도 4a 참조).
- [0127] 다음에, 제 1 게이트 전극(310) 및 제 2 게이트 전극(311) 위에 제 1 층간 절연막(312)을 형성하였다(도 4b 참조). 제 1 층간 절연막(312)은 산화질화실리콘 50nm, 질화산화실리콘 140nm, 산화질화실리콘 520nm를 순차로 적층하였다.
- [0128] 다음에, 게이트 절연막(307) 및 제 1 층간 절연막(312)에 콘택트 홀을 형성하였다. 그리고, 상술한 콘택트 홀을 통하여 섬 형상 반도체층(306)과 전기적으로 접속되도록 배선(313)을 형성하였다(도 4c 참조). 배선(313)은 단층 구조와 적층 구조의 어느 쪽이라도 좋지만, 본 실시예에서는 티타늄(Ti) 100nm, 알루미늄(Al) 700nm, 티타늄(Ti) 100nm의 순서로 적층하였다.
- [0129] 다음에, 제 2 층간 절연막(314)으로서 산화질화실리콘을 150nm 형성하였다. 그리고, 콘택트 홀을 형성함으로써 배선(313)의 일부를 노출시켰다.
- [0130] 제 2 층간 절연막(314)의 콘택트 홀을 통하여 배선(313)과 전기적으로 접속하도록 제 1 전극층을 형성하였다. 제 1 전극층으로서는 ITSO(ITO에 SiO₂가 포함된 것)를 125nm 형성하였다. 제 1 전극층을 에칭하여 제 1 전극(315)으로 하였다(도 4d 참조).
- [0131] 제 1 전극(315)의 단부를 덮어, 폴리이미드로 이루어진 격벽(316)을 형성하였다. 다음에, EL층(317) 및 제 2 전극(318)을 형성하였다(도 5a 참조).
- [0132] EL층(317)에는 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층, 정공 저지층 등이 포함된다. EL층(317)에 사용하는 재료는 적절히 선택하면 좋지만, 본 실시예에 있어서는, 정공 주입층으로서 NPB(4,4'-비스[N-(1-나프틸)-N-페닐아미노]비페닐)와 산화몰리브덴의 복합층을 50nm, 정공 수송층으로서 NPB를 10nm, 발광층으로서는 Alq(트리스(8-퀴놀리놀라토)알루미늄)와 쿠마린 6을 동시 증착함으로써 40nm, 전자 수송층으로서 Alq를 10nm, 전자 주입층으로서 Alq와 탄산세슘을 동시 증착함으로써 20nm 형성하였다. 제 2 전극에는 알루미늄(Al)을 사용하였다. 또한, 발광층의 Alq는 호스트 재료, 쿠마린 6은 게이트 재료이다.
- [0133] 제작한 발광 소자(제 1 전극(315), EL층(317), 및 제 2 전극(318))를 덮도록 바 코터(bar coater)를 사용하여 자외선 경화 수지(319)를 150 μ m 도포하였다(도 5b 참조). 자외선 경화 수지(319)로서 아크릴-우레탄계 수지(Norland NEA121)를 사용하였다. 아크릴-우레탄계 수지는 80 $^{\circ}$ C 이하의 저온 소성이 가능하고, 가시광 투과율이 90% 이상이므로, 발광 장치의 제작에 적합한 재료라고 할 수 있다.
- [0134] 다음에, 자외선(파장: 365nm)을 20mW/cm²로 3분 조사하여 임시적으로 경화하였다. 그리고, 프레스기로 0.5MPa의 압력을 가하면서 80 $^{\circ}$ C의 열 처리를 3시간 행함으로써 완전히 경화하였다.
- [0135] 다음에, 자외선 레이저 광(320; 파장: 266nm, 출력: 1.8W)을 사용하여 패널이 되는 영역(패널부; 321)의 외측을 둘러싸도록 묘화하였다(도 6a 및 도 7a 참조).
- [0136] 레이저 광이 조사된 부분은 용융하기 때문에 박리의 시작 점(묘화 라인(322))을 형성할 수 있었다(도 6b 및 도 7b 참조). 또한, 묘화 라인(322)은 폭 1mm 정도로 형성하였다.
- [0137] 그 후, 커터를 사용하여 묘화 라인(322)의 주변부의 제 1 버퍼층(301), 박리층(302), 제 2 버퍼층(303)을 깎았다(도 8a 참조). 이로써, 암모니아-과산화수소 혼합액이 스며드는 공간을 더 확실하게 확보할 수 있었다.

- [0138] 다음에, 묘화 라인(322)에 에칭액(323)을 도입하였다. 에칭액(323)으로서는 암모니아-과산화수소 혼합액을 사용하였다. 에칭액(323)에 접촉한 박리층은 몇 초 동안 용해하고, 부분적으로 리프트 오프되었다(도 8b 참조).
- [0139] 도 6b 내지 도 8b에 있어서, 묘화 라인(322)이 제 1 버퍼층(301), 박리층(302), 제 2 버퍼층(303), 하지 절연막(304), 및 자외선 경화 수지(319)를 2개로 분단하지만, 도면의 간략화를 위하여 도 9a 및 도 9b에서는 묘화 라인보다 왼쪽의 제 1 버퍼층(301), 박리층(302), 제 2 버퍼층(303), 하지 절연막(304), 및 자외선 경화 수지(319)를 생략한다.
- [0140] 에칭액(323)을 첨가하면서 리프트 오프가 진행된 영역(324)의 유리 기판(300)과 제 2 버퍼층(303)의 틈에 필름(325)을 삽입하였다(도 9a 참조). 본 실시예에서는 필름(325)으로서 PEN(폴리에틸렌나프탈레이트: polyethylene naphthalate) 필름(두께 50 μ m)을 사용하였다.
- [0141] 또한, 도시하지 않지만, 실제로는 에칭액(323)을 사용하여 박리층(302)을 용해시키면, 자외선 경화 수지(319)의 단부가 수 μ m 정도 부유되었다. 부유된 부분에 필름(325)을 삽입하였다.
- [0142] 아직 박리가 진행되지 않는 영역(리프트 오프가 진행되지 않는 영역; 326)을 향하여 필름(325)을 이동시키면 리프트 오프 영역이 넓어져 박리층을 제거할 수 있었다(도 9b 참조).
- [0143] 박리가 완료된 후, 부착된 에칭액을 순수로 세정하였다. 상술한 공정에 의하여 플렉시블 발광 장치를 제작할 수 있었다.
- [0144] 발광 장치의 컬러화는 화소의 얼라인먼트를 행하여, 적색(R), 녹색(G), 청색(B)을 발광하는 발광 재료를 나누어 형성하는 방법이나, 착색층(컬러 필터)을 형성하는 방법에 의하여 행해진다. 박리함으로써, 발광 소자를 플렉시블화하면, 피형성 면의 만곡, 쉬링크 등의 문제가 생기기 때문에, 얼라인먼트를 정확하게 행하기 어렵다. 본 실시예에 있어서는, E층이나 착색층(컬러 필터) 등을 박리 공정 전에 형성할 수 있으므로, 컬러화를 용이하게 실현할 수 있다. 또한, 제작 공정의 도중에 박리 공정이 행해지는 경우는 전치를 적어도 2회 행할 필요가 있지만, 본 실시예에 제시한 제작 방법은 공정 수가 짧고, 제조하기 쉽다는 장점이 있다.
- [0145] 또한, 에칭액을 첨가하면서 박리를 진행하는 방법이기 때문에, 정전기 방전 파괴를 방지할 수도 있다.
- [0146] 본 실시예는 액티브 매트릭스형 발광 장치에 대하여 설명하지만, 패시브 매트릭스형 발광 장치에 적용할 수도 있다.
- [0147] 본 실시예는 발광 장치에 대하여 설명하지만, 액정 표시 장치, 반도체 회로, 전자기기 등, 반도체 특성을 이용함으로써 기능될 수 있는 반도체 장치 모두에 적용할 수 있다.
- [0148] 또한, 본 실시예는 본 명세서의 다른 실시형태에서 제시한 구성 또는 실시예에서 제시한 구성과 적절히 조합하여 실시할 수 있다.
- [0149] [실시예 3]
- [0150] 실시예 2에 있어서, 박리할 때 사용하는 필름을 삽입하기 위한 홈(개구부)을 레이저 광으로 형성한 묘화 라인(322)으로 하였다. 그러나, 본 발명의 일 형태는 이 방법에 한정되지 않는다. 본 실시예에서는 실시예 2에서 설명한 홈의 형성 방법과 다른 형성 방법에 대하여 도 12a 및 도 12b를 사용하여 설명한다.
- [0151] 자외선 레이저 광(1220; 파장: 266nm, 출력: 1.3W 내지 1.8W)을 사용하여 패널이 되는 영역(1221)의 외측을 둘러싸고, 또 박리층이 노출되도록 묘화 라인(1222)을 형성하고, 또한, 묘화 라인(1222)의 외측을 둘러싸고, 또 박리층이 노출되도록 묘화 라인(1223)을 형성하였다. 즉, 패널이 되는 영역(1221)으로부터 외측으로 2중의 묘화 라인을 형성하게 되었다. 그리고, 묘화 라인(1222)과 묘화 라인(1223) 사이에는 후에 제거되는 영역(1224)이 형성되었다. 묘화 라인(1222)과 묘화 라인(1223)의 간격은 0.5mm 내지 2mm 정도가 바람직하다. 또한, 묘화 라인(1222)과 묘화 라인(1223)의 폭은 각각 0.05mm 내지 0.1mm 정도가 바람직하다. 본 실시예에서는 묘화 라인(1222)과 묘화 라인(1223)의 간격은 0.8mm로 하고, 묘화 라인(1222)과 묘화 라인(1223)의 폭은 0.1mm로 하였다.
- [0152] 다음에, 제거되는 영역(1224)을 커터 등을 사용하여 제거하였다. 결과적으로, 박리층이 노출된 홈(1225)이 형성되었다. 또한, 홈(1225)의 폭은 1mm 내지 2mm 정도가 바람직하다. 또한, 본 실시예에서는 홈(1225)의 폭은 1mm로 하였다.

- [0153] 다음에, 홈(1225)에 에칭액을 도입하였다. 결과적으로, 에칭액에 접촉한 박리층은 용해하고, 부분적으로 리프트 오프되었다. 그리고, 에칭액을 첨가하면서 리프트 오프가 진행된 부분에 필름을 삽입하였다. 즉, 용해한 박리층에 필름을 삽입하였다. 필름은 필름 형상의 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테실론(PES) 등의 유기 수지를 사용하여도 좋다. 본 실시예에서는 필름으로서 PEN 필름(두께: 50 μ m)을 사용하였다.
- [0154] 본 실시예에서는 자외선 레이저 광(1220)을 사용하여 2중의 묘화 라인을 형성하고, 홈(1225)을 형성함으로써 필름을 박리층에 삽입하는 공간을 충분히 확보할 수 있었다. 또한, 홈(1225)의 영역은 박리층이 노출되므로 다른 공정이 필요하지 않고, 에칭액을 홈(1225)에 도입만 하면 에칭액이 박리층에 접촉할 수 있었다.
- [0155] 또한, 본 실시예는 본 명세서의 다른 실시형태에서 제시한 구성 또는 실시예에서 제시한 구성과 적절히 조합하여 실시할 수 있다.
- [0156] [실시예 4]
- [0157] 실시예 2에 따라 패시브 매트릭스형 플렉시블 발광 소자를 제작하였다.
- [0158] 도 10a는 플렉시블 발광 소자의 제 1 단부와 제 2 단부를 각각 손으로 들고, 제 1 단부와 제 2 단부의 거리를 약 3cm 내지 5cm가 되도록 접근시키고, 플렉시블 발광 소자를 만곡시킨 상태에서 발광시킨 사진이다. 도 10b는 직경 73mm의 원통형 플라스틱 기체에 접합된 상태에서 발광시킨 사진이다.
- [0159] [실시예 5]
- [0160] 본 실시예에서는 실시형태 1 내지 실시형태 4 및 실시예 1 내지 실시예 3에 따라 얻어지는 플렉시블 발광 장치를 표시부에 내장한 전자기기에 대하여 설명한다. 본 발명의 일 형태의 플렉시블 발광 장치를 내장할 수 있는 전자기기로서는, 비디오 카메라, 디지털 카메라 등의 카메라, 헤드 장착형 디스플레이(고글형 디스플레이), 카 네비게이션, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대 정보 단말 및 전자 서적 등을 들 수 있다. 그 일례를 도 11a 및 도 11b에 도시한다.
- [0161] 도 11a는 텔레비전 장치이고, 케이스(2010), 조작부인 키보드부(2012), 표시부(2011), 스피커부(2013) 등을 포함한다. 본 발명의 일 형태는 표시부(2011)의 제작에 적용된다. 도 11a의 표시부는 만곡시킬 수 있는 플렉시블 발광 장치를 사용하므로 표시부가 만곡된 텔레비전 장치이다. 이러한 표시부의 형상을 자유로이 설계할 수 있으므로, 원하는 형상의 텔레비전 장치를 제작할 수 있다.
- [0162] 또한, 본 발명의 일 형태는 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여 철도역이나 공항 등에 설치되는 정보 표시판이나 거리에 설치되는 광고 표시판 등의 표시 매체 등 다양한 용도에 적용할 수 있다.
- [0163] 도 11b는 휴대 정보 단말(전자 서적)이고, 본체(3001), 표시부(3002, 3003), 기억 매체(3004), 조작 스위치(3005), 안테나(3006) 등을 포함한다.

도면의 간단한 설명

- [0164] 도 1a 내지 도 1d는 실시형태 1을 설명하는 도면.
- [0165] 도 2a 내지 도 2d는 실시형태 2를 설명하는 도면.
- [0166] 도 3a 내지 도 3d는 실시형태 4 및 실시예 2를 설명하는 도면.
- [0167] 도 4a 내지 도 4d는 실시형태 4 및 실시예 2를 설명하는 도면.
- [0168] 도 5a 및 도 5b는 실시형태 4 및 실시예 2를 설명하는 도면.
- [0169] 도 6a 및 도 6b는 실시형태 4 및 실시예 2를 설명하는 도면.
- [0170] 도 7a 및 도 7b는 실시형태 4 및 실시예 2를 설명하는 도면.
- [0171] 도 8a 및 도 8b는 실시형태 4 및 실시예 2를 설명하는 도면.
- [0172] 도 9a 및 도 9b는 실시형태 4 및 실시예 2를 설명하는 도면.
- [0173] 도 10a 및 도 10b는 실시예 4를 설명하는 도면.

[0174] 도 11a 및 도 11b는 실시예 5를 설명하는 도면.

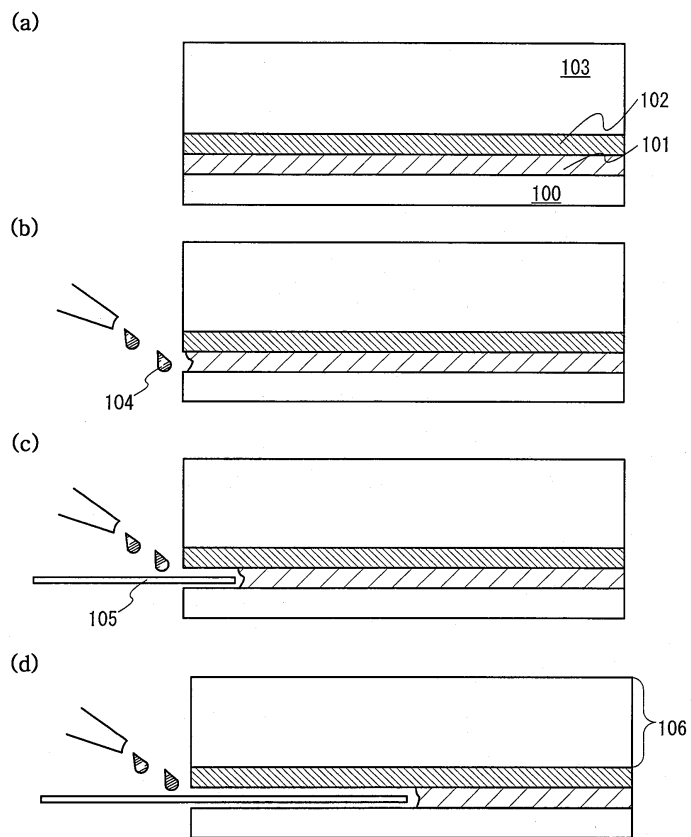
[0175] 도 12a 및 도 12b는 실시예 3을 설명하는 도면.

[0176] <도면의 주요 부분에 대한 부호의 설명>

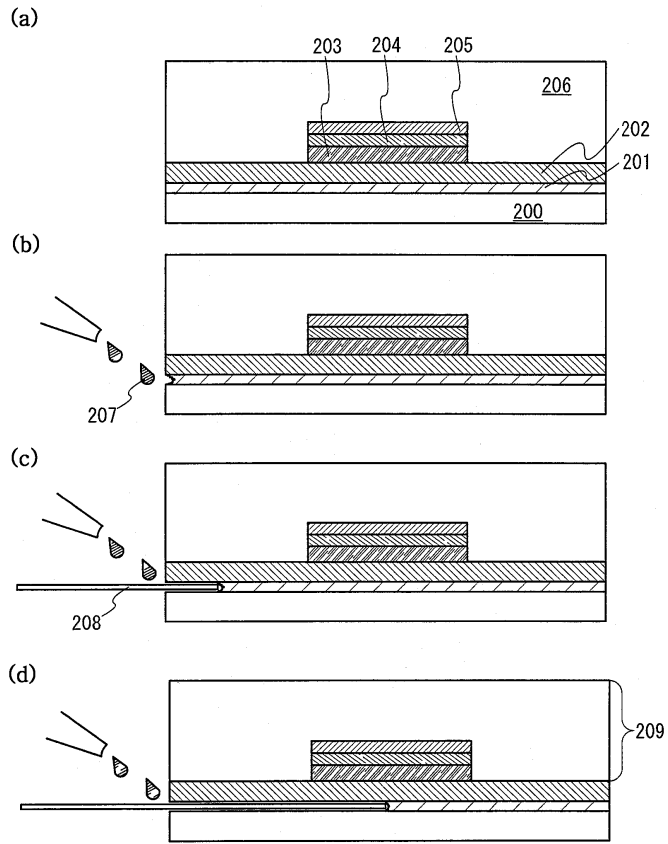
- | | | |
|--------|--------------|----------------|
| [0177] | 100: 기판 | 101: 박리층 |
| [0178] | 102: 반도체 소자층 | 103: 자외선 경화 수지 |
| [0179] | 104: 에칭액 | 105: 필름 |
| [0180] | 106: 전도체 | |

도면

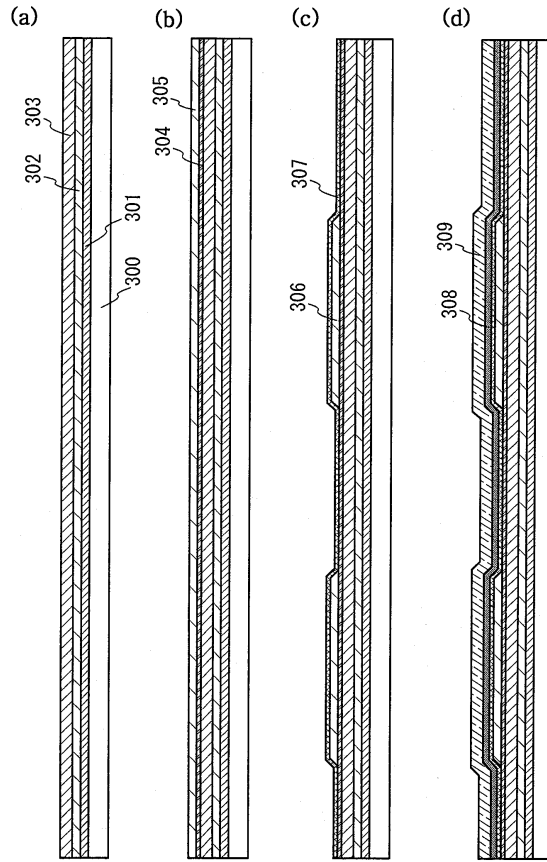
도면1



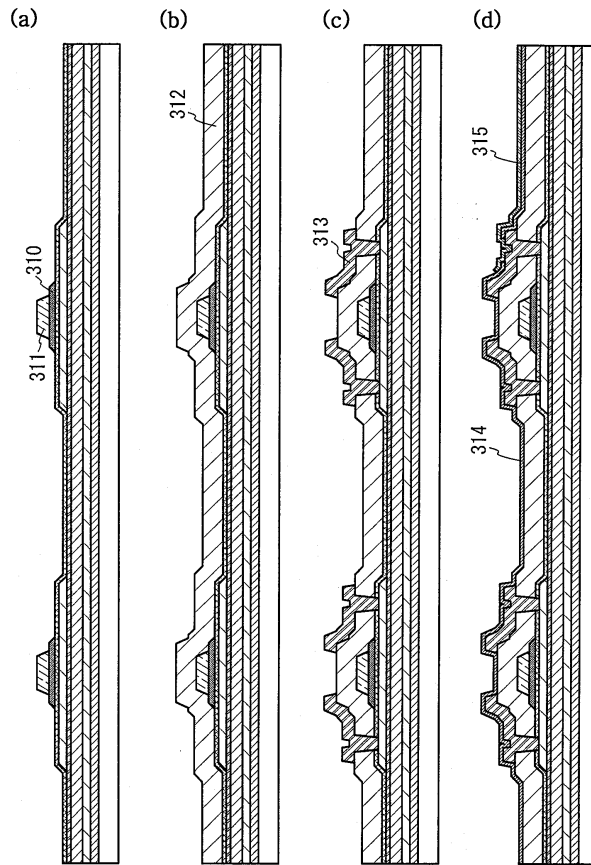
도면2



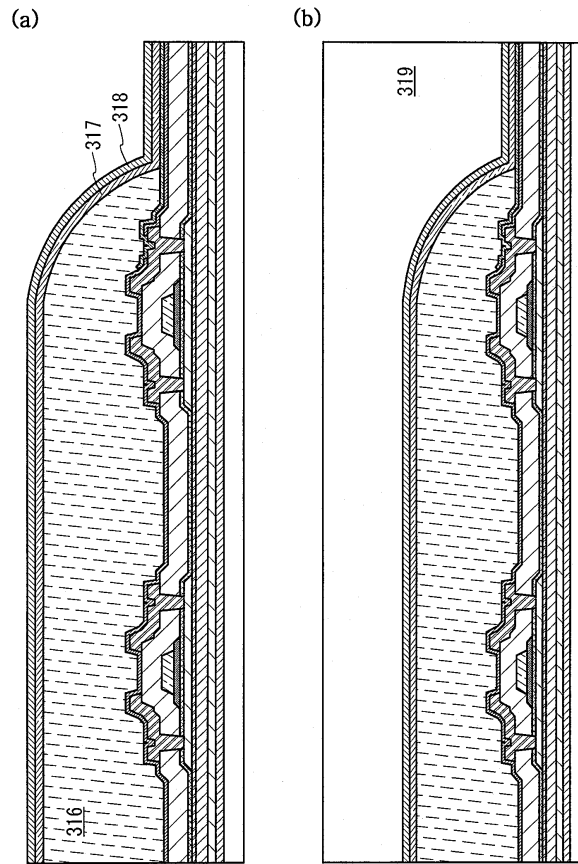
도면3



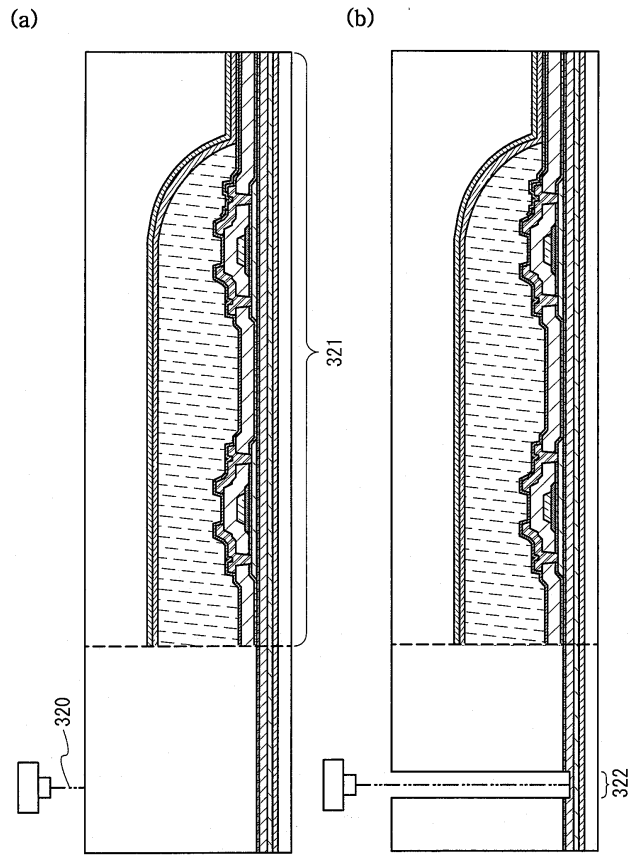
도면4



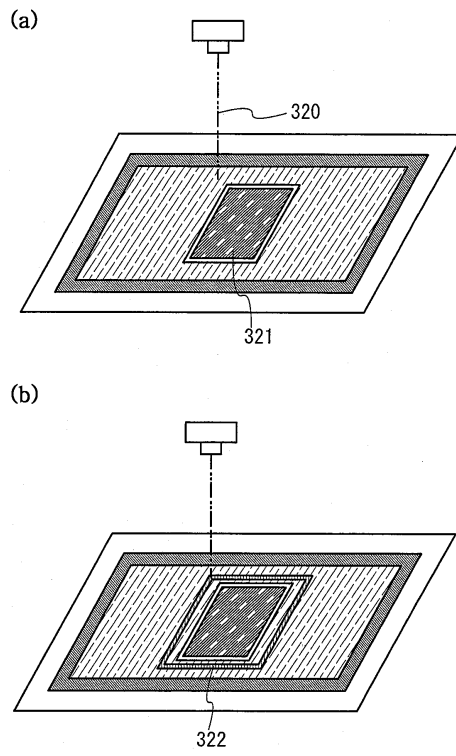
도면5



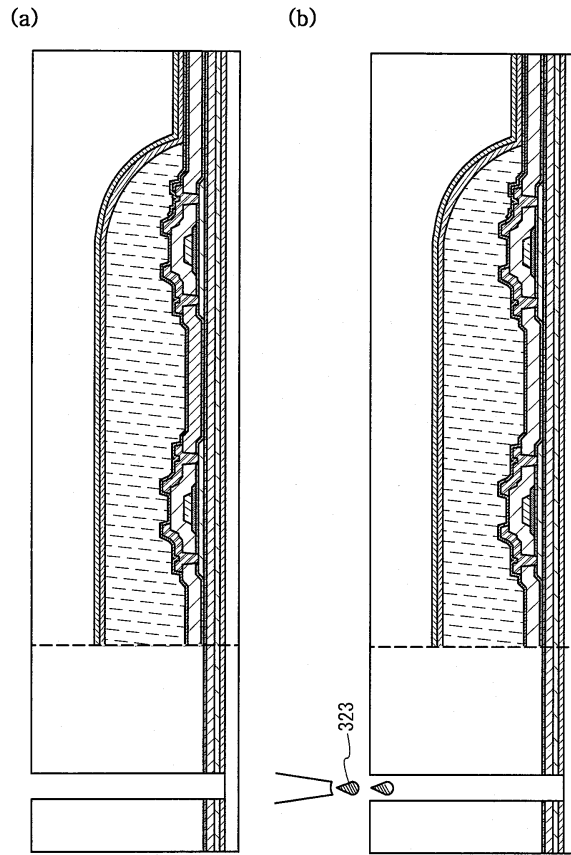
도면6



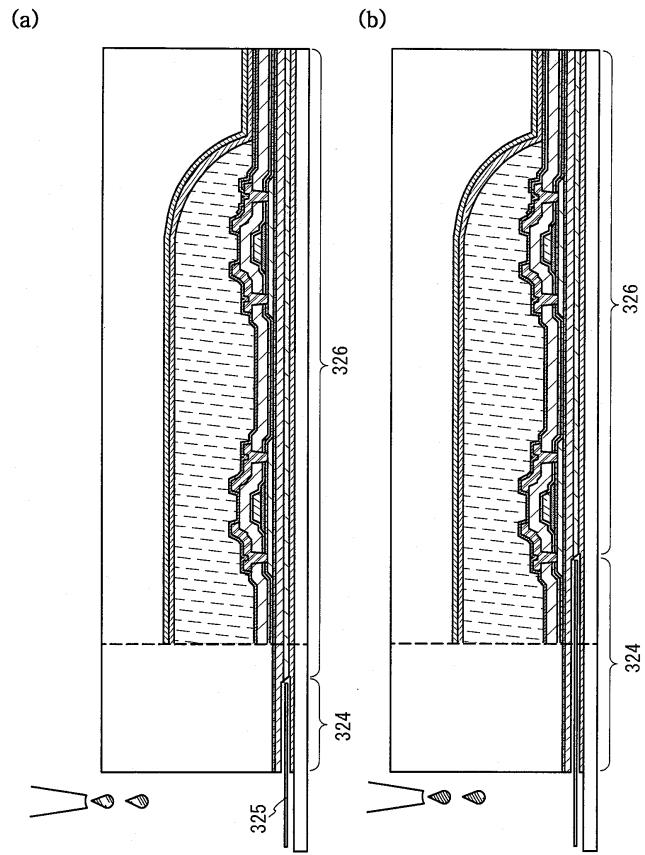
도면7



도면8

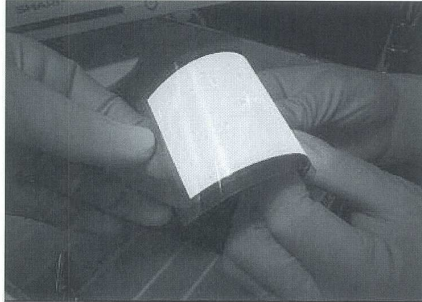


도면9

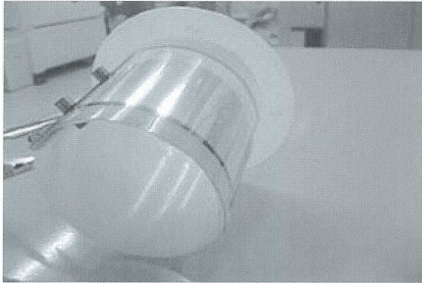


도면10

(a)

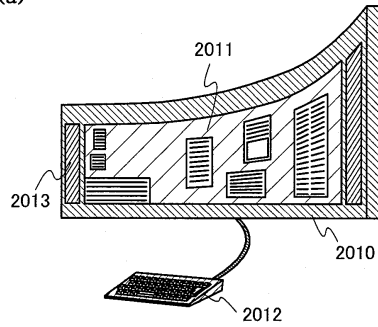


(b)

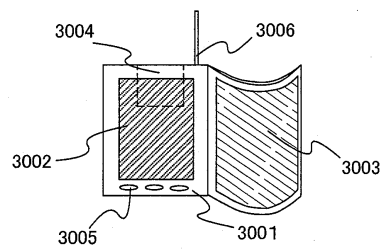


도면11

(a)



(b)



도면12

