(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
G11C 11/34

(11) 공개번호 특1990-0005456
(43) 공개일자 1990년04월14일

(21) 출원번호 특1989-0013538
(22) 출원일자 1989년09월20일

(30) 우선권주장 63-235697 1988년09월20일 일본(JP)

(71) 출원인 후지쓰 가부시끼가이샤 야마모도 다꾸마
일본국 가나가와껜 가와사끼시 나까하라꾸 가미고다나까 1015반지후지쓰 브이엘에스아이 가부시끼가이샤 나까노 고오지
일본국 아이찌껜 가스가이시 고오조오지쪼오 2쪼오메 1884반 2
(72) 발명자 오가와 히로아끼
일본국 아이찌껜 나고야시 히가시꾸 이즈미 3-10-13
노구찌 마사아끼
일본국 아이찌껜 세또시 니시마쯔야마쪼오 2-259
(74) 대리인 장용식

심사청구 : 있음

(54) 직렬 억세스 메모리 내장형 반도체 메모리 장치

요약

내용 없음.

대표도

도8

명세서

[발명의 명칭]

직렬 억세스 메모리 내장형 반도체 메모리 장치

[도면의 간단한 설명]

제8도는 본발명의 바람직한 실시예에 따른 반도체 메모리장치 전체구조의 블럭도.

제10도는 제8도에 도시한 실시예에 이용되는 어드레스 카운터의 회로도.

제11도는 제10도에 도시한 어드레스 카운터에 이용되는 플립-플롭의 회로도.

제12도는 제8도에 도시한 실시예에 이용되는 용장 결정회로와, 게이트 및 래치회로의 회로도이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

다수의 메모리셀과, 어드레스 정보에 따라 상기의 메모리셀에 데이터를 기입하여 메모리셀로부터 데이터를 판독하기 위한 병렬 판독/기입 수단을 포함한 RAM 및; 상기의 RAM에 연결시킨 SAM으로 구성시키며; 상기의 SAM은 RAM에 기입되거나 그로부터 판독되어지며 직렬로 외부 신호라인으로부터 입력되거나 외부 신호라인으로 출력되어지는 데이터를 기억하기 위해 제1그룹의 레지스터셀과 제2그룹의 용장셀을 포함하는 데이터 레지스터수단과; 외부장치에 공급되는 초기 어드레스로부터 시작되는 제1직렬 억세스 어드레스를 발생시키기 위한 제1어드레스 발생수단과; 상기의 제1어드레스 발생수단에 연결되어 제1직렬 억세스 어드레스를 입력하여 데이터 레지스터 수단에 공급되어지는 제2직렬 억세스 어드레스를 발생시키며, 제1직렬 억세스어드레스는 제2직렬 억세스 어드레스와 동일한 내용을 갖고서 예정 된 시간만큼 제2직렬 억세스 어드레스 보다 앞서도록한 제2어드레스 발생수단과; 상기의 제2어드레스 발생수단에 연결되어 상기의 제1직렬 억세스 어드레스가 용장 어드레스와 동일한가를 결정하기 위한 용장 결정수단; 상기의 용장 결정수단에 연결되어 용장결정수단으로부터 공급된 비교결과에 따라 제1그룹 및 제2그룹의 데이터 레

지스터 수단중 어느 하나를 선택하여 데이터 레지스터 수단에 기억된 데이터가 제2직렬 억세스 어드레스에 의해 직렬로 억세스 되도록 한 선택수단으로 구성시키고; 상기의 제2직렬 억세스 어드레스가 상기의 데이터 레지스터 수단에 공급될 경우, 상기의 데이터가 직렬로 데이터 레지스터 수단에 입력되거나 데이터 레지스터 수단으로부터 출력되는 것을 특징으로 하는 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기의 제1어드레스 발생수단은 외부장치에서 공급된 초기 억세스 어드레스를 외부장치에서 공급된 펄스신호의 제1변부와 동기되어 입력하여 상기의 제1직렬 억세스 어드레스를 상기 펄스신호의 후속 제1변부와 동기되어 증가시키기 위한 제1카운터 수단을 포함하고, 상기의 제2어드레스 발생수단은 상기의 제2직렬 억세스 어드레스로서 상기의 제1직렬 억세스 어드레스를 상기 제1변부 다음의 펄스신호의 제2변부와 동기되어 출력시켜서 상기 제1어드레스 발생수단에서 유기된 제1직렬 억세스 어드레스가 제2어드레스 발생수단에서 유기된 제2직렬 억세스 어드레스보다 펄스신호의 제1변부 및 후속 제2변부간의 시간차만큼 앞서도록한 제2카운터 수단을 포함하는 것을 특징으로 하는 반도체 메모리장치.

청구항 3

제2항에 있어서, 상기의 제1직렬 억세스 어드레스는 상기 펄스신호의 1/2주기 만큼 앞서는 것을 특징으로 하는 반도체 메모리장치.

청구항 4

제2항에 있어서, 상기의 선택수단은 상기의 여유결정수단으로 부터의 비교결과를 입력하여 상기 펄스신호의 제2변부와 동기되어 용장 절환신호를 출력시키기 위한 게이트 및 래치수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제4항에 있어서, 상기의 게이트 및 래치수단은 상기의 펄스의 제2변부로부터 상기 펄스신호의 1주기 동안에 용장절환신호를 출력하는 것을 특징으로 하는 반도체 메모리장치.

청구항 6

제1항에 있어서, 상호 180° 의 위상차를 갖는 제1 및 제2클럭펄스를 발생시키기 위한 클럭 발생수단을 또한 포함하고, 상기의 제1 및 제2어드레스 발생수단은 제1 및 제2클럭펄스와 각각 동기시켜 상기의 제1 및 제2직렬 억세스 어드레스를 발생시키는 것을 특징으로 하는 반도체 메모리장치.

청구항 7

제6항에 있어서, 상기의 제1어드레스 발생수단은 상기 제1 및 제2클럭신호에 의해 제어되는 슬레이브 플립플롭을 포함하고, 상기의 제2어드레스 발생수단은 상기 제1 및 제2클럭신호에 의해 제어되는 마스터 플립플롭을 포함하는 것을 특징으로 하는 반도체 메모리장치.

청구항 8

제7항에 있어서, 상기의 제1어드레스 발생수단에 제공된 상기의 슬레이브 플립플롭은 상기의 제2어드레스 발생수단에 제공된 상기의 마스터 플립플롭에 연결되는 것을 특징으로 하는 반도체 메모리장치.

청구항 9

제1항에 있어서, 상기의 제1어드레스 발생수단은 상기 제1직렬 억세스 어드레스를 형성하는 다수의 비트에 해당하는 다수의 슬레이브 플립플롭을 포함하고, 상기의 제2어드레스 발생수단은 상기 제2직렬 억세스 어드레스를 형성하는 다수의 비트에 해당하는 다수의 마스터 플립플롭을 포함하는 것을 특징으로 하는 반도체 메모리장치.

청구항 10

제1항에 있어서, 상기의 제1직렬 억세스 어드레스는 n비트(n은 정수임)로 구성되고, 상기의 용장 어드레스는 n비트로 구성되며, 상기의 용장 결정수단은 제1직렬 억세스 어드레스와 용장 어드레스의 비트에 대응하여 비교결과를 출력시키기 위한 논리게이트 수단을 포함하는 것을 특징으로 하는 반도체 메모리장치.

청구항 11

제10항에 있어서, 상기의 논리게이트 수단은 비교되어지는 각각의 비트를 위해 제공된 익스클루시브노아게이트와 상기 익스클루시브노아게이트의 출력신호를 입력하여 비교결과를 출력시키기위한 낸드게이트를 포함하는 것을 특징으로 하는 반도체 메모리장치.

청구항 12

제1항에 있어서, 소정의 표시신호를 발생시키기 위한 발생수단을 또한 포함하고, 상기의 제1어드레스 발생수단은 상기의 표시신호가 제1어드레스 발생수단에 공급될때 상기의 초기 어드레스로부터 시작하는 제1직렬 억세스 어드레스를 발생하는 것을 특징으로 하는 반도체 메모리장치.

청구항 13

제1항에 있어서, 상기의 초기 어드레스는 상기의 RAM에 공급되어지는 컬럼 어드레스에 해당하는 것을 특

징으로 하는 반도체 메모리장치.

청구항 14

제1항에 있어서, 상기의 용장 어드레스를 기억하는 ROM을 또한 포함하는 것을 특징으로 하는 반도체 메모리장치.

청구항 15

제1항에 있어서, 상기의 반도체 메모리장치는 영상 데이터를 처리하는 영상 메모리장치인 것을 특징으로 하는 반도체 메모리장치.

청구항 16

제2항에 있어서, 펄스신호의 제1변부는 하강변부이고, 제2변부는 상승 변부인 것을 특징으로 하는 반도체 메모리장치.

청구항 17

다수의 메모리셀과, 어드레스 정보에 따라 상기 메모리셀에 데이터를 기입하며 메모리셀로부터 데이터를 판독하기 위한 병렬 판독/기입 수단을 포함한 RAM 및; 상기의 RAM에 연결된 SAM으로 구성시키며; 상기의 어드레스 정보는 예정된 수의 어드레스 비트로 각각 구성된 그룹으로 분할되고, 상기의 SAM은 상기의 RAM에 기입되거나 그로부터 판독되어지며 직렬로 외부 신호라인으로부터 입력되거나 외부 신호라인으로 출력되어지는 데이터를 기억하기 위해 제1그룹의 레지스터셀과 제2그룹의 용장셀을 포함하는 데이터 레지스터 수단과; 각각의 어드레스 비트 그룹을 위해 제공되어 외부장치에 공급되는 어드레스 비트 그룹중 하나에 대응하기 위한 초기 어드레스로부터 시작되는 한쌍의 제1직렬 억세스 어드레스부분을 발생시키기 위한 제1어드레스 발생수단과; 각각의 어드레스그룹을 위해 제공되며 상기의 관련된 제1어드레스 발생수단에 연결되어 제1직렬 억세스 어드레스의 관련부분을 입력하여 상기의 데이터 레지스터 수단에 공급되어지는 제2직렬 억세스 어드레스의 부분을 발생시키며, 상기의 제1직렬 억세스 어드레스가 제2직렬 억세스 어드레스와 동일한 내용을 갖고서 예정 된 시간 만큼 제2직렬 억세스 어드레스보다 앞서도록한 제2어드레스 발생수단과; 각각의 어드레스비트그룹을 위해 제공되며 상기의 제1어드레스 발생수단에 연결되어 제1직렬 억세스 어드레스의 부분이 용장 어드레스의 대응부분과 동일한가를 결정하기 위한 용장 결정수단 및; 상기의 용장 결정수단에 연결되어 어드레스 비트 그룹을 위해 제공된 용장 결정수단으로부터 공급된 비교결과에 따라 제1그룹 및 제2그룹의 데이터 레지스터 수단중 어느 하나를 선택하여 데이터 레지스터 수단에 기억된 데이터가 제2직렬 억세스 어드레스에 의해 직렬로 억세스 되도록한 선택수단으로 구성시키고; 상기의 제2직렬 억세스 어드레스가 상기의 데이터 레지스터 수단에 공급될 경우, 상기의 데이터가 직렬로 데이터 레지스터 수단에 입력되거나 데이터 레지스터 수단으로부터 출력되는 것을 특징으로 하는 반도체 메모리장치.

청구항 18

제17항에 있어서, 상기의 제1어드레스 발생수단은 외부장치에서 공급된 초기 억세스 어드레스를 외부장치에서 공급된 펄스신호의 제1변부와 동기되어 입력하여 상기의 제1직렬 억세스 어드레스의 관련부분을 상기 펄스신호의 후속 제1변부와 동기되어 증가시키기 위한 제1카운터수단을 포함하고, 상기의 제2어드레스 발생수단은 상기의 제2직렬 억세스 어드레스의 관련부분으로서 상기의 제1직렬 억세스 어드레스의 관련부분을 상기 제1변부 다음의 펄스신호의 제2변부와 동기되어 출력시켜서 상기 제1어드레스 발생수단에서 유기된 제1직렬 억세스 어드레스가 제2어드레스 발생수단에서 유기된 제2직렬 억세스 어드레스보다 펄스신호의 제1변부 및 후속 제2변부간의 시간차 만큼 앞서도록한 제2카운터 수단을 포함하는 것을 특징으로 한 반도체 메모리장치.

청구항 19

제18항에 있어서, 상기의 제1직렬 억세스 어드레스는 상기 펄스신호의 1/2주기만큼 앞서는 것을 특징으로 하는 반도체 메모리장치.

청구항 20

제18항에 있어서, 상기의 선택수단은 상기의 용장 결정수단으로부터의 비교결과를 입력하여 상기 펄스신호의 제2변부와 동기되어 입력된 비교결과부터 용장 절환신호를 발생시키기 위한 게이트 및 래치수단을 포함하는 것을 특징으로 하는 반도체 메모리장치.

청구항 21

다수의 메모리셀을 포함하는 메모리셀 어레이와; 상기의 메모리셀 어레이에 포함된 불완전 메모리셀을 교체가능한 용장 메모리셀과; 상기의 메모리셀 어레이에 연결되고 다수의 레지스터셀을 포함하여 상기의 메모리셀 어레이로부터 판독된 다수의 비트를 기억시키기 위한 데이터 레지스터와; 상기의 용장 메모리셀에 연결되어 용장 메모리셀로 부터 판독된 데이터를 기억시키기 위한 용장 레지스터와; 직렬 억세스 어드레스에 따라 다수의 레지스터셀 중에서 한개의 레지스터셀을 선택하기 위한 선택수단과; 상기의 선택수단에 연결되어 직렬 억세스 어드레스를 순차적으로 발생시키기 위한 제1어드레스 발생수단; 상기의 제1어드레스 발생수단에 연결되어 제1어드레스 발생수단보다 먼저 직렬 억세스 어드레스를 순차적으로 발생시키기 위한 제2어드레스 발생수단과; 상기의 제2어드레스 발생수단에 의해 발생된 직렬 억세스 어드레스가 한개의 용장 메모리셀을 표시하는 어드레스와 일치하는가를 결정하기 위한 수단 및; 상기의 데이터 레지스터 및 용장 레지스터에 연결되어 상기의 수단이 동일성을 검출할 경우 상기 데이터 레지스터에 기억된 데이터 대신에 용장 레지스터에 기억된 데이터를 출력시키기 위한 출력수단으로 구성되는 것을 특징으로 하는 반도체 메모리장치.

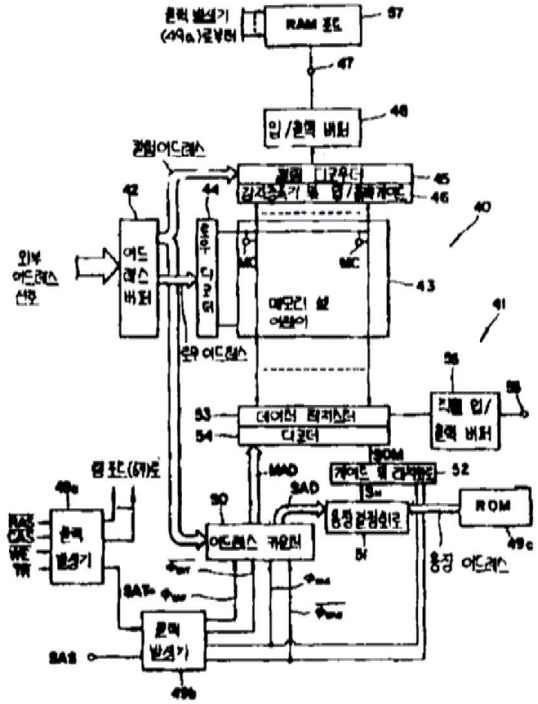
청구항 22

다수의 데이터 레지스터를 포함하여 직렬로 출력되어지는 다수의 비트로 구성된 데이터를 기억시키기 위한 레지스터와; 다수의 데이터 레지스터를 순차적으로 지정하여 다수의 비트를 순차적으로 출력시키기 위한 출력수단과; 다수의 데이터 레지스터중 하나와 교체 가능한 용장 레지스터와; 다수의 데이터 레지스터를 순차적으로 지정하는 제1어드레스와, 제1어드레스를 +1만큼 증가시켜 얻어진 어드레스에 해당하는 제2어드레스를 동시에 발생시키기 위한 어드레스 발생수단과; 제2어드레스와 예정된 어드레스의 동일성을 검출하기 위한 검출수단 및; 검출된 동일성에 응답하여 데이터 레지스터중 하나의 데이터 레지스터 대신에 용장 레지스터에 기억된 데이터를 선택하기 위한 스위칭수단으로 구성되는 것을 특징으로 하는 반도체 메모리장치.

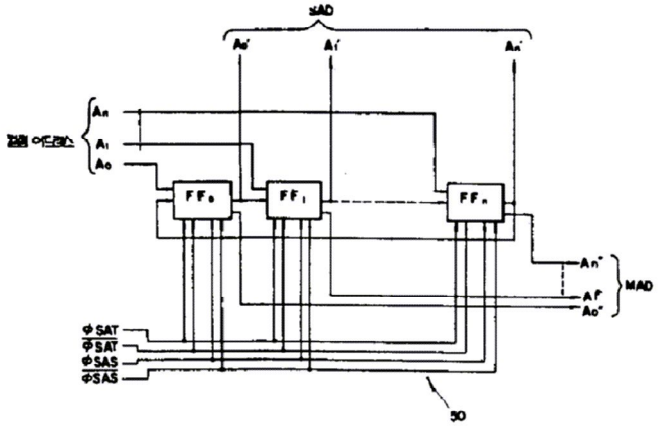
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

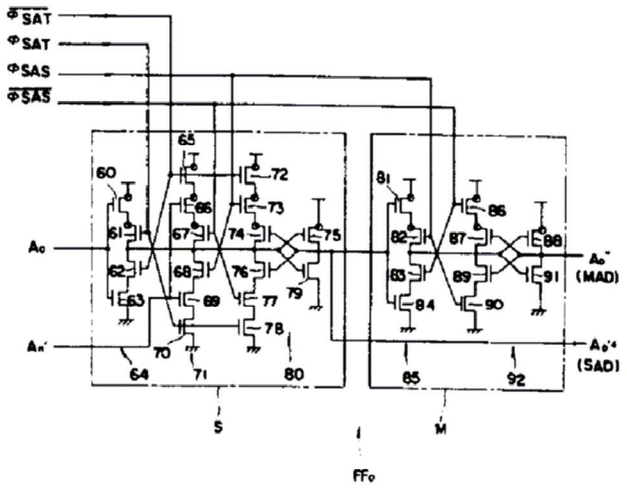
도면8



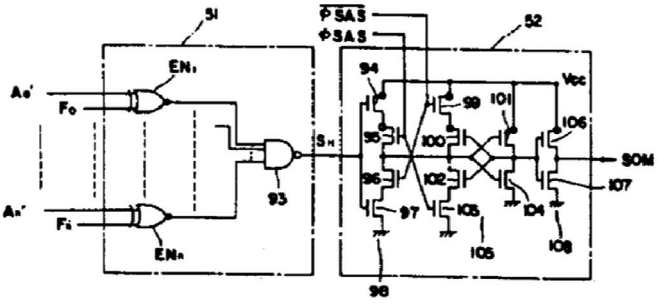
도면10



도면11


φSAT
φSAT
φSAS
φSAS
A0
An'
A0" (MAD)
An'+1 (SAD)
FF0
S
M

도면12


φSAS
φSAS
A0'
An'
F0
Fn
ENn
Sn
SOM
Vcc