

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 27 日(27.12.2012)



(10) 国際公開番号

WO 2012/176422 A1

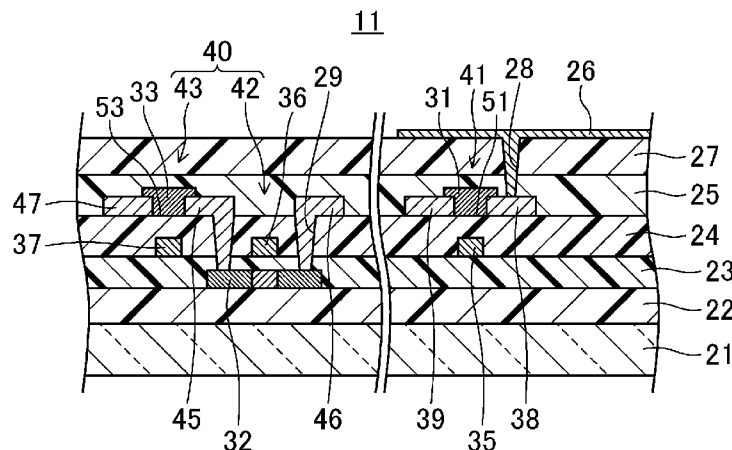
- (51) 国際特許分類:
G09F 9/30 (2006.01) H01L 29/786 (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2012/003960
- (22) 国際出願日: 2012 年 6 月 18 日(18.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-140300 2011 年 6 月 24 日(24.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 宮本 忠芳
(MIYAMOTO, Tadayoshi). 中野 文樹(NAKANO,
Fumiki).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA &
PARTNERS); 〒5410053 大阪府大阪市中央区本町
2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

[続葉有]

(54) Title: DISPLAY DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 表示装置及びその製造方法

[図1]



(57) Abstract: This display device is provided with: a circuit substrate having display regions and non-display regions; pixel drive TFTs for driving pixels, formed in the display regions and having source electrodes and drain electrodes being spaced apart from each other on an insulating film and a first active layer formed from an oxide semiconductor, provided on the opposite side from the insulating film so as to cover a space part between a source electrode and a drain electrode and part of the source electrode and part of the drain electrode adjacent to the space part; and drive circuit TFTs for driving the pixel drive TFTs, formed in the non-display regions and having a second active layer formed from a non-oxide semiconductor.

(57) 要約: 表示装置は、表示領域と非表示領域とを有する回路基板と、表示領域に形成され、絶縁膜上に互いに離隔して配置されたソース電極及びドレイン電極と、ソース電極及びドレイン電極の間の離隔部と離隔部に隣接するソース電極の一部及びドレイン電極の一部とを絶縁膜と反対側から覆うように設けられて酸化半導体からなる第1活性層とを有して画素を駆動するための画素駆動用TFTと、非表示領域に形成され、非酸化半導体からなる第2活性層を有して画素駆動用TFTを駆動するための駆動回路用TFTとを備えている。

WO 2012/176422 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示装置及びその製造方法

技術分野

[0001] 本発明は、酸化物半導体層を有する薄膜トランジスタを備えた表示装置及びその製造方法に関するものである。

背景技術

[0002] 近年、液晶表示装置及び有機ＥＬ表示装置等の薄型の表示装置について、開発が急速に進められている。これら薄型の表示装置は、表示品位を高めるために、複数の画素毎に当該画素を駆動するための薄膜トランジスタ（以下、ＴＦＴとも称する。）が配置されたアクティブマトリクス基板を有することが多い。

[0003] 表示装置は、上記アクティブマトリクス基板と、当該基板に対向して配置されると共に枠状のシール部材を介して貼り合わされた対向基板とを有している。表示装置には、シール部材の内側に表示領域が形成される一方、当該表示領域の周囲外側に非表示領域が形成されている。

[0004] 表示領域の画素に形成されるＴＦＴには、エキシマレーザにより熔融結晶化された低温ポリシリコン（以下、ＬＴＰＳとも称する。）が好適に用いられている。ＬＴＰＳを活性層に用いたＴＦＴは、閾値電圧が低くて高速駆動が可能であるという利点を有し、例えば、携帯電話、スマートフォン及びタブレット型端末等の高詳細ディスプレイにおいて広く利用されている。一方、ＩＧＺＯ（Ｉｎ－Ｇａ－Ｚｎ－Ｏ）等の酸化物半導体によりＴＦＴの半導体層を形成することについても試みられている。このような酸化物半導体によってＴＦＴを形成すれば、そのＴＦＴのオフリーク電流を大幅に低減することが可能になる。

[0005] また、近年、アクティブマトリクス基板の非表示領域において、当該アクティブマトリクス基板を構成しているガラス基板に駆動回路を直接に作り込んで集積化する開発が進められている。例えば、特許文献１には、表示領域

のガラス基板に形成された画素駆動用 T F T と、非表示領域のガラス基板に形成された駆動回路用 T F T とを備えた表示装置について、画素駆動用 T F T の活性層を酸化物半導体によって形成する一方、駆動回路用 T F T の活性層を低温ポリシリコンによって形成することが開示されている。

[0006] そして、上記特許文献 1 における画素駆動用 T F T は、酸化物半導体層が絶縁膜の表面に形成され、酸化物半導体層の表面にエッチングストッパ層が形成されている。そして、エッチングストッパ層の一部と酸化物半導体層の一部を覆うようにソース電極及びドレイン電極が形成されている。したがって、この画素駆動用 T F T を形成する場合、酸化物半導体層及びエッチングストッパ層を覆う金属材料層をエッチングして、エッチングストッパ層を露出させることにより、残った金属材料層からソース電極及びドレイン電極を形成する。

先行技術文献

特許文献

[0007] 特許文献1：特開 2 0 1 0 - 0 0 3 9 1 0 号公報

発明の概要

発明が解決しようとする課題

[0008] しかし、上記特許文献 1 の表示装置では、駆動回路用 T F T の活性層を低温ポリシリコンによって形成する一方、画素駆動用 T F T の活性層を酸化物半導体によって形成しているものの、エッチングストッパ層を形成するためのマスクが必要になるため、表示装置の製造に要するマスク枚数が増加する結果、製造コストが上昇してしまう問題がある。

[0009] 一方、仮にエッチングストッパ層を設けないようにすれば、ソース電極及びドレイン電極を形成する際に、酸化物半導体層がエッチングによって大きく損傷することが避けられないため、T F T の電気特性を高めることが難しい。

[0010] 本発明は、斯かる点に鑑みてなされたものであり、その目的とするところ

は、活性層が酸化物半導体からなる画素駆動用 T F T と、活性層が非酸化物半導体からなる駆動回路用 T F T とが基板に形成された表示装置について、その製造コストの低減を図りながらも、T F T の電気特性を可及的に高めることにある。

課題を解決するための手段

[0011] 上記の目的を達成するために、本発明に係る表示装置は、複数の画素が形成された表示領域と、該表示領域の周囲外側に設けられた非表示領域とを有する回路基板と、上記回路基板の表示領域に形成され、絶縁膜上に互いに離隔して配置されたソース電極及びドレイン電極と、該ソース電極及びドレイン電極の間の離隔部と該離隔部に隣接する上記ソース電極の一部及びドレイン電極の一部とを上記絶縁膜と反対側から覆うように設けられて酸化物半導体からなる第 1 活性層とを有し、上記画素を駆動するための画素駆動用 T F T と、上記回路基板の非表示領域に形成され、非酸化物半導体からなる第 2 活性層を有して上記画素駆動用 T F T を駆動するための駆動回路用 T F T とを備えている。

[0012] また、本発明に係る表示装置の製造方法は、複数の画素が形成された表示領域と該表示領域の周囲外側に設けられた非表示領域とを有する回路基板を備えた表示装置を製造する方法であって、上記回路基板の表示領域となる領域に絶縁膜を形成する工程と、上記画素を駆動するための画素駆動用 T F T を構成するソース電極及びドレイン電極を上記絶縁膜上に互いに離間した状態で形成する工程と、上記画素駆動用 T F T を構成すると共に酸化物半導体からなる第 1 活性層を、上記ソース電極及びドレイン電極の間の離間部と該離間部に隣接する上記ソース電極の一部及びドレイン電極の一部とを上記絶縁膜と反対側から覆うように形成する工程と、上記画素駆動用 T F T を駆動するための駆動回路用 T F T を構成すると共に非酸化物半導体からなる第 2 活性層を、上記回路基板の非表示領域となる領域に形成する工程とを具備する。

発明の効果

[0013] 本発明によれば、表示領域において画素駆動用 T F T の第 1 活性層を酸化物半導体によって構成したので、その画素駆動用 T F T のオフリーク電流を大幅に低減できる結果、他の回路機能を追加する必要がなくなり、開口率を大幅に高めることができる。さらに、非表示領域において駆動回路用 T F T の第 2 活性層を非酸化物半導体によって構成したので、例えば閾値電圧が低い低温ポリシリコン等によって当該駆動回路用 T F T を形成することができる。よって、駆動回路用 T F T と画素駆動用 T F T とを、回路基板に一体に形成すると共に、その駆動回路用 T F T の信頼性を高めながら、画素駆動用 T F T のオフリーク電流を大幅に低減できることとなる。しかも、画素駆動用 T F T のソース電極及びドレイン電極の各一部を、当該ソース電極及びドレイン電極が配置されている絶縁膜と反対側から第 1 活性層によって覆う構成としたので、第 1 活性層上にエッチングストッパ層を形成する必要がない。よって、製造時に要するマスク枚数を減少させて製造コストを低減しながらも、ソース電極等を形成する際のエッチングによる第 1 活性層へのダメージを回避して、当該画素駆動用 T F T の電気特性を高めることができる。

図面の簡単な説明

- [0014] [図1]図 1 は、本実施形態 1 における T F T 基板の構造を示す断面図である。
- [図2]図 2 は、本実施形態 1 における C M O S インバータ回路を示す平面図である。
- [図3]図 3 は、C M O S インバータ回路の構成を示す回路図である。
- [図4]図 4 は、液晶表示装置の概略構成を示す断面図である。
- [図5]図 5 は、第 2 活性層が形成されたガラス基板を示す断面図である。
- [図6]図 6 は、複数のゲート電極が形成されたガラス基板を示す断面図である。
- [図7]図 7 は、層間絶縁膜が形成されたガラス基板を示す断面図である。
- [図8]図 8 は、ソース電極及びドレイン電極が形成されたガラス基板を示す断面図である。
- [図9]図 9 は、複数の酸化物半導体層が形成されたガラス基板を示す断面図で

ある。

[図10]図10は、本実施形態2におけるTFT基板の構造を示す断面図である。

[図11]図11は、本実施形態2におけるCMOSインバータ回路を示す平面図である。

[図12]図12は、複数のゲート電極が形成されたガラス基板を示す断面図である。

[図13]図13は、複数の酸化物半導体層が形成されたガラス基板を示す断面図である。

[図14]図14は、本実施形態3におけるTFT基板の構造を示す断面図である。

[図15]図15は、図16におけるXV-XV線断面の概略構成を示す断面図である。

[図16]図16は、本実施形態3におけるCMOSインバータ回路を示す平面図である。

[図17]図17は、複数のゲート電極が形成されたガラス基板を示す断面図である。

[図18]図18は、複数の酸化物半導体層が形成されたガラス基板を示す断面図である。

発明を実施するための形態

[0015] 以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態に限定されるものではない。

[0016] 《発明の実施形態1》

図1～図9は、本発明の実施形態1を示している。

[0017] 図1は、本実施形態1におけるTFT基板の構造を示す断面図である。図2は、本実施形態1におけるCMOSインバータ回路を示す平面図である。図3は、CMOSインバータ回路の構成を示す回路図である。図4は、液晶表示装置の概略構成を示す断面図である。図5は、第2活性層が形成された

ガラス基板を示す断面図である。

[0018] 図6は、複数のゲート電極が形成されたガラス基板を示す断面図である。図7は、層間絶縁膜が形成されたガラス基板を示す断面図である。図8は、ソース電極及びドレイン電極が形成されたガラス基板を示す断面図である。図9は、複数の酸化物半導体層が形成されたガラス基板を示す断面図である。

[0019] 本実施形態では、本発明に係る表示装置として液晶表示装置1を例に挙げて説明する。液晶表示装置1は、図4に示すように、液晶表示パネル10と、この液晶表示パネル10の背面側に配置された照明装置であるバックライトユニット20とを備えている。

[0020] 液晶表示パネル10は、回路基板であるアクティブマトリクス基板としてのTFT基板11と、TFT基板11に対向して配置された対向基板12と、TFT基板11及び対向基板12の間に設けられた液晶層13とを有する。

[0021] また、液晶表示パネル10及びTFT基板11には、表示領域16と、その周囲外側に設けられた額縁状の非表示領域17とが形成されている。表示領域16には、マトリクス状に配置された複数の画素（図示省略）が形成されている。画素は例えば赤色（R）、緑色（G）、青色（B）の3原色の何れかを表示し、R、G、Bの一組の画素からなる画素ユニットによって任意の色のカラー表示を行うようになっている。

[0022] 上記対向基板12には、それぞれ図示省略のカラーフィルタ及び共通電極等が形成されている。また、液晶層13は、上記TFT基板11と対向基板12との間に設けられたシール部材14によって封止されている。

[0023] TFT基板11には、互いに並行して延びる複数のソース配線（図示省略）と、これらに直交して延びる複数のゲート配線（図示省略）とが形成されている。すなわち、ゲート配線及びソース配線からなる配線群は、全体として格子状に形成されている。その格子状の領域に、上記画素が形成されている。

- [0024] TFT基板11の表示領域16には、各画素毎に当該画素を駆動するための画素駆動用TFT41と、これに接続された画素電極26とが、ガラス基板21に形成されている。また、画素駆動用TFT41は、上記ソース配線及びゲート配線に接続されている。一方、TFT基板11の非表示領域17には、画素駆動用TFT41を駆動するための駆動回路用TFT42が、ガラス基板21上に直接に形成されている。
- [0025] 画素駆動用TFT41はnチャネル型TFTであり、IGZO等の酸化物半導体からなる第1活性層31を有している。一方、駆動回路用TFT42はpチャネル型TFTであり、低温ポリシリコン(LTPS)等の非酸化物半導体からなる第2活性層32を有している。
- [0026] また、TFT基板11の非表示領域17には、CMOS回路としてのCMOSインバータ回路40が、ガラス基板21に直接に形成されている。CMOSインバータ回路40は、図1～図3に示すように、上記駆動回路用TFT42により構成されたpチャネル型TFT42と、IGZO等の酸化物半導体からなる第3活性層33を挟むnチャネル型TFT43とを有している。
- [0027] ここで、CMOSインバータ回路40は、pチャネル型TFT42のゲート電極36と、nチャネル型TFT43のゲート電極37に同じ信号電圧 V_{in} が同時に入力されるようになっている。pチャネル型TFT42のソース電極46には正電源VDDが接続される一方、nチャネル型TFT43のソース電極47は電氣的に接地されている。また、pチャネル型TFT42及びnチャネル型TFT43は、共通のドレイン電極45を有しており、このドレイン電極45から信号電圧 V_{out} が出力されるようになっている。
- [0028] 次に、TFT基板11の構成について、図1を参照して詳細に説明する。TFT基板11は透明な絶縁性基板としてのガラス基板21を有している。ガラス基板21の一方の表面には、ベースコート層22が形成されている。ベースコート層22は、例えば SiO_2 膜や $SiNx$ 膜若しくは SiO_2 膜及び $SiNx$ 膜を含む積層構造等からなる絶縁膜である。

- [0029] ベースコート層 22 の表面には、非表示領域 17 において低温ポリシリコンからなる第 2 活性層 32 が所定の形状に形成されている。そして、ベースコート層 22 上には、第 2 活性層 32 を覆うようにゲート絶縁膜 23 が形成されている。ゲート絶縁膜 23 は、例えば SiO_2 膜等により構成されている。
- [0030] ゲート絶縁膜 23 の表面には、各 TFT 41, 42, 43 を構成するゲート電極 35, 36, 37 が形成されている。すなわち、画素駆動用 TFT 41 及び駆動回路用 TFT 42 は、互いに同じ層に形成されたゲート電極 35, 36 をそれぞれ有している。図 2 に示すように、p チャネル型 TFT 42 のゲート電極 36 は、n チャネル型 TFT 43 のゲート電極 37 に並行して延びている。そして、ゲート絶縁膜 23 上には、各ゲート電極 35, 36, 37 を覆うように層間絶縁膜 24 が形成されている。
- [0031] 層間絶縁膜 24 の表面には、ソース電極 39, 46, 47 及びドレイン電極 38, 45 が形成されている。ソース電極 46 及びドレイン電極 45 は、層間絶縁膜 24 及びゲート絶縁膜 23 に形成されたコンタクトホール 29 を介して第 2 活性層 32 に接続されている。
- [0032] すなわち、画素駆動用 TFT 41 と、CMOS インバータ回路 40 の n チャネル型 TFT 43 とは、層間絶縁膜 24 上に互いに離隔して配置されたソース電極 39, 47 及びドレイン電極 38, 45 を有している。層間絶縁膜 24 上には、ソース電極 39 及びドレイン電極 38 の間に離隔部 51 が形成されると共に、ソース電極 47 及びドレイン電極 45 の間に離隔部 53 が形成されている。
- [0033] そして、離隔部 51 と、離隔部 51 に隣接するソース電極 39 の一部及びドレイン電極 38 の一部とを層間絶縁膜 24 と反対側から覆うように、酸化物半導体からなる第 1 活性層 31 が設けられている。これと同様に、離隔部 53 と、離隔部 53 に隣接するソース電極 47 の一部及びドレイン電極 45 の一部とを層間絶縁膜 24 と反対側から覆うように、酸化物半導体からなる第 3 活性層 33 が設けられている。

[0034] このように、CMOSインバータ回路40のnチャネル型TF T 4 3は、画素駆動用TF T 4 1におけるソース電極39、ドレイン電極38及び第1活性層31と同じ位置関係にあるソース電極47、ドレイン電極45及び第3活性層33を有している。

[0035] 本実施形態では、図1及び図2に示すように、CMOSインバータ回路40におけるpチャネル型TF T 4 2の第2活性層32とnチャネル型TF T 4 3の第3活性層33とは、TF T基板11の表面の法線方向から見て互いに重ならないように配置されている。

[0036] 上記層間絶縁膜24の表面には、第1活性層31、第3活性層33、ソース電極39、46、47及びドレイン電極38、45を覆うようにパッシベーション膜25が形成されている。さらに、このパッシベーション膜25の表面には、平坦化膜27が形成されている。平坦化膜27は、感光性を有する絶縁膜によって構成されている。平坦化膜27の表面には例えばITO等の透明導電膜からなる画素電極26が形成されている。画素電極26は、平坦化膜27及びパッシベーション膜25に形成されたコンタクトホール28を介して画素駆動用TF T 4 1のドレイン電極38に接続されている。

[0037] ー製造方法ー

次に、上記液晶表示装置1の製造方法について、図1、図5～図9を参照して説明する。まず、図5に示すように、ガラス基板21に形成したベースコート層22の表面に、例えばアモルファスシリコン（以下、a-Siともいう。）膜をPCVD（Plasma Chemical Vapor Deposition）等により例えば50nm程度の厚みに形成する。

[0038] 続いて、a-Si膜をエキシマレーザを用いた光照射によって結晶化させることにより、ポリシリコン（poly-Si）膜を形成する（エキシマレーザアニール法）。次に、ポリシリコン膜の上にレジスト層を形成し、このレジスト層をパターニングマスクとして、ポリシリコン膜をエッチングすることにより、島状の半導体層32を非表示領域17に形成する。

[0039] 次に、図6に示すように、上記半導体層32を覆うようにゲート絶縁膜2

3を形成する。ゲート絶縁膜23は、例えば膜厚が50nm～100nmであるSiO₂膜によって形成する。その後に、必要に応じて半導体層32全体に不純物の注入を行う。

[0040] 続いて、ゲート絶縁膜23の表面にゲート電極35, 36, 37を形成する。ゲート電極35, 36, 37は、スパッタ法又はCVD法等によってゲート絶縁膜23の表面に堆積させた導電膜を、フォトリソグラフィ等によって所定形状にパターニングする。このとき、ゲート電極36は、半導体層32のうちチャネル領域となる領域を覆うように形成する。

[0041] そうして、画素駆動用TF T 41のゲート電極35と、駆動回路用TF T 42であるpチャネル型TF T 42のゲート電極36と、nチャネル型TF T 43のゲート電極37とを互いに同じ層に形成する。また、pチャネル型TF T 42のゲート電極36を、nチャネル型TF T 43のゲート電極37に並行して延びるように形成する。ここで、pチャネル型TF T 42は、チャネル型TF T 43と共にCMOSインバータ回路40を構成する。

[0042] その後、ゲート電極36をマスクとして半導体層32に例えばボロンイオン等の不純物イオンを注入し、加熱による活性化処理を行う。こうして、半導体層32に低抵抗化されたソース領域及びドレイン領域を形成することにより、pチャネル型TF T 42を構成すると共に非酸化物半導体からなる第2活性層32をTF T基板11の非表示領域17となる領域に形成する。

[0043] 次に、図7に示すように、ガラス基板21の全体亘って（すなわち、TF T基板11の表示領域16となる領域と非表示領域17となる領域とに亘って）、ゲート絶縁膜23及びゲート電極35, 36, 37を覆うように、層間絶縁膜24を形成する。

[0044] 続いて、図8に示すように、層間絶縁膜24及びゲート絶縁膜23に対し、第2活性層32の上方位置においてコンタクトホール29を形成する。その後、層間絶縁膜24上に形成した導電膜をフォトリソグラフィ等によりパターニングすることによって、ソース電極39, 46, 47及びドレイン電極38, 45を形成する。ソース電極46及びドレイン電極45は、コンタ

クトホール 29 を介して第 2 活性層 32 にそれぞれ接続される。このとき、画素駆動用 T F T 41 を構成するソース電極 39 及びドレイン電極 38 を層間絶縁膜 24 上に互いに離間した状態で形成する。また、n チャネル型 T F T 43 のソース電極 47 及びドレイン電極 45 を層間絶縁膜 24 上に互いに離間した状態で形成する。

[0045] 続いて、ソース電極 39, 46, 47 及びドレイン電極 38, 45 を直接に覆うように、例えば膜厚が 30 nm ~ 100 nm 程度である酸化物半導体膜をスパッタリング法により形成する。次に、この酸化物半導体膜に対し、フォトリソグラフィ及びレジストマスクを用いたエッチングを行うことにより、図 9 に示すように、離隔部 51 とこの離隔部 51 に隣接するソース電極 39 の一部及びドレイン電極 38 の一部とを層間絶縁膜 24 と反対側から覆う島状の第 1 活性層 31 を形成すると共に、離隔部 53 とこの離隔部 53 に隣接するソース電極 47 の一部及びドレイン電極 45 の一部とを層間絶縁膜 24 と反対側から覆う島状の第 3 活性層 33 を形成する。

[0046] すなわち、第 3 活性層 33 は、第 1 活性層 31 と同じ酸化物半導体からなる。また、第 1 活性層 31 は、T F T 基板 11 の表示領域 16 となる領域に形成する。一方、第 3 活性層 33 は、T F T 基板 11 の非表示領域 17 となる領域に形成する。そして、この工程では、第 3 活性層 33 を T F T 基板 11 の表面の法線方向から見て第 2 活性層 32 に重ならないように形成する。

[0047] このようにして、ゲート電極 36 のガラス基板 21 側に低温ポリシリコンの第 2 活性層 32 が配置された p チャネル型 T F T (駆動回路用 T F T) 42 と、ゲート電極 35, 37 のガラス基板 21 と反対側に酸化物半導体の第 1 活性層 31 又は第 3 活性層 33 が配置された画素駆動用 T F T 41 及び n チャネル型 T F T 43 とを、同一のガラス基板 21 上に形成することができる。

[0048] 次に、上記第 1 活性層 31 及び第 3 活性層 33 を覆うようにパッシベーション膜 25 を形成し、続いて、このパッシベーション膜 25 の表面に平坦化膜 27 を形成する。その後、画素駆動用 T F T 41 におけるドレイン電極 3

8の上方位置において、パッシベーション膜25及び平坦化膜27にコンタクトホール28を形成する。続いて、平坦化膜27の表面に堆積させたITO等の透明導電膜をフォトリソグラフィによって所定形状にパターニングすることにより、画素電極26を形成する。

[0049] そうして、画素電極26を覆うように配向膜（不図示）を形成し、TFT基板11を製造する。そして、TFT基板11と、別途形成しておいた対向基板12とを液晶層13及び枠状のシール部材14を介して互いに貼り合わせることにより、液晶表示パネル10を製造する。さらに、液晶表示パネル10におけるTFT基板11側にバックライトユニット20を対向配置させて、液晶表示装置1を製造する。

[0050] ー実施形態1の効果ー

したがって、この実施形態1によると、表示領域16において画素駆動用TFT41の第1活性層31をIGZO等の酸化物半導体によって構成したので、その画素駆動用TFT41のオフリーク電流を大幅に低減できる結果、他の回路機能を追加する必要がなくなり、開口率を大幅に高めることができる。さらに、非表示領域17において駆動回路用TFT（nチャネル型TFT）42の第2活性層32を非酸化物半導体である低温ポリシリコンによって構成したので、その閾値電圧を低くして高速駆動させることが可能になる。よって、周辺回路であるCMOSインバータ回路40と画素駆動用TFT41とを、ガラス基板21に一体に形成すると共に、その駆動回路用TFT42の信頼性を高めながら、画素駆動用TFT41のオフリーク電流を大幅に低減できることとなる。

[0051] しかも、画素駆動用TFT41のソース電極39及びドレイン電極38の各一部を、当該ソース電極39及びドレイン電極38が配置されている層間絶縁膜24と反対側から第1活性層31によって覆う構成としたので、第1活性層31上にエッチングストッパ層を形成する必要がない。これと同様に、CMOSインバータ回路40のnチャネル型TFT43のソース電極47及びドレイン電極45の各一部を層間絶縁膜24と反対側から第3活性層3

3を覆うようにしたので、第3活性層33上にもエッチングストップ層を設ける必要がない。よって、製造時に要するマスク枚数を減少させて製造コストを低減しながらも、ソース電極39、47等を形成する際のエッチングによる第1活性層31及び第3活性層33へのダメージを回避して、画素駆動用TFT41及びnチャネル型TFT43の電気特性を高めることができる。

[0052] さらに、画素駆動用TFT41の第1活性層31と同じ酸化物半導体によって同時に形成した第3活性層33を有するnチャネル型TFT43と、低温ポリシリコンからなる第2活性層32を有するpチャネル型TFT42とによって、CMOSインバータ回路40を構成することができる。

[0053] ここで、CMOSインバータ回路40を構成するnチャネル型TFTについて、従来のようにその活性層を低温ポリシリコンによって構成すれば、高速動作させるためにLDD (Lightly Doped Drain) 構造を形成する必要がある、製造工程が増加する問題がある。これに対し、本実施形態では、CMOSインバータ回路40を構成するnチャネル型TFT43について、酸化物半導体によって第3活性層33を形成するようにしたので、当該CMOSインバータ回路40の製造工程を減少させながらもその動作を高速化することができる。

[0054] また、従来から知られているCMOSインバータ回路は、当該回路を構成するnチャネル型TFT及びpチャネル型TFTが、それぞれ低温ポリシリコン (LTPS) 等の非酸化物半導体からなる活性層を有している。そして、各活性層は、同じ層において互いに隣り合って配置されている。本実施形態では、CMOSインバータ回路40について、nチャネル型TFT43の第3活性層33を、TFT基板11の表面の法線方向から見て、pチャネル型TFT42の第2活性層32と重ねないように配置しており、従来の活性層がそれぞれLTPSからなるnチャネル型TFT及びpチャネル型TFTを有するCMOSインバータ回路と同じ程度の占有面積で、CMOSインバータ回路40を形成することができる。

[0055] 《発明の実施形態 2》

図 10～図 13 は、本発明の実施形態 2 を示している。

[0056] 図 10 は、本実施形態 2 における T F T 基板の構造を示す断面図である。

図 11 は、本実施形態 2 における C M O S インバータ回路を示す平面図である。図 12 は、複数のゲート電極が形成されたガラス基板を示す断面図である。図 13 は、複数の酸化物半導体層が形成されたガラス基板を示す断面図である。

[0057] 尚、以降の各実施形態では、図 1～図 9 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0058] 本実施形態 2 は、上記実施形態 1 において C M O S インバータ回路 40 の構成を変更したものである。すなわち、上記実施形態 1 では、T F T 基板 11 の表面の法線方向から見て n チャネル型 T F T 43 の第 3 活性層 33 が p チャネル型 T F T 42 の第 2 活性層 32 と重ならないように配置したのに対し、本実施形態 2 では、図 10 に示すように、第 3 活性層 33 を T F T 基板 11 の表面の法線方向から見て第 2 活性層 32 に重なるように配置した。そして、p チャネル型 T F T 42 及び n チャネル型 T F T 43 は、共通のゲート電極 36 を有している。

[0059] すなわち、上記実施形態 1 と同様に、T F T 基板 11 は透明な絶縁性基板としてのガラス基板 21 を有している。ガラス基板 21 の一方の表面には、ベースコート層 22 が形成されている。ベースコート層 22 の表面には、非表示領域 17 において低温ポリシリコンからなる第 2 活性層 32 が所定の形状に形成されている。そして、ベースコート層 22 上には、第 2 活性層 32 を覆うようにゲート絶縁膜 23 が形成されている。ゲート絶縁膜 23 は、例えば S i O₂ 膜等により構成されている。

[0060] ゲート絶縁膜 23 の表面には、各 T F T 41, 42, 43 を構成するゲート電極 35, 36 が形成されている。すなわち、画素駆動用 T F T 41 及び駆動回路用 T F T 42 は、互いに同じ層に形成されたゲート電極 35, 36 をそれぞれ有している。図 10 及び図 11 に示すように、p チャネル型 T F

T 4 2 のゲート電極 3 6 は、n チャネル型 T F T 4 3 のゲート電極 3 6 と同じである。そして、ゲート絶縁膜 2 3 上には、各ゲート電極 3 5, 3 6 を覆うように層間絶縁膜 2 4 が形成されている。

[0061] 層間絶縁膜 2 4 の表面には、ソース電極 3 9, 4 6, 4 7 及びドレイン電極 3 8, 4 5 が形成されている。ソース電極 4 6 及びドレイン電極 4 5 は、層間絶縁膜 2 4 及びゲート絶縁膜 2 3 に形成されたコンタクトホール 2 9 を介して第 2 活性層 3 2 に接続されている。

[0062] すなわち、画素駆動用 T F T 4 1 と、C M O S インバータ回路 4 0 の n チャネル型 T F T 4 3 とは、層間絶縁膜 2 4 上に互いに離隔して配置されたソース電極 3 9, 4 7 及びドレイン電極 3 8, 4 5 を有している。層間絶縁膜 2 4 上には、ソース電極 3 9 及びドレイン電極 3 8 の間に離隔部 5 1 が形成されると共に、ソース電極 4 7 及びドレイン電極 4 5 の間に離隔部 5 3 が形成されている。

[0063] そして、離隔部 5 1 と、離隔部 5 1 に隣接するソース電極 3 9 の一部及びドレイン電極 3 8 の一部とを層間絶縁膜 2 4 と反対側から覆うように、酸化物半導体からなる第 1 活性層 3 1 が設けられている。これと同様に、離隔部 5 3 と、離隔部 5 3 に隣接するソース電極 4 7 の一部及びドレイン電極 4 5 の一部とを層間絶縁膜 2 4 と反対側から覆うように、酸化物半導体からなる第 3 活性層 3 3 が設けられている。

[0064] 上記層間絶縁膜 2 4 の表面には、第 1 活性層 3 1、第 3 活性層 3 3、ソース電極 3 9, 4 6, 4 7 及びドレイン電極 3 8, 4 5 を覆うようにパッシベーション膜 2 5 が形成されている。さらに、このパッシベーション膜 2 5 の表面には、平坦化膜 2 7 が形成されている。平坦化膜 2 7 の表面には例えば I T O 等の透明導電膜からなる画素電極 2 6 が形成されている。画素電極 2 6 は、平坦化膜 2 7 及びパッシベーション膜 2 5 に形成されたコンタクトホール 2 8 を介して画素駆動用 T F T 4 1 のドレイン電極 3 8 に接続されている。

[0065] ー製造方法ー

上記液晶表示装置 1 を製造する場合には、まず、図 1 2 に示すように、ガラス基板 2 1 に形成したベースコート層 2 2 の表面に、例えば a-Si 膜を P C V D 等により例えば 5 0 n m 程度の厚みに形成する。続いて、エキシマレーザアニール法により、a-Si 膜からポリシリコン膜を形成する。次に、ポリシリコン膜をエッチングすることにより、島状の半導体層 3 2 を非表示領域 1 7 に形成する。

[0066] 次に、上記半導体層 3 2 を覆うようにゲート絶縁膜 2 3 を形成する。ゲート絶縁膜 2 3 は、例えば膜厚が 5 0 n m ~ 1 0 0 n m である Si O₂ 膜によって形成する。その後に、必要に応じて半導体層 3 2 全体に不純物の注入を行う。続いて、スパッタ法又は C V D 法等によってゲート絶縁膜 2 3 の表面に堆積させた導電膜を、フォトリソグラフィ等によって所定形状にパターニングすることにより、ゲート電極 3 5, 3 6 を形成する。ゲート電極 3 6 は、p チャネル型 T F T 4 2 及び n チャネル型 T F T 4 3 に共通のゲート電極である。その後、ゲート電極 3 6 をマスクとして半導体層 3 2 に例えばボロンイオン等の不純物イオンを注入し、加熱による活性化処理を行うことにより、第 2 活性層 3 2 を形成する。

[0067] 次に、図 1 3 に示すように、ガラス基板 2 1 の全体亘って、ゲート絶縁膜 2 3 及びゲート電極 3 5, 3 6 を覆うように、層間絶縁膜 2 4 を形成する。続いて、層間絶縁膜 2 4 及びゲート絶縁膜 2 3 に対し、第 2 活性層 3 2 の上方位置においてコンタクトホール 2 9 を形成する。その後、層間絶縁膜 2 4 上に形成した導電膜をフォトリソグラフィ等によりパターニングすることによって、ソース電極 3 9, 4 6, 4 7 及びドレイン電極 3 8, 4 5 を形成する。

[0068] このとき、n チャネル型 T F T 4 3 のソース電極 4 7 の一部及びドレイン電極 4 5 の一部が、第 2 活性層 3 2 に重なるようにする。そうして、ソース電極 4 6 及びドレイン電極 4 5 は、コンタクトホール 2 9 を介して第 2 活性層 3 2 にそれぞれ接続される。

[0069] 続いて、ソース電極 3 9, 4 6, 4 7 及びドレイン電極 3 8, 4 5 を直接

に覆うように、例えば膜厚が30nm～100nm程度である酸化物半導体膜をスパッタリング法により形成する。次に、この酸化物半導体膜に対し、フォトリソグラフィ及びレジストマスクを用いたエッチングを行うことにより、図13に示すように、離隔部51、53をそれぞれ覆う島状の第1活性層31及び第3活性層33を形成する。このとき、第3活性層33を、TFT基板11の表面の法線方向から見て第2活性層32に重なるように形成する。

[0070] 次に、上記第1活性層31及び第3活性層33を覆うようにパッシベーション膜25を形成し、続いて、このパッシベーション膜25の表面に平坦化膜27を形成する。その後、画素駆動用TFT41におけるドレイン電極38の上方位置において、パッシベーション膜25及び平坦化膜27にコンタクトホール28を形成する。続いて、平坦化膜27の表面に堆積させたITO等の透明導電膜をフォトリソグラフィによって所定形状にパターニングすることにより、画素電極26を形成する。こうして、TFT基板11を製造する。

[0071] ー実施形態2の効果ー

したがって、この実施形態2によっても、上記実施形態1と同様に、第1活性層31をIGZO等の酸化物半導体によって構成したので、画素駆動用TFT41のオフリーク電流を大幅に低減でき、開口率を大幅に高めることができる。さらに、駆動回路用TFT（nチャネル型TFT）42の第2活性層32を低温ポリシリコンによって構成したので、その閾値電圧を低くして高速駆動させることが可能になる。よって、周辺回路であるCMOSインバータ回路40と画素駆動用TFT41とを、ガラス基板21に一体に形成すると共に、その駆動回路用TFT42の信頼性を高めながら、画素駆動用TFT41のオフリーク電流を大幅に低減できることとなる。

[0072] しかも、画素駆動用TFT41のソース電極39及びドレイン電極38の各一部を、当該ソース電極39及びドレイン電極38が配置されている層間絶縁膜24と反対側から第1活性層31によって覆う構成とし、CMOSイ

ンバータ回路40のnチャネル型TF T 4 3のソース電極47及びドレイン電極45の各一部を層間絶縁膜24と反対側から第3活性層33を覆う構成としたので、第1活性層31上及び第3活性層33上のそれぞれにエッチングストッパ層を形成する必要がない。よって、製造時に要するマスク枚数を減少させて製造コストを低減しながらも、ソース電極39、47等を形成する際のエッチングによる第1活性層31及び第3活性層33へのダメージを回避して、画素駆動用TF T 4 1及びnチャネル型TF T 4 3の電気特性を高めることができる。

[0073] さらに、CMOSインバータ回路40を構成するnチャネル型TF T 4 3について、酸化物半導体によって第3活性層33を形成するようにしたので、LDD構造を有する低温ポリシリコンの活性層を有する従来の構成に比べて、当該CMOSインバータ回路40の製造工程を減少させながらもその動作を高速化することができる。

[0074] さらにまた、本実施形態では、CMOSインバータ回路40について、nチャネル型TF T 4 3の第3活性層33を、TF T基板11の表面の法線方向から見て、pチャネル型TF T 4 2の第2活性層32と重ねて配置したので、その専有面積を小さくしてCMOSインバータ回路40を小型化することができる。

[0075] 《発明の実施形態3》

図14～図18は、本発明の実施形態3を示している。

[0076] 図14は、本実施形態3におけるTF T基板の構造を示す断面図である。図15は、図16におけるXV-XV線断面の概略構成を示す断面図である。図16は、本実施形態3におけるCMOSインバータ回路を示す平面図である。図17は、複数のゲート電極が形成されたガラス基板を示す断面図である。図18は、複数の酸化物半導体層が形成されたガラス基板を示す断面図である。

[0077] 本実施形態3は、上記実施形態1においてCMOSインバータ回路40の構成を変更したものである。すなわち、本実施形態3は、TF T基板11の

表面の法線方向から見てnチャネル型TF T 4 3の第3活性層3 3がpチャネル型TF T 4 2の第2活性層3 2と重ならない点で、上記実施形態1と同様である。

[0078] しかし、実施形態1ではCMOSインバータ回路40のゲート電極3 6，3 7が互いに並行して延びるように形成されていたのに対し、本実施形態3では、pチャネル型TF T 4 2のゲート電極3 6は、nチャネル型TF T 4 3のゲート電極3 6と互いに接続されて直線状に延びるように形成されている点で、相違している。

[0079] すなわち、上記実施形態1と同様に、TF T基板1 1は透明な絶縁性基板としてのガラス基板2 1を有している。ガラス基板2 1の一方の表面には、ベースコート層2 2が形成されている。ベースコート層2 2の表面には、非表示領域1 7において低温ポリシリコンからなる第2活性層3 2が所定の形状に形成されている。そして、ベースコート層2 2上には、第2活性層3 2を覆うようにゲート絶縁膜2 3が形成されている。ゲート絶縁膜2 3は、例えばSiO₂膜等により構成されている。

[0080] ゲート絶縁膜2 3の表面には、各TF T 4 1，4 2，4 3を構成するゲート電極3 5，3 6が形成されている。すなわち、画素駆動用TF T 4 1及び駆動回路用TF T 4 2は、互いに同じ層に形成されたゲート電極3 5，3 6をそれぞれ有している。図1 4～図1 6に示すように、pチャネル型TF T 4 2のゲート電極3 6は、nチャネル型TF T 4 3のゲート電極3 6と共通化されている。そして、ゲート絶縁膜2 3上には、各ゲート電極3 5，3 6を覆うように層間絶縁膜2 4が形成されている。

[0081] 層間絶縁膜2 4の表面には、ソース電極3 9，4 6，4 7及びドレイン電極3 8，4 5が形成されている。ソース電極4 6及びドレイン電極4 5は、層間絶縁膜2 4及びゲート絶縁膜2 3に形成されたコンタクトホール2 9を介して第2活性層3 2に接続されている。

[0082] すなわち、画素駆動用TF T 4 1と、CMOSインバータ回路40のnチャネル型TF T 4 3とは、層間絶縁膜2 4上に互いに離隔して配置されたソ

ース電極 3 9, 4 7 及びドレイン電極 3 8, 4 5 を有している。層間絶縁膜 2 4 上には、ソース電極 3 9 及びドレイン電極 3 8 の間に離隔部 5 1 が形成されると共に、ソース電極 4 7 及びドレイン電極 4 5 の間にも離隔部（図示省略）が形成されている。

[0083] そして、離隔部 5 1 と、離隔部 5 1 に隣接するソース電極 3 9 の一部及びドレイン電極 3 8 の一部とを層間絶縁膜 2 4 と反対側から覆うように、酸化物半導体からなる第 1 活性層 3 1 が設けられている。これと同様に、ソース電極 4 7 及びドレイン電極 4 5 の間の離隔部と、この離隔部に隣接するソース電極 4 7 の一部及びドレイン電極 4 5 の一部とを層間絶縁膜 2 4 と反対側から覆うように、酸化物半導体からなる第 3 活性層 3 3 が設けられている。

[0084] 第 3 活性層 3 3 は、T F T 基板 1 1 の表面の法線方向から見て、第 2 活性層 3 2 に対してゲート電極 3 6 が延びる方向に互いにずれて配置され、互いに重ならないようになっている。

[0085] 上記層間絶縁膜 2 4 の表面には、第 1 活性層 3 1、第 3 活性層 3 3、ソース電極 3 9, 4 6, 4 7 及びドレイン電極 3 8, 4 5 を覆うようにパッシベーション膜 2 5 が形成されている。さらに、このパッシベーション膜 2 5 の表面には、平坦化膜 2 7 が形成されている。平坦化膜 2 7 の表面には例えば I T O 等の透明導電膜からなる画素電極 2 6 が形成されている。画素電極 2 6 は、平坦化膜 2 7 及びパッシベーション膜 2 5 に形成されたコンタクトホール 2 8 を介して画素駆動用 T F T 4 1 のドレイン電極 3 8 に接続されている。

[0086] ー製造方法ー

上記液晶表示装置 1 を製造する場合には、まず、図 1 7 に示すように、ガラス基板 2 1 に形成したベースコート層 2 2 の表面に、例えば a - S i 膜を P C V D 等により例えば 5 0 n m 程度の厚みに形成する。続いて、エキシマレーザアニール法により、a - S i 膜からポリシリコン膜を形成する。次に、ポリシリコン膜をエッチングすることにより、島状の半導体層 3 2 を非表示領域 1 7 に形成する。

[0087] 次に、上記半導体層 3 2 を覆うようにゲート絶縁膜 2 3 を形成する。ゲート絶縁膜 2 3 は、例えば膜厚が 50 nm ~ 100 nm である SiO₂ 膜によって形成する。その後に、必要に応じて半導体層 3 2 全体に不純物の注入を行う。続いて、スパッタ法又は CVD 法等によってゲート絶縁膜 2 3 の表面に堆積させた導電膜を、フォトリソグラフィ等によって所定形状にパターニングすることにより、ゲート電極 3 5, 3 6 を形成する。このとき、p チャンネル型 TFT 4 2 のゲート電極 3 6 を、n チャンネル型 TFT 4 3 のゲート電極 3 7 と互いに接続して直線状に延びるように形成する。

[0088] その後、ゲート電極 3 6 をマスクとして半導体層 3 2 に例えばボロンイオン等の不純物イオンを注入し、加熱による活性化処理を行うことにより、第 2 活性層 3 2 を形成する。

[0089] 次に、図 1 8 に示すように、ガラス基板 2 1 の全体亘って、ゲート絶縁膜 2 3 及びゲート電極 3 5, 3 6 を覆うように、層間絶縁膜 2 4 を形成する。続いて、層間絶縁膜 2 4 及びゲート絶縁膜 2 3 に対し、第 2 活性層 3 2 の上方位置においてコンタクトホール 2 9 を形成する。その後、層間絶縁膜 2 4 上に形成した導電膜をフォトリソグラフィ等によりパターニングすることによって、ソース電極 3 9, 4 6, 4 7 及びドレイン電極 3 8, 4 5 を形成する。そうして、ソース電極 4 6 及びドレイン電極 4 5 は、コンタクトホール 2 9 を介して第 2 活性層 3 2 にそれぞれ接続される。

[0090] 続いて、ソース電極 3 9, 4 6, 4 7 及びドレイン電極 3 8, 4 5 を直接に覆うように、例えば膜厚が 30 nm ~ 100 nm 程度である酸化物半導体膜をスパッタリング法により形成する。次に、この酸化物半導体膜に対し、フォトリソグラフィ及びレジストマスクを用いたエッチングを行うことにより、図 1 8 に示すように、離隔部 5 1 又はソース電極 4 7 及びドレイン電極 4 5 の間の離隔部を覆う島状の第 1 活性層 3 1 及び第 3 活性層 3 3 を形成する。

[0091] 次に、上記第 1 活性層 3 1 及び第 3 活性層 3 3 を覆うようにパッシベーション膜 2 5 を形成し、続いて、このパッシベーション膜 2 5 の表面に平坦化

膜 2 7 を形成する。その後、画素駆動用 T F T 4 1 におけるドレイン電極 3 8 の上方位置において、パッシベーション膜 2 5 及び平坦化膜 2 7 にコンタクトホール 2 8 を形成する。続いて、平坦化膜 2 7 の表面に堆積させた I T O 等の透明導電膜をフォトリソグラフィによって所定形状にパターニングすることにより、画素電極 2 6 を形成する。こうして、T F T 基板 1 1 を製造する。

[0092] ー実施形態 3 の効果ー

したがって、この実施形態 3 によっても、上記実施形態 1 と同様に、第 1 活性層 3 1 を I G Z O 等の酸化物半導体によって構成したので、画素駆動用 T F T 4 1 のオフリーク電流を大幅に低減でき、開口率を大幅に高めることができる。さらに、駆動回路用 T F T (n チャネル型 T F T) 4 2 の第 2 活性層 3 2 を低温ポリシリコンによって構成したので、その閾値電圧を低くして高速駆動させることが可能になる。よって、周辺回路である C M O S インバータ回路 4 0 と画素駆動用 T F T 4 1 とを、ガラス基板 2 1 に一体に形成すると共に、その駆動回路用 T F T 4 2 の信頼性を高めながら、画素駆動用 T F T 4 1 のオフリーク電流を大幅に低減できることとなる。

[0093] しかも、画素駆動用 T F T 4 1 のソース電極 3 9 及びドレイン電極 3 8 の各一部を、当該ソース電極 3 9 及びドレイン電極 3 8 が配置されている層間絶縁膜 2 4 と反対側から第 1 活性層 3 1 によって覆う構成とし、C M O S インバータ回路 4 0 の n チャネル型 T F T 4 3 のソース電極 4 7 及びドレイン電極 4 5 の各一部を層間絶縁膜 2 4 と反対側から第 3 活性層 3 3 を覆う構成としたので、第 1 活性層 3 1 上及び第 3 活性層 3 3 上のそれぞれにエッチングストップ層を形成する必要がない。よって、製造時に要するマスク枚数を減少させて製造コストを低減しながらも、ソース電極 3 9 , 4 7 等を形成する際のエッチングによる第 1 活性層 3 1 及び第 3 活性層 3 3 へのダメージを回避して、画素駆動用 T F T 4 1 及び n チャネル型 T F T 4 3 の電気特性を高めることができる。

[0094] さらに、C M O S インバータ回路 4 0 を構成する n チャネル型 T F T 4 3

について、酸化物半導体によって第3活性層33を形成するようにしたので、LDD構造を有する低温ポリシリコンの活性層を有する従来の構成に比べて、当該CMOSインバータ回路40の製造工程を減少させながらもその動作を高速化することができる。

[0095] 《その他の実施形態》

上記実施形態1～3では、CMOSインバータ回路40を有する表示装置について説明したが、本発明はこれに限らず、例えば、NAND回路、AND回路、NOR回路、OR回路、シフトレジスタ回路、サンプリング回路、D/Aコンバータ回路、A/Dコンバータ回路、ラッチ回路、又はバッファ回路等を有する他のCMOS回路を有する表示装置についても同様に適用することが可能である。

[0096] また、酸化物半導体の他の例としては、 $\text{InGaO}_3(\text{ZnO})_5$ 、 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ （酸化マグネシウム亜鉛）、 $\text{CdZn}_{1-x}\text{O}$ （酸化カドミウム亜鉛）、 CdO （酸化カドミウム）、又は $a\text{-IGZO}$ （ In-Ga-Zn-O 系のアモルファス酸化物半導体）等を挙げることができる。また、1族元素、13族元素、14族元素、15族元素及び17族元素のうち1種類又は複数種類の不純物元素が添加された ZnO の非晶質（アモルファス）状態、多結晶状態又は非晶質状態及び多結晶質状態が混在した微結晶状態のもの、又は不純物元素が添加されていないものを用いることも可能である。

[0097] また、非酸化物半導体は低温ポリシリコン以外の他のシリコン等の半導体であってもよい。

[0098] 上記実施形態1～3では液晶表示装置について本発明を説明したが、本発明は例えば有機EL表示装置等の他の表示装置についても同様に適用することができる。

[0099] また、本発明は上記実施形態1～3に限定されるものでなく、本発明には、これらの実施形態1～3を適宜組み合わせた構成が含まれる。

産業上の利用可能性

[0100] 以上説明したように、本発明は、酸化物半導体層を有する薄膜トランジス

タを備えた表示装置及びその製造方法について有用である。

符号の説明

[0101]	1	液晶表示装置
	1 1	T F T 基板（回路基板）
	1 6	表示領域
	1 7	非表示領域
	2 1	ガラス基板
	3 1	第 1 活性層
	3 2	第 2 活性層、半導体層
	3 3	第 3 活性層
	3 5, 3 6, 3 7	ゲート電極
	3 8, 4 5	ドレイン電極
	3 9, 4 6, 4 7	ソース電極
	4 0	C M O S インバータ回路
	4 1	画素駆動用 T F T
	4 2	p チャネル型 T F T（駆動回路用 T F T）
	4 3	n チャネル型 T F T
	4 5	ドレイン電極
	5 1, 5 3	離隔部

請求の範囲

[請求項1] 複数の画素が形成された表示領域と、該表示領域の周囲外側に設けられた非表示領域とを有する回路基板と、

上記回路基板の表示領域に形成され、絶縁膜上に互いに離隔して配置されたソース電極及びドレイン電極と、該ソース電極及びドレイン電極の間の離隔部と該離隔部に隣接する上記ソース電極の一部及びドレイン電極の一部とを上記絶縁膜と反対側から覆うように設けられて酸化物半導体からなる第1活性層とを有し、上記画素を駆動するための画素駆動用TFTと、

上記回路基板の非表示領域に形成され、非酸化物半導体からなる第2活性層を有して上記画素駆動用TFTを駆動するための駆動回路用TFTとを備えていることを特徴とする表示装置。

[請求項2] 請求項1に記載された表示装置において、

上記回路基板の非表示領域には、上記駆動回路用TFTにより構成されたpチャネル型TFTと、上記酸化物半導体からなる第3活性層を有するnチャネル型TFTとを有するCMOS回路が形成されていることを特徴とする表示装置。

[請求項3] 請求項1又は2に記載された表示装置において、

上記画素駆動用TFT及び上記駆動回路用TFTは、互いに同じ層に形成されたゲート電極をそれぞれ有していることを特徴とする表示装置。

[請求項4] 請求項2に記載された表示装置において、

上記CMOS回路における上記pチャネル型TFTの第2活性層と上記nチャネル型TFTの第3活性層とは、上記回路基板の表面の法線方向から見て互いに重ならないように配置されていることを特徴とする表示装置。

- [請求項5] 請求項4に記載された表示装置において、
 上記pチャネル型TFTのゲート電極は、上記nチャネル型TFT
 のゲート電極に並行して延びている
 ことを特徴とする表示装置。
- [請求項6] 請求項4に記載された表示装置において、
 上記pチャネル型TFTのゲート電極は、上記nチャネル型TFT
 のゲート電極と互いに接続されて直線状に延びるように形成されてい
 る
 ことを特徴とする表示装置。
- [請求項7] 請求項2に記載された表示装置において、
 上記CMOS回路における上記pチャネル型TFTの第2活性層と
 上記nチャネル型TFTの第3活性層とは、上記回路基板の表面の法
 線方向から見て互いに重なっており、
 上記pチャネル型TFT及び上記nチャネル型TFTは、共通のゲ
 ート電極を有している
 ことを特徴とする表示装置。
- [請求項8] 複数の画素が形成された表示領域と該表示領域の周囲外側に設けら
 れた非表示領域とを有する回路基板を備えた表示装置を製造する方法
 であって、
 上記回路基板の表示領域となる領域に絶縁膜を形成する工程と、
 上記画素を駆動するための画素駆動用TFTを構成するソース電極
 及びドレイン電極を上記絶縁膜上に互いに離間した状態で形成する工
 程と、
 上記画素駆動用TFTを構成すると共に酸化物半導体からなる第1
 活性層を、上記ソース電極及びドレイン電極の間の離間部と該離間部
 に隣接する上記ソース電極の一部及びドレイン電極の一部とを上記絶
 縁膜と反対側から覆うように形成する工程と、
 上記画素駆動用TFTを駆動するための駆動回路用TFTを構成す

ると共に非酸化物半導体からなる第2活性層を、上記回路基板の非表示領域となる領域に形成する工程とを具備することを特徴とする表示装置の製造方法。

[請求項9]

請求項8に記載された表示装置の製造方法において、

上記第1活性層を形成する工程では、nチャネル型TFTを構成すると共に上記第1活性層と同じ酸化物半導体からなる第3活性層を上記回路基板の非表示領域となる領域に形成し、

上記第2活性層を形成する工程では、上記駆動回路用TFTとしてのpチャネル型TFTを構成する上記第2活性層を形成し、

上記pチャネル型TFTは、上記nチャネル型TFTと共にCMOS回路を構成する

ことを特徴とする表示装置の製造方法。

[請求項10]

請求項8又は9に記載された表示装置の製造方法において、

上記絶縁膜を形成する工程の前に、上記画素駆動用TFTのゲート電極と上記駆動回路用TFTのゲート電極とを互いに同じ層に形成し、

上記絶縁膜を形成する工程では、各上記ゲート電極を上記絶縁膜によって覆う

ことを特徴とする表示装置の製造方法。

[請求項11]

請求項9に記載された表示装置の製造方法において、

上記第1活性層及び第3活性層を形成する工程では、上記第3活性層を上記回路基板の表面の法線方向から見て上記第2活性層に重ならないように形成する

ことを特徴とする表示装置の製造方法。

[請求項12]

請求項11に記載された表示装置の製造方法において、

上記絶縁膜を形成する工程の前に、上記pチャネル型TFTのゲート電極を、上記nチャネル型TFTのゲート電極に並行して延びるように形成する

ことを特徴とする表示装置の製造方法。

[請求項13]

請求項 1 1 に記載された表示装置の製造方法において、

上記絶縁膜を形成する工程の前に、上記 p チャネル型 T F T のゲート電極を、上記 n チャネル型 T F T のゲート電極と互いに接続して直線状に延びるように形成する

ことを特徴とする表示装置の製造方法。

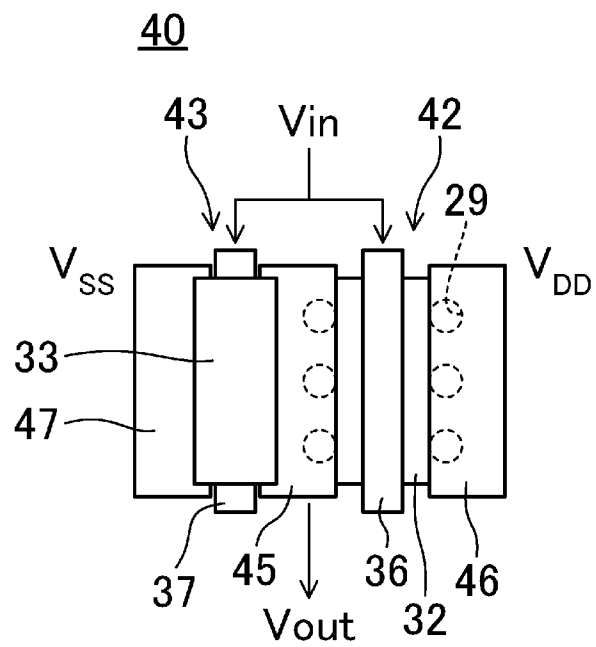
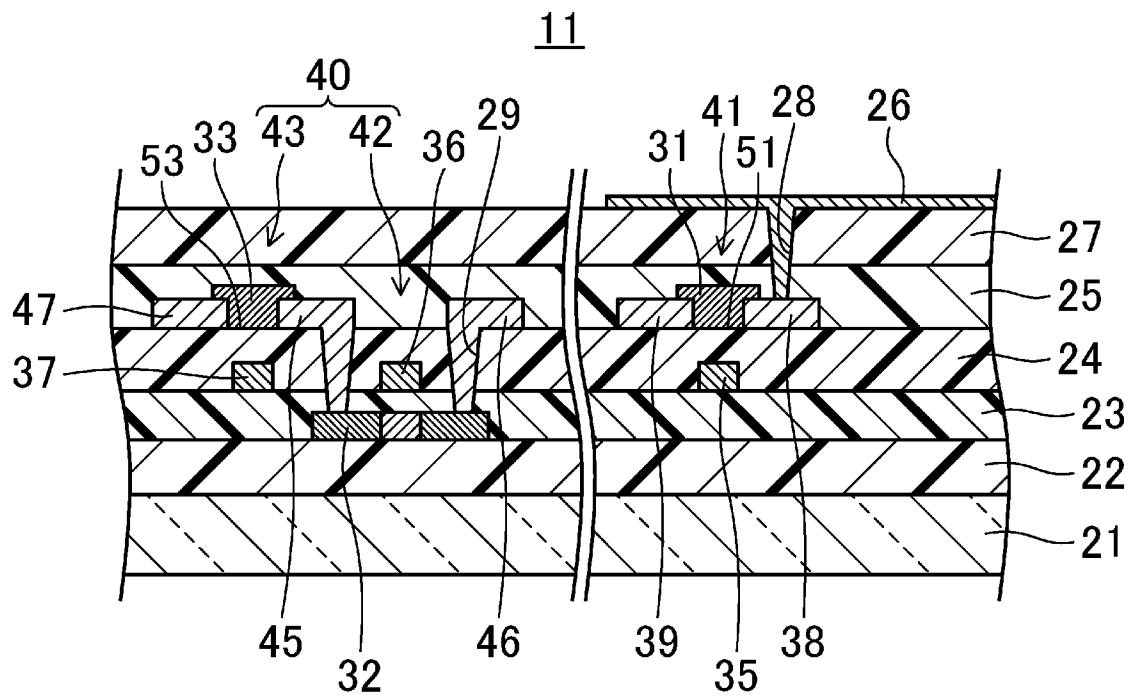
[請求項14]

請求項 9 に記載された表示装置の製造方法において、

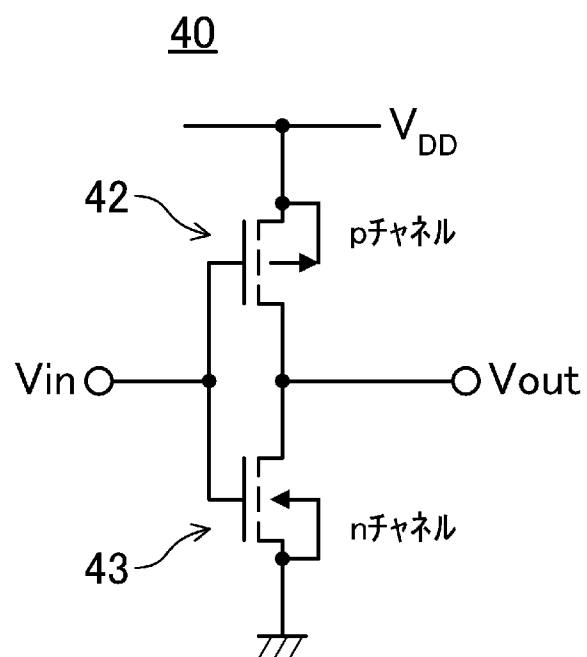
上記絶縁膜を形成する工程の前に、上記 p チャネル型 T F T 及び上記 n チャネル型 T F T に共通のゲート電極を形成し、

上記第 3 活性層を形成する工程では、上記第 3 活性層を、上記回路基板の表面の法線方向から見て上記第 2 活性層に重なるように形成する

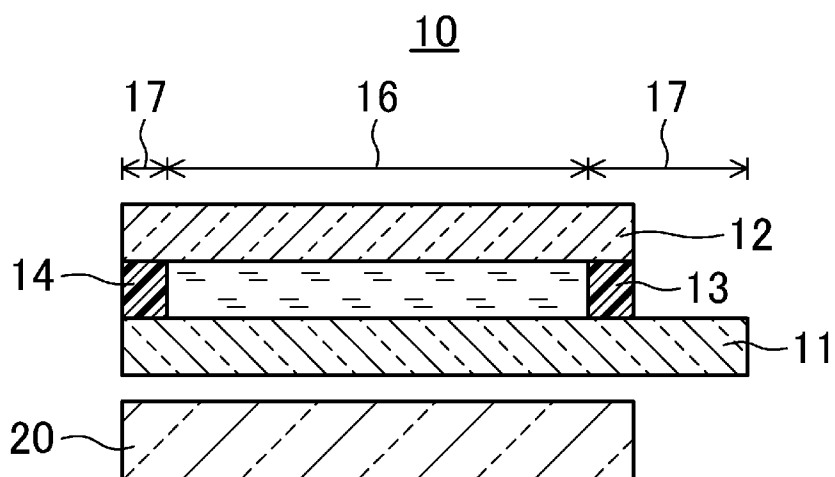
ことを特徴とする表示装置の製造方法。



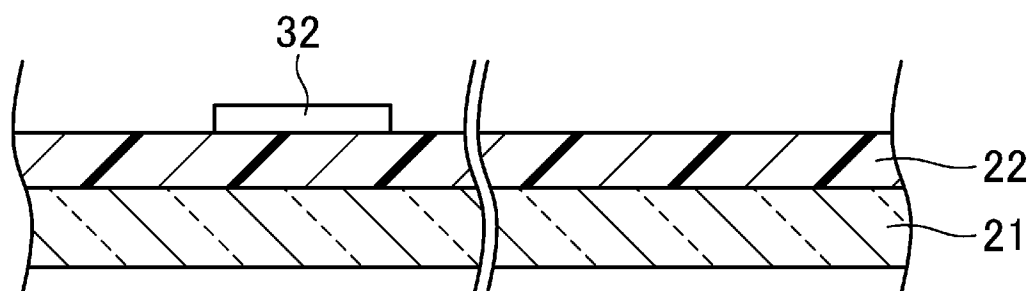
[図3]



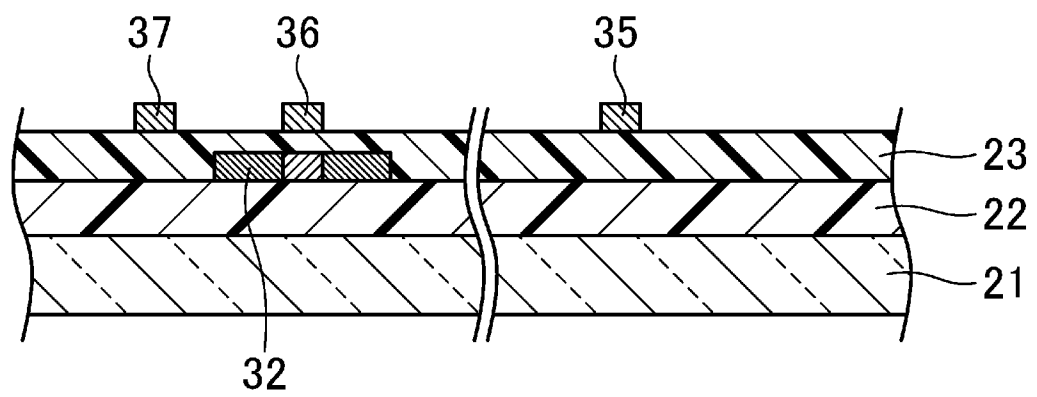
[図4]



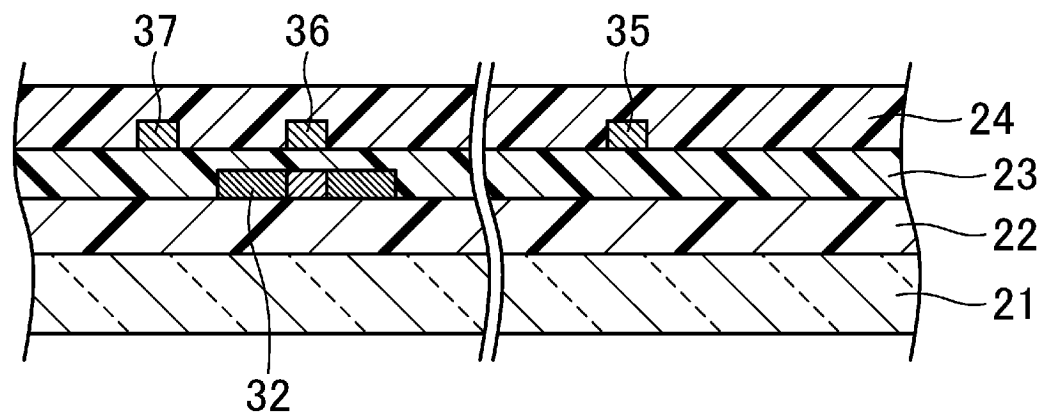
[図5]



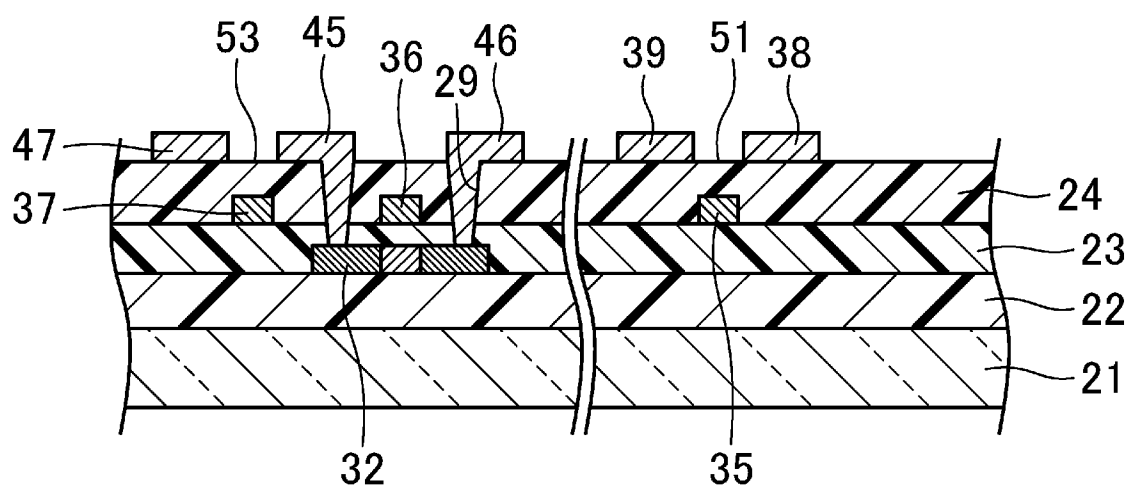
[図6]



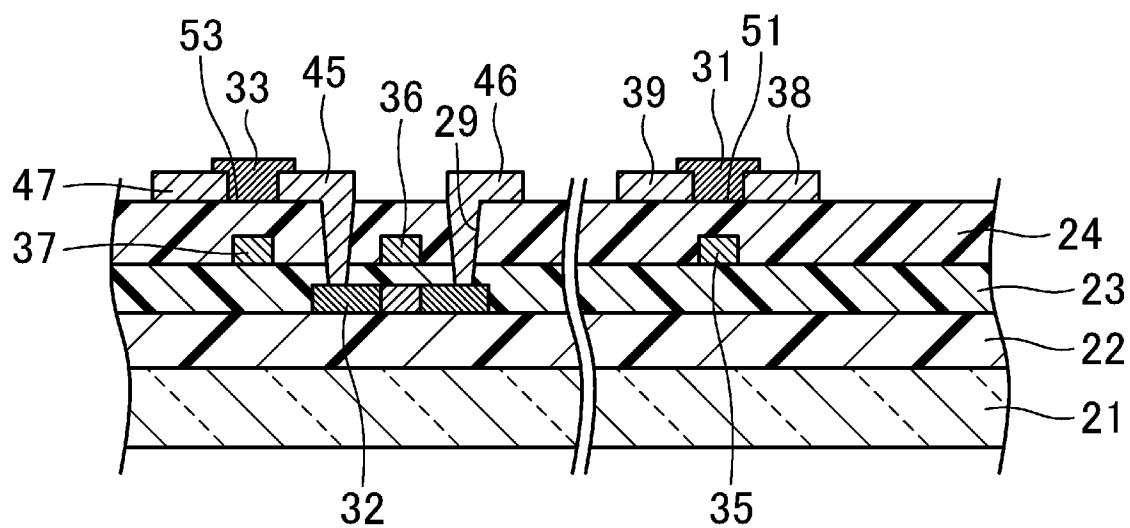
[図7]



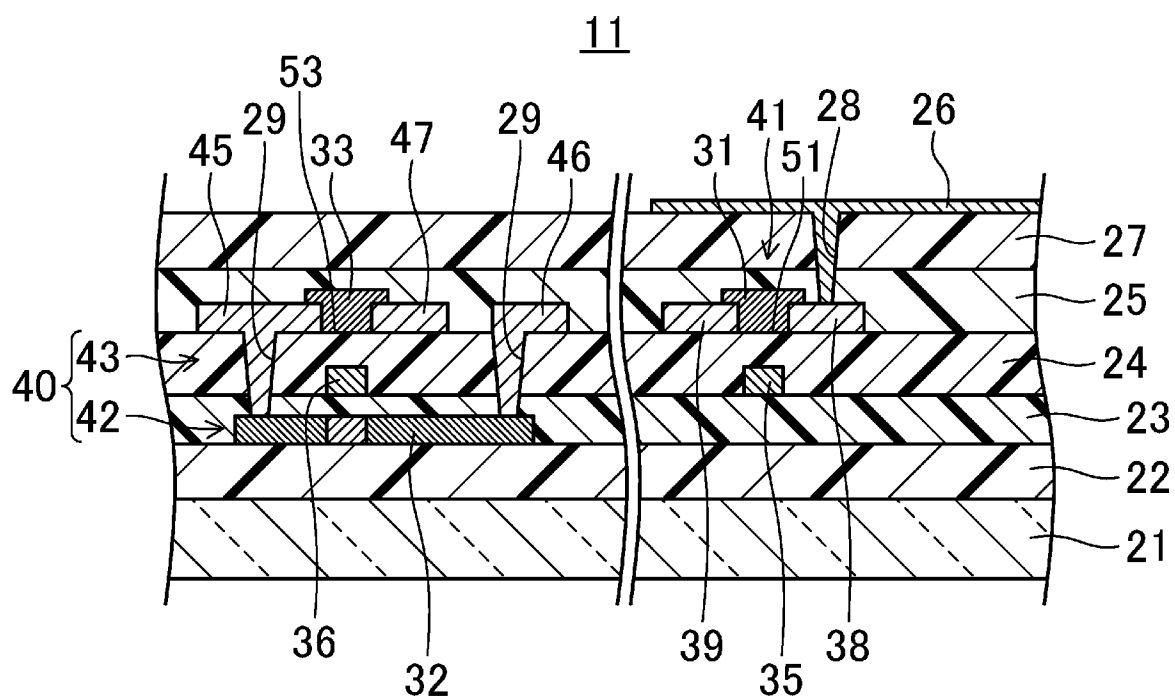
[図8]



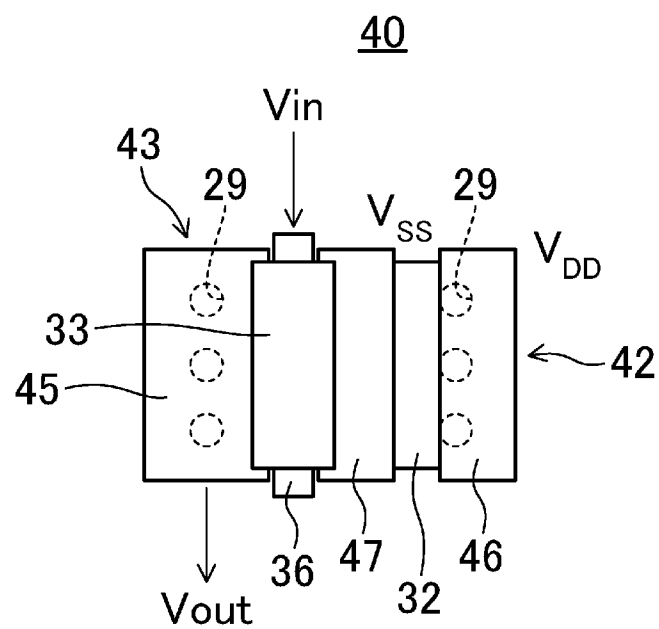
[図9]



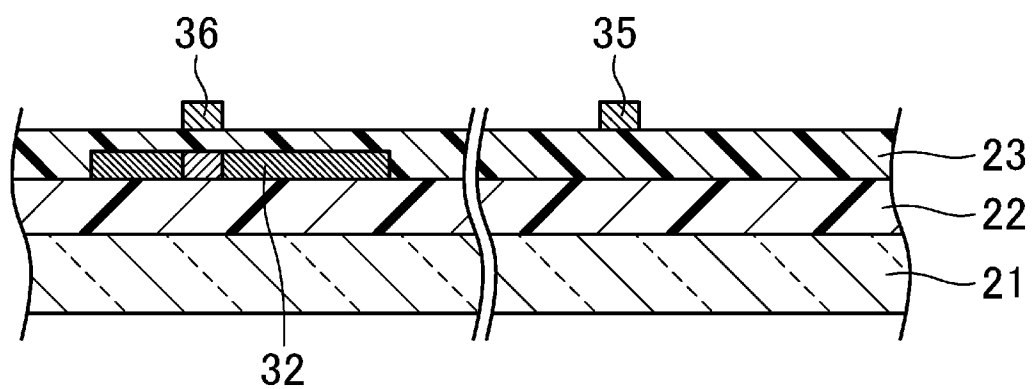
[図10]



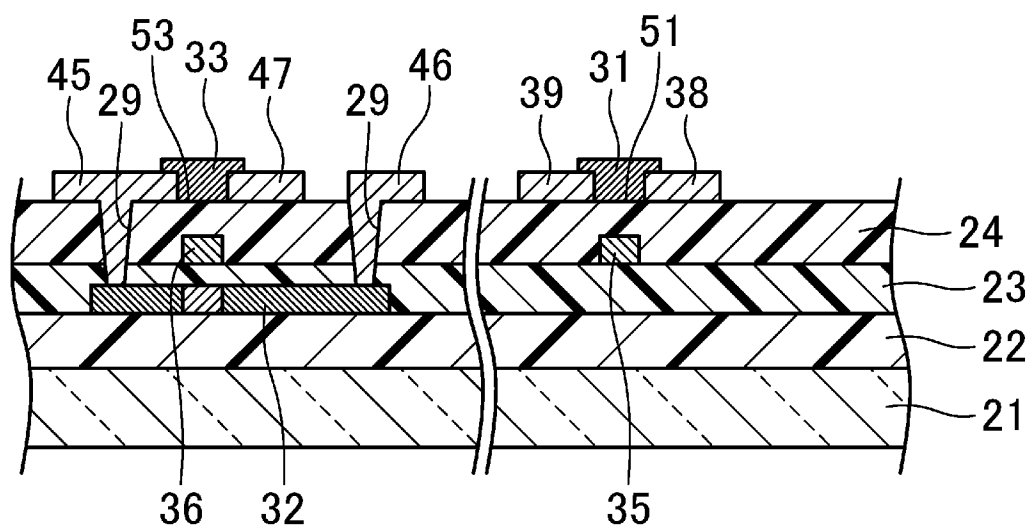
[図11]



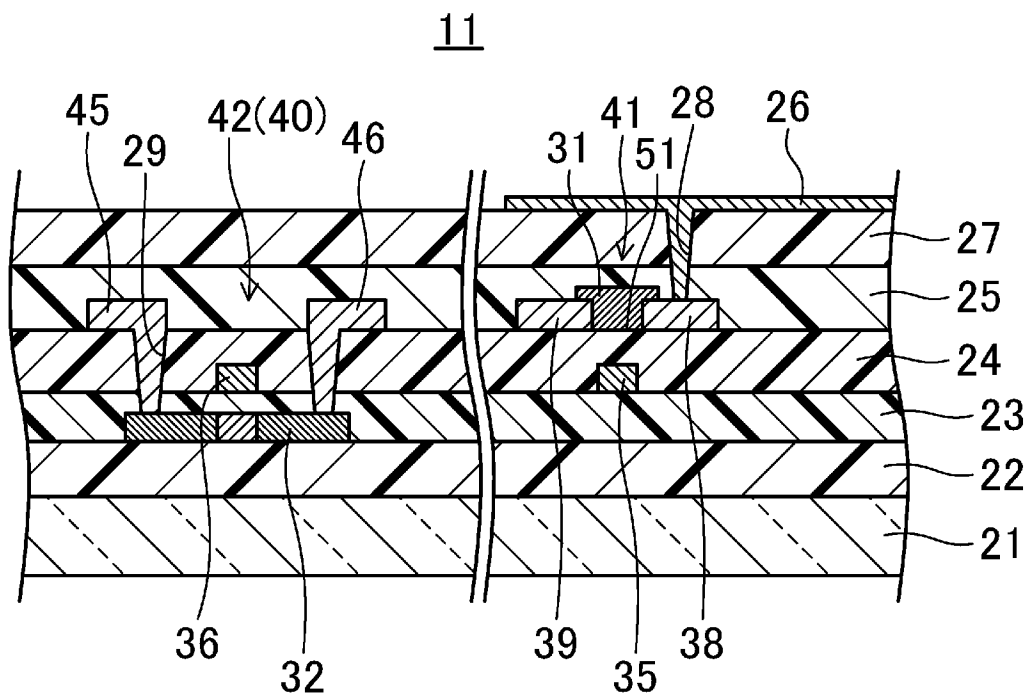
[図12]



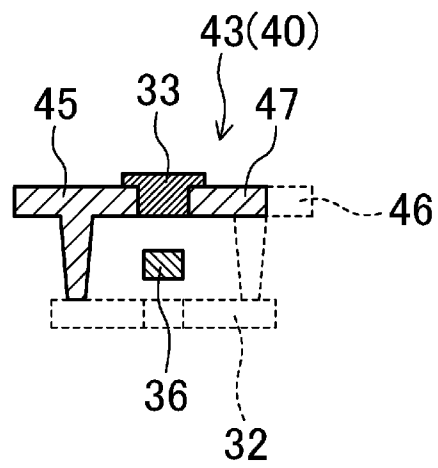
[図13]



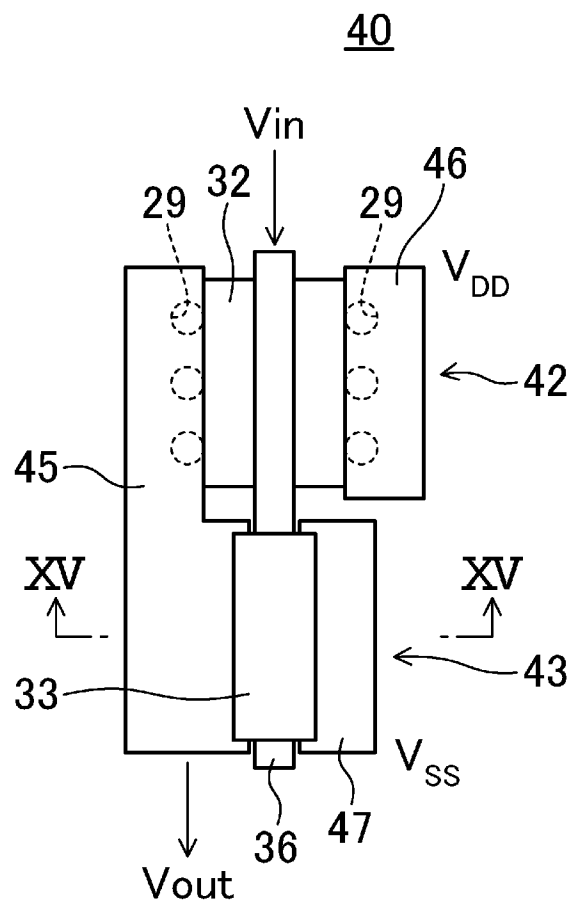
[図14]



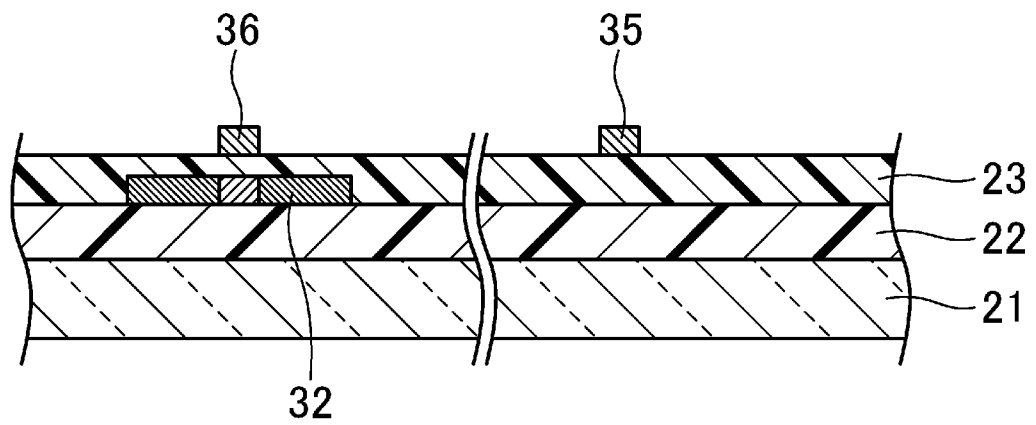
[図15]



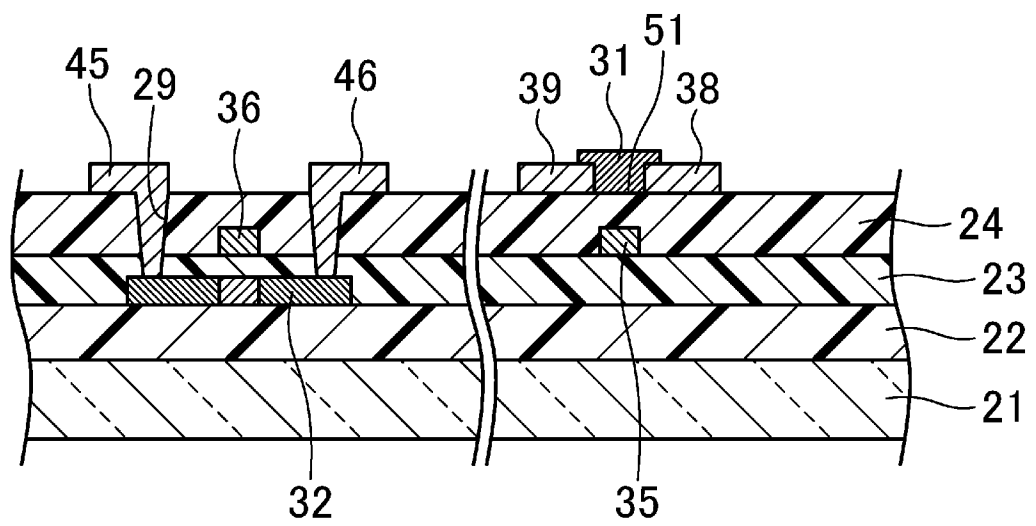
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003960

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1368(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, G02F1/1368, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-003910 A (Toshiba Mobile Display Co., Ltd.), 07 January 2010 (07.01.2010), paragraphs [0012] to [0048]; fig. 1 to 8 (Family: none)	1-6, 8-13 7, 14
Y A	JP 2010-135772 A (Semiconductor Energy Laboratory Co., Ltd.), 17 June 2010 (17.06.2010), paragraphs [0019] to [0023]; fig. 1 & US 2010/0117076 A1 & KR 10-2010-0051562 A & CN 101740631 A & TW 201034191 A	1-6, 8-13 7, 14
Y A	JP 2010-045243 A (Fujifilm Corp.), 25 February 2010 (25.02.2010), paragraph [0014]; fig. 1 (Family: none)	1-6, 8-13 7, 14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 September, 2012 (06.09.12)

Date of mailing of the international search report
18 September, 2012 (18.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003960

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-074148 A (Ricoh Co., Ltd.), 02 April 2010 (02.04.2010), fig. 14 & US 2011/0128275 A1 & EP 2316132 A & WO 2010/021349 A1 & KR 10-2011-0030694 A & CN 102132413 A & TW 201010084 A	1-6, 8-13 7, 14

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09F9/30(2006.01)i, G02F1/1368(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09F9/30, G02F1/1368, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-003910 A (東芝モバイルディスプレイ (株)) 2010.01.07, 【0012】～【0048】、図1～図8 (ファミリーなし)	1-6, 8-13 7, 14
Y A	JP 2010-135772 A ((株) 半導体エネルギー研究所) 2010.06.17, 【0019】～【0023】、図1 & US 2010/0117076 A1 & KR 10-2010-0051562 A & CN 101740631 A & TW 201034191 A	1-6, 8-13 7, 14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 9 . 2 0 1 2

国際調査報告の発送日

1 8 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

請園 信博

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

2 I

4 7 4 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-045243 A (富士フイルム (株)) 2010.02.25, 【0014】、図1 (ファミリーなし)	1-6, 8-13 7, 14
Y A	JP 2010-074148 A ((株) リコー) 2010.04.02, 図14 & US 2011/0128275 A1 & EP 2316132 A & WO 2010/021349 A1 & KR 10-2011-0030694 A & CN 102132413 A & TW 201010084 A	1-6, 8-13 7, 14