

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/088 (2006.01)

H01L 21/8234 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200610003776.4

[45] 授权公告日 2009年6月10日

[11] 授权公告号 CN 100499128C

[22] 申请日 2006.2.14

[21] 申请号 200610003776.4

[30] 优先权

[32] 2005.2.14 [33] US [31] 11/057,423

[73] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区新竹市力行六路8号

[72] 发明人 徐祖望 谢志宏 陶宏远 张长昀  
钟堂轩 吕昇达

[56] 参考文献

US2004/0169239A1 2004.9.2

US6562665B1 2003.5.13

CN1534745A 2004.10.6

US2004/0191980A1 2004.9.30

审查员 谢朝方

[74] 专利代理机构 北京中原华和知识产权代理有限公司

代理人 寿宁 张华辉

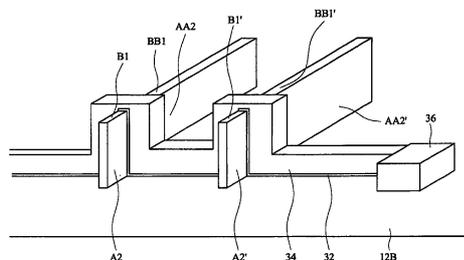
权利要求书2页 说明书8页 附图7页

[54] 发明名称

一种多栅极场效应晶体管元件及其制造方法

[57] 摘要

本发明是有关于一种用于形成可达6个场效应晶体管元件的多栅极区域场效应晶体管元件及其形成方法，该元件包括：一包括半导体材料的多鳍状结构，设置在基材之上；该多鳍状结构包括实质平行间隔分开的侧壁部分，每一侧壁部分包括主要内、外表面与上表面；其中每一表面包括一表面用以形成一场效应晶体管于其上。本发明包括多栅极区域的先进CMOSFET元件结构，其具有改进的元件速度与性能以适用于形成先进的集成电路元件。



- 1、一种多栅极区域场效应晶体管元件,其特征在于其包括:  
一半导体材料的多鳍状结构设置在一基材上;  
该多鳍状结构由平行间隔分开的两侧壁部分所组成,每一侧壁部分包括内、外表面与上表面;  
其中每一该些表面包括位于其上的场效应晶体管; 以及  
一绝缘体材料部分地填充于该些侧壁部分之间,以隔离该些侧壁部分,该绝缘体材料的厚度小于该些侧壁部分的高度。
- 2、根据权利要求 1 所述的多栅极区域场效应晶体管元件,其特征在于其中所述的该些侧壁部分以 20 埃至 1500 埃的距离间隔开。
- 3、根据权利要求 1 所述的多栅极区域场效应晶体管元件,其特征在于其中所述的该些侧壁部分具有 10 埃至 300 埃的厚度。
- 4、根据权利要求 1 所述的多栅极区域场效应晶体管元件,其特征在于其中所述的该些侧壁部分的高度高于该半导体基材的表面 10 埃至 300 埃。
- 5、根据权利要求 1 所述的多栅极区域场效应晶体管元件,其特征在于其中所述的半导体材料是硅或者硅锗。
- 6、根据权利要求 1 所述的多栅极区域场效应晶体管元件,其特征在于其中所述的半导体材料是应变半导体。
- 7、根据权利要求 1 所述的多栅极区域场效应晶体管元件,其特征在于其进一步包括一设于侧壁部分的栅极电介质及一设于栅极电介质上的栅极电极。
- 8、一种多栅极区域场效应晶体管元件,其特征在于其包括:  
一半导体结构,设置有高于半导体基材上的向上凹状的开口,该向上凹状的开口由两间隔分开的侧壁部分组成;  
每一该些侧壁部分包括侧壁表面,其包括内、外表面与上表面以形成 6 个平面的表面;  
一绝缘体材料,部分地填充该些侧壁部分之间的开口,以隔离该些侧壁部分,该绝缘体材料的厚度小于该些侧壁部分的高度; 以及  
一连串的栅极结构设于该些侧壁的该些表面上以形成多个场效应晶体管,该栅极结构包括栅极电介质与在其上的栅极电极。
- 9、一种形成多栅极区域场效应晶体管元件的方法,其特征在于其包括如下步骤:  
形成向上凹状的开口的一半导体结构在一半导体基材上,该向上凹状的开口由两间隔分开的侧壁部分组成,其中每一该些侧壁部分包括内、外表面与上表面,共形成 6 个平面的表面;

---

形成一绝缘体材料以部分地填充于该些侧壁部分之间，以隔离该些侧壁部分，该绝缘体材料的厚度小于该些侧壁部分的高度；以及

形成一连续的栅极结构在该些侧壁的该些表面上以形成多个场效应晶体管，该栅极结构包括栅极电介质与在其上的栅极电极。

## 一种多栅极场效应晶体管元件及其制造方法

### 技术领域

本发明涉及一种微电子集成电路 (IC) 半导体元件制造, 特别是涉及一种包括多个鳍状 FET 结构的多栅极场效应晶体管 (FET), 其具有改进的元件速度与性能以适用于形成先进的集成电路元件。

### 背景技术

随着对先进元件结构的要求提升, 使用掺杂杂质来控制来控制传统的互补式金属氧化物半导体 (CMOS) 元件中的导电沟道已达到其极限。随着 CMOS 元件的尺寸已经到了奈米等级, 包括全空乏型 (FD) 与部分空乏型 (PD) 结构的绝缘层上有硅 (SI) 结构已经提供 MOSFET 的进化途径以在低功率下操作。低于大约 0.1 微米的 CMOS 设计为一些缺点所困扰, 例如短沟道效应 (SCE) 与闸氧化层穿隧。另外, 对应尺寸的缩减, 活性硅沟道区域的均匀性会产生一些限制的。一种克服这种缺点的方法是改变元件结构, 这样在使用厚一些的闸氧化层与增加活性硅沟道尺寸时, 栅极长度可以缩小。

例如, FET 设计已经包括通过形成鳍状硅沟道结构 (也称为鳍状 FET) 及三重栅极结构 (也称为三重栅极 FET) 来形成非平面活性硅区域。

当这些结构已经显示具有可接受的短沟道行为且可以现有习知闸氧化层厚度来形成以克服闸氧化层穿隧, 多数载流子的移动性却受损于现有习知的形成工艺。

因此, 在集成电路半导体元件工艺领域需要持续发展包括多栅极区域的先进 CMOS FET 元件。

由此可见, 上述现有的场效应晶体管在结构、方法与使用上, 显然仍存在有不便与缺陷, 而亟待加以进一步改进。为了解决场效应晶体管存在的问题, 相关厂商莫不费尽心思来谋求解决之道, 但长久以来一直未见适用的设计被发展完成, 而一般产品又没有适切的结构能够解决上述问题, 此显然是相关业者急欲解决的问题。因此如何能创设一种新的场效应晶体管结构, 便成了当前业界极需改进的目标。

有鉴于上述现有的极场效应晶体管存在的缺陷, 本发明人基于从事此类产品设计制造多年丰富的实务经验及专业知识, 并配合学理的运用, 积极加以研究创新, 以期创设一种新的多栅极场效应晶体管结构, 能够改进一般现有的场效应晶体管, 使其更具有实用性。经过不断的研究、设计, 并经反复试作样品及改进后, 终于创设出确具实用价值的本发明。

## 发明内容

本发明的目的在于，克服现有的场效应晶体管存在的缺陷，而提供一种新型结构的多栅极场效应晶体管结构，所要解决的技术问题是使其提供一种包括多栅极区域的先进 CMOS FET 元件结构，从而更加适于实用。

本发明的目的及解决其技术问题是采用以下技术方案来实现的。依据本发明提出的一种多栅极区域场效应晶体管元件，包括：一半导体材料的多鳍状结构设置在一基材上；该多鳍状结构包括实质平行间隔分开的侧壁部分，每一侧壁部分包括内、外表面与上表面；其中每一该些表面包括形成场效应晶体管于其上的表面；以及一绝缘体材料部分填充于该些侧壁部分之间，以隔离该些侧壁部分，该绝缘体材料的厚度小于该些侧壁部分的高度。

本发明的目的及解决其技术问题还采用以下技术措施来进一步实现。

前述的多栅极场效应晶体管元件，其中所述的该些侧壁部分以约 20 埃至约 1500 埃的距离间隔开。

前述的多栅极场效应晶体管元件，其中所述的该些侧壁部分具有约 10 埃至约 300 埃的厚度。

前述的多栅极场效应晶体管元件，其中所述的该些侧壁部分的高度高于该半导体基材的表面约 10 埃至约 300 埃。

前述的多栅极场效应晶体管元件，其中所述的该些侧壁部分进一步包括由半导体材料制成的连接的底部。

前述的多栅极场效应晶体管元件，其中所述的半导体材料是硅或者硅锗。

前述的多栅极场效应晶体管元件，其中所述的半导体材料是应变半导体。

前述的多栅极场效应晶体管元件，其进一步包括一设于侧壁部分的栅极电介质及一设于栅极电介质上的栅极电极。

本发明的目的及解决其技术问题还采用以下技术方案来实现。依据本发明提出的一种多栅极区域场效应晶体管元件，包括：一半导体结构，设置有高于半导体基材上的向上凹状的开口，该向上凹状的开口由两间隔分开的侧壁部分组成；每一该些侧壁部分包括侧壁表面，其包括内、外表面与上表面以形成 6 个实质平面的表面；一绝缘体材料，其分离该些侧壁部分；以及一连续的栅极结构设于该些侧壁的该些表面上以形成多个场效应晶体管，该栅极结构包括最低的栅极电介质与在上面的栅极电极。

本发明的目的及解决其技术问题还采用以下技术方案来实现。依据本发明提出的一种形成多栅极区域场效应晶体管元件的方法，包括如下步骤：形成第一半导体材料于一基材之上；形成一开口于该第一半导体材料之中，以暴露出位于该开口底部的该基材；形成二侧壁半导体部分于该开口的内表面上，每一该些侧壁部分包括内、外表面与上表面；移除该第一半导体

材料；形成一连续的栅极结构于这些侧壁部分的这些表面上，以形成多个场效应晶体管，该栅极结构包括栅极电介质与在其上的栅极电极。

本发明的目的及解决其技术问题还采用以下技术方案来实现。依据本发明提出的一种形成多栅极区域场效应晶体管元件的方法，包括如下步骤：形成一半导体结构，设置有在半导体基材上的向上凹状的开口，该向上凹状的开口由两间隔分开的侧壁部分组成，其中每一这些侧壁部分包括侧壁表面包括内、外表面与上表面，共形成 6 个平面的表面；形成一绝缘体材料以隔离这些侧壁部分；以及形成一连续的栅极结构在这些侧壁的这些表面上以形成多个场效应晶体管，该栅极结构包括最低的栅极电介质与在其上的栅极电极。

本发明与现有技术相比具有明显的优点和有益效果。由以上技术方案可知，本发明的主要技术内容如下：

本发明提供一种多栅极区域场效应晶体管元件以形成可达 6 个 FET 元件，及提供一种形成该元件的方法。

在第一实施例，多栅极区域场效应晶体管元件包括：包括半导体材料的一多鳍状结构设置于基材之上；该多鳍状结构包括实质平行间隔分开的侧壁部分，每一侧壁部分包括主要内、外表面与上表面；其中每一表面包括一表面用以形成场效应晶体管于其上。

在另一实施例中，一种形成包括多栅极区域场效应晶体管元件的槽状结构的方法，包括如下步骤：提供一半导体基材；在基材上形成第二半导体材料；在第二半导体材料上形成一开口以暴露出开口底部的半导体基材；以一第一半导体材料形成一衬层于开口内；及移除第二半导体材料以留下槽状结构。

借由上述技术方案，本发明多栅极场效应晶体管结构至少具有下列优点：

本发明具有多个鳍状 FET 结构的多栅极场效应晶体管 (FET)，其具有改进的元件速度与性能以适用于形成先进的集成电路元件。

综上所述，本发明特殊的多栅极场效应晶体管结构，其具有上述诸多的优点及实用价值，并在同类产品及制造方法中未见有类似的结构设计及方法公开发表或使用而确属创新，其不论在产品结构、制造方法或功能上皆有较大的改进，在技术上有较大的进步，并产生了好用及实用的效果，且较现有的场效应晶体管结构具有增进的多项功效，从而更加适于实用，而具有产业的广泛利用价值，诚为一新颖、进步、实用的新设计。

上述说明仅是本发明技术方案的概述，为了能够更清楚了解本发明的技术手段，而可依照说明书的内容予以实施，并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂，以下特举较佳实施例，并配合附图，详细说明如下。

## 附图说明

图 1A 至图 1I 是根据本发明实施例的示范性多栅极区域元件在不同制造阶段的剖面视图；

图 2A 至图 2E 是根据本发明实施例的多栅极区域在不同制造阶段的剖面视图；

图 3 是根据本发明一实施例的示范性多栅极区域场效应晶体管元件的立体图；

图 4 是包括本发明几个实施例的工艺流程图。

- |                             |                    |
|-----------------------------|--------------------|
| 12: 半导体基材                   | 12B: 埋入氧化物层        |
| 14: 外延生长半导体层                | 18: 开口             |
| 20: 硅层                      | 20C、20D: 侧壁外延半导体结构 |
| 22B: 填充材料部分                 | 32: 栅极电介质部分        |
| 34: 栅极电极                    | 34: 栅极电极材料         |
| AA2、AA2'、BB1、BB1' : 侧壁(鳍)部分 |                    |
| A1、A2: 侧壁主表面                | B1、B1' : 最高表面部分    |
| 12A: 下硅半导体部分                | 12C: 外延生长硅层        |
| 16A: 抗反射涂层(ARC)层            | 18A: 开口            |
| 20B: 外延硅结构                  | 22: 材料层            |
| 30: 电绝缘层                    | 32: 栅极电介质材料        |
| 34: 栅极电极部分                  | 36: 内连线            |
| A2、A2' : 侧壁外延半导体结构          | B1: 侧壁部分的上表面       |

## 具体实施方式

为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的多栅极场效应晶体管结构其具体实施方式、结构、制造方法、步骤、特征及其功效,详细说明如后。

本发明的非平面凹入的或多鳍状的栅极区域 FET 结构可用于各种电路,包括高效率逻辑电路、低功率逻辑电路、高密度记忆体电路及高密度动态随机存取记忆体(DRAM)电路。此外,本发明的多栅极区域 FET 元件可易于与类比、数字及混合信号电路的其他元件相结合。

例如,请参阅图 1A 所示,其为一个示范的半导体基材 12 的部分剖面示意图,半导体基材 12 例如可为硅半导体晶圆。在一实施例中,一外延生长半导体层 14,较佳为应变硅锗(SiGe),通过传统的外延生长方法成长在硅基材 12 上,其厚度从大约 300 埃到大约 1500 埃。如图 2A 至图 2E 所示,在另一实施例,基材可包括一在半导体层之间的绝缘层(例如埋入氧化物层),该半

导体例如为绝缘层上有硅。一抗反射涂层 (ARC) 层 16A, 较佳为一无机材料, 例如氮化硅 (SiN)、氮氧化硅 (SiON)、碳化硅 (SiC)、碳氧化硅 (SiOC) 或其组合, 抗反射涂层也具有硬罩幕的功能, 较佳为设置在 SiGe 层 14 上, 紧接着形成具有开口 18A 的图案化光阻层 (蚀刻罩幕) 以在 SiGe 层 14 上蚀刻一沟渠。

请参阅图 1B 所示, 一开口 18B 设置在 SiGe 层 14 上, 该开口 18B 的底部暴露出半导体基材 12 的一部分, 通过传统的等离子 (干) 蚀刻工艺 (例如反应性离子蚀刻) 来形成该开口 18B, 紧接着移除光阻蚀刻罩幕与 ARC 硬罩幕。较佳地, 开口 18B 的宽度从大约 20 埃到大约 1500 埃。

请参阅图 1C 所示, 本发明的一个重要方面, 接着执行传统的外延生长工艺以成长硅层 20 到一预定厚度。有利的是, 通过外延生长硅层 20, 可精确控制硅层的厚度藉以改善后续形成的非平面 FET 结构的尺寸准确性。外延生长的硅层 20 的厚度较佳从大约 10 埃到大约 200 埃。更有帮助地, 如在此所示外延层衬在镶嵌开口以形成本发明凹形 (槽状) FET 结构, 相较于现有习知工艺, 本发明可在宽的尺寸范围内以改进的尺寸裕度形成外延层。

请参阅图 1D 所示, 紧接着外延硅层 20 的形成, 在工艺表面之上形成有机或无机填充材料层 22 并包含回填开口 18B 及留一定的厚度覆盖 SiGe 层 14。例如, 无机填充材料可以是例如通过 CVD 工艺形成的氧化硅, 而有机填充材料可以通过旋涂 (SPIN-ON) 方法或聚合体形成等离子辅助沉积方法形成的有机聚合 (树脂质的) 材料。如果填充材料层 22 是有机聚合材料, 在沉积后较佳地进行热烤和/或紫外线处理以硬化该有机材料 (促使聚合体交叉连接) 使其足以用于后续的平坦化 (planarization) 工艺。

请参阅图 1E 所示, 然后执行一平面化工艺, 较佳地为一化学机械研磨 (CMP) 工艺, 以移除填充材料层 22 的表面部分及覆盖在 SiGe 层 14 上的外延硅层 20 的表面部分, 而留下填有剩下的填充材料部分 22B 的凹入的或槽状外延硅结构 20B。

请参阅图 1F 所示, 然后执行一湿或干蚀刻工艺, 较佳地为湿蚀刻工艺, 以首先可选择性地移除剩余的外延 SiGe 层 14 部分, 从而留下填有剩下的填充材料部分 22B 的凹入的 (槽状) 外延硅结构 20B。

请参阅图 1G 所示, 然后通过现有湿或干蚀刻 (剥离) 工艺, 较佳地为湿蚀刻工艺, 移除填充材料部分 22B 以留下自由直立的凹入的 (槽状) 外延硅结构 20B, 其具有从大约 20 埃到大约 1500 埃的宽度  $W_1$ , 从大约 10 埃到大约 200 埃的外延硅层厚度  $T_1$  (鳍宽度), 及从大约 300 埃到大约 1500 埃的高度  $H_1$ 。外延硅结构 20B 的高度高于半导体基材表面约 10 埃至约 300 埃。根据图 1I 所示的本发明的一实施例可意识到, 外延硅结构 20B 形成非平面多栅极区域 FET 元件的沟道区域, 也可意识到, 由于部分外延硅结构

20B 成长在应变的半导体基材上, 例如 SiGe 层 14, 外延硅结构 20B 有利于形成具有伸长应变 (例如, 当形成超过 SiGe) 或压缩应变以改善沟道区域电荷载体的移动性。

请参阅图 1H 所示, 然后形成一电绝缘层 30 以部分填充“填充物”到外延硅结构 20B, 从而提供电隔离, 例如 4 至 6 个 FET 相继形成在外延硅结构 20B 上。例如, 可形成一 CVD 沉积或旋涂硅氧化物层, 紧接着通过选择性的回蚀工艺以暴露出外延硅结构 20B 的鳍 (侧壁) 部。

请参阅图 1I 所示, 如包括连续的栅极电极部分的剖面图所示, 为形成多栅极结构在外延硅结构 20B 上的一实施例范例。通过现有习知方法在外延硅结构 20B 上形成栅极电介质部分 32, 例如, 栅极绝缘材料可由硅氧化物、硅氮化物、氮掺杂的硅氧化物、高介电常数 (K) 电介质、或其组合形成。高 K 电介质可包括金属氧化物、金属硅酸盐、金属氮化物、过渡金属氧化物、过渡金属硅酸盐、金属铝酸盐、及过渡金属氮化物、或其组合。

栅极电介质部分 32 可通过任何现有习知的工艺形成, 例如热氧化、氮化、溅镀沉积、或化学气相沉积。当使用高 K 栅极电介质, 该电介质常数较佳地大于大约 3.9。高 K 电介质可选自包括铝氧化物 ( $Al_2O_3$ )、铪氧化物 ( $HfO_2$ )、铪氧氮化物 ( $HfON$ )、铪硅酸盐 ( $HfSiO_4$ )、锆氧化物 ( $ZrO_2$ )、锆氧氮化物 ( $ZrON$ )、锆硅酸盐 ( $ZrSiO_2$ )、钇氧化物 ( $Y_2O_3$ )、镧氧化物 ( $La_2O_3$ )、铈氧化物 ( $CeO_2$ )、钛氧化物 ( $TiO_2$ )、钽氧化物 ( $Ta_2O_5$ ) 或其任意组合的族群。

然后通过现有习知方法在栅极电介质部分 32 上形成一栅极电极部分 34 以形成连续的多栅极结构, 例如首先沉积一层栅极电介质材料 32, 接着沉积栅极电极材料 34, 再接着通过现有习知图案化与蚀刻工艺形成多栅极结构。栅极电极 34 较佳地由导电材料形成。栅极电极 34 可包括金属硅化物部分, 其电性连接其他导电内连线部分以供应多 FET 栅极结构供应电压。

例如, 该栅极电极 34 可由现有习知的多晶硅、多晶硅锆、金属、金属硅化物、金属氮化物、导电金属氧化物、或其组合形成。在较佳的实施例中, 栅极电极 34 可由多晶硅形成, 通过自动对准硅化金属工艺可在栅极电极 34 上部形成金属或硅化物, 例如包括钴硅化物、或钛硅化物。其他示范性金属或硅化物可包括钼、钨、钽、铂及铪。金属氮化物可包括但不限于, 钼氮化物、钨氮化物、钛氮化物、及钽氮化物。导电金属氧化物可包括但不限于, 钨氧化物及铟锡氧化物。

可意识到的是, 突出绝缘层 30 的外延硅结构 20B 的侧壁部分的六个实质平面的表面部分可形成分离的 FET 栅极结构 (例如 4 至 6)。例如, 如图 3 所示, 源极与汲极区域形成在半导体基材上, 相邻栅极电介质 32 与栅极电极 34 的两侧。

请参阅图 2A 所示, 在另一个实施例中, 根据包括硅半导体基材 12 (如硅晶圆) 的相同的较佳实施例, 可实施类似的工艺来产生类似于图 1C 所示的包括开口 18B 与外延层 (硅) 20B 的结构。如图所示, 在另一实施例中, 基材包括下硅半导体部分 12A (如硅晶圆)、埋入氧化物层 12B、及外延生长硅层 12C。在本实施例中, 半导体层 20B 由在硅层 12C 的外延生长 SiGe 形成。

请参阅图 2B 所示, 以实施一非均向蚀刻工艺来取代如第一实施例所示的以填充材料填充开口 18B, 非均向蚀刻工艺较佳地为干蚀刻工艺, 来选择性地移除位于开口 18B 底部之上的外延半导体层 20B 的底部以暴露出下面的基材, 如 12B。同时, 移除在工艺表面上面的外延半导体层 20B 的部分以留下侧壁外延半导体部分 20C、20D。

请参阅图 2C 所示, 然后较佳地利用湿蚀刻工艺移除紧邻侧壁外延半导体结构 20C、20D 的剩余的半导体层部分, 如 12C, 以留下自由竖立的侧壁外延半导体结构 20C、20D。如先前的图 1G 所示, 半导体结构 20C、20D 具有相同的较佳的尺寸, 例如, 厚度 T2 (鳍宽度) 从大约 10 埃到大约 200 埃, 鳍高度 H2 从大约 300 埃到大约 1500 埃, 及宽度 (鳍间隔) W2 从大约 300 埃到大约 1500 埃。侧壁外延半导体结构 20C、20D 的高度高于半导体基材表面约 10 埃至约 300 埃。

请参阅图 2D 所示, 绘示包括栅极电极部分 34 与栅极电介质部分 32 的多 FET 元件栅极结构的示范性实施例。外延半导体 (如 SiGe) 侧壁 (鳍) 部分 20C、20D 所依靠的基材可以是绝缘体材料, 如 12B, 绝缘体材料如 12B 形成底部并分离侧壁部。同样地, 如上述图 1H 与下述图 2E 所示的, 在侧壁部 (鳍) 之间的绝缘体电介质 “堵塞料” 不需要形成以提供侧壁 (鳍) 部分 20C、20D 之间的电性隔离。如先前描述的在两侧壁 (鳍) 部分 20C、20D 上形成 4 至 6 个 FET's, 可形成栅极电介质 32 与栅极电极部 34。

仍请参阅图 2D 所示, 侧壁 (鳍) 部分 20C、20D 提供可过 6 表面以形成 FET 元件, 在该 FET 元件上, 每一个 FET 元件的栅极区域可形成在侧壁部分的上表面, 如 B1, 及侧壁主表面, 如 A1、A2。可以理解的是, 每一侧壁部分 20C、20D 提供包括形成可达 3 个 FET 元件的沟道区域的半导体基材, 以形成总数可达 6 个 FET 元件。

请参阅图 2E 所示, 图中基材为一硅基材, 如 12, 例如, 图中的外延半导体侧壁 (鳍) 部分 20C、20D 由外延硅形成, 如先前图 1H 所示的, 在形成栅极电介质 32 与栅极电极部分 34 之前, 较佳形成绝缘体电介质层 30 以电性隔离侧壁 (鳍) 部分。

请参阅图 3 所示, 其为多栅极区域 FET 元件的一部分的示范性立体图, 多栅极区域 FET 元件由侧壁 (鳍) 外延半导体部分、如 20C、20D 组成。例如, 侧壁外延半导体结构的侧壁主表面, 例如 A2、A2', 及 A2、A2' 的相对的一

侧(未标号),可在紧邻栅极电介质 32 与栅极电极 34 部分的每一侧形成一源/汲极区域,以形成 4 个 FET 元件。另外,最高表面部分 B1、B1' 可用于形成一源/汲极区域以形成额外的 FET 元件。可以意识到的是,另一源/汲极,例如汲极区域,则设于侧壁(鳍)部分对应的相邻表面部分上,例如 AA2、AA2'、BB1、BB1' 的,以形成每一个 FET 元件。这样,可形成的栅极区域(FET 元件)的数目可便利地从 4 到 6 进行调整。所示的还有部分电极内连线 36,以提供电信号(电压)给栅极电极部分 34。这样,根据本发明,多栅极区域与相关的源极与汲极区域形成多个 FET,较佳地从 4 至 6 个 FET 元件,多栅极区域与相关的源极与汲极区域可形成在侧壁(鳍)外延半导体结构 20C、20D 上。

那些熟悉该技术领域的人可以意识到的是,电荷载体的移动性可最佳化以获得特定极性的传导性,如 NMOS 与 PMOS,于形成栅极沟道区域的外延硅或 SiGe 部分内。在栅极沟道区域,基材形成具有较佳的晶格位向且/或选定的伸长或压缩应变。例如,适当基材如 12 的位向选择可得到较佳沟道(晶格)方向与为于其上的外延半导体结构如 20B、20C、20D 的表面位向的形成。可以意识得到的是,外延半导体结构,如 20B、20C、20D,可个别依选定的应变而形成,例如较佳地对 NMOS 元件的伸长应变,或较佳地对 PMOS 元件的压缩应变,以增强电子电荷载体的移动性与元件性能。

至此,多栅极区域 FET 结构与其形成方法已经进行了说明。有利的是,栅极区域的数量可在 4 到 6 个栅极间进行变化以在鳍状半导体结构上形成多个 FET。有利的是,NMOS 与 PMOS 元件均形成在鳍状半导体结构上,结果,可形成具有改善的元件性能的更高密度与更快速度的 FET 半导体元件。

请参阅图 4 所示,其绘示包括本发明几个实施例的工艺流程图。步骤 401,提供一基材;在步骤 403,在基材上形成第一半导体层;步骤 405,在第一半导体层上形成一开口;步骤 407,在开口的侧壁形成第二半导体层作为衬层;步骤 409,从开口底部选择性地移除第二半导体层;步骤 411,选择性移除第一半导体层的残余部分以留下自由竖立的第二半导体层部分,其包括侧壁(鳍)部分;步骤 413,选择性地形成绝缘体层以填充侧壁(鳍)部分之间的空间以提供电性隔离;步骤 415,形成栅极与源/汲极区域于外延半导体鳍部分以形成 4 至 6 个 FET。

所附图式中的元件尺寸、形状或数目等,仅为便于说明本实施例的实施方式,其并非用来限定本发明,增加或减少元件数目、或改变元件的尺寸或形状等,均不会脱离本发明的精神与范围。虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何熟习此技艺者,在不脱离本发明的精神和范围内,当可作各种的更动与润饰,因此本发明的保护范围当视前述的专利申请技术方案所界定的为准。

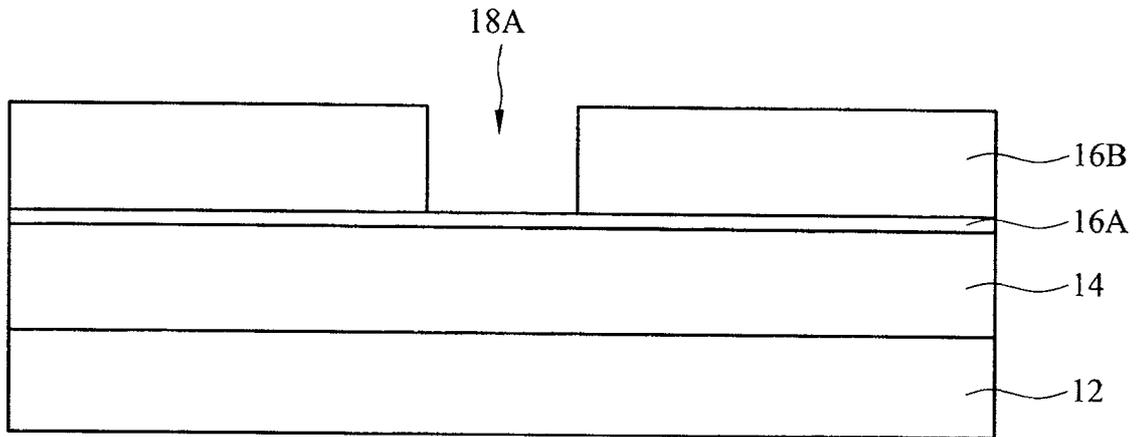


图1A

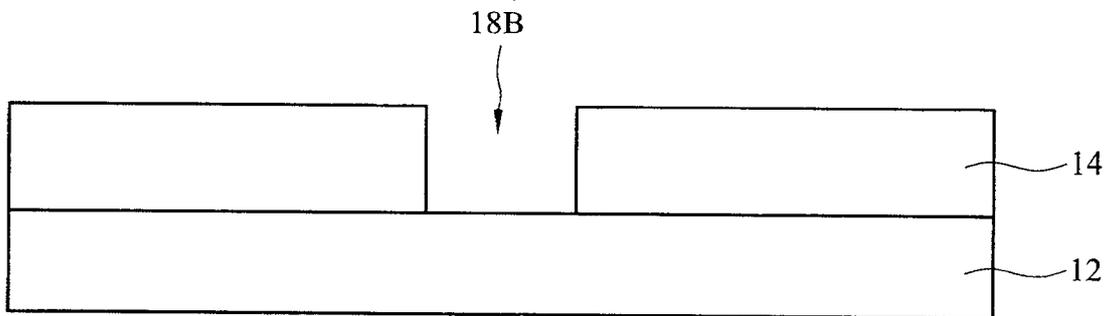


图1B

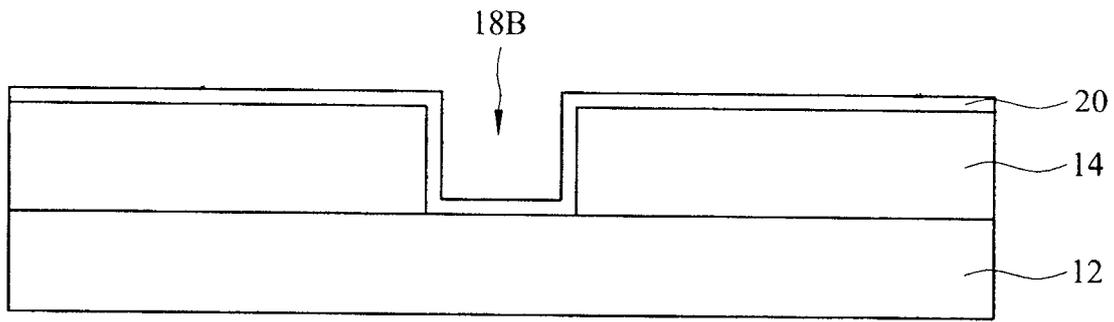


图1C

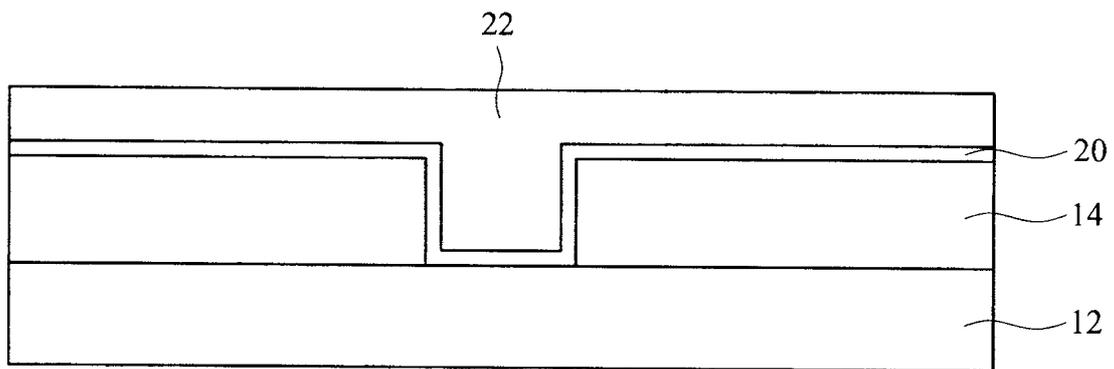


图1D

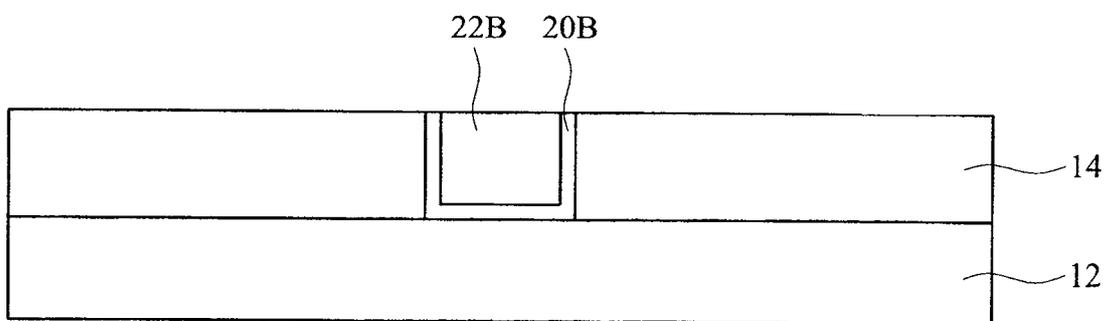


图1E

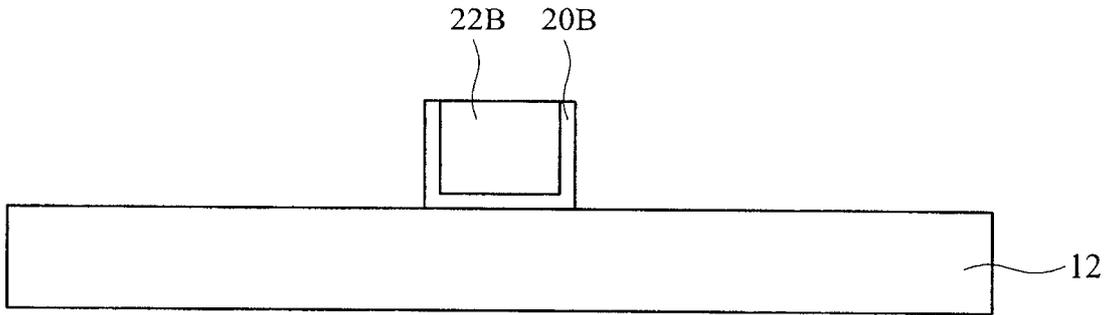


图1F

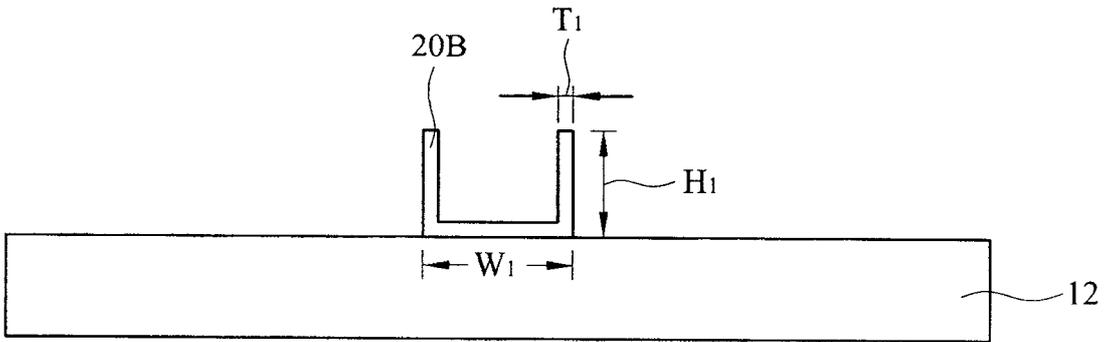


图1G

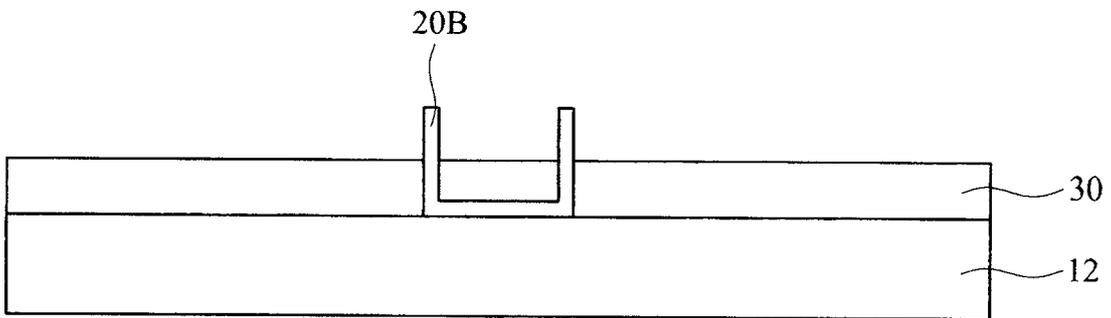


图1H

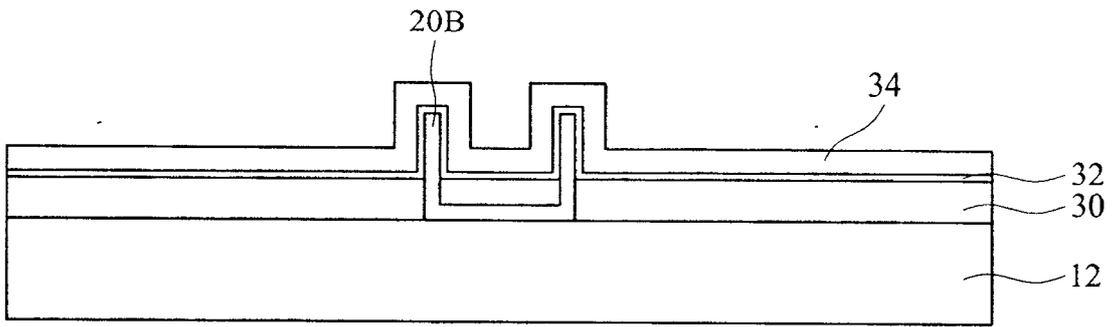


图1I

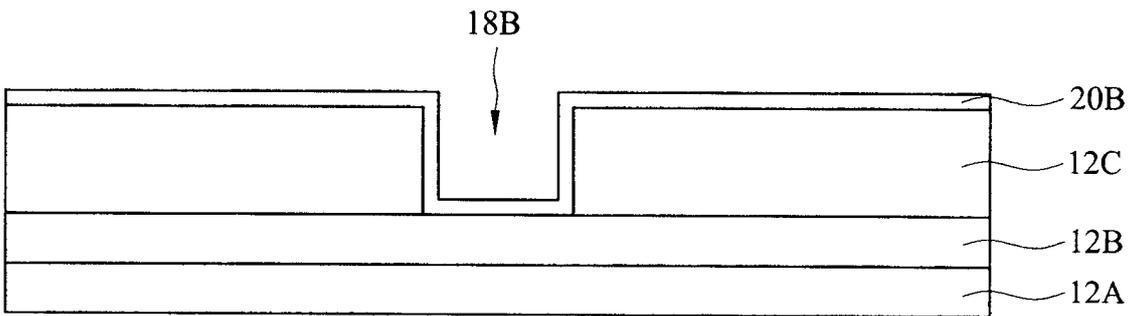


图2A

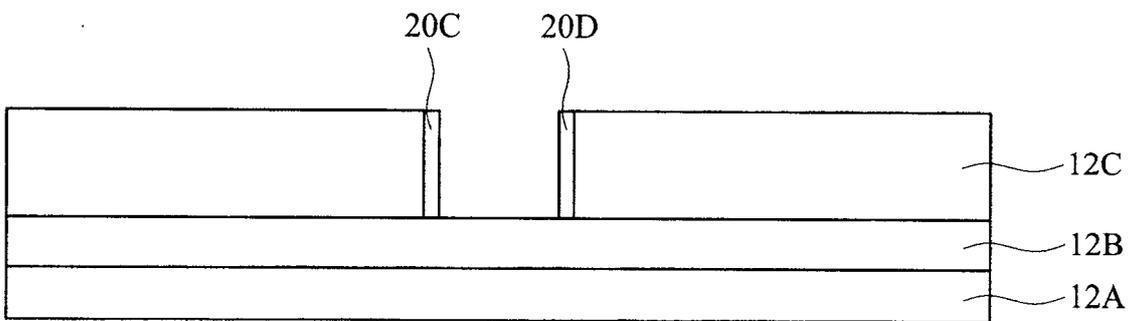


图2B

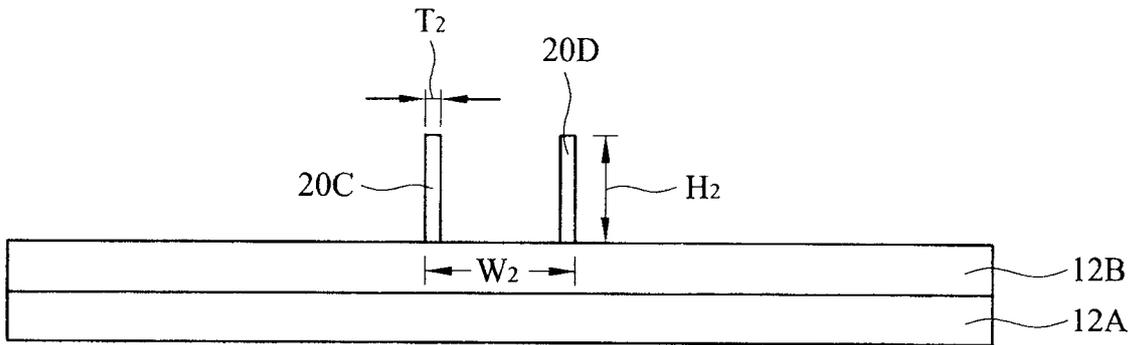


图 2C

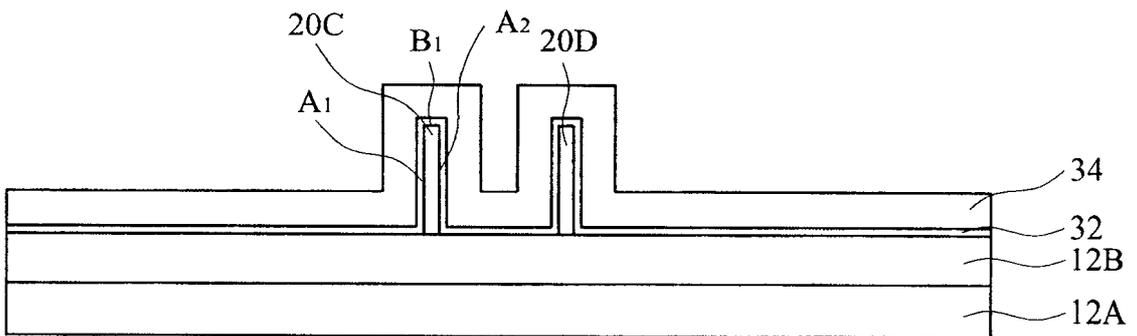


图 2D

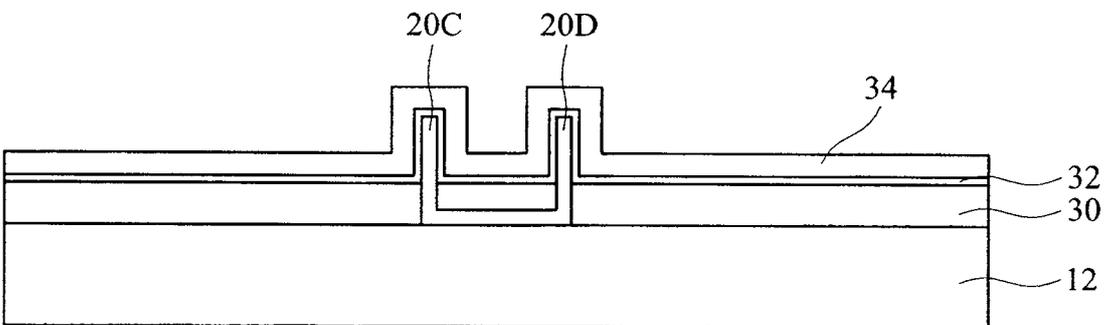


图 2E

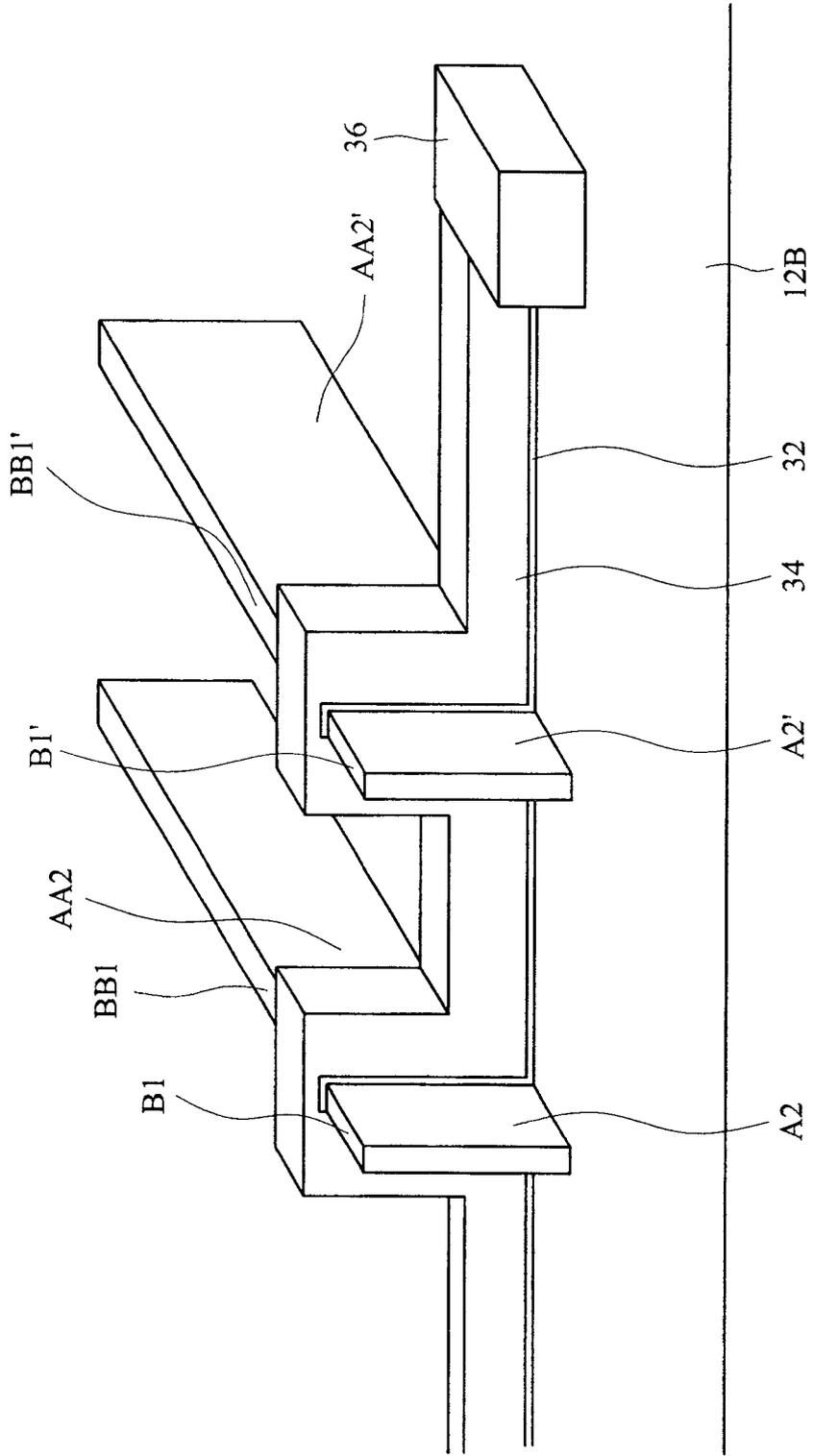


图3

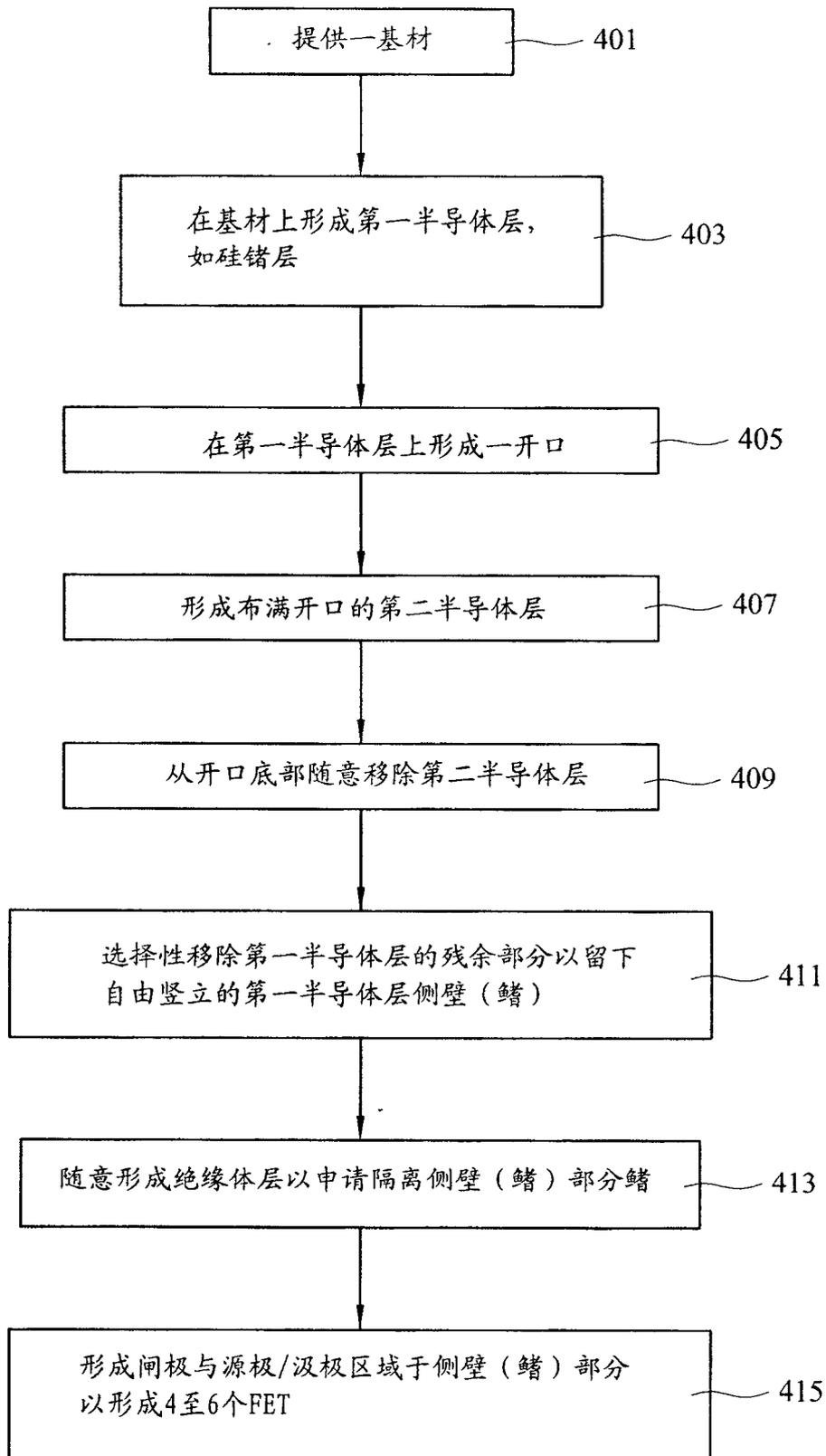


图4