

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-521512
(P2018-521512A)

(43) 公表日 平成30年8月2日(2018.8.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/11546	5 F 1 0 1
HO 1 L 29/792 (2006.01)	HO 1 L 27/11524	
HO 1 L 27/11546 (2017.01)		
HO 1 L 27/11524 (2017.01)		

審査請求 有 予備審査請求 未請求 (全 22 頁)

(21) 出願番号 特願2018-502650 (P2018-502650)
 (86) (22) 出願日 平成28年6月14日 (2016.6.14)
 (85) 翻訳文提出日 平成30年1月19日 (2018.1.19)
 (86) 国際出願番号 PCT/US2016/037436
 (87) 国際公開番号 W02017/014866
 (87) 国際公開日 平成29年1月26日 (2017.1.26)
 (31) 優先権主張番号 62/194,894
 (32) 優先日 平成27年7月21日 (2015.7.21)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 15/180,376
 (32) 優先日 平成28年6月13日 (2016.6.13)
 (33) 優先権主張国 米国 (US)

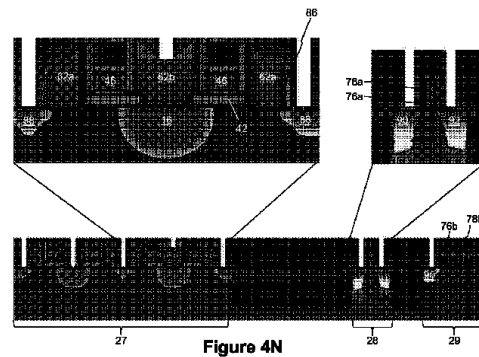
(71) 出願人 500147506
 シリコン ストリージ テクノロジー
 インコーポレイテッド
 SILICON STORAGE TEC
 HNOLOGY, INC.
 アメリカ合衆国 95134 カリフォル
 ニア州 サンノゼ ホルガー ウェイ 4
 50
 (74) 代理人 100094569
 弁理士 田中 伸一郎
 (74) 代理人 100088694
 弁理士 弟子丸 健
 (74) 代理人 100103610
 弁理士 ▲吉▼田 和彦

最終頁に続く

(54) 【発明の名称】 統合された高K金属ゲート論理デバイス及び無金属消去ゲートを有する不揮発性分割ゲートメモリセル、並びにその作製方法

(57) 【要約】

H K M G 論理ゲートを有する論理デバイス及び高電圧デバイスと同じチップ上に分割ゲート不揮発性メモリセルを形成する方法。本方法は、ソース領域及びドレイン領域、浮遊ゲート、制御ゲート、並びに消去ゲート及びワード線ゲートのポリ層をチップのメモリアリア内に形成することを含む。保護絶縁層がメモリアリアの上方に形成され、H K M G 層及びポリ層がチップ上に形成され、メモリアリアから除去され、チップの論理エリア内でパターン形成されて、様々な量の下部絶縁を有する論理ゲートを形成する。



【特許請求の範囲】

【請求項 1】

メモリデバイスを形成する方法であって、

メモリセルエリア、コアデバイスエリア、及びHVデバイスエリアを有する半導体基板を提供することと、

離間したソース領域及びドレイン領域を前記基板の前記メモリセルエリア内に形成することであって、チャンネル領域がそれらの間に延在する、形成することと、

前記チャンネル領域の第1の部分及び前記ソース領域の一部分の上方に配設され、かつそれらから絶縁された導電性浮遊ゲートを形成することと、

前記浮遊ゲートの上方に配設され、かつそれらから絶縁された導電性制御ゲートを形成することと、

10

前記ソース領域及び前記チャンネル領域の第2の部分の上方に少なくとも延在し、かつそれらから絶縁された第1の導電層を前記メモリセルエリア内に形成することと、

前記メモリセルエリア内の前記第1の導電層、前記コアデバイスエリア内の前記基板の表面部分、及び前記HVデバイスエリア内の前記基板の表面部分の上方に延在する第1の絶縁層を形成することと、

前記第1の絶縁層を前記コアデバイスエリアから除去することと、

前記メモリセルエリア及び前記HVデバイスエリア内の前記第1の絶縁層の上方に、かつ前記コアデバイスエリア内の前記基板の前記表面部分の上方に延在するHKMG層を形成することであって、前記HKMG層が、

20

高K誘電材料層と、

前記高K誘電材料層上の金属材料層と、を含む、形成することと、

前記メモリセルエリア、前記コアデバイスエリア、及び前記HVデバイスエリア内の前記HKMG層の上方に延在する第2の導電層を形成することと、

前記HKMG層及び前記第2の導電層を前記メモリセルエリアから除去することと、

前記第1の絶縁層を前記メモリセルエリアから除去することと、

前記第1の導電層の部分を除去することであって、前記ソース領域の上方に配設され、かつそれらから絶縁された前記第1の導電層の第1の部分が消去ゲートとして留まり、前記チャンネル領域の第2の部分の上方に配設され、かつそれらから絶縁された前記第1の導電層の第2の部分がワード線ゲートとして留まる、除去することと、

30

前記HKMG層及び前記第2の導電層の部分を前記コアデバイスエリア及び前記HVデバイスエリアから除去することであって、前記HKMG層の第1の部分及び前記第2の導電層の第1の部分が第1の論理ゲートとして前記コアデバイスエリア内に留まり、前記HKMG層の第2の部分及び前記第2の導電層の第2の部分が第2の論理ゲートとして前記HVデバイスエリア内に留まる、除去することと、を含む、方法。

【請求項 2】

前記第1の絶縁層が、二酸化シリコンである、請求項1に記載の方法。

【請求項 3】

前記第1の導電層及び前記第2の導電層が、ポリシリコンである、請求項1に記載の方法。

40

【請求項 4】

第2の論理ゲートが前記第1の絶縁層によって前記基板から絶縁され、前記第1の論理ゲートが前記第1の絶縁層によって前記基板から絶縁されない、請求項1に記載の方法。

【請求項 5】

前記HVデバイスエリア内の前記HKMG層と前記第1の絶縁層との間に、かつ前記コアデバイスエリア内の前記HKMG層と前記基板との間に配設された絶縁材料の界面層を形成することを更に含む、請求項1に記載の方法。

【請求項 6】

メモリデバイスを形成する方法であって、

メモリセルエリア、コアデバイスエリア、及びHVデバイスエリアを有する半導体基板

50

を提供することと、

離間したソース領域及びドレイン領域を前記基板の前記メモリセルエリア内に形成することと、

前記チャンネル領域の第 1 の部分及び前記ソース領域の一部分の上方に配設され、かつそれらから絶縁された導電性浮遊ゲートを形成することと、

前記浮遊ゲートの上方に配設され、かつそれらから絶縁された導電性制御ゲートを形成することと、

前記ソース領域の上方に配設され、かつそれらから絶縁された導電性消去ゲートを形成することと、

第 1 の絶縁材料を前記消去ゲートの上方に形成することと、

第 2 の絶縁材料を前記 H V デバイスエリア内の前記基板の表面部分の上方に形成することと、

前記メモリセルエリア、前記コアデバイスエリア、及び前記 H V デバイスエリアの上方に延在する H K M G 層を形成することと、

高 K 誘電材料層と、

前記高 K 誘電材料層上の金属材料層と、を含む、形成することと、

前記メモリセルエリア、前記コアデバイスエリア、及び前記 H V デバイスエリア内の前記 H K M G 層の上方に延在する導電層を形成することと、

前記 H K M G 層及び前記導電層の部分を前記メモリセルエリア、前記コアデバイスエリア、及び前記 H V デバイスエリアから除去することと、

前記チャンネル領域の第 2 の部分の上方に配設された前記 H K M G 層の第 1 の部分及び前記導電層の第 1 の部分がワード線ゲートとして留まり、

前記 H K M G 層の第 2 の部分及び前記導電層の第 2 の部分が第 1 の論理ゲートとして前記コアデバイスエリア内に留まり、

前記 H K M G 層の第 3 の部分及び前記導電層の第 3 の部分が第 2 の論理ゲートとして前記 H V デバイスエリア内に留まる、方法。

【請求項 7】

前記導電層が、ポリシリコンである、請求項 6 に記載の方法。

【請求項 8】

第 2 の論理ゲートが前記第 2 の絶縁材料によって前記基板から絶縁され、前記第 1 の論理ゲートが前記第 2 の絶縁材料によって前記基板から絶縁されない、請求項 6 に記載の方法。

【請求項 9】

前記 H V デバイスエリア内の前記 H K M G 層と前記第 2 の絶縁材料との間に、前記コアデバイスエリア内の前記 H K M G 層と前記基板との間に、かつ前記メモリセルエリア内の前記 H K M G 層と前記チャンネル領域の前記第 2 の部分との間に配設された絶縁材料の界面層を形成することを更に含む、請求項 6 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリデバイスに関する。

【0002】

(関連出願の相互参照)

本出願は、参照により本明細書に組み込まれる、2015年7月21日出願の米国仮出願第 62 / 194 , 894 号の利益を主張するものである。

【背景技術】

【0003】

分割ゲート不揮発性メモリセルは、当技術分野において周知である。例えば、米国特許第 7 , 927 , 994 号は、分割ゲート不揮発性メモリセルを開示している。図 1 は、半導体基板 12 上に形成されたかかる分割ゲートメモリセルの一例を例証する。ソース領域

10

20

30

40

50

及びドレイン領域 16 及び 14 は、基板 12 内の拡散領域として形成され、それらの間にチャンネル領域 18 を画定する。メモリセルは、4つの導電性ゲート、すなわち、チャンネル領域 18 の第 1 の部分及びソース領域 16 の一部分の上方に配設され、かつそれから絶縁された浮遊ゲート 22、浮遊ゲート 22 の上方に配設され、かつそれから絶縁された制御ゲート 26、ソース領域 16 の上方に配設され、かつそれから絶縁された消去ゲート 24、及びチャンネル領域 18 の第 2 の部分の上方に配設され、かつそれから絶縁された選択ゲート 20 を含む。導電性接点 10 が形成されて、ドレイン領域 14 に電氣的に接続することができる。

【発明の概要】

【発明が解決しようとする課題】

10

【0004】

メモリセルがアレイ状に配置され、かかるメモリセルの列が分離領域の列によって分離される。分離領域は、絶縁材料が形成される基板の部分である。論理（コア）デバイス及び高電圧デバイスは、メモリアレイと同じチップ上に形成され、多くの場合、同じ加工工程のうちいくつかを共有して形成され得る。高K金属材料からのメモリセルゲート並びに論理ゲート及び高電圧ゲート（HKMG - 金属層の下の高K誘電体層）の作製も既知である。しかしながら、消去ゲート用の高K金属材料の存在がトンネル酸化物上に高密度トラップをもたらし、性能不良につながり得ることが見出された。消去ゲート金属を除去し、ポリシリコンを置き換えることにより、下部トンネル酸化物が損傷され、保持失敗、並びに性能不足がもたらされ得る。

20

【0005】

本発明は、HKMG論理ゲートを有する論理デバイス及び高電圧デバイスと同じチップ上に分割ゲート不揮発性メモリデバイスを形成するための技術である。

【課題を解決するための手段】

【0006】

メモリデバイスを形成する方法は、
 メモリセルエリア、コアデバイスエリア、及びHVデバイスエリアを有する半導体基板を提供することと、
 離間したソース領域及びドレイン領域を基板のメモリセルエリア内に形成することと、
 チャンネル領域がそれらの間に延在する、形成することと、
 チャンネル領域の第 1 の部分及びソース領域の一部分の上方に配設され、かつそれから絶縁された導電性浮遊ゲートを形成することと、
 浮遊ゲートの上方に配設され、かつそれから絶縁された導電性制御ゲートを形成することと、
 ソース領域及びチャンネル領域の第 2 の部分の上方に少なくとも延在し、かつそれらから絶縁された第 1 の導電層をメモリセルエリア内に形成することと、
 メモリセルエリア内の第 1 の導電層、コアデバイスエリア内の基板の表面部分、及びHVデバイスエリア内の基板の表面部分の上方に延在する第 1 の絶縁層を形成することと、
 第 1 の絶縁層をコアデバイスエリアから除去することと、
 メモリセルエリア及びHVデバイスエリア内の第 1 の絶縁層の上方に、かつコアデバイスエリア内の基板の表面部分の上方に延在するHKMG層を形成することと、
 HKMG層が、
 高K誘電材料層と、
 高K誘電材料層上の金属材料層と、を含む、形成することと、
 メモリセルエリア、コアデバイスエリア、及びHVデバイスエリア内のHKMG層の上方に延在する第 2 の導電層を形成することと、
 HKMG層及び第 2 の導電層をメモリセルエリアから除去することと、
 第 1 の絶縁層をメモリセルエリアから除去することと、
 第 1 の導電層の部分を除去することと、
 ソース領域の上方に配設され、かつそれから絶縁された第 1 の導電層の第 1 の部分が消去ゲートとして留まり、チャンネル領域の第

30

40

50

2の部分の上方に配設され、かつそれから絶縁された第1の導電層の第2の部分がワード線ゲートとして留まる、除去することと、

H K M G層及び第2の導電層の部分をコアデバイスエリア及びH Vデバイスエリアから除去することと、H K M G層の第1の部分及び第2の導電層の第1の部分がコアデバイスエリアとして第1の論理ゲート内に留まり、H K M G層の第2の部分及び第2の導電層の第2の部分が第2の論理ゲートとしてH Vデバイスエリア内に留まる、除去することと、を含む。

【0007】

メモリデバイスを形成する方法は、

メモリセルエリア、コアデバイスエリア、及びH Vデバイスエリアを有する半導体基板を提供することと、

離間したソース領域及びドレイン領域を基板のメモリセルエリア内に形成することと、

チャネル領域がそれらn間に延在する、形成することと、

チャネル領域の第1の部分及びソース領域の一部分の上方に配設され、かつそれから絶縁された導電性浮遊ゲートを形成することと、

浮遊ゲートの上方に配設され、かつそれから絶縁された導電性制御ゲートを形成することと、

ソース領域の上方に配設され、かつそれから絶縁された導電性消去ゲートを形成することと、

第1の絶縁材料を消去ゲートの上方に形成することと、

第2の絶縁材料をH Vデバイスエリア内の基板の表面部分の上方に形成することと、

メモリセルエリア、コアデバイスエリア、及びH Vデバイスエリアの上方に延在するH K M G層を形成することと、H K M G層が、

高K誘電材料層と、

高K誘電材料層上の金属材料層と、を含む、形成することと、

メモリセルエリア、コアデバイスエリア、及びH Vデバイスエリア内のH K M G層の上方に延在する導電層を形成することと、

H K M G層及び導電層の部分をメモリセルエリア、コアデバイスエリア、及びH Vデバイスエリアから除去することと、を含む、

チャネル領域の第2の部分の上方に配設されたH K M G層の第1の部分及び導電層の第1の部分がワード線ゲートとして留まり、

H K M G層の第2の部分及び導電層の第2の部分が第1の論理ゲートとしてコアデバイスエリア内に留まり、

H K M G層の第3の部分及び導電層の第3の部分が第2の論理ゲートとしてH Vデバイスエリア内に留まる。

【0008】

本発明の他の目的及び特徴は、明細書、請求項、添付図面を精読することによって明らかになるであろう。

【図面の簡単な説明】

【0009】

【図1】従来のメモリセルの側面断面図である。

【図2A】S T I絶縁の形成時の基板の上面図である。

【図2B】S T I分離領域の形成時の基板の側面断面図である。

【図2C】S T I絶縁の形成時の基板の上面図である。

【図2D】S T I分離領域の形成時の基板の側面断面図である。

【図2E】S T I分離領域の形成時の基板の側面断面図である。

【図2F】S T I分離領域の形成時の基板の側面断面図である。

【図3A】基板上に不揮発性メモリセル及び論理ゲートを形成する工程を例証する側面断面図である。

【図3B】基板上に不揮発性メモリセル及び論理ゲートを形成する工程を例証する側面断

10

20

30

40

50

程を例証する側面断面図である。

【図 5 G】代替実施形態による基板上に不揮発性メモリセル及び論理ゲートを形成する工程を例証する側面断面図である。

【図 5 H】代替実施形態による基板上に不揮発性メモリセル及び論理ゲートを形成する工程を例証する側面断面図である。

【発明を実施するための形態】

【0010】

本発明は、高K金属材料を使用して論理ゲートを形成するが、消去ゲートをポリシリコン材料で最初に形成することによって上述の課題を解決する。かかるメモリセルを形成する方法は、図 2 A ~ 2 F、3 A ~ 3 G、及び 4 A ~ 4 N に例証される。この方法は、好ましくは P 型のものであり、当該技術分野で周知の半導体基板 1 2 から始まる。

10

分離領域形成

【0011】

図 2 A ~ 2 F は、基板上に分離領域を形成する周知の S T I 方法を例証する。図 2 A を参照して、好ましくは P 型のものであり、当該技術分野で周知の半導体基板 1 2 (又は半導体ウェル)の平面図が示される。第 1 の材料層 3 0 及び第 2 の材料層 3 1 は、基板上に形成される(例えば、化成又は堆積する)。例えば、第 1 の層 3 0 は、二酸化シリコン(以下、「酸化物」)であってもよく、これは、酸化又は酸化物堆積(例えば、化学気相堆積又は C V D)等の任意の周知の技法によって基板 1 2 上に形成される。窒素ドーパ酸化物又は他の絶縁性誘電体も使用されてもよい。第 2 の層 3 1 は、窒化シリコン(以下、「窒化物」)、であってもよく、これは、好ましくは C V D 又は P E C V D によって酸化物層 3 0 の上方に形成される。図 2 B は、結果として得られた構造の断面を例証する。

20

【0012】

第 1 及び第 2 の層 3 0 / 3 1 が形成されると、好適なフォトレジスト材料 3 2 を窒化物層 3 1 上に塗布し、マスキング工程を行い、図 2 C に示すように、Y 又はカラム方向に延在する特定領域(ストライプ 3 3)からフォトレジスト材料を選択的に除去する。フォトレジスト材料 3 2 が除去される場合、露出された窒化物層 3 1 及び酸化物層 3 0 は、標準のエッチング技法(すなわち、異方性窒化物及び酸化物/誘電体エッチング処理)を使用してストライプ 3 3 でエッチングされて、構造内にトレンチ 3 4 を形成する。その後、シリコンエッチング処理を使って、図 2 D に示すように、シリコン基板 1 2 の中へトレンチ 3 4 を下方に延在させる。フォトレジスト 3 2 が除去されない場合、窒化物層 3 1 及び酸化物層 3 0 は維持される。図 2 D に例証される結果として生じる構造は、分離領域 3 6 と織り合わせられた活性領域 3 5 を画定するようになる。

30

【0013】

この構造が更に処理されて、残りのフォトレジスト 3 2 を除去する。その後、厚い酸化物層を蒸着することで、トレンチ 3 4 内に二酸化珪素のような分離材料が形成され、その後、化学機械研磨(CMP)エッチングが実行され(窒化物層 3 1 をエッチングのストップパとして使用)、図 2 E に示すように、トレンチ 3 4 内の酸化物ブロック 1 2 8 を除いて、酸化物層を除去する。その後、残存する窒化物層 3 1 及び酸化物層 3 0 は、窒化/酸化エッチング処理を使用して除去され、図 2 F に示すように、分離領域 3 6 に沿って延在する S T I 酸化物ブロック 1 2 8 が残される。

40

【0014】

図 2 A ~ 2 F は、基板のメモリセルアレイ領域を例証し、ここで、メモリセルのカラムが分離領域 3 6 によって分離される活性領域 3 5 内に形成される。基板 1 2 が、メモリセルアレイ領域内に形成されたメモリセルを動作させるために使用される制御回路が形成される少なくとも 1 つの周辺領域も含むことに留意されたい。好ましくは、分離ブロック 1 2 8 も上述の同じ S T I 処理中に周辺領域内に形成される。

メモリセル形成

【0015】

図 2 F に示す構造は、更に以下のとおりに処理される。図 3 A ~ 3 G は、本発明の処理

50

における次の工程が行われるときの、図 2 F から直角に（図 2 C 及び 2 F に示される線 3 A - 3 A に沿って）見た活性領域 3 5 内の構造の断面を示す。

【 0 0 1 6 】

図 3 A から始まり、基板 1 2 上の二酸化シリコン（酸化物）層 4 0 の形成が示される。その後、第 1 のポリシリコン（又はアモルファスシリコン）層 4 2 が二酸化シリコン層 4 0 上に堆積するか、又は形成される。第 1 のポリシリコン（ポリ）層 4 2 は、その後、活性領域 3 5 に平行の方向にパターン形成される（ポリシリコンを分離領域 3 6 から除去する）。

【 0 0 1 7 】

図 3 B を参照して、二酸化シリコン等の別の絶縁層 4 4（又は更には複合絶縁層、例えば、ONO（酸化物副層、窒化物副層、酸化物副層））が第 1 のポリシリコン層 4 2 上に堆積するか、又は形成される。その後、第 2 のポリシリコン層 4 6 が層 4 4 上に堆積するか、又は形成される。絶縁体の別の層 4 8 は、ポリシリコンの第 2 の層 4 6 上に堆積されるか、又は形成され、その後のドライエッチング中のハードマスクとして使用される。好ましい実施形態では、層 4 8 は、窒化シリコン副層 4 8 a、二酸化シリコン副層 4 8 b、及び窒化シリコン副層 4 8 c から成る複合層である。

【 0 0 1 8 】

図 3 C を参照して、フォトレジスト材料（図示せず）は、図 3 B に示される構造上に堆積し、マスクング工程が形成され、フォトレジスト材料の選択された部分を露出する。フォトレジストは現像され、そのフォトレジストをマスクとして使用して、構造体に対するエッチングが行われる。複合層 4 8、ポリシリコンの第 2 の層 4 6、絶縁層 4 4 は、次にポリシリコンの第 1 の層 4 2 が露出されるまで異方性エッチングされる。結果として生じる構造が図 3 C に示される。2 つの「積層体」S 1 及び S 2 のみが示されているが、互いに分離されるかか「積層体」がいくつが存在することが明らかであろう。

【 0 0 1 9 】

図 3 D を参照して、二酸化シリコン 4 9 がその構造上に堆積するか、又は形成される。この後に窒化ケイ素層 5 0 の堆積が続く。二酸化シリコン 4 9 及び窒化ケイ素 5 0 は、異方性エッチングされ、積層体 S 1 及び S 2 のそれぞれの周囲に（二酸化シリコン 4 9 及び窒化ケイ素 5 0 の混合である）スペーサ 5 1 を残す。結果として生じる構造が図 3 D に示される。

【 0 0 2 0 】

図 3 E を参照して、フォトレジストマスク 4 7 は、積層体 S 1 と S 2 との間、かつ他の交互積層体対間の領域の上方に形成される。積層体 S 1 と S 2 との間の領域は、本明細書で「内側領域」と称され、積層体の反対側の（フォトレジスト 4 7 によって被覆されていない）領域は、本明細書で「外側領域」と称される。外側領域内の露出された第 1 のポリシリコン 4 2 は、異方的にエッチングされる。酸化物層 4 0 は、部分的に又は完全にエッチングされ得る。結果として生じる構造が図 3 E に示される。

【 0 0 2 1 】

図 3 F を参照して、フォトレジスト材料 4 7 は、図 3 E に示される構造から除去される。その後、酸化物層 5 2 が堆積するか、又は形成される。その後、酸化物層 5 2 が異方性エッチングの対象となり、積層体 S 1 及び S 2 に隣接してスペーサ 5 2 を残す。結果として生じる構造が図 3 F に示される。

【 0 0 2 2 】

図 3 G を参照して、その後、フォトレジスト材料 5 3 が堆積し、マスクングされて、積層体 S 1 と S 2 との間の内側領域内に開口部を残すが、外側領域内に留まる。積層体 S 1 と S 2 との間（及び他の交互積層体対間）の内側領域内のポリシリコン 4 2 が異方的にエッチングされる。ポリシリコン 4 2 の下の二酸化シリコン層 4 0 もまた、異方性エッチングされてもよい。結果として生じる構造がイオン注入の対象となり、第 2 の（ソース）領域 1 6 を形成する。結果として生じる構造が図 3 G に示される。

【 0 0 2 3 】

10

20

30

40

50

図4 A ~ 4 Nは、メモリセルエリア27、絶縁アレイ境界領域(すなわち、絶縁エリア128)、コアデバイス(例えば、コア論理デバイス)が形成されるコアデバイスエリア28、及び高電圧デバイス(例えば、高電圧論理デバイス)が形成されるHVデバイスエリア29の活性領域35内の構造の拡大断面図である。図4 Aに示されるように、図3 Gのメモリセル積層体S1及びS2が形成され、コアデバイスエリア28又はHVデバイスエリア29内には構造がまだ形成されていない。外側壁スペーサ52は、浮遊ゲートとワード線との間の主な分離としての役割を果たす。

【0024】

マスクング工程が行われて、この構造の上方に(HV I I)フォトレジスト54を形成するが、積層体S1とS1との間の内側領域内に露出された状態で残す(すなわち、フォトレジストは、マスクを介して露出され、選択的に除去される)。注入が行われて、ソース領域16を増強する。その後、酸化物エッチングが行われて、図4 Bに示されるように、積層体S1及びS2の内側壁及び内側領域内の基板表面に沿って露出された酸化物を除去する。フォトレジスト54が除去された後、酸化物層(すなわち、トンネル酸化物)56がその構造の上方に、具体的には、図4 Cに示されるように、好ましくは高温CVD酸化物(HTO)を使用して、浮遊ゲートポリ層42の露出端に形成される。マスクング工程が行われて、(LV O X - 0)フォトレジスト58を積層体S1及びS2の外側領域を除いてその構造の上方に形成する。酸化物エッチングが行われて、露出された酸化物を除去し、具体的には、図4 Dに示されるように、基板の表面に沿って酸化物を除去する。

10

【0025】

その後、酸化物層60(すなわち、ワード線酸化物層)が露出されたシリコン基板上に形成される。その後、図4 Eに示されるように、フォトレジスト58が除去される。その後、ポリシリコン層62(メモリポリ)がその構造の上方に形成される。図4 Fに示されるように、酸化物層64(キャップ酸化物)がポリ層62の上方に形成される。キャップ酸化物層64を使用して、周辺ウエハーエリア内でのポリディッシングを阻止する。この構造は、化学機械研磨(CMP)を使用して平坦化される。メモリセルエリア内のポリ層の部分は、論理エリア(すなわち、コアデバイス28及びHVデバイスエリア29)内のポリ層の部分よりもわずかに高くてもよい。その後、図4 Gに示されるように、注入がポリ層内に形成される(すなわち、ポリ層のN+NN I Iドーピング)。マスクング工程を使用して、フォトレジスト66をその構造の上方に形成し、それを論理エリア28及び29から選択的に除去する。その後、図4 Hに示されるように、ポリエッチングが行われ、ポリ層62を論理エリア28/29から除去し、酸化物エッチングが行われて、論理エリア28/29内の基板表面上のいかなる酸化物も除去する。

20

30

【0026】

フォトレジスト66が除去された後、酸化物堆積が行われて、酸化物68(すなわち、HV酸化物)層をその構造の上方に、具体的には、論理エリア28/29内の基板表面上に形成する。1つ以上のマスクング工程を使用して、フォトレジストをその構造の上方に形成し、それを選択エリアから選択的に除去する。その後、1回以上の注入、具体的には、ウェル注入が露出されたコアデバイスエリア28及び任意のIOエリア、並びに/又はHVデバイスエリア29上に行われる。コアNMOS及びPMOSは、それらの特定の注入のために別個のマスクを使用する。その後、マスク及びIOエリアからの酸化物のみをエッチングする酸化物エッチング(すなわち、LV O X)が行われる。その後、IO酸化物形成を使用して、酸化物層をIOエリア内のみ形成する。マスクング工程を使用して、フォトレジスト70をその構造の上方に形成し、それをコアデバイスエリア28のみから選択的に除去する。酸化物エッチング(すなわち、LL V O X)を使用して、図4 Iに示されるように、コアデバイスエリア28内の基板表面上の酸化物68を除去する。

40

【0027】

酸化物薄層72(界面層(IL))がその構造の上方に形成される。その後、高K材料HKの(すなわち、HfO2、ZrO2、TiO2、Ta2O5、又は他の適切な材料等の酸化物の誘電率Kを超える誘電率Kを有する)絶縁層74を備える高K金属ゲート層H

50

KMGが導電性金属層76の下に形成される。その後、図4Jに示されるように、ポリシリコン層78が金属層76上に堆積する。マスクング工程が行われて、論理エリア28/29をフォトレジスト80で被覆するが、フォトレジストは、メモリセルエリア27から除去される。その後、図4Kに示されるように、エッチングを使用して、ポリ層78、金属層76、高K層74、IL層72、酸化物68、及び下部ポリ層62の上部分(すなわち、積層体S1及びS2の上部より下)をメモリセルエリア27から除去する。

【0028】

フォトレジスト80が除去された後、酸化物層82がその構造上に堆積し、その後、マスクング工程が行われて、フォトレジストによって露出された論理デバイスエリア28/29のある特定の部分のみを残す。一連のエッチングを使用して、酸化物82、ポリ層78、金属層76、高K層74、及びIL層72を除去し、図4Lに示されるように(フォトレジスト除去後)、論理デバイスのためのそれらのかかる層の積層体S3及びS4を、それぞれ、コアデバイスエリア28及びHVデバイスエリア29内に選択的に残す。各積層体S3/S4は、高K酸化物層74及びIL層72によって(加えて、より高い電圧での動作のためにHVデバイスエリア29内の酸化物層68によって)基板から絶縁されたポリ層62及び金属層76の論理ゲートを構成する。マスクング工程を使用して、フォトレジスト84をその構造の上方に形成し、フォトレジストをメモリセルエリア27の外側領域(すなわち、隣接したメモリセル対間の領域)から除去し、ソース線をストラップするために使用される内側領域を選択する(図4Mの左側のセル対を参照のこと)。その後、酸化物及びポリエッチングを使用して、図4Mに示されるように、外側及び内側積層体領域内の酸化物層82及びポリ層62の露出された部分を除去する。これらのエッチングは、メモリセルワード線62a(メモリセルエリア27の外側領域内のポリ層62のブロック)を画定する。ポリ層66の一部分62bは、内側領域内に留まる。

【0029】

フォトレジスト84が除去された後、最終加工が行われて、図4Nに示されるように、ワード線62aと並んで絶縁スペーサ86を形成し、ワード線62aに隣接した基板への注入によってドレイン領域88を形成し、論理ゲートに隣接した基板への注入によってソース領域90/ドレイン領域92をコアデバイスエリア28及びHVデバイスエリア29内に形成する。

【0030】

上述の処理により、HKMGコアデバイス及び高電圧デバイスと同じウエハー上にHKMGを含まないメモリセルが形成される。メモリセルエリア27内で、各メモリセルは、ソース16及びドレイン88を有し、それらの間にチャンネル領域を画定する。浮遊ゲート42は、チャンネル領域の第1の部分及びソース領域16の一部分の上方に配設され、ワード線ゲート62aは、チャンネル領域の第2の部分の上方に配設される。制御ゲート46は、浮遊ゲート42の上方に配設される。消去ゲート62bは、ソース領域16の上方に配設される(ソース線へのストラップ接続のために使用されるメモリセル対は除く)。コア論理エリア28内で、ソース領域90及びドレイン領域92は、それらの間にチャンネル領域を画定し、その上方に高K層74及びIL層72によってそれから絶縁された(ポリ78a及び金属76aの)コア論理ゲートが位置する。HV論理エリア29内で、ソース領域90及びドレイン領域92は、それらの間にチャンネル領域を画定し、その上方に高K層74、IL層72、及び酸化物層68によってそれから絶縁された(ポリ78b及び金属76bの)HV論理ゲートが位置する。

【0031】

形成中、消去ゲートポリ62bは、トンネル酸化物56を密封し、その後の加工工程でそれをHKMG材料への曝露から保護する。トンネル酸化物56の完全性は、前清浄、後清浄、乾燥、及びエッチング等のHKMG関連処理工程によって低下しない。論理エリア内のHKMG/ポリ論理ゲートは、ポリシリコンのみから作製されたゲート上に電流を増加させる。消去ゲート62b上でのHKMGの形成を回避することによって、トンネル酸化物上での高密度トラップの導入(これにより、耐久性不足がもたらされ得る)が回避さ

10

20

30

40

50

れる。更に、形成及びその後のHKMGの消去ゲートエリアからの除去を回避することによって、トンネル酸化物の下側への損傷（これにより、保持失敗、並びに耐久性不足がもたらされる）が回避される。

【0032】

図5A～5Hは、HKMG層が（ワード線電流を増加させるために）ワード線ゲートの一部として含まれる代替実施形態を例証する。これは、消去ゲートエリア内でのHKMG層の形成を依然として回避しながら行われ、消去ゲートがトンネル酸化物をHKMG加工から依然として保護する。この処理は、図4Cに示される（図5Aに再度示される）構造を通じて同じである。上述の酸化物エッチングの代わりに、図5Bに示されるように、メモリポリ62がその構造の上方に堆積し、その後、酸化物堆積によって酸化物層64が形成される。ポリCMPエッチング及びポリエッチングバック処理が行われ、図5Cに示されるように、消去ゲート62bをメモリ積層体S1とS2との間に残す。NNII注入がこの時点で、又は後に行われ得る。マスキング工程を使用して、内側領域（及びその内部の消去ゲート62b）をフォトレジスト100で被覆するが、フォトレジスト100を残りのエリアから除去する。その後、ポリエッチングを使用して、ポリ層62の露出された部分を除去する。その後、酸化物等方性エッチングが行われ、図5Dに示されるように、基板上の酸化物層の露出された部分を除去する。

10

【0033】

IO及びコアマスク/注入が行われ、その後、HVOXマスク及びZMO5注入並びに酸化物エッチングが（HVデバイスエリア29内の残りの酸化物を除去するために）行われる。HV酸化物堆積を使用して、HVデバイスエリア29のために酸化物層102を形成し、その後、（IOエリアのみのために）LVOXマスク及び酸化物エッチングが行われる。その後、酸化物層形成工程がIOエリアに行われる。LLVOXマスク及び酸化物エッチングがコアデバイスエリア28及びメモリセルエリア27内の（積層体S1及びS2の）外側領域に行われて、基板上の酸化物を除去する。その後、図5Eに示されるように、酸化物層104の形成に加えて、上述のIL/HKMG/ポリ形成工程が3つ全ての領域27、28、29に行われる。

20

【0034】

構造がフォトレジストでマスキングされ、これが選択的に除去されて、STI酸化物エリア並びにコアデバイスエリア及びHVデバイスエリアの部分を露出された状態で残す。その後、エッチングが行われて、図5Fに示されるように、酸化物128、ポリ78、金属76、高K層74、及びIL層72の露出された部分を除去する。構造がフォトレジスト106で再度マスキングされ、これがメモリ積層体とSTIエリア128の部分との間の内側領域から選択的に除去される。その後、エッチングが行われて、図5Gに示されるように、酸化物128、ポリ78、金属76、高K層74、及びIL層72の露出された部分を除去する。これにより、（フォトレジスト除去後に）図5Hに示される構造がもたらされ、論理エリアゲートもメモリセルエリアワード線108もいずれも、IL層72の上方のHKMG層（金属76及び高K酸化物74）の上方のポリ層78から形成される。この加工が継続されて、メモリセルドレイン領域、論理エリアソース/ドレイン領域、及び接触線の形成が完了する。

30

40

【0035】

本発明は、上述の、及び本明細書に例示の実施形態（複数可）に限定されないことが理解されよう。例えば、本明細書で本発明に言及することは、任意の請求項又は請求項の用語の範囲を限定することを意図されておらず、その代わりに、単に、1つ以上の請求項によって網羅され得る1つ以上の特徴に言及するものである。上述の材料、プロセス、及び数値例は、単なる例示であり、請求項を限定するものと見なされるべきではない。更に、特許請求の範囲及び明細書から明らかであるように、全ての方法工程が例証又は特許請求される正確な順序で行われる必要はないが、本発明のメモリセルの適切な形成を可能にする任意の順序で行われる。単一の材料層は、複数のそのような又は類似の材料層として形成することができ、そして、逆もまた同様である。本明細書で使用される、用語「形成」及

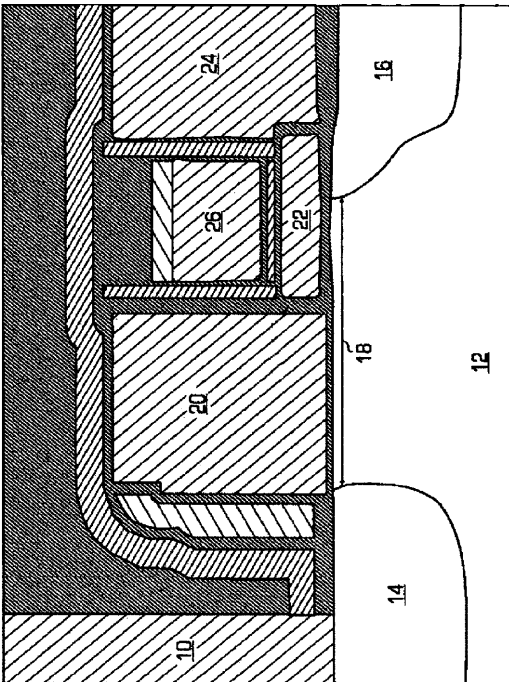
50

び「形成される」とは、材料堆積、材料化成、又は開示又は特許請求される材料を提供する際の任意の他の技法を含むものとする。

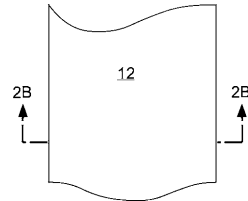
【0036】

本明細書で使用される、用語「～の上方に(over)」及び「～の上に(on)」はともに、「直接的に～の上に」(中間材料、要素、又は間隙がそれらの間に配設されていない)及び「間接的に～の上に」(中間材料、要素、又は間隙がそれらの間に配設されている)を包括的に含むことに留意されるべきである。同様に、用語「隣接する」は、「直接的に隣接する」(中間の材料、要素、又は間隙が間に配設されていない)及び「間接的に隣接する」(中間の材料、要素、又は間隙が間に配設されている)を含む。例えば、「基板の上方に」要素を形成することは、中間材料/要素が介在せず直接的に基板の上にその要素を形成することも、1つ以上の中間材料/要素が介在して間接的に基板の上にその要素を形成することも含む可能性がある。

【図1】



【図2A】

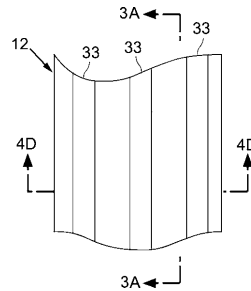


【図2B】

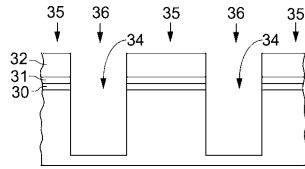


(先行技術)

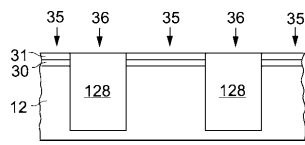
【図2C】



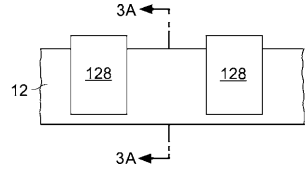
【 図 2 D 】



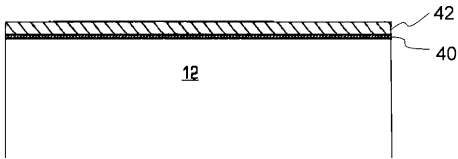
【 図 2 E 】



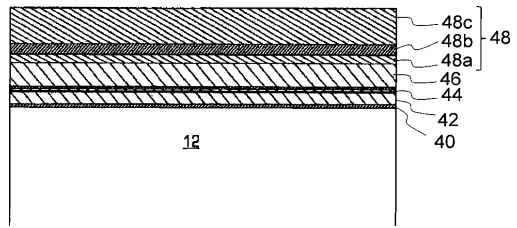
【 図 2 F 】



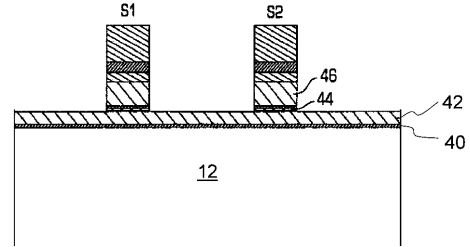
【 図 3 A 】



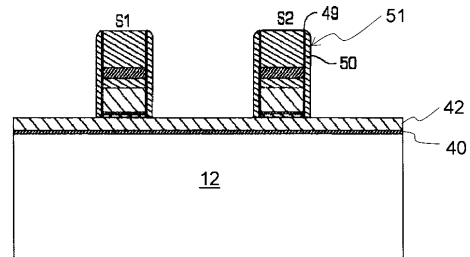
【 図 3 B 】



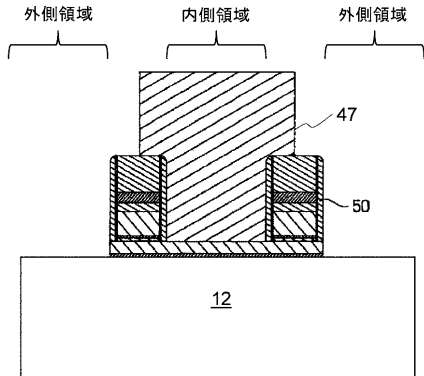
【 図 3 C 】



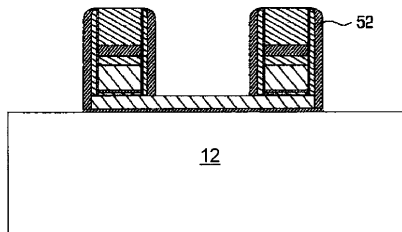
【 図 3 D 】



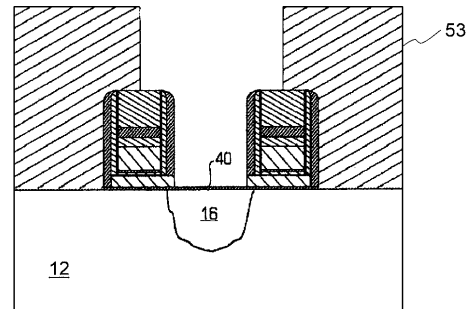
【 図 3 E 】



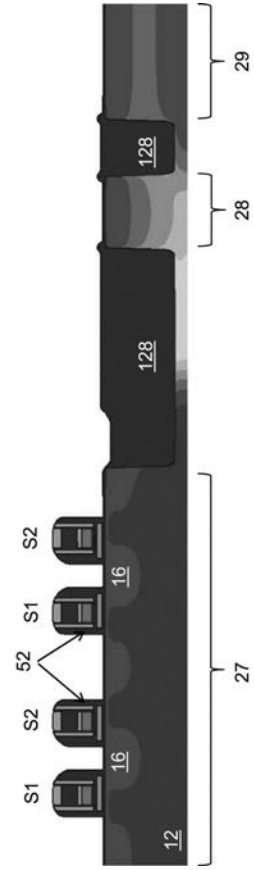
【 図 3 F 】



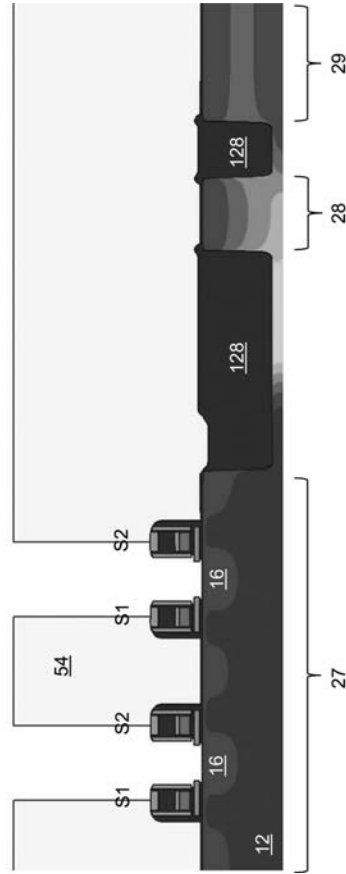
【 図 3 G 】



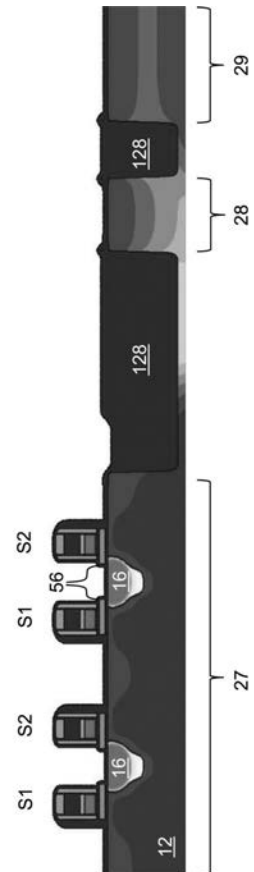
【 図 4 A 】



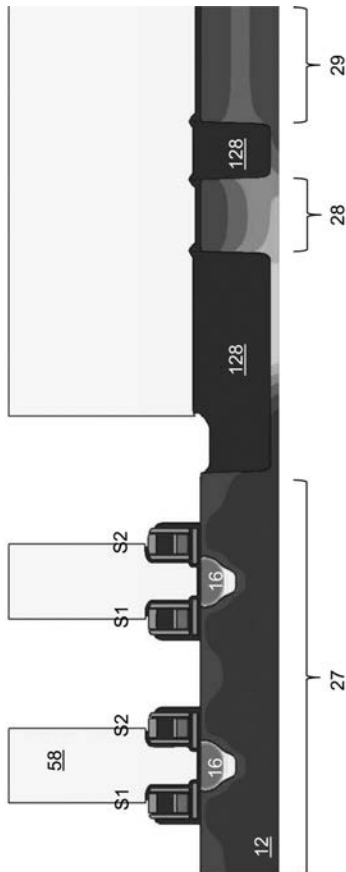
【 図 4 B 】



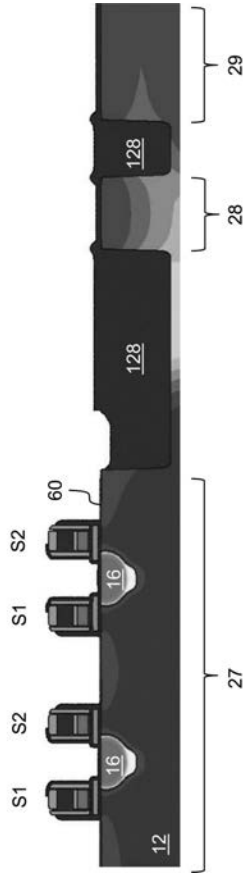
【 図 4 C 】



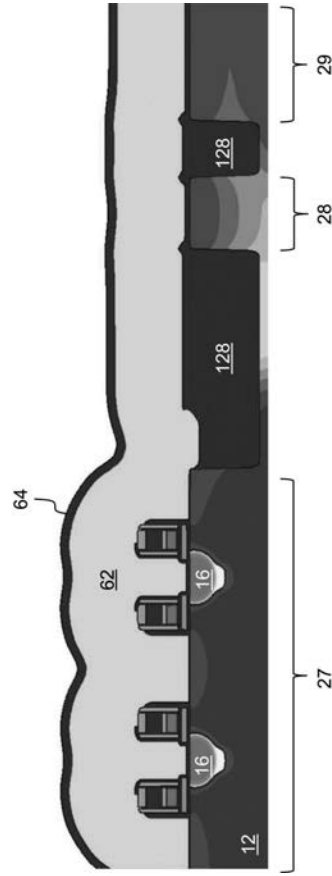
【 図 4 D 】



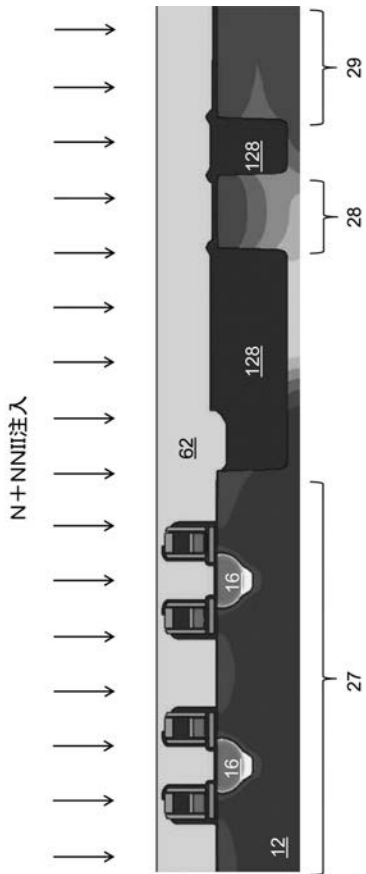
【 図 4 E 】



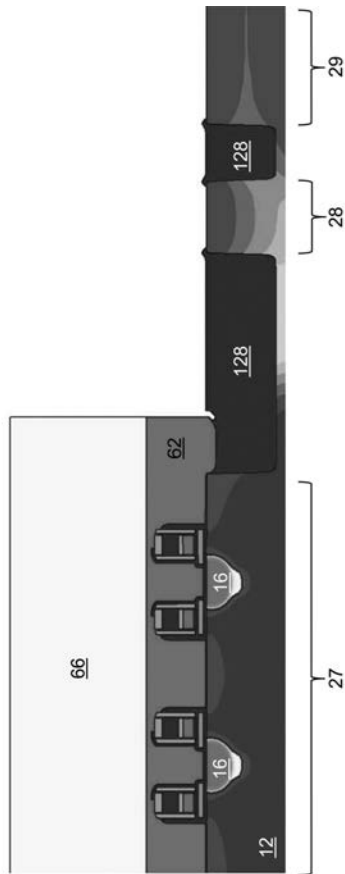
【 図 4 F 】



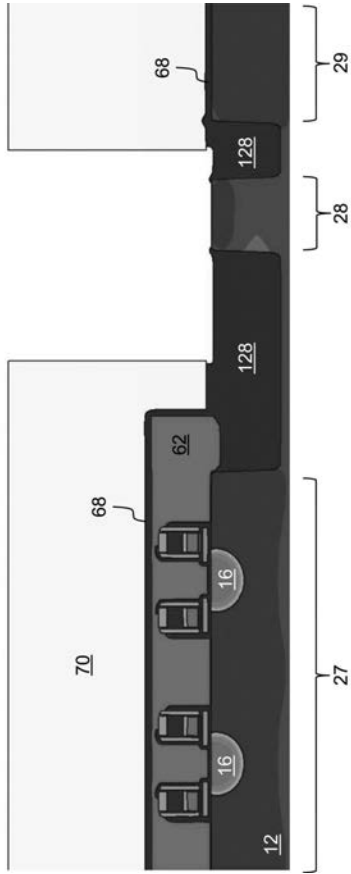
【 図 4 G 】



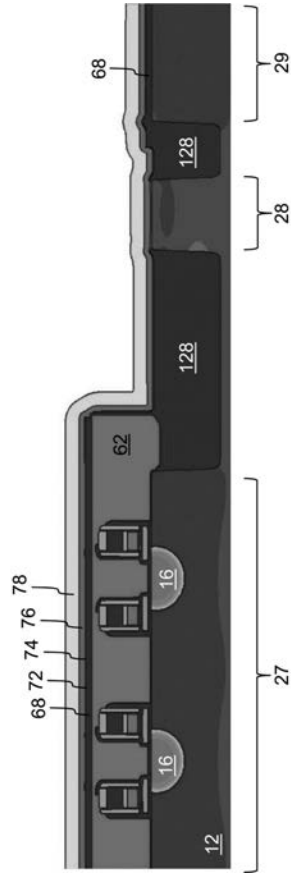
【 図 4 H 】



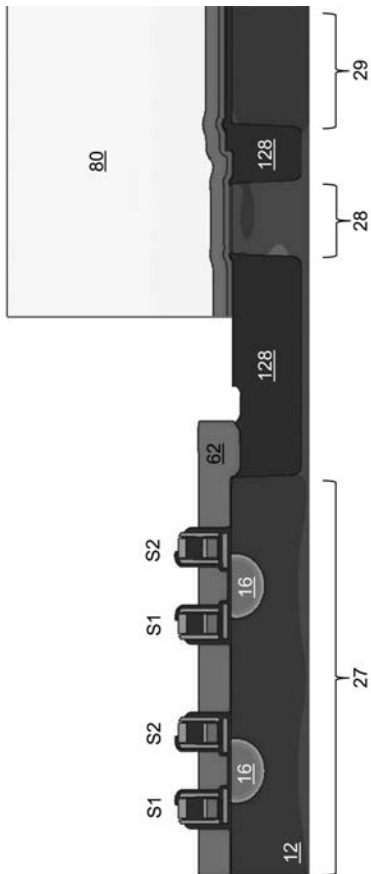
【 図 4 I 】



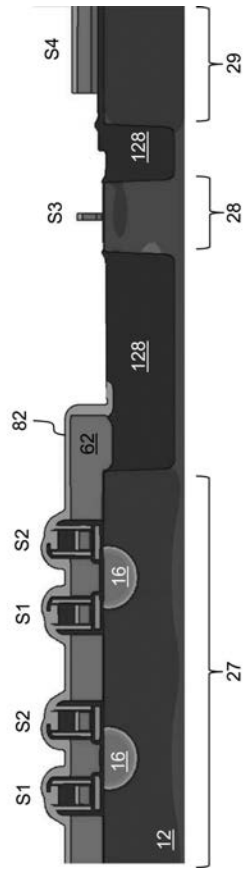
【 図 4 J 】



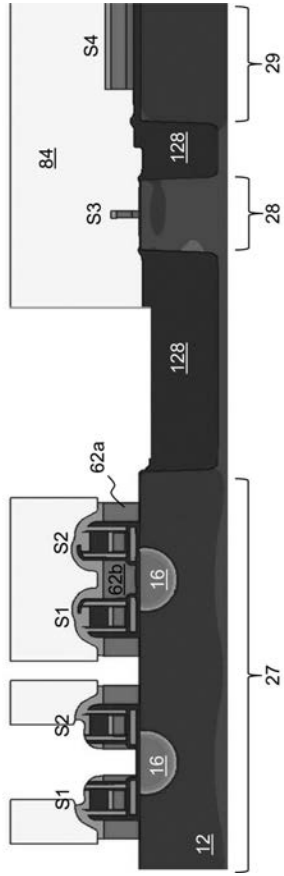
【 図 4 K 】



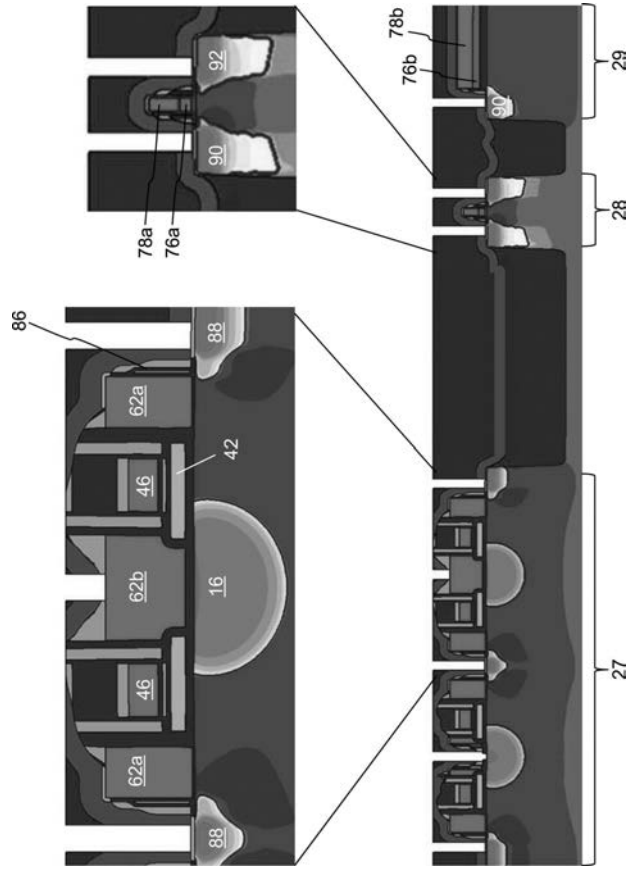
【 図 4 L 】



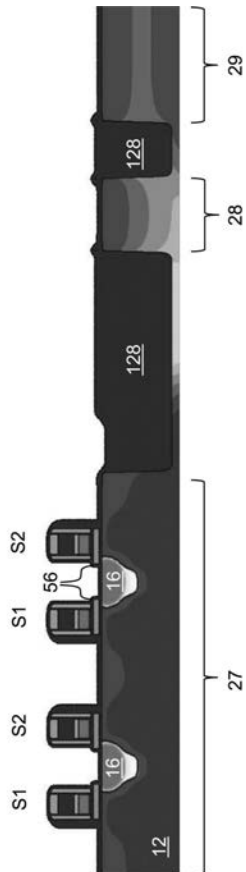
【 図 4 M 】



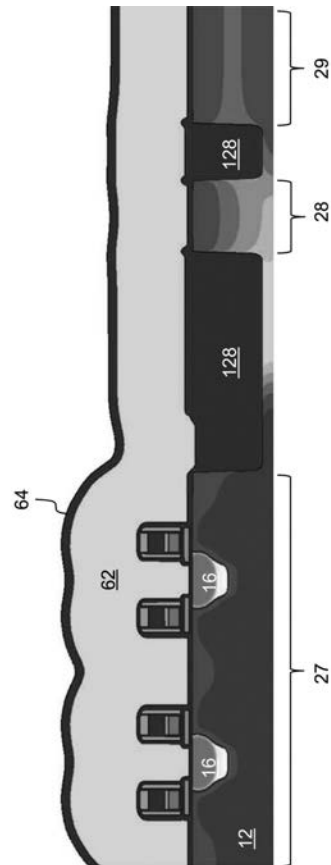
【 図 4 N 】



【 図 5 A 】



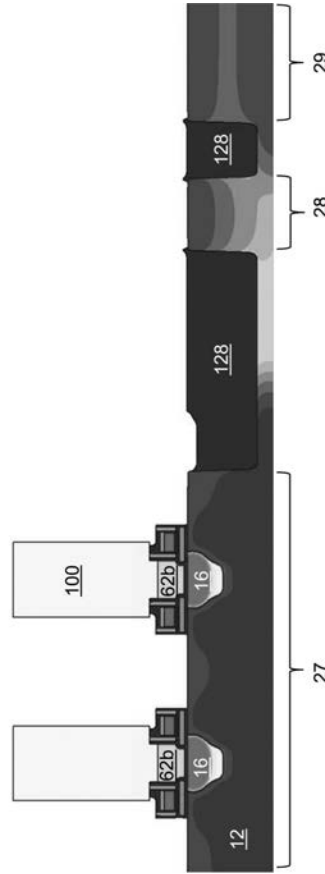
【 図 5 B 】



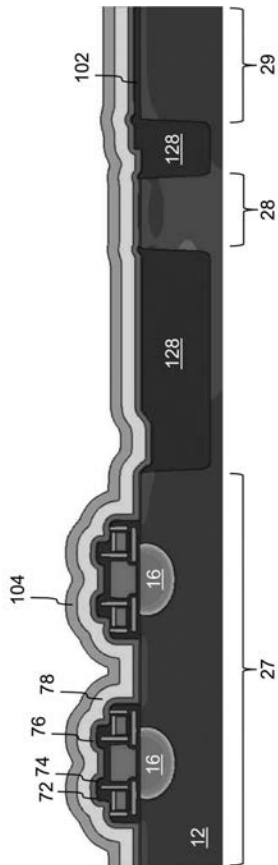
【 図 5 C 】



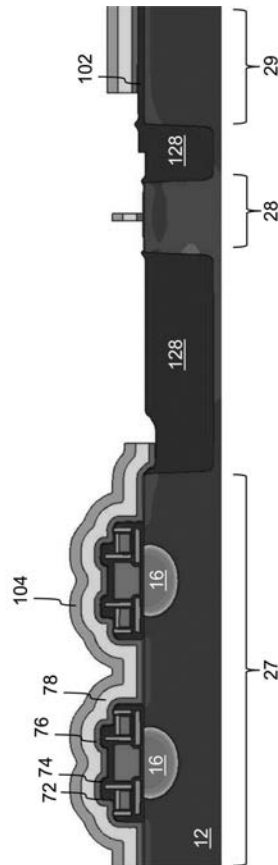
【 図 5 D 】



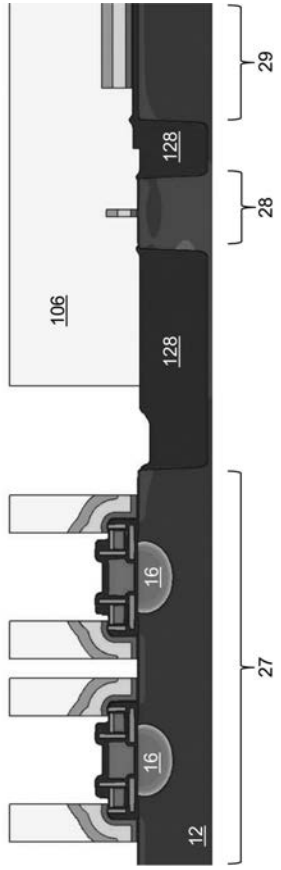
【 図 5 E 】



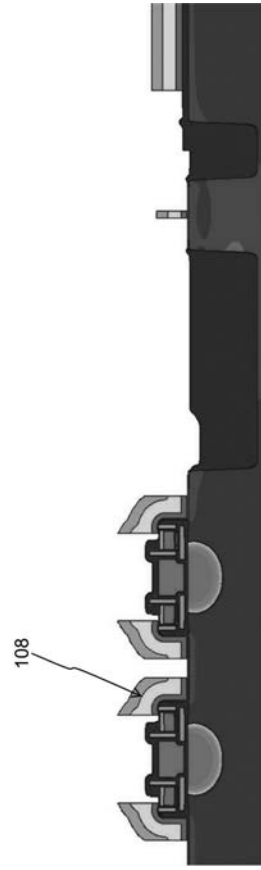
【 図 5 F 】



【 図 5 G 】



【 図 5 H 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2016/037436

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L29/423 H01L29/66 H01L29/788 H01L27/115 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 861 698 B2 (WANG CHIH HSIN [US]) 1 March 2005 (2005-03-01) paragraphs [0090] - [0095], [0140] - [0154]; figures 3Q-3U, 23A-23R -----	1-5
Y	US 2015/072489 A1 (BAKER JR FRANK K [US] ET AL) 12 March 2015 (2015-03-12) paragraphs [0006], [0048] - [0051]; figures 14-17 -----	1-9
Y	US 2014/264538 A1 (YU TEA-KWANG [KR] ET AL) 18 September 2014 (2014-09-18) paragraphs [0154] - [0200]; figures 19-32 -----	6-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
6 October 2016		17/10/2016
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Ley, Marc

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2016/037436

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6861698	B2	01-03-2005	NONE

US 2015072489	A1	12-03-2015	NONE

US 2014264538	A1	18-09-2014	CN 104051348 A 17-09-2014
			KR 20140112996 A 24-09-2014
			TW 201436224 A 16-09-2014
			US 2014264538 A1 18-09-2014

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(74)代理人 100067013
弁理士 大塚 文昭

(74)代理人 100086771
弁理士 西島 孝喜

(74)代理人 100109070
弁理士 須田 洋之

(74)代理人 100109335
弁理士 上杉 浩

(74)代理人 100120525
弁理士 近藤 直樹

(74)代理人 100121979
弁理士 岩崎 吉信

(72)発明者 ス チエン - シェン
アメリカ合衆国 カリフォルニア州 95070 サラトガ カークモント ドライヴ 20300

(72)発明者 ヤン ジェン - ウェイ
台湾 302 シンジュウ カウンティアー チューペイ シティアー チュアンジン サード ロード ナンバー 48 1エフ

(72)発明者 チョウ フェン
アメリカ合衆国 カリフォルニア州 94536 フリーモント ベルデン テラス 3238
アパートメント # 124

Fターム(参考) 5F083 EP02 EP23 EP30 EP33 EP36 ER18 GA11 GA27 JA03 JA06
JA56 KA01 KA05 MA06 MA16 MA19 MA20 NA01 PR07 PR40
5F101 BA01 BB05 BB09 BD02 BD22 BD35 BE02 BE06 BF02 BH21