

(21)申請案號：102138791

(22)申請日：中華民國 102 (2013) 年 10 月 25 日

(51)Int. Cl. : *H01L33/36 (2010.01)*

(30)優先權：2012/10/26 美國 61/719,133

2013/10/22 美國 14/059,950

(71)申請人：G L O 公司 (瑞典) GLO AB (SE)

瑞典

(72)發明人：史文森 卡爾 派崔克 席爾多 SVENSSON, CARL PATRIK THEODOR (SE)；高納 奈森 GARDNER, NATHAN (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：43 項 圖式數：14 共 44 頁

(54)名稱

奈米線尺寸之光電結構及改質其經選定部分之方法

NANOWIRE SIZED OPTO-ELECTRONIC STRUCTURE AND METHOD FOR MODIFYING
SELECTED PORTIONS OF SAME

(57)摘要

本發明提供一種 LED 結構，其包括支撐物及定位於該支撐物上之複數個奈米線，其中各奈米線均包括端部及側壁。本發明亦提供一種製造 LED 結構之方法，其包括在產生該等奈米線期間或在此之後，與該等奈米線之該等側壁的導電性相比，降低或消除該等端部的導電性。

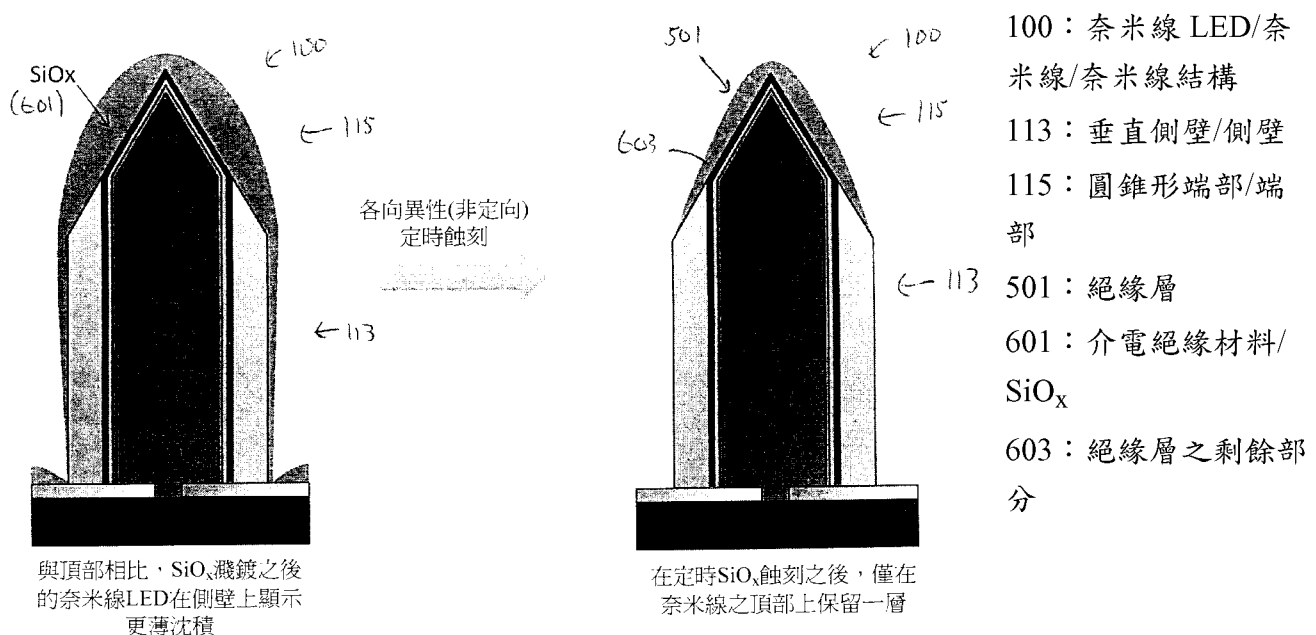


圖6

(21) 申請案號：102138791

(22) 申請日：中華民國 102 (2013) 年 10 月 25 日

(51) Int. Cl. : *H01L33/36 (2010.01)*

(30) 優先權：2012/10/26 美國 61/719,133

2013/10/22 美國 14/059,950

(71) 申請人：G L O 公司 (瑞典) GLO AB (SE)

瑞典

(72) 發明人：史文森 卡爾 派崔克 席爾多 SVENSSON, CARL PATRIK THEODOR (SE) ; 高納 奈森 GARDNER, NATHAN (US)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：43 項 圖式數：14 共 44 頁

(54) 名稱

奈米線尺寸之光電結構及改質其經選定部分之方法

NANOWIRE SIZED OPTO-ELECTRONIC STRUCTURE AND METHOD FOR MODIFYING SELECTED PORTIONS OF SAME

(57) 摘要

本發明提供一種 LED 結構，其包括支撐物及定位於該支撐物上之複數個奈米線，其中各奈米線均包括端部及側壁。本發明亦提供一種製造 LED 結構之方法，其包括在產生該等奈米線期間或在此之後，與該等奈米線之該等側壁的導電性相比，降低或消除該等端部的導電性。

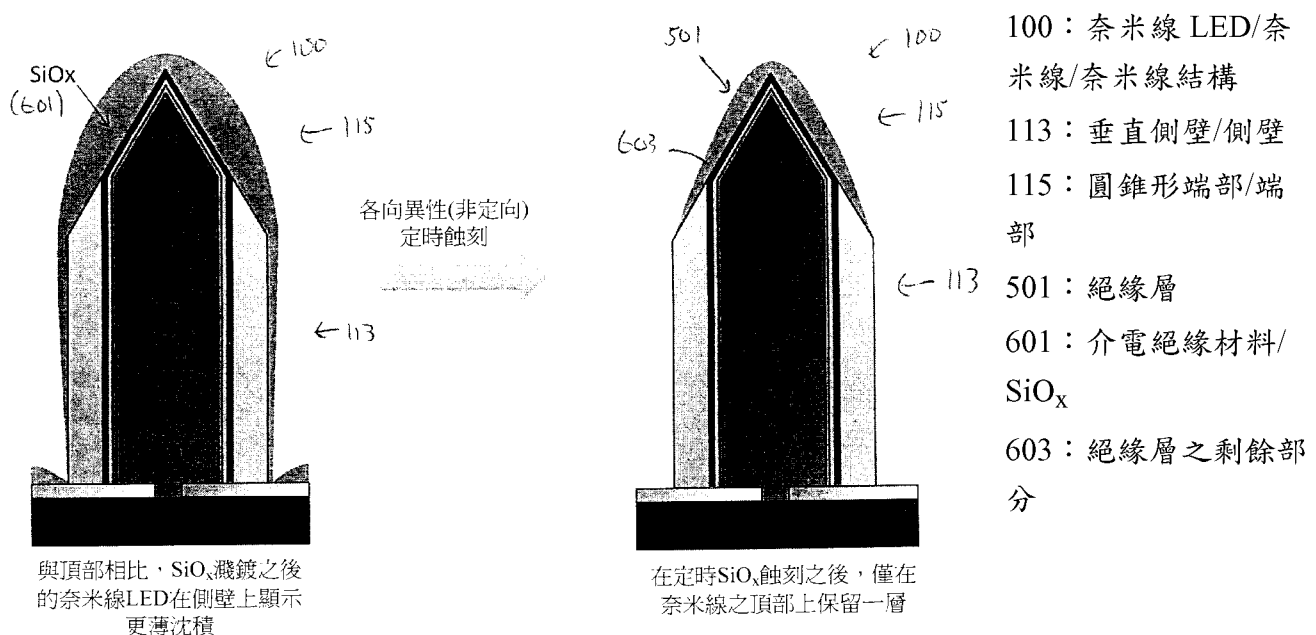


圖6

發明摘要

※ 申請案號： 102138791

※ 申請日： 2013.06.27

※IPC 分類：H01L 33/36 (2010.01)

【發明名稱】

奈米線尺寸之光電結構及改質其經選定部分之方法

NANOWIRE SIZED OPTO-ELECTRONIC STRUCTURE AND
METHOD FOR MODIFYING SELECTED PORTIONS OF SAME

○ 【中文】

本發明提供一種LED結構，其包括支撐物及定位於該支撐物上之複數個奈米線，其中各奈米線均包括端部及側壁。本發明亦提供一種製造LED結構之方法，其包括在產生該等奈米線期間或在此之後，與該等奈米線之該等側壁的導電性相比，降低或消除該等端部的導電性。

【英文】

○ A LED structure includes a support and a plurality of nanowires located on the support, where each nanowire includes a tip and a sidewall. A method of making the LED structure includes reducing or eliminating the conductivity of the tips of the nanowires compared to the conductivity of the sidewalls during or after creation of the nanowires.

【代表圖】

【本案指定代表圖】：第（6）圖。

【本代表圖之符號簡單說明】：

100	奈米線LED/奈米線/奈米線結構
113	垂直側壁/側壁
115	圓錐形端部/端部
501	絕緣層
601	介電絕緣材料/ SiO_x
603	絕緣層之剩餘部分

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）



發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

奈米線尺寸之光電結構及改質其經選定部分之方法

NANOWIRE SIZED OPTO-ELECTRONIC STRUCTURE AND
METHOD FOR MODIFYING SELECTED PORTIONS OF SAME

【相關申請案】

本申請案主張2012年10月26日申請之美國臨時申請案第61/719,133號的優先權，其全部內容以引用之方式併入本文中。

【技術領域】

本發明大體上係有關奈米結構及其製造方法，且特定言之係有關奈米線LED及其製造方法。

【先前技術】

奈米結構為電子及光電半導體器件的有前景之架構基塊。奈米結構之三維形狀在器件設計中可具有挑戰性。不同結晶學平面可提供不同生長速率、材料組成及摻雜。

【發明內容】

在一個態樣中，本發明提供方法。

在某些實施例中，本發明提供一種製造發光二極體(LED)結構之方法，該LED結構包含支撐物及排列於該支撐物上之複數個奈米線，其中各奈米線均包含端部及側壁，其中該方法包含在產生奈米線期間或在此之後，與奈米線側壁的導電性相比，降低或消除其端部的導電性。在某些此等實施例中，控制在產生奈米線期間或在此之後的條件，使得端部之導電性與未控制條件情況下的端部之導電性相比降低至少一個數量級。在某些實施例中，條件之控制包含在產生奈米線之

後形成絕緣層。在某些實施例中，絕緣層在奈米線陣列上方形成，使得絕緣在端部及側壁上成層，隨後在移除側壁上之絕緣層但保留端部上絕緣層之至少一部分的條件下，使陣列經受蝕刻。在某些實施例中，絕緣層包含 SiO_x ，諸如 SiO_2 。在某些實施例中，移除側壁上之絕緣層但保留端部上之至少一部分的條件包含蝕刻，諸如各向異性蝕刻。在某些實施例中，奈米線包含第一導電性類型核心及第二導電性類型殼層，而側壁及端部包含第二導電性類型殼層。在一些此等實施例中，殼層形成相繼層，諸如較低導電性材料與較高導電性材料之相繼層，其中與端部相比，較高導電性材料優先在側壁上形成。在某些此等實施例中，較低導電性材料包含 p-AlGaIn ，而較高導電性材料包含 p-GaN 。在某些實施例中，形成殼層以在側壁上提供複數個較低導電性層及複數個較高導電性層。在一些此等實施例中，形成殼層以在端部上僅提供單個較低導電性層。在其他實施例中，形成殼層以在端部上提供複數個較低導電性層及複數個較高導電性層，其中端部上較高導電性層之厚度小於側壁上者，使得端部之導電性比側壁低，諸如不導電。在其中構造核心及殼層的某些實施例中，該方法包含在奈米線之端部上但不在其側壁上形成高電阻材料。在一些此等實施例中，在完成殼層之後，在端部上形成高電阻材料。在其他此等實施例中，在完成殼層之前，在端部上形成高電阻材料。在某些實施例中，高電阻材料包含 pGaIn ，該 pGaIn 包含極高 Mg/Ga 比率及較低V族/III族比率。在其中構造核心及殼層的某些實施例中，至少一層殼層在包含 H_2 之載體氣體中形成，諸如包含至少50 sccm H_2 之載體氣體。在其中奈米線包括核心及殼層的某些實施例中，第一導電性類型半導體奈米線核心由第二導電性類型半導體殼層封閉以形成pn或pin接面，該接面在操作中為光產生提供作用區。第一導電性類型可包含n型，而第二導電性類型可包含p型。在某些實施例中，支撐物包含n型緩衝層，在

產生奈米線陣列期間奈米線核心自該緩衝層生長。在某些實施例中，支撐物進一步包含介電遮蔽層，使得核心通過遮蔽層中之開口而自緩衝層突出，且殼層定位於遮蔽層上。在某些實施例中，支撐物進一步包含緩衝層下方之基板層。在某些實施例中，基板層包含 Al_2O_3 。在某些實施例中，支撐層進一步包含反射層，諸如Ag。

在另一態樣中，本發明提供結構。

在某些實施例中，本發明提供一種LED結構，其包含支撐物及排列於該支撐物上之複數個奈米線，其中奈米線中之每一者均包含端部及側壁，且其中(i)奈米線包含第一導電性類型半導體奈米線核心及封閉之第二導電性類型半導體殼層，其中核心及殼層經組態以形成pn或pin接面，該接面在操作中為光產生提供作用區；且(ii)側壁包含較低導電性層與較高導電性層交替的複數個層，且端部包含單個較低導電性層或對應於側壁層之複數個層，其中端部層比側壁層更薄。在某些實施例中，側壁較低導電性層包含p-AlGaIn。在某些實施例中，側壁較高導電性層包含p-GaN。在某些實施例中，端部較低導電性層包含p-AlGaIn。在某些實施例中，第一導電性類型核心與支撐物之緩衝層電接觸。在某些實施例中，第二導電性類型殼層藉由遮蔽層而與緩衝層絕緣。在某些實施例中，第一導電性類型包含n型，第二導電性類型包含p型。在某些實施例中，端部層或複數個端部層之厚度在10與30 nm之間。

在某些實施例中，本發明提供一種LED結構，其包含支撐物及排列於該支撐物上之複數個奈米線，其中奈米線中之每一者均包含端部及側壁，且其中端部中之每一者均包含不沿側壁向下完全延伸的外部絕緣層。在某些實施例中，絕緣層包含 SiO_x 。在某些實施例中， SiO_x 包含 SiO_2 。在某些實施例中，絕緣層包含pGaN，該pGaN包含極高Mg/Ga比率及較低V族/III族比率。

【圖式簡單說明】

圖1A及1B示意性地展示漏電之例示性奈米線LED。

圖2示意性地展示具有多種發射波長之例示性奈米線LED。

圖3示意性地展示根據本發明之實施例的奈米線LED之基底的橫截面側視圖。

圖4示意性地展示根據本發明之實施例的緩衝層上之奈米線LED結構的橫截面側視圖。

圖5A-C展示本發明之方法及結構的一個實施例。

圖6展示一種減少奈米線端部漏電之方法。

圖7A及B展示絕緣層選擇性地定位於奈米線之端部上的奈米線結構。

圖8A及8B展示在p-GaN沈積之前，在奈米線端部之高電阻材料的生長。

圖9A及9B展示在p-GaN沈積之後，在奈米線端部之高電阻材料的生長。

圖10A及10B示意性地(A)且在XSEM影像中(B)顯示在p-GaN沈積之前，生長於奈米線端部上之高電阻結構。

圖11A-C展示相繼鋪設多個層以使得側壁為多層而端部為單層的奈米線結構，及通過端部及側壁的電子導電率。

圖12展示具有聚結導電層之多層奈米線結構。

圖13展示具有聚結p-GaN結構之多層奈米線結構。

圖14展示用載體氣體中之0、100及500 sccm H_2 產生之奈米線結構的電子顯微圖。

【實施方式】

本發明提供用於改變基於奈米線之結構(尤其諸如LED之光電結構，例如奈米線發光二極體(LED))的經選定區域之特性，例如改變特

性以降低奈米線LED中奈米線之經選定部分的導電性的方法。本發明亦提供可例如使用本發明之方法來製造的結構。

由自平坦表面出現之奈米線製成的LED的3維性質可在器件設計中帶來挑戰。不同結晶學平面可提供不同生長速率、材料組成及摻雜。此可例如造成器件不需要之洩漏路徑及多種發射波長。一個實例為如圖1中所示之奈米線LED。在此實例中，奈米線LED 100包括與n-GaN緩衝層103電接觸之n-GaN核心101，InGaN中間層105、GaN中間層107及p-AlGaN中間層109，覆蓋有p-GaN外層111，以及垂直側壁113及圓錐形端部115。存在兩個生長平面，一個在側壁113上之 $10\bar{1}0$ 區(本文中亦稱為m平面)，及在端部115上之 $10\bar{1}1$ 區(本文中亦稱為p平面)；p-GaN 111在 $10\bar{1}1$ 區中生長速率極低，圖1A。若接觸117覆蓋全部奈米線100，則可存在通過薄p-GaN層111之漏泄(短路)，圖1B。另外，如圖2中所示，p-GaN之不等分佈可導致LED之多種發射波長，如由電致發光譜所示，該電致發光譜顯示具有來自於m平面(10-10)之較短波長及來自於p平面(10-11)之較長波長的兩個峰201及203。

本發明之方法及結構係有關改變 $10\bar{1}1$ 區之特性以減少或消除通過該區之電流；在本發明之實施例中，此藉由控制 $10\bar{1}1$ 區中一或多個層之生長來達成，而在其他實施例中，此藉由改變成品 $10\bar{1}1$ 區之結構來達成。

在由本發明提供之方法的某些實施例中，奈米線陣列在支撐物上生長，其中奈米線包含第一導電性類型之核心及第二導電性類型之殼層；奈米線具有端部，例如圓錐形端部(例如，如上文所描述，對應於 $10\bar{1}1$ 區)及側壁(例如，如上文所描述，對應於 $10\bar{1}0$)，該端部及側壁可為第二導電性類型殼層之一部分，且其中殼層之生長受控制，以產生導電性較低或實質上不導電之端部，使得通過端部之漏電得以減少或消除。在一些此等實施例中，此藉由使殼層生長為多個相繼層來s

實現，其中不導電或較低導電性層與較高導電性層在其中較高導電性層在端部上生長緩慢或完全不生長的條件下交替，使得奈米線之最終端部不導電或導電性較低，而側壁導電。在一些此等實施例中，不導電或較低導電性層在奈米線之端部但不在其側壁上生長。在一些此等實施例中，將氣體(例如 H_2)結合入在殼層之一些部分生長期間所使用的載體氣體中，使得材料在側壁但不在端部上選擇性地沈積，且/或一或多個導電層(例如InGaN)被蝕刻掉，以使端部保持不導電或導電性較低。

在某些實施例中，使已在產生奈米線中之導電端部的條件下生長的奈米線陣列經受絕緣材料之沈積及視情況選用之進一步處理，使得絕緣材料限制於端部中，而側壁保持部分不含或完全不含絕緣材料。

在某些實施例中，一些或所有以上方法可與例如絕緣或導電材料之沈積組合使用，該絕緣或導電材料藉由材料之傾斜行進而選擇性地在端部上成層而在側壁上僅部分成層，以在LED結構中產生所需特性。材料在奈米電子陣列(例如奈米線LED陣列)上之傾斜沈積在2012年10月26申請之名為「Nanowire Sized Opto - Electronic Structure and Method for Modifying selected Portions of Same」且代理人案號為9308-017P的美國臨時專利申請案第61/718,884號中得以更充分描述，且其藉此以全文引用之方式併入本文中。在某些實施例中，一些或所有以上方法與奈米電子陣列(例如奈米線LED陣列)之經選定區域及經選定結構的雷射剝蝕組合，以產生用於例如電極置放之區域。雷射剝蝕在2012年10月26日申請之名為「Nanowire LED Structure and Method for Manufacturing the Same」且代理人案號為9308-016P的美國臨時專利申請案第61/719,108號中得以更充分描述，且其藉此以全文引用之方式併入本文中。

在某些實施例中，本發明提供一種奈米線LED結構，其包含複數個奈米線之陣列，該等奈米線中之每一者均具有端部及側壁，其中側壁為多層膜，該膜以一定方式包含較高導電性之層(例如p-GaN)及較低導電性之層(例如p-AlGaN)以允許電子在多層膜中傳導，而端部為單個不導電或較低導電性層或如此以致不導電或導電性比側壁更低的多層膜。

在某些實施例中，本發明提供一種LED結構，其包含支撐物及排列於該支撐物上之複數個奈米線，其中奈米線中之每一者均包含端部及側壁，且其中端部中之每一者均包含不沿側壁向下延伸的外部絕緣層。在某些實施例中，本發明提供一種LED結構，其包含支撐物及排列於該支撐物上之複數個奈米線，其中奈米線中之每一者均包含端部及側壁，且其中端部中之每一者均包含沿側壁向下延伸不超過側壁長度之1%、2%、3%、4%、5%、7%、10%、15%、20%或25% (諸如向下延伸側壁之1%-25%)的外部絕緣層。

在奈米技術之領域中，奈米線通常解釋為橫向尺寸(例如圓柱形奈米線之直徑，或稜錐形或六角形奈米線之寬度)為奈米級或奈米尺度，而其縱向尺寸不受約束的奈米結構。該等奈米結構通常亦稱為奈米鬚、一維奈米元件、奈米棒、奈米管等。一般而言，具有多角形橫截面之奈米線視為至少二維中之每一者均不大於300 nm。然而，奈米線之直徑或寬度可高達約1微米。奈米線之一維性質提供獨特物理、光學及電子特性。此等特性可例如用於形成利用量子機械效應(例如使用量子線)之器件，或用於形成組成不同且因晶格失配較大而通常無法組合之材料的異質結構。如術語奈米線所暗示，一維性質常常與細長形狀相關。換言之，「一維」係指寬度或直徑小於1微米且長度大於1微米。因為奈米線可具有各種橫截面形狀，直徑意欲指有效直徑。有效直徑意謂結構橫截面之長軸與短軸的平均值。儘管在圖式中s

顯示奈米元件為柱狀且基於奈米線核心，亦即差不多「一維」核心，但應注意核心亦可具有其他幾何結構，諸如具有各種多角形(諸如正方形、六角形、八角形等)基底之稜錐。因此，如本文中所使用，核心可包含寬度或直徑小於1微米且長度大於1微米的任何適合之奈米元件，且可包含單一結構或多組分結構。舉例而言，核心可包含一種導電性類型之半導體奈米線，或其可包含由一或多個相同導電性類型之半導體殼層包圍且核心具有柱形或稜錐形的一種導電性類型之半導體奈米線。為簡單起見，下文描述且在圖式中展示單一組分奈米線柱核心。

對上部、之上、下部、向下等之所有參考均視為基板在底部而奈米線自基板向上延伸。垂直係指與奈米線之更長延伸部平行的方向，而水平係指與由基板形成之平面平行的方向。此命名法僅為易於理解而引入，而不應視為特定組裝方向等之限制。

在本發明之方法中，在該方法之一或多個步驟中，將材料傾斜導引至奈米線LED陣列處，用以選擇性地改變結構中某些奈米線之某些部分的特性，同時保留其他部分未改變，例如改變奈米線端部之特性以使其導電性更低，同時保留奈米線部分或全部側壁的導電性不變或實質上不變。如本文中更充分描述，導引至奈米線陣列處之材料可為例如絕緣體，或例如改變奈米線經選定表面之特徵的材料。端部但非側壁的導電性之改變(例如導電性降低)或端部之導電性的降低比側壁更大可提供端部中之更少洩漏及奈米線LED陣列之更優越光產生。在某些實施例中，如本文中更充分描述，雷射剝蝕奈米線顯示器經選定之部分亦可用於產生所需結果。

在本發明之方法中可使用如此項技術中已知的任何適合之奈米線LED結構。

奈米線LED通常基於一或多個pn或p-i-n接面。pn接面與p-i-n接面

之間的差異為後者具有更寬作用區。更寬作用區在i區中重新結合之機率更高。各奈米線包含第一導電性類型(例如n型)奈米線核心及封閉之第二導電性類型(例如p型)殼層以用於形成pn或pin接面，該接面在操作中為光產生提供作用區。當本文中將第一導電性類型之核心描述為n型半導體核心且本文中將第二導電性類型之殼層描述為p型半導體殼層時，應理解其導電性類型可顛倒。

圖3示意性地展示根據本發明之一些實施例改質的奈米線LED結構之基底。原則上，單根奈米線足以形成奈米線LED，但歸因於較小尺寸，奈米線較佳以包含數百、數千、數萬或以上奈米線並排之陣列的形式進行配置以形成LED結構。為達成說明之目的，本文中將個別奈米線LED器件描述為由具有n型奈米線核心2及至少部分封閉奈米線核心2之p型殼層3與中間作用層4的奈米線1製成。然而，出於本發明之實施例的目的，奈米線LED不限於此。舉例而言，奈米線核心2、作用層4及p型殼層3可由多個層或片段製成。藉由控制生長條件，LED之最終幾何結構可在細長且窄之「柱結構」至基底相對較寬之稜錐結構的範圍內。

在替代實施例中，僅核心2可包含寬度或直徑在1微米以下之奈米結構或奈米線，而殼層3之寬度或直徑可在一微米以上。

對奈米線製造而言，III-V族半導體歸因於其促進高速且低功率電子元件之特性而尤其受關注。奈米線可包含任何半導體材料，且適合於奈米線之材料包括(但不限於)GaAs (p)、InAs、Ge、ZnO、InN、GaInN、GaN、AlGaInN、BN、InP、InAsP、GaInP、InGaP:Si、InGaP:Zn、GaInAs、AlInP、GaAlInP、GaAlInAsP、GaInSb、InSb、Si。對GaP之可能供體摻雜劑為Si、Sn、Te、Se、S等，而對相同材料之受體摻雜劑為Zn、Fe、Mg、Be、Cd等。應注意奈米線技術使得使用諸如GaN、InN及AlN之氮化物成為可能，其促進製造發射處於由習

知技術無法容易進入之波長區中之光的LED。受特定商業關注之其他組合包括(但不限於)GaAs、GaInP、GaAlInP、GaP系統。典型摻雜量在 10^{18} 至 10^{20} 之範圍內。但熟習此項技術者熟悉此等及其他材料，且意識到其他材料及材料組合為可能的。

用於奈米線LED之較佳材料為III-V族半導體，諸如III族氮化物半導體(例如GaN、AlInGaN、AlGaN及InGaN等)或其他半導體(例如InP、GaAs)。

為充當LED，各奈米線1之n側與p側必須接觸，且本發明提供與使LED結構中奈米線之n側與p側接觸相關的方法及結構。

儘管本文中所描述之例示性製造方法較佳利用奈米線核心來在核心上生長半導體殼層以形成核-殼型奈米線，如在例如Seifert等人之美國專利第7,829,443號中所述，其中奈米線製造方法之教示以引用之方式併入本文中，但應注意本發明不限於此。舉例而言，在替代實施例中，僅核心可構成奈米結構(例如奈米線)，而殼層之尺寸可視情況大於典型奈米線殼層。此外，器件可成形為包括許多刻面，且不同類型刻面之間的面積比率可受控制。此在圖式中由「稜錐」刻面與垂直側壁刻面例示。LED可經製造以使得模板上形成之發射層主要具有稜錐刻面或側壁刻面。與發射層之形狀無關，接觸層亦如此。

使用連續層(例如殼層)可導致最終個別器件(例如pn或pin器件)具有介於稜錐形(亦即在頂部或端部較窄而在底部較寬)與柱形(例如在端部與底部寬度大致相同)之間的形狀，且具有與器件之長軸垂直的圓形或六角形或其他多角形橫截面。因此，具有完整殼層之個別器件可具有各種尺寸。舉例而言，尺寸可變化，其中底部寬度在100 nm至若干(例如5) μm 之範圍內，諸如100 nm至1微米以下，而高度在幾百nm至若干(例如10) μm 之範圍內。

圖4展示為奈米線提供支撐物的例示性結構。藉由視情況使用生

長遮罩或介電遮蔽層**6** (例如氮化物層, 諸如氮化矽介電遮蔽層)在生長基板**5**上遮罩生長奈米線**1**來界定奈米線**1**之位置且確定其底部界面區域, 基板**5**至少在加工期間充當自基板**5**突出之奈米線**1**的載體。奈米線之底部界面區域包含在介電遮蔽層**6**中各開口內部的核心**2**之區域。基板**5**可包含不同材料, 諸如III-V族或II-VI族半導體, Si、Ge、Al₂O₃、SiC、石英、玻璃等, 如在瑞典專利申請案SE 1050700-2 (轉讓給GLO AB)中所論述, 其以全文引用之方式併入本文中。用於基板的其他適合之材料包括(但不限於): GaAs、GaP、GaP:Zn、GaAs、InAs、InP、GaN、GaSb、ZnO、InSb、SOI (絕緣體上之矽)、CdS、ZnSe、CdTe。在一個實施例中, 奈米線**1**直接生長於生長基板**5**上。

在其中使用介電遮蔽層(生長遮罩)的實施例中, 生長遮罩**6**可由光微影術圖案化以界定用於奈米線生長之開口, 如在例如美國專利第7,829,443號中所描述, 其以全文引用之方式併入本文中。在此實施例中, 奈米線按n襯墊區域、非作用區域、LED區域(亦即發光區域)及p襯墊區域進行分組。然而, 本發明之實施例不限於此。舉例而言, p襯墊區域可配置於形成奈米線LED結構發光部分之奈米線之上, 此處p襯墊區域與LED區域重合, 如在由Konsek等人於2010年2月4日公開之PCT國際申請公開案第WO 2010/014032 A1號中所描述, 且其以全文引用之方式併入本文中。

基板**5**較佳亦適於充當連接至各奈米線**1**之n側上的電流輸送層。如圖**4**中所示, 此可藉由具有基板**5**來實現, 該基板**5**包含配置於基板**5**面向奈米線**1**之表面上之緩衝層**7**, 例如III族氮化物層, 諸如Si基板**5**上之GaN及/或AlGaN緩衝層**7**。緩衝層**7**通常與所需奈米線材料匹配, 且因此在製造過程中充當生長模板。對n型核心**2**而言, 緩衝層**7**較佳亦為經摻雜之n型。緩衝層**7**可包含單層(例如GaN)、若干次層(例如GaN及AlGaN)或梯度層, 該梯度層自高Al含量之AlGaN向較低Al含量s

之AlGa_N或Ga_N形成梯度。奈米線可包含任何半導體材料，但對奈米線LED而言，III-V族半導體，諸如III族氮化物半導體(例如Ga_N、AlInGa_N、AlGa_N及InGa_N等)或其他半導體(例如InP、GaAs)通常較佳。奈米線之生長可藉由利用在美國專利第7,396,696號、第7,335,908號及第7,829,443號與WO201014032、WO2008048704及WO2007102781中所描述之方法來達成，其全部以全文引用之方式併入本文中。

應注意奈米線1可包含若干不同材料(例如Ga_N核心、InGa_N作用層或一或多個量子井(例如多量子井、MQW、作用區)及In與Ga之比率與作用層不同的InGa_N殼層)。一般而言，基板5及/或緩衝層7在本文中稱為奈米線之支撐物或支撐層。在某些實施例中，代替基板5及/或緩衝層7或除基板5及/或緩衝層7之外，可使用導電層(例如鏡面或透明接觸)作為支撐物。因此，術語「支撐層」或「支撐物」可包括此等元件中之任一或多者。

緩衝層7提供用於接觸奈米線1之n側的結構。

LED結構之例示性實施例的以上描述將充當本發明之方法及結構的描述的基礎；然而，應瞭解在不背離本發明之情況下，在該等方法及結構中亦可用熟習此項技術者顯而易見的任何必需之修改來使用任何適合之奈米線LED結構或其他適合之奈米線結構。

在某些實施例中，本發明提供生長或處理奈米線LED結構以選擇性地改變結構之部分的特徵的方法。在某些實施例中，該方法係有關減少或消除通過奈米線之端部的電流。

在某些實施例中，本發明提供改變LED奈米線陣列中奈米線經選定部分之特性的方法。在一些此等實施例中，本發明提供一種用於構造LED結構的方法，其中該結構包括支撐物及排列於該支撐物上之複數個奈米線，且其中各奈米線包含端部及側壁，該方法藉由一種包括

在產生奈米線期間或在此之後控制條件以與奈米線側壁之導電性相比降低或消除端部導電性的方法來達成。在一些實施例中，以一定方式控制條件，以使端部之導電性與在未控制條件之情況下構造(例如對奈米線LED陣列如以上詳述來構造)之端部相比降低至少一、二、三、四或五個數量級。

在某些實施例中，條件使得絕緣層在產生奈米線之後鋪設。此舉使得例如藉由濺鍍沈積來鋪設絕緣層，以塗佈奈米線之端部及部分或所有側壁，隨後經處理以移除或實質上移除側壁上之絕緣層，但保留端部上絕緣層之至少一部分，以例如使得端部保持較低導電性或不導電，而側壁保持導電。在某些實施例中，小於長度之20%、15%、10%、7%、5%、4%、3%、2%或1% (例如0-25%)的側壁保持絕緣。使奈米線在移除側壁上之絕緣層但保留端部上絕緣層之至少一部分的條件下受蝕刻。可使用任何適合之絕緣體。舉例而言，在某些實施例中， SiO_x (例如 SiO_2)可作為絕緣層來沈積。在某些實施例中，絕緣材料之移除藉由蝕刻(例如藉由各向異性蝕刻)來實現。可控制蝕刻以移除所需量之絕緣材料，例如藉由控制蝕刻時間。

在用於構造LED結構之方法的某些該等實施例中，其中結構包括支撐物及排列於該支撐物上之複數個奈米線，且其中各奈米線均包含端部及側壁，該方法藉由一種包括在產生奈米線期間或在此之後控制條件以與奈米線側壁導電性相比降低或消除端部導電性的方法來達成，奈米線包含第一導電性類型核心及第二導電性類型殼層，而側壁及端部包含第二導電性類型殼層。用於構造核心及殼層之材料及技術可例如如本文中詳述。在某些實施例中，藉由例如熟知磊晶技術來以相繼層(例如較低導電性材料與較高導電性材料之相繼層)形式鋪設殼層，其中與端部相比，較高導電性材料優先在側壁上成層。在某些實施例中，較低導電性材料包含p-AlGaIn，而較高導電性材料包含p-S

GaN。可鋪設殼層以在側壁上提供複數個較低導電性層及複數個較高導電性層。在某些實施例中，鋪設(亦即生長)殼層以在端部上僅提供單個較低導電性層。在其他實施例中，鋪設殼層以在端部上提供複數個較低導電性層及複數個較高導電性層，其中端部上較高導電性層之厚度小於側壁上者，使得端部之導電性比側壁低。控制層之厚度及相繼次序使得端部之導電性極大地降低或消除。

在其中構造核心及殼層的某些實施例中，可構造該等殼層使得在奈米線之端部但不在側壁上，或實質上不在奈米線之側壁上鋪設高電阻材料。在一些此等實施例中，在完成殼層之後，在端部上鋪設高電阻材料。在一些此等實施例中，在完成殼層之前，在端部上鋪設高電阻材料。高電阻材料可包含例如包含極高Mg/Ga比率及較低V族/III族比率之pGaN。對一些實施例而言，在生長期間，較佳V族/III族比率為約10至約50，且Mg之較佳量(亦即氣相中Mg與Ga之比率)為約2%至約5%。充分理解典型GaN之V族/III族比率大於3000，且Mg濃度(亦即氣相中Mg與Ga之比率)小於1%。

在其中構造核心及殼層的某些實施例中，至少一層殼層在包含H₂之載體氣體中鋪設，諸如包含至少50、100、150、200、250、300、400或500 sccm H₂之載體氣體。

在其中構造核心及殼層之某些實施例中，第一導電性類型半導體奈米線核心由第二導電性類型半導體殼層封閉以形成pn或pin接面，該接面在操作中為光產生提供作用區。在一些此等實施例中，第一導電性類型包含n型，第二導電性類型包含p型。

在其中構造核心及殼層且核心包含n型導電性半導體的某些實施例中，支撐物包含n型緩衝層，在產生奈米線陣列期間奈米線核心自該緩衝層生長。在一些此等實施例中，支撐物進一步包含介電遮蔽層，使得核心通過遮蔽層中之開口而自緩衝層突出，且殼層定位於遮

蔽層上。在一些實施例中，支撐物進一步包含緩衝層下方之基板層，諸如包含 Al_2O_3 之基板層。在一些此等實施例中，支撐層進一步包含反射層，諸如包含Ag之反射層。

在如圖5-7中所示之一個例示性實施例中，產生絕緣層以選擇性地使 $10\bar{1}1$ 平面(p平面)絕緣，同時保留 $10\bar{1}0$ 平面不受影響或實質上不受影響。在奈米線結構上方沈積絕緣層；如此項技術中已知，絕緣體可為 SiO_x (氧化矽，例如 SiO_2)或其他適合之絕緣材料，諸如 Al_2O_3 、 iZnO 、 SiN 、 HfO_2 或其類似物。圖5A展示在 $10\bar{1}1$ 平面(p平面)上具有薄pGaN 111之例示性奈米線(NW)結構100；若在奈米線上沈積接觸層117，則洩漏路徑503可定位於 $10\bar{1}1$ 平面(p平面，亦稱為圖5B中之端部115)中。若在沈積接觸層117之前在 $10\bar{1}1$ 平面(p平面)上沈積絕緣層501，則洩漏途徑得以減少或消除(圖5C)。一種產生絕緣層501之方法顯示於圖6中。藉由任何適合之方法(諸如濺鍍沈積)來在奈米線結構上方沈積介電絕緣材料601，例如 SiO_x ，諸如 SiO_2 。因為奈米線之高縱橫比，在 $10\bar{1}1$ 平面(p平面，對應於端部115)上沈積之絕緣材料比在 $10\bar{1}0$ 平面(m平面，對應於側壁113)上者更多。隨後可藉由任何適合之方法(例如任何適合之蝕刻方法，諸如各向異性(非定向)蝕刻)來處理絕緣層以選擇性地移除絕緣層，且控制條件(例如蝕刻時間)以使得在移除絕緣層時，移除側壁113上之較薄絕緣層且重新暴露 $10\bar{1}0$ 平面(m-平面)之pGaN層，但端部115仍覆蓋有較厚絕緣層501之剩餘部分603(圖6)。如此項技術中已知，對指定方法及奈米線結構，可例如藉由計算或藉由經驗觀測或兩者來測定產生最優結果之蝕刻時間。結果為在奈米線之上(亦即在 $10\bar{1}1$ 平面(p平面)上)的例如 SiO_x (諸如 SiO_2)之絕緣層501，而在 $10\bar{1}0$ 平面(m平面)上不具有絕緣體或絕緣體厚度較小。圖7A示意性地顯示最終奈米線產物，且圖7B為奈米線陣列之SEM影像，其中p平面上之pGaN的厚度約為m平面上的一半，而在奈米線之s

端部但不在側壁上具有絕緣 SiO_x (諸如 SiO_2)。

在如圖8-9中所示之第二例示性實施例中，在奈米線100之生長期間生長絕緣層801。在此實施例中，在奈米線100之生長期間，與側壁113相比，電阻比pGaN顯著更高的III族氮化物材料選擇性地在端部115上生長，該材料例如為在生長期間具有極高Mg/Ga比率及較低V族/III族比率的pGaN(Mg之較佳量為約2%至約5%，亦即氣相中Mg與Ga之比率，且較佳V族/III族比率為約10至約50)。此可例如藉由磊晶沈積而在pGaN 111沈積之前(圖8A及B)或在此沈積之後(圖9A及B)進行。在任一情況下，結果為選擇性地定位於奈米線之頂部而不沿側壁113向下延伸或沿側壁113向下僅延伸最低限度的高電阻(例如絕緣)III族氮化物層801 (例如此層801在端部115上之厚度為側壁113上的至少兩倍)。與不具有層801之奈米線相比，此層801極大地減少或消除奈米線之端部115處的漏電。在pGaN沈積之前生長的結構801示意性地顯示於圖10A中及圖10B之XSEM影像中。

在如圖11-13中所示之第三例示性實施例中，在奈米線之生長期間沈積相繼層，且與在不進行相繼成層之情況下生長的奈米線相比，相繼成層改變端部上之導電性。在不受理論束縛之情況下，認為與 $10\bar{1}0$ 區(m平面)相比，pGaN在 $10\bar{1}1$ 區(p平面)中生長更緩慢，但pAlGaIn在兩個平面上生長之速率相同。藉由在 $10\bar{1}0$ 區(m平面)上生長多層結構(例如2 nm pAlGaIn/10 nm pGaIn)， $10\bar{1}1$ 區(p平面)最終將獲得中間不具有pGaIn層或具有極薄pGaIn層的較厚pAlGaIn層。生長障壁以使得空穴及電子容易通過 $10\bar{1}0$ 區(m平面)上之pAlGaIn進行隧道傳輸，但組合之pAlGaIn層形成針對電子在 $10\bar{1}1$ 區(p平面)上行進之障壁。另外，若在此結構上置放接觸，則對 $10\bar{1}1$ 區(p平面)上之pAlGaIn (已知其形成不佳接觸)接觸不佳，而與 $10\bar{1}0$ 區(m平面)上之pGaIn接觸良好。在圖11A中展示在整個結構100上方具有導電層117的多層結構1101，且圖11B

展示自奈米線之導電層117至pGaN層101的電子移動，該圖11B顯示在端部115處與pAlGaN 109之接觸不佳，且組合之pAlGaN層109厚至足以使電子無法穿過隧道傳輸，因此與側壁113上之層相比(圖11C)，端部中之洩漏(漏電)得以減少或消除，該圖11C顯示與pGaN 111歐姆接觸，且分離較厚pGaN層111之pAlGaN 109層薄至足以允許空穴及電子隧道傳輸(亦即良好導電率及電流)。接觸及導電特性為理論性的，且應瞭解不論機制如何，本發明係有關使奈米線之端部115處導電率與側壁113處相比極大地降低的相繼沈積。導電層1101進一步展示於圖12及13中，該等圖展示pGaN 111之聚結生長提供更多容易之接觸沈積。圖12顯示在聚結pGaN沈積之前的多層1101奈米線結構，而圖13顯示在聚結pGaN沈積之後的多層結構。該等沈積之方法描述於例如2011年9月26日申請之美國申請案第13/245,405號及2011年9月26日申請之名為「Coalesced Nanowire Structures With Interstitial Voids and Method for Manufacturing Same」的PCT專利申請案PCT/US12/51081中，該兩者均以全文引用之方式併入本文中。簡言之，通過支撐物上之絕緣遮蔽層中的開口暴露支撐物半導體表面的部分，自該等暴露之部分生長第一導電性類型半導體奈米線核心，在核心上形成半導體作用區殼層，生長連續之第二導電性類型半導體層並使之在核心及殼層上方且圍繞該核心及殼層延伸，使得在生長步驟期間，在核心間延伸之第二導電性類型半導體層中形成複數個填隙空位，且形成與第二導電性類型半導體層接觸且延伸至填隙空位中的第一電極層。

如圖14中所示之第四例示性實施例。在此實施例中，用於MQW作用區中GaN障壁生長之載體氣體的一部分為H₂ (例如除了惰性MOCVD載體氣體之外使用H₂)。已觀測到使用H₂作為用於MQW作用區中GaN障壁生長之載體氣體的一部分將大幅度降低10 $\bar{1}1$ 區(p平面)上MQW作用區(由圖14中1401指示)之生長速率，但在10 $\bar{1}0$ 區(m平面)上

(由圖14中1403指示)將保持不變。在GaN障壁中使用H₂可獲得僅具有m平面之器件，該器件具有選擇性地在m平面上沈積但不在p平面上沈積的InGaN發光層(例如MQW作用區)。圖14展示載體氣體中各種濃度之H₂的影響，在載體氣體中每分鐘100標準立方公分(sccm)及500 sccm H₂兩種情況下，均觀測到p平面厚度大幅度降低且未觀測到量子井1401。另外，在p平面上極少存在或不存在InGaN (其不用H₂載體氣體生長)，推測在GaN沈積期間藉由H₂載體氣體來蝕刻該InGaN。

進一步加工(諸如雷射剝蝕、鋪設接觸及其類似加工)可例如按2012年10月26日申請之名為「Nanowire LED Structure and Method for Manufacturing the Same」且代理人案號為9308-016P的美國臨時專利申請案第61/719,108號中所描述來進行，且其藉此以全文引用之方式併入本文中。舉例而言，在形成奈米線或處理奈米線以降低端部之導電性之後，可藉由任何適合之方法(例如濺鍍沈積)來在結構上方沈積電極層(例如透明導電氧化物(TCO)，諸如ITO)，以與尚未經絕緣材料塗佈的奈米線之p-GaN側壁形成電接觸，且提供p電極。可進行雷射剝蝕以在某些區域中暴露nGaN緩衝層，且在暴露之緩衝層上鋪設N側金屬接觸以提供n電極。奈米線頂部上之絕緣層起到防止或極大地降低通過奈米線之端部的漏電的作用，使得電流導引至暴露之側壁區域處。此僅為例示性的，且可使用與pGaN及nGaN層形成電接觸的任何適合之方法。

奈米線LED意欲例如通過p電極而自奈米線之頂部發光，或例如通過支撐層(例如通過導電層及/或緩衝層及/或基板)而自奈米線之底部發光，且此必須在選擇接觸材料時加以考慮。如本文中所使用，術語光發射包括可見光(例如藍色或紫色光)以及UV或IR輻射兩者。對頂發射奈米線LED而言，如以上實例中所描述，頂部接觸材料需為透明的，例如ITO。如下所述之反射層(諸如銀或鋁)可構成支撐物之一部

分。在底發射奈米線LED之情況下，頂部接觸材料可為如下所述之反射層，如銀或鋁。一般而言，構造底發射奈米結構需要在個別發光奈米元件之頂部處或接近(亦即鄰近)其頂部處提供反射結構(諸如鏡面)，以反向導引發射光通過器件之緩衝層。底發射電極在2011年6月17日申請之美國專利公開案第2011/0309382號及2011年6月17日申請之PCT申請案第PCT/US11/40932號中進一步描述，該兩者均以引用全文之方式併入本文中。

在金屬中，銀在光譜之可見區中反射係數最佳，但若不封於結構內部，則在正常氛圍中更易於展現腐蝕損壞。可使用 Si_3N_4 、 SiO_2 、 Al_2O_3 或任何其他穩定介電質作為罩蓋層。鋁在可見區中之反射指數略微低於銀，但在乾燥大氣環境中展現極好耐腐蝕性。為改良器件可靠性，仍可能需要另外之如上文所描述的介電罩蓋。在透明頂部接觸層之情況下，可使用如所描述之氧化銦錫(ITO)或具有高導電性及透射率的其他透明化合物或高度摻雜之半導體。

儘管本發明在改變奈米線LED之經選定部分的特性方面進行描述，但應瞭解其他基於奈米線之半導體器件，諸如場效電晶體、二極體及尤其涉及光吸收或光產生之器件，諸如光偵測器、太陽能電池、雷射等，可以相同方式接觸，且尤其傾斜改變方法可在任何奈米線結構上實施。

本發明亦提供LED結構。

在某些實施例中，本發明提供一種LED結構，其包含支撐物及排列於該支撐物上之複數個奈米線，其中奈米線中之每一者均包含端部及側壁，且其中(i)奈米線包含第一導電性類型半導體奈米線核心及封閉之第二導電性類型半導體殼層，其中核心及殼層經組態以形成pn或pin接面，該接面在操作中為光產生提供作用區；且(ii)側壁包含較低導電性層與較高導電性層交替的複數個層，且端部包含單個較低導電s

性層或對應於側壁層之複數個層，其中端部層比側壁層更薄。在某些實施例中，側壁較低導電性層包含p-AlGaN。在某些實施例中，側壁較高導電性層包含p-GaN。在一些此等實施例中，端部較低導電性層包含p-AlGaN。第一導電性類型核心可與支撐物緩衝層電接觸。第二導電性類型殼層可藉由遮蔽層而與緩衝層絕緣。在某些實施例中，第一導電性類型包含n型，諸如nGa_N，而第二導電性類型包含p型，諸如p-GaN。在某些實施例中，端部層或複數個端部層之厚度在5與50 nm之間，例如在5與40之間，諸如在10與40之間，例如在10與30 nm之間。

在某些實施例中，本發明提供一種LED結構，其包含支撐物及排列於該支撐物上之複數個奈米線，其中奈米線中之每一者均包含端部及側壁，且其中端部中之每一者均包含不沿側壁向下延伸或向下延伸不超過側壁長度之1%、2%、3%、4%、5%、7%、10%、13%、15%、20%、30%或40% (例如不超過5%)的外部絕緣層。在某些實施例中，絕緣層包含SiO_x，諸如SiO₂。在某些實施例中，絕緣層包含其中包含極高Mg/Ga比率及較低V族/III族比率之pGa_N (較佳V族/III族比率為約10至約50，且Mg之較佳量為約2%至約5%)。

儘管實施例已在改變LED奈米線之經選定部分的特性以使其導電性更低方面進行描述，但應瞭解可使用類似技術以使LED奈米線之某些部分導電性更高，例如可沈積導電材料以選擇性地接觸奈米線之側壁但不接觸端部。

詳言之，應強調儘管圖式展示具有柱狀幾何結構的實施例且基於奈米線核心(亦即「一維」核心)，但應理解核心可藉由改變生長條件而具有其他幾何結構，諸如稜錐形。此外，藉由改變生長條件，最終奈米元件可具有稜錐形，或介於柱狀與稜錐形之間的任何形狀。

本說明書中所引用之所有公開案及專利均以引用之方式併入本

文中，就如同特定地且單獨地指示各個別公開案或專利以引用之方式併入一般，且以引用之方式併入本文中以結合所引用之公開案來揭示及描述方法及/或材料。對任何公開案之引用係關於其在申請日期之前的揭示內容，且不應理解為承認本發明未被授權憑藉先前發明將該公開案之日期提前。此外，所提供之公開案的日期可能不同於可能需要獨立確認之實際公開案的日期。

【符號說明】

1	奈米線
2	n型奈米線核心
3	p型殼層
4	中間作用層
5	生長基板/底部基板層
6	介電遮蔽層/生長遮罩
7	緩衝層
10-10	m平面
10-11	p平面
100	奈米線LED/奈米線/奈米線結構
101	n-GaN核心/pGaN層
103	n-GaN緩衝層
105	InGaN中間層
107	GaN中間層
109	p-AlGaN中間層/pAlGaN
111	p-GaN外層/p-GaN層/p-GaN
113	垂直側壁/側壁
115	圓錐形端部/端部
117	接觸/接觸層/導電層

201	峰
203	峰
501	絕緣層
503	洩漏路徑
601	介電絕緣材料/ SiO_x
603	絕緣層之剩餘部分
801	絕緣層/高電阻III族氮化物層
1101	多層結構/導電層
1401	10 $\bar{1}$ 1區上MQW作用區/量子井
1403	10 $\bar{1}$ 0區上MQW作用區



申請專利範圍

1. 一種製造發光二極體(LED)結構的方法，該LED結構包含支撐物及定位於該支撐物上之複數個奈米線，其中各奈米線均包含端部及側壁，其中該方法包含在產生該等奈米線期間或在此之後，與該等奈米線之該等側壁的導電性相比，降低或消除該等端部的導電性。
2. 如請求項1之方法，其進一步包含控制奈米線生長條件，使得該等端部之導電性與未控制奈米線生長條件情況下的端部之導電性相比降低至少一個數量級。
3. 如請求項1之方法，其中降低或消除該等端部之導電性包含在產生該等奈米線之後在該等奈米線上方形形成絕緣層。
4. 如請求項3之方法，其中該絕緣層在奈米線陣列上方形成，使得該絕緣層在該等端部及該等側壁上成層，隨後在移除該等側壁上之該絕緣層的全部或一部分但保留該等端部上之該絕緣層的至少更大厚度部分的條件下，使該陣列接受蝕刻。
5. 如請求項4之方法，其中該絕緣層包含 SiO_x 。
6. 如請求項5之方法，其中該 SiO_x 包含 SiO_2 。
7. 如請求項4至6中任一項之方法，其中所形成之絕緣層在該等端部上之厚度比在該等側壁上更大。
8. 如請求項7之方法，其中該蝕刻包含各向異性蝕刻。
9. 如請求項1之方法，其中該等奈米線包含第一導電性類型半導體核心及第二導電性類型半導體殼層，且該等側壁及端部包含該第二導電性類型半導體殼層。
10. 如請求項9之方法，其中該殼層形成相繼層。
11. 如請求項10之方法，其中該殼層形成較低導電性材料與較高導電性材料相繼層。

電性材料之相繼層，其中與該等端部相比，該較高導電性材料優先在該等側壁上形成。

12. 如請求項11之方法，其中該較低導電性材料包含p-AlGa_N，而該較高導電性材料包含p-GaN。
13. 如請求項11或12之方法，其中形成該殼層以在該等側壁上提供複數個該等較低導電性層及複數個該等較高導電性層。
14. 如請求項13之方法，其中形成該殼層以在該等端部上僅提供單個組合之較低導電性層。
15. 如請求項13之方法，其中形成該殼層以在該等端部上提供複數個該等較低導電性層及複數個該等較高導電性層，其中該等端部上該等較高導電性層之厚度小於該等側壁上者，使得該等端部之導電性比該等側壁低。
16. 如請求項15之方法，其中該等端部不導電。
17. 如請求項10之方法，其進一步包含在該等奈米線之該等端部上但不在其該等側壁上形成高電阻材料。
18. 如請求項17之方法，其中在完成該殼層之後，在該等端部上選擇性地形成該高電阻材料。
19. 如請求項17之方法，其中在完成該殼層之前，在該等端部上選擇性地形成該高電阻材料。
20. 如請求項19之方法，其中該高電阻材料包含其中包含2%-5% Mg且藉由MOCVD使用10至50之V族/III族比率來生長的pGa_N。
21. 如請求項1之方法，其中該等奈米線包含多層結構，且該等奈米線之至少一層係使用包含H₂之載體氣體來形成。
22. 如請求項21之方法，其中該H₂包含至少50 sccm H₂。
23. 如請求項10之方法，其中該第一導電性類型半導體奈米線核心由該第二導電性類型半導體殼層封閉以形成pn或pin接面，該接

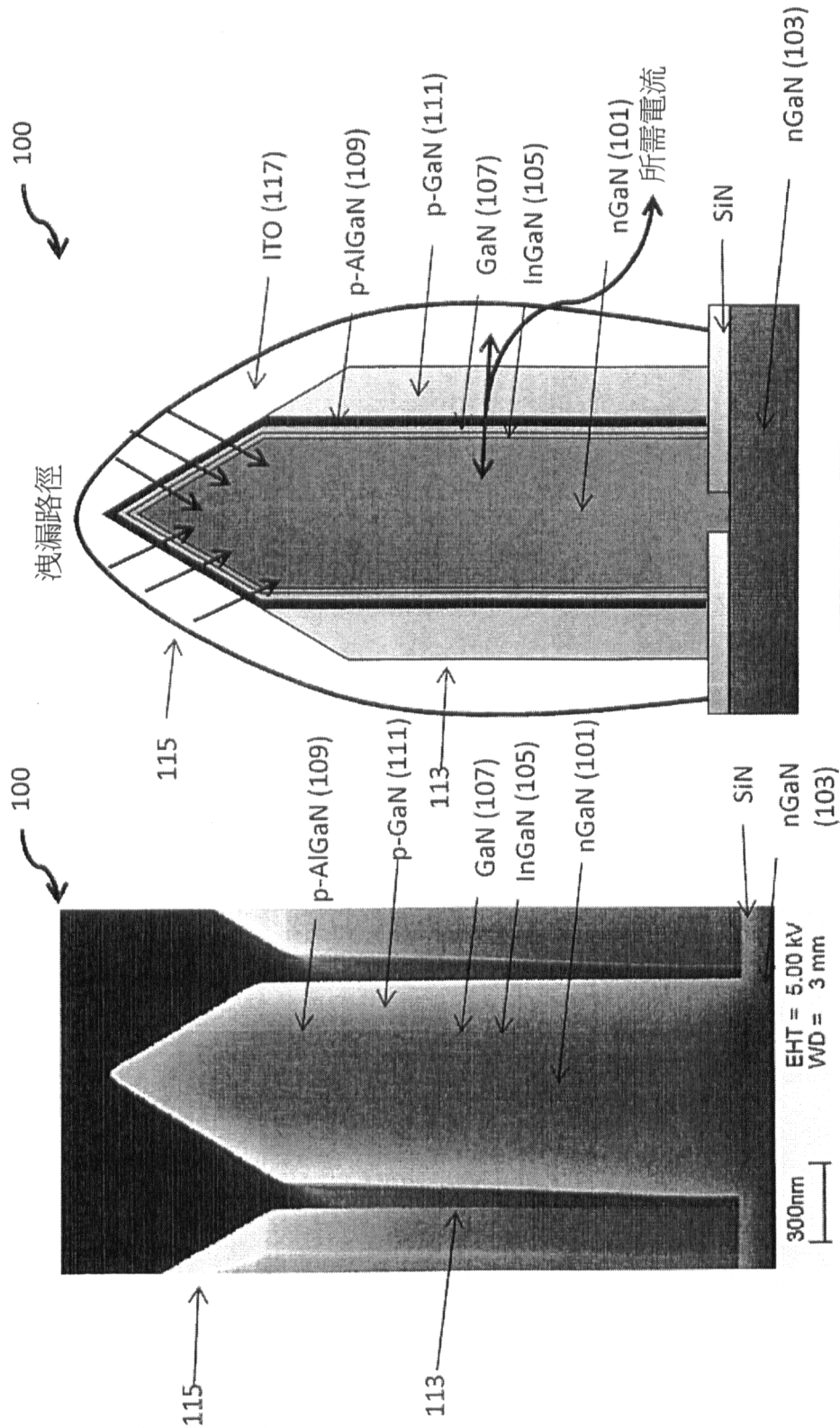
面在操作中為光產生提供作用區。

24. 如請求項23之方法，其中該第一導電性類型包含n型，該第二導電性類型包含p型。
25. 如請求項10之方法，其中該奈米線核心在產生該奈米線陣列期間自包含n型緩衝層之支撐物生長。
26. 如請求項25之方法，其中該支撐物進一步包含介電遮蔽層，使得核心通過該遮蔽層中之開口而自該緩衝層突出，且該等殼層定位於該遮蔽層上。
27. 如請求項25之方法，其中該支撐物進一步包含該緩衝層下方之基板層。
28. 如請求項27之方法，其中該基板層包含 Al_2O_3 。
29. 如請求項25之方法，其中該支撐層進一步包含反射層。
30. 如請求項29之方法，其中該反射層包含Ag。
31. 一種LED結構，其包含支撐物及定位於該支撐物上之複數個奈米線，其中該等奈米線中之每一者均包含端部及側壁，且其中
 - (i)該等奈米線包含第一導電性類型半導體奈米線核心及封閉之第二導電性類型半導體殼層，其中該核心及該殼層經組態以形成pn或pin接面，該接面在操作中為光產生提供作用區；且
 - (ii)該側壁包含較低導電性層與較高導電性層交替的複數個層，且該端部包含單個較低導電性層或對應於該等側壁層之複數個層，其中該等端部層比該等側壁層更薄。
32. 如請求項31之結構，其中該等側壁較低導電性層包含p-AlGaN。
33. 如請求項31或32之結構，其中該側壁較高導電性層包含p-GaN。
34. 如請求項31至33中任一項之結構，其中該端部較低導電性層包含p-AlGaN。
35. 如請求項31至34中任一項之結構，其中該第一導電性類型核心s

與該支撐物之緩衝層電接觸。

36. 如請求項31至35中任一項之結構，其中該第二導電性類型殼層藉由遮蔽層而與該緩衝層絕緣。
37. 如請求項31至36中任一項之結構，其中該第一導電性類型包含n型，該第二導電性類型包含p型。
38. 如請求項31至37中任一項之結構，其中該端部層或複數個端部層之厚度在10與30 nm之間。
39. 一種LED結構，其包含支撐物及排列於該支撐物上之複數個奈米線，其中該等奈米線中之每一者均包含端部及側壁，且其中該等端部中之每一者包含不沿整個側壁向下延伸的外部絕緣層。
40. 如請求項39之結構，其中該絕緣層包含 SiO_x 。
41. 如請求項40之結構，其中該 SiO_x 包含 SiO_2 。
42. 如請求項39之結構，其中該絕緣層包含其中包含2%-5% Mg且藉由MOCVD使用10至50之V族/III族比率來生長的pGaN。
43. 一種LED結構，其包含支撐物及排列於該支撐物上之複數個奈米線，其中該等奈米線中之每一者均包含端部及側壁，且其中該等奈米線中之每一者均包含第一導電性類型半導體核心及第二導電性類型半導體殼層，且該等側壁及端部包含該第二導電性類型半導體殼層，且其中該等奈米線中之每一者均在該核心與該殼層之間包含多量子井(MQW)作用區，其中該MQW作用區鄰近該側壁而不鄰近該端部。

圖式

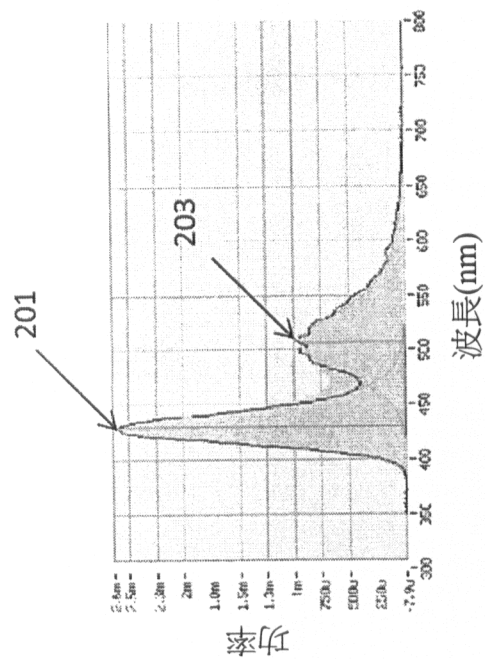


沒有pGaIn層或較薄pGaIn層產生通過奈米線結構之頂部的洩漏路徑

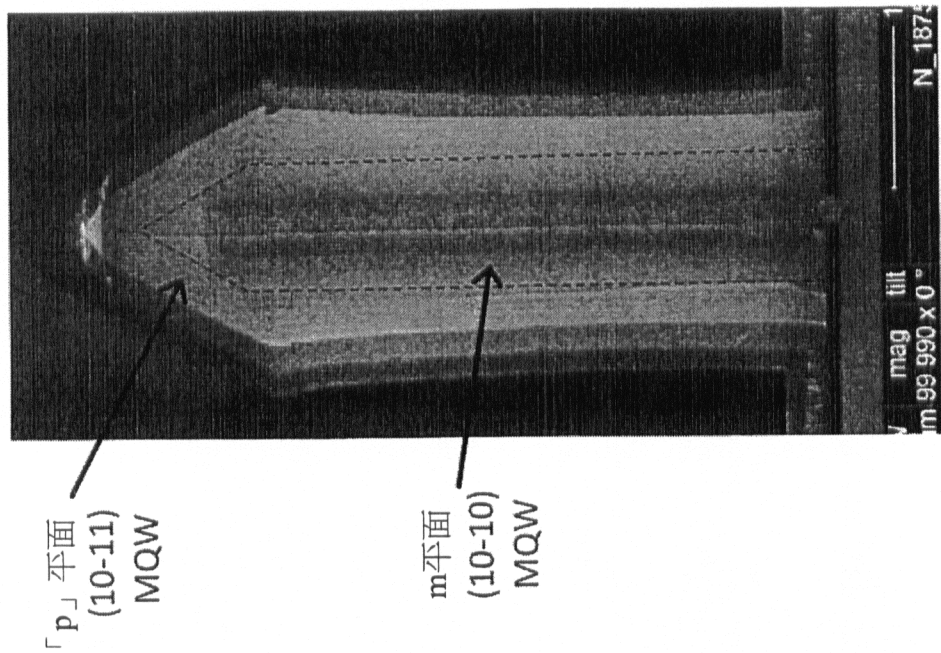
橫截面SEM - 「p」平面(10-11)上之較薄p-GaIn生長

圖1B

圖1A



顯示具有自m平面(10-10)之較短波長及自「p」平面(10-11)之較長波長的兩個峰(201、203)的電致發光譜



橫截面SEM影像顯示m平面(10-10)及「p」平面(10-11)兩者上之量子井

圖2

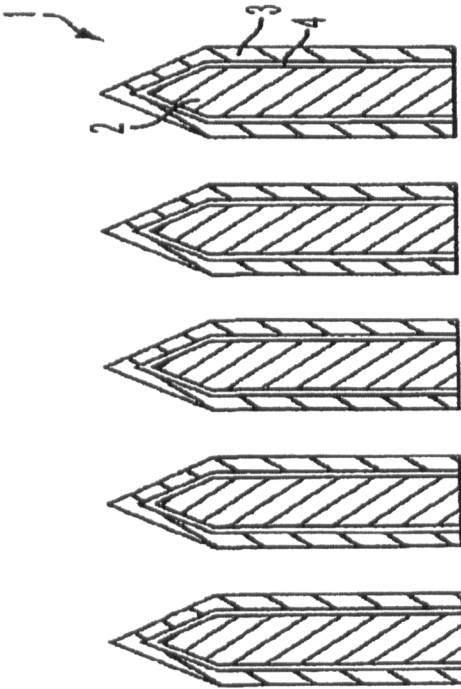


圖 3

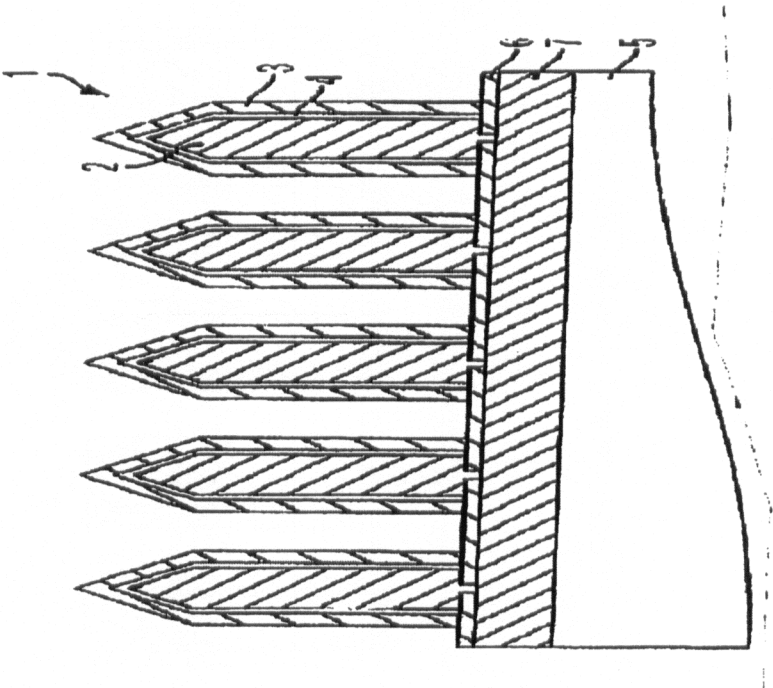


圖4

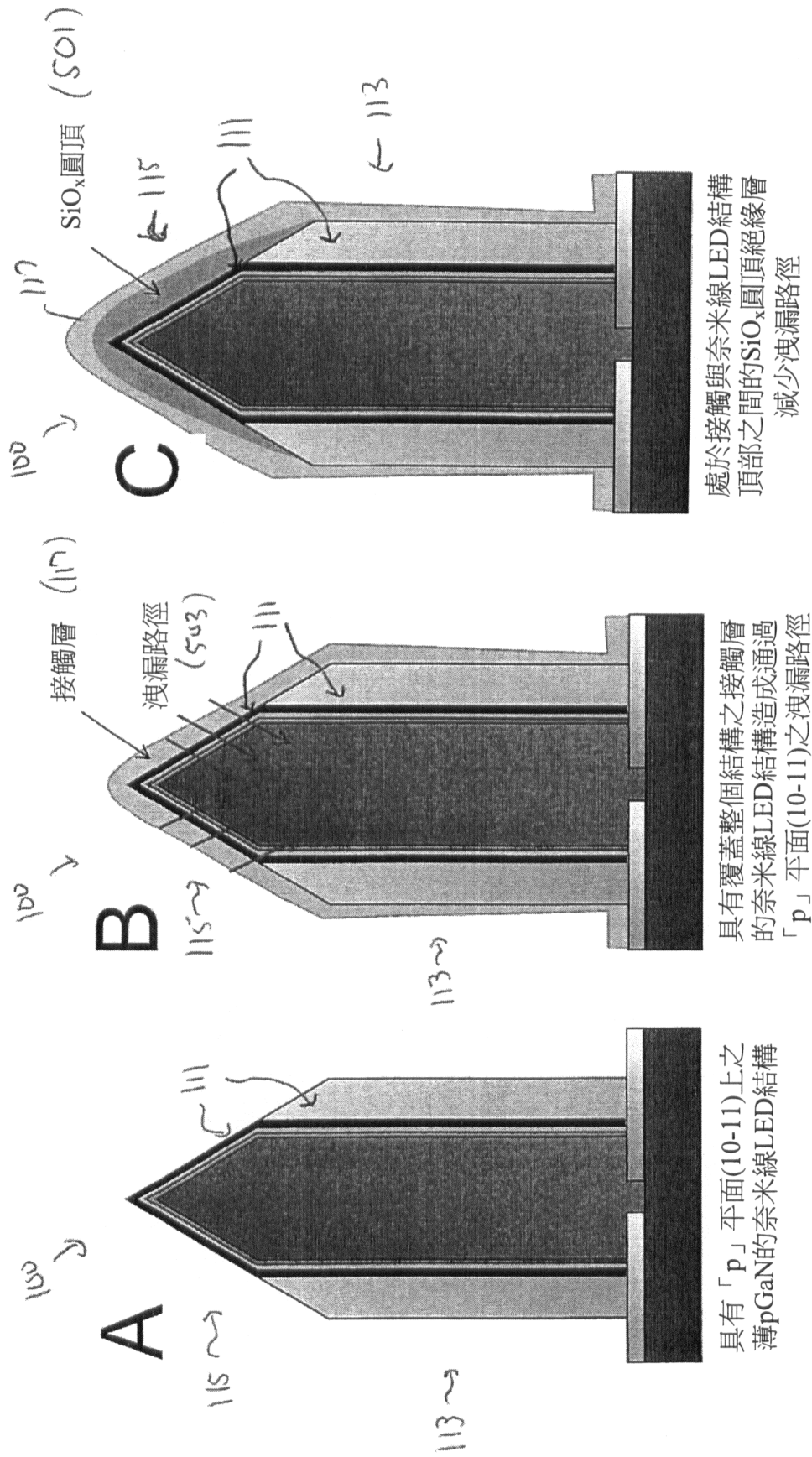
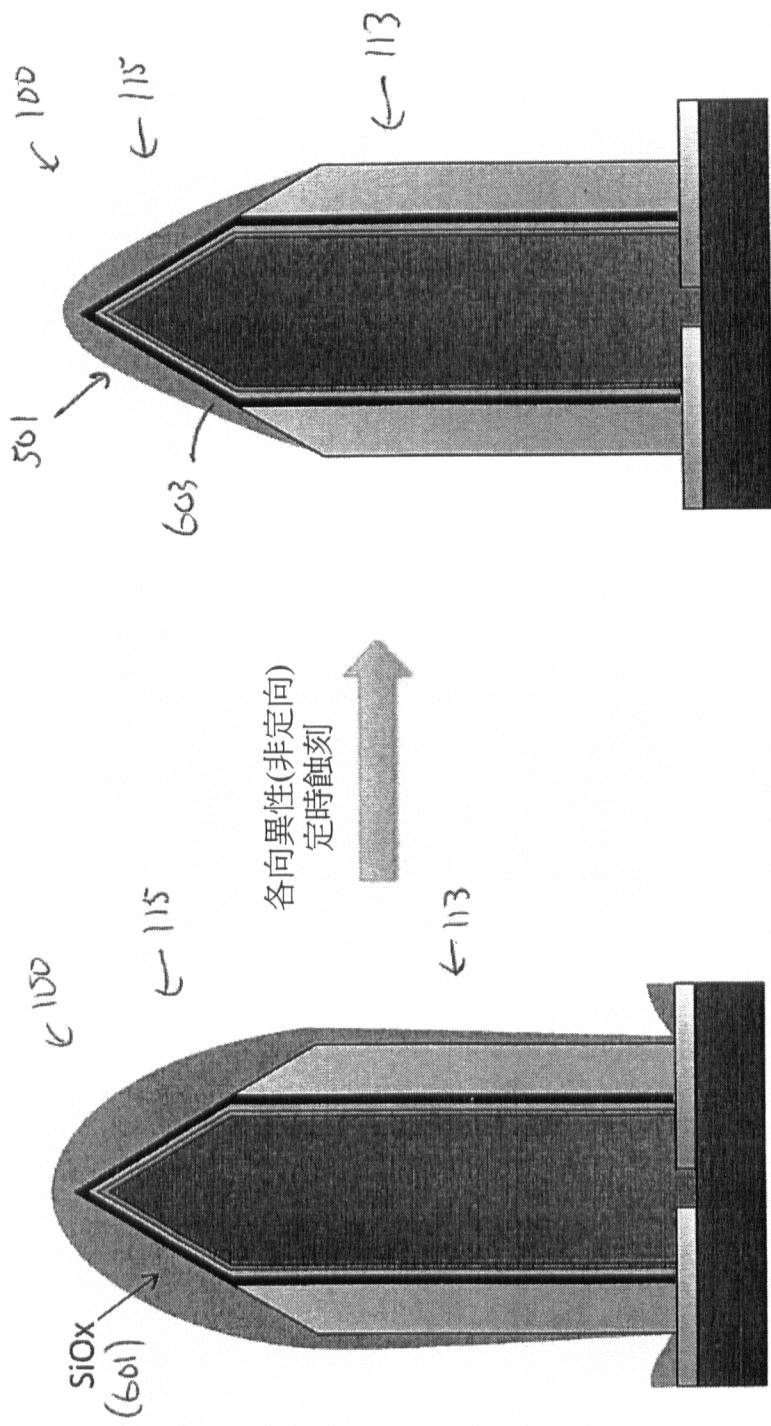
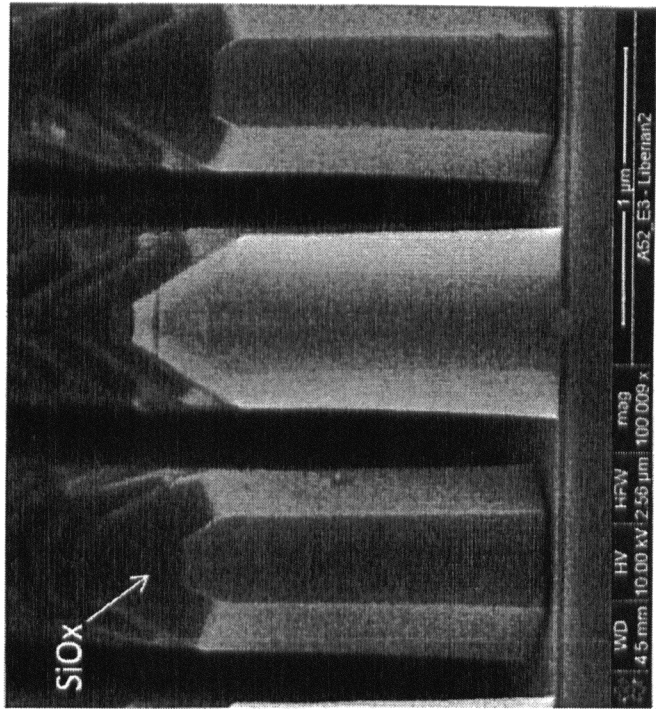
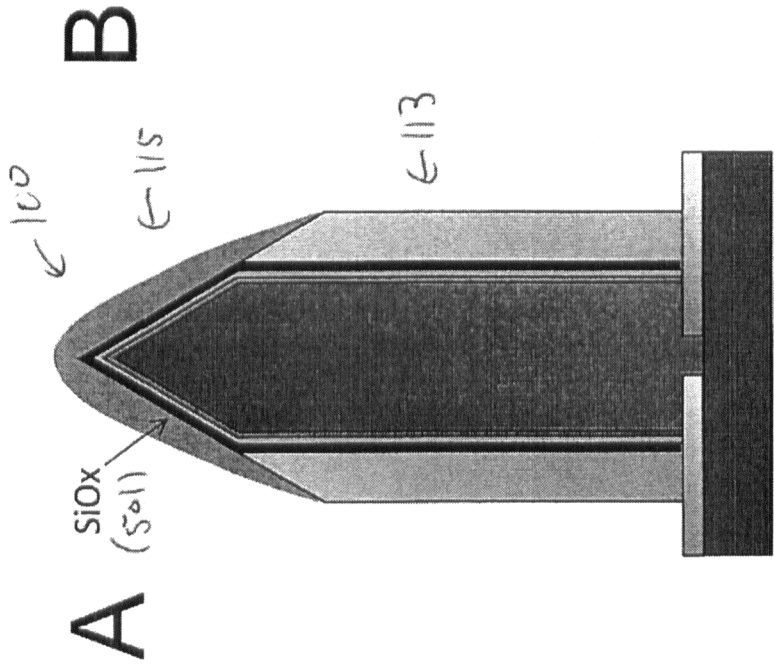


圖5A-5C



與頂部相比， SiO_x 濺鍍之後的奈米線LED在側壁上顯示更薄沈積

圖6



橫截面SEM影像顯示SiO_x覆蓋奈米線頂部。
「p」平面(10-11)上之pGaN的厚度約為m平
面(10-10)上的0.5倍。

圖7

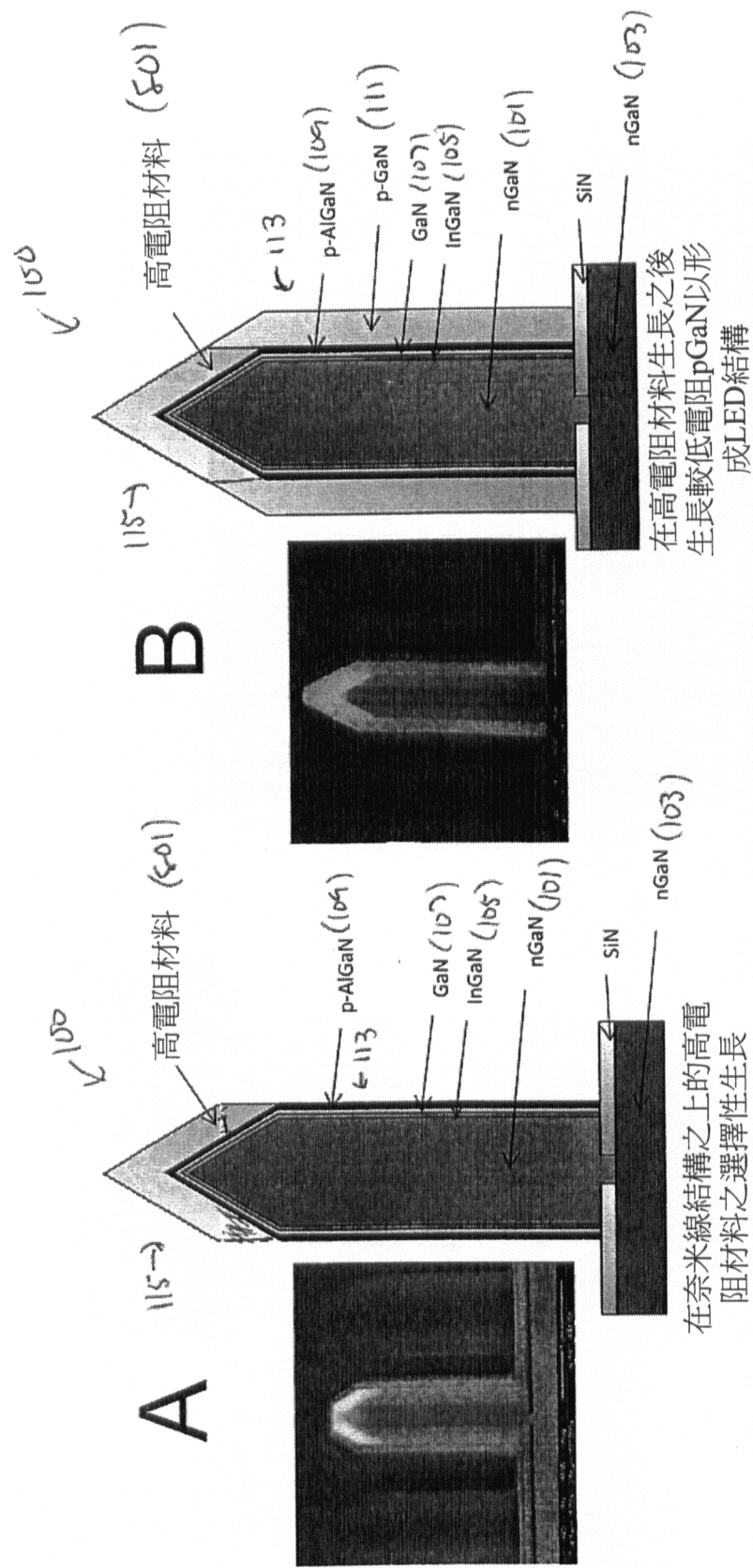


圖8

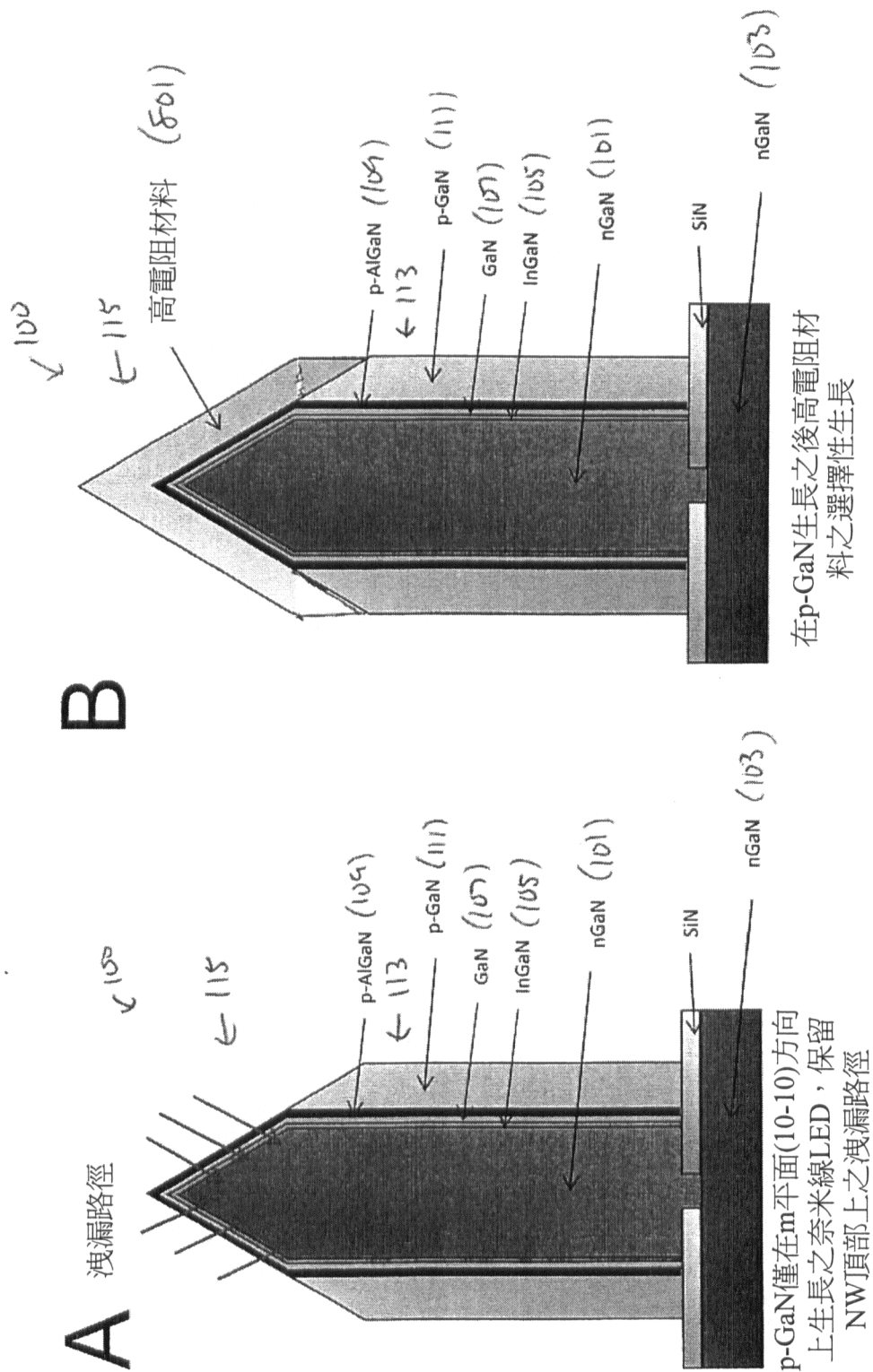
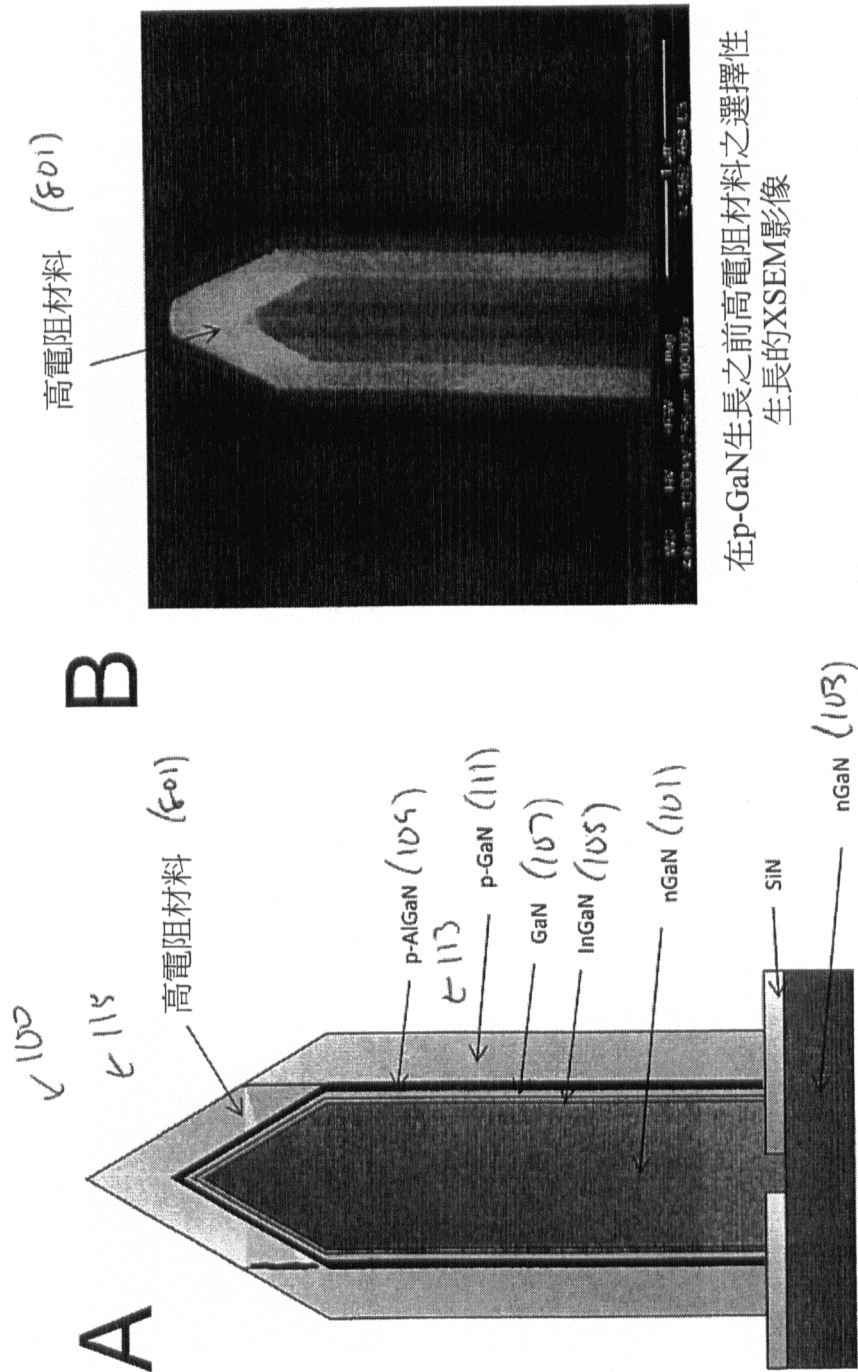


圖9



在p-GaN生長之前高電阻材料之選擇性
生長的XSEM影像

圖10

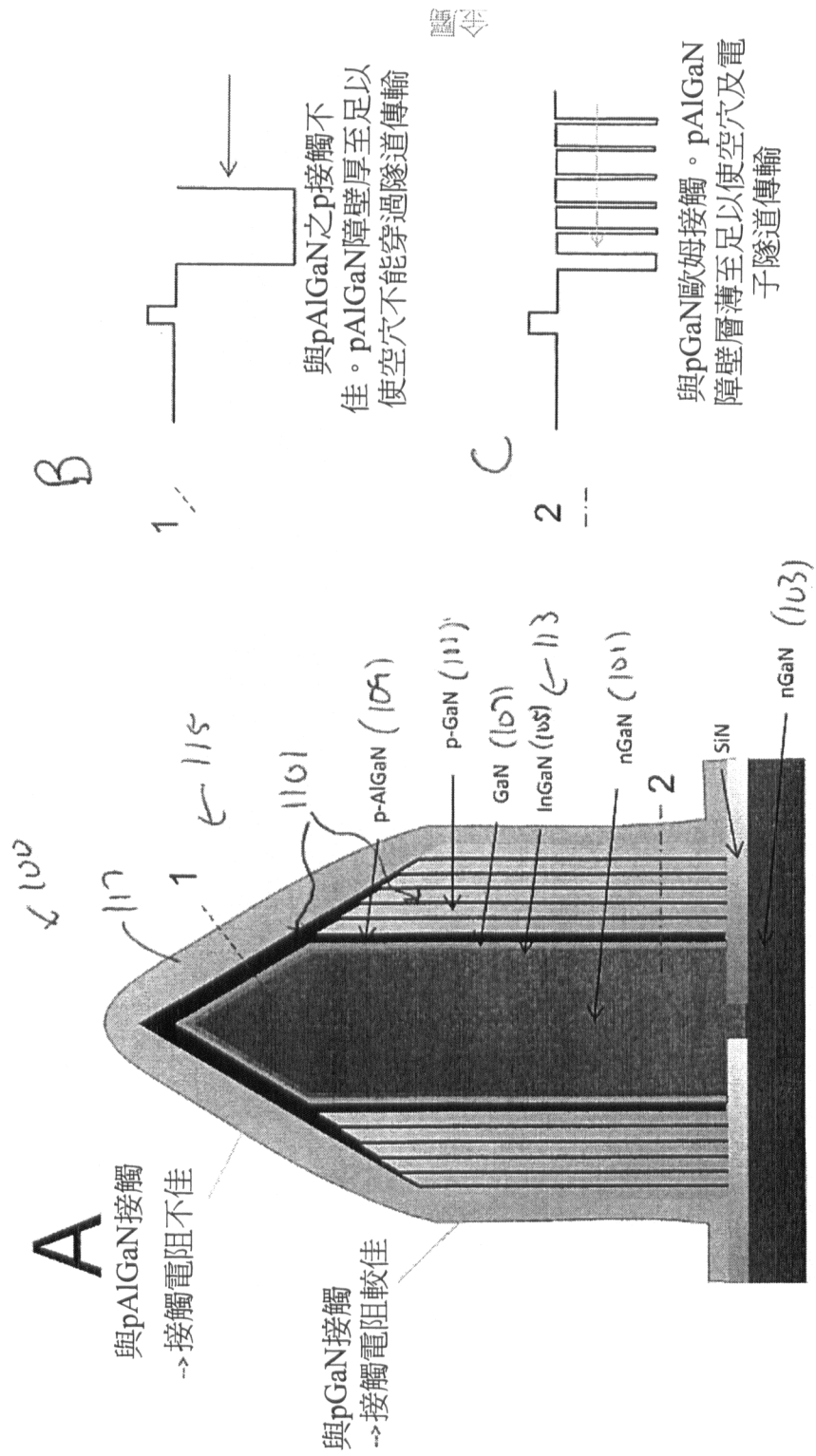


圖11

pAlGaN/pGaN多層障壁在m平面上及厚p-AlGaN電阻在p平面上選擇性生長的示意圖

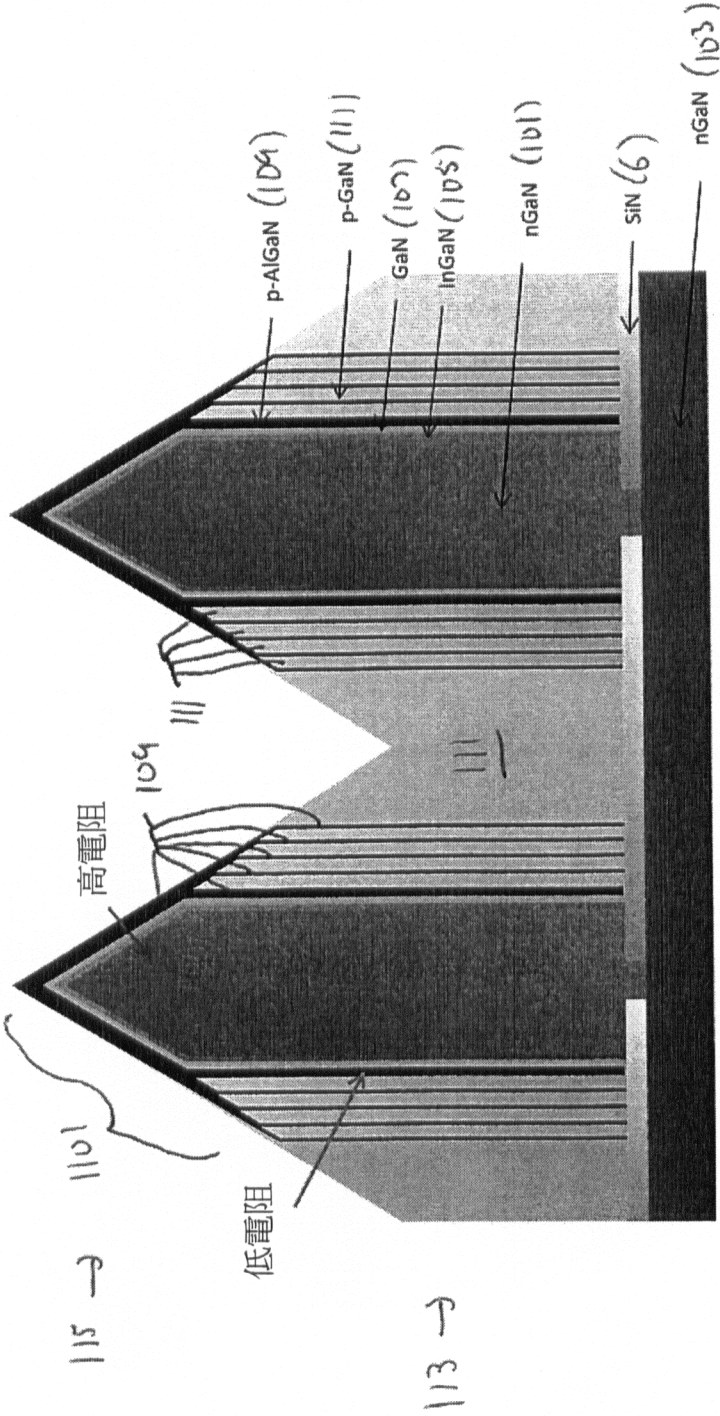


圖12

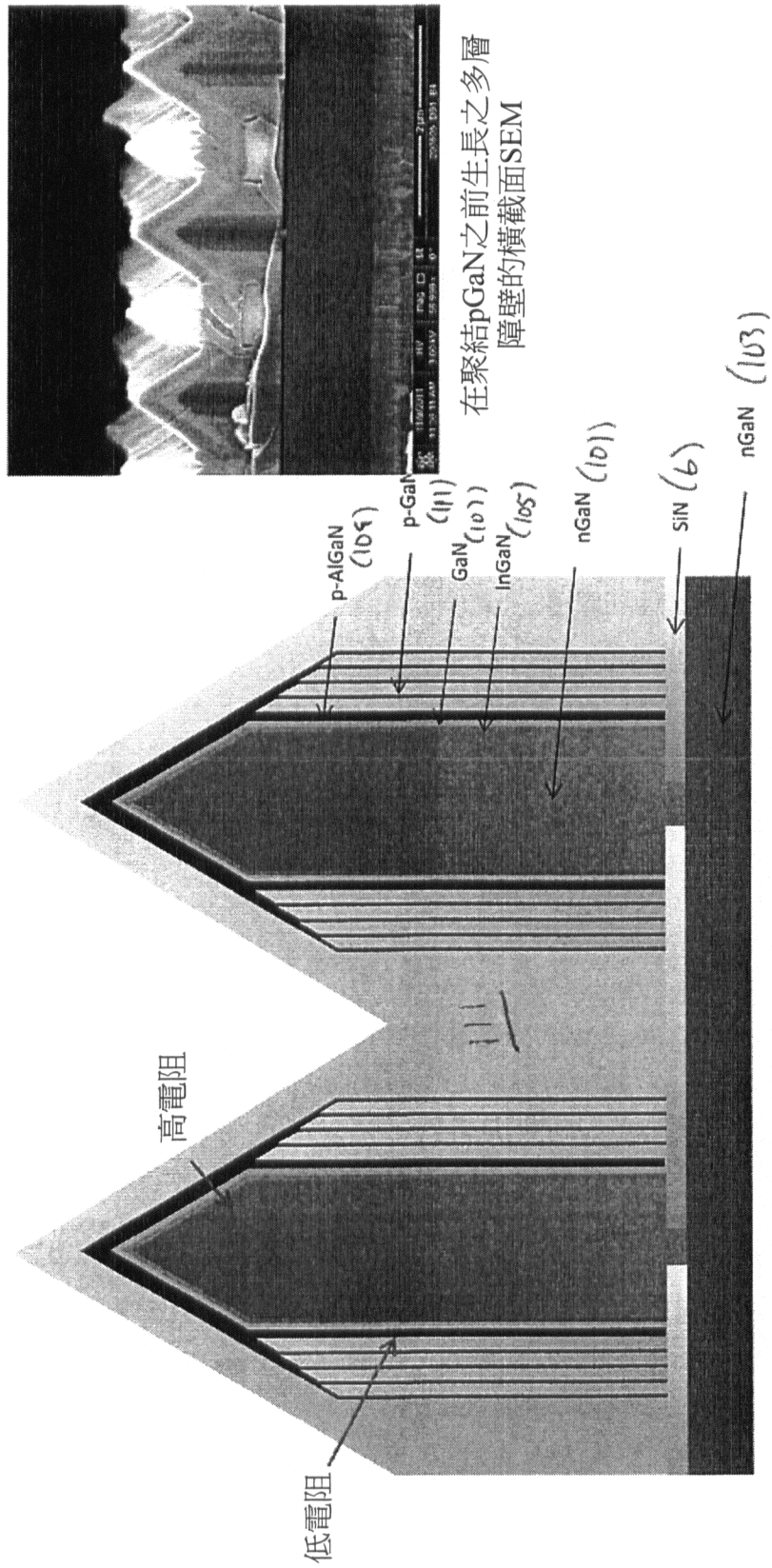
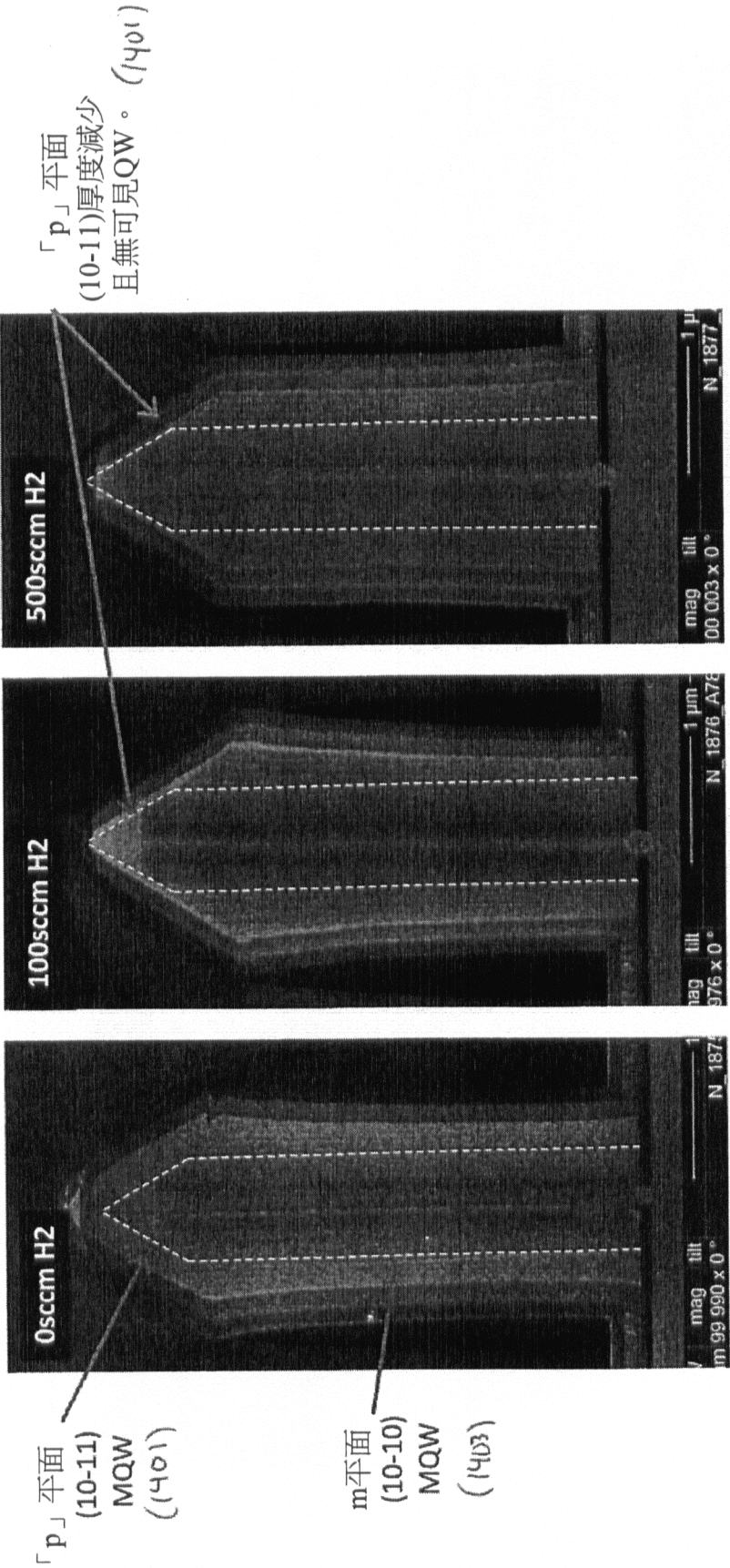


圖13



GaN障壁在無H₂、用100 sccm H₂及500 sccm H₂的情況下生長之量子井結構。引入H₂減少「p」平面(10-11)生長，且似乎亦不存在或極少存在InGaN (其不在用H₂的情況下生長)，顯示該InGaN由H₂蝕刻。此產生僅具有m平面之器件。

圖14