

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)



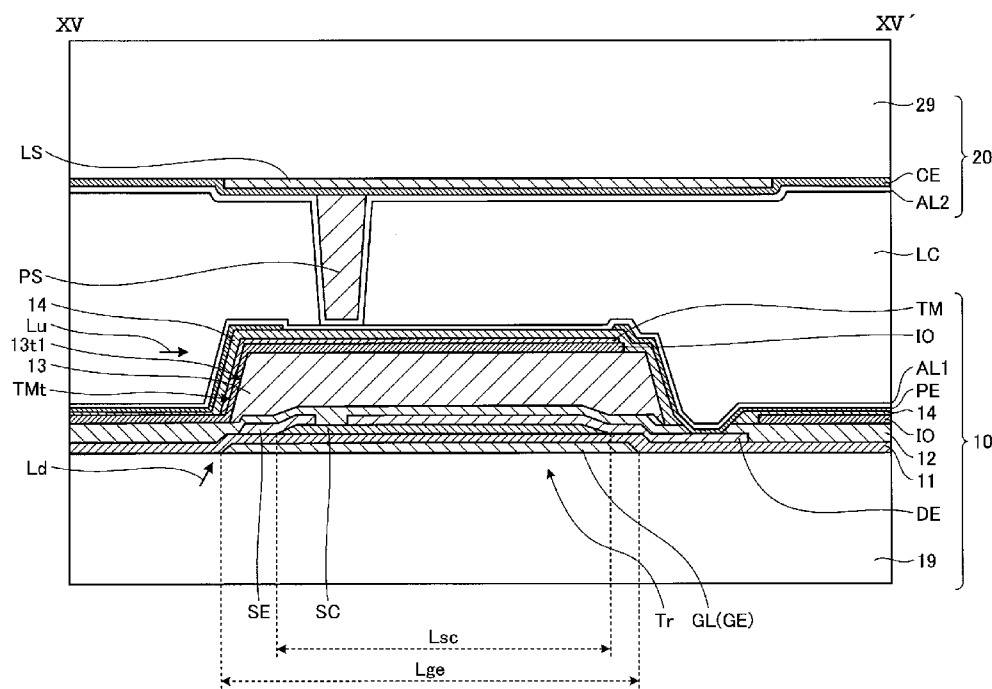
(10) 国際公開番号

WO 2020/195757 A1

- (51) 国際特許分類:
G09F 9/00 (2006.01) *G02F 1/13357* (2006.01)
G09F 9/30 (2006.01) *G02F 1/1368* (2006.01)
G02F 1/1334 (2006.01)
- (21) 国際出願番号: PCT/JP2020/010109
- (22) 国際出願日: 2020年3月9日(09.03.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-059314 2019年3月26日(26.03.2019) JP
- (71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 大植 善英 (Ohue, Yoshihide); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人 酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) **Abstract:** The present invention provides a display device that makes it possible to visually recognize an image displayed using a light source from one surface of a display panel, together with a background on the other surface on the reverse side, and reduce light leakage from a switching element. This display device is provided with: a liquid crystal layer having polymer dispersed liquid crystal filled between an array substrate and an opposite substrate; and a light source disposed such that light enters a side surface of the array substrate or a side surface of the opposite substrate. In a region

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

surrounded by scanning lines and signal lines, a region having an organic insulating layer with a smaller thickness than that of the organic insulating layer overlapping the scanning line and the signal line in plan view is present. A first inclined surface of the organic insulating layer, which is located closer to the light source than the switching element in plan view, is covered with a metallic layer. A second inclined surface of the organic insulating layer, which is located farther from the light source than the switching element, is covered with a metallic layer.

(57) 要約: 光源を用いて表示した画像が表示パネルの一方の面から、反対側の他方の面側の背景とともに視認可能であり、スイッチング素子の光リークを低減できる、表示装置を提供する。表示装置は、アレイ基板と前記対向基板との間に封入される高分子分散型液晶を有する液晶層と、アレイ基板の側面又は対向基板の側面に光が入るように配置される光源、を備える。走査線と信号線とに囲まれた領域には、平面視で走査線及び信号線に重なる有機絶縁層の厚さよりも有機絶縁層の厚さが小さい領域がある。平面視でスイッチング素子よりも光源に近い側にある有機絶縁層の第1斜面が金属層で覆われている。また、スイッチング素子よりも光源から遠い側にある有機絶縁層の第2斜面が金属層で覆われている。

明 細 書

発明の名称 : 表示装置

技術分野

[0001] 本開示は、表示装置に関する。

背景技術

[0002] 特許文献 1 には、第 1 透光性基板と、第 1 透光性基板と対向して配置される第 2 透光性基板と、第 1 透光性基板と第 2 透光性基板との間に封入される高分子分散型液晶を有する液晶層と、第 1 透光性基板及び第 2 透光性基板の少なくとも 1 つの側面に対向して配置される少なくとも 1 つの発光部とを備える表示装置が記載されている。

先行技術文献

特許文献

[0003] 特許文献 1 : 特開 2 0 1 8 - 0 2 1 9 7 4 号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献 1 に記載されている表示装置では、表示パネルの一方の面から、反対側の他方の面側の背景を視認可能である。光源が第 1 透光性基板及び第 2 透光性基板の少なくとも 1 つの側面に対向して配置されるため、光源によるスイッチング素子の光リークを低減する必要がある。

[0005] 本発明の目的は、光源を用いて表示した画像が表示パネルの一方の面から、反対側の他方の面側の背景とともに視認可能であり、スイッチング素子の光リークを低減できる、表示装置を提供することにある。

課題を解決するための手段

[0006] 一態様に係る表示装置は、アレイ基板と、対向基板と、前記アレイ基板と前記対向基板との間の液晶層と、前記アレイ基板の側面又は前記対向基板の側面に光が入るように配置される光源と、を備え、前記アレイ基板は、第 1 方向に間隔をおいて並ぶ複数の信号線と、第 2 方向に間隔をおいて並ぶ複数

の走査線と、前記走査線と前記信号線とに接続されたスイッチング素子と、少なくとも前記スイッチング素子を覆う有機絶縁層と、前記有機絶縁層の上方に重畳して設けられた金属層と、を有し、前記走査線と前記信号線とに囲まれた領域には、平面視で前記走査線及び前記信号線に重なる前記有機絶縁層の厚さよりも前記有機絶縁層の厚さが小さい領域があり、前記スイッチング素子よりも前記光源に近い側にある前記有機絶縁層の第1斜面が前記金属層で覆われ、前記スイッチング素子よりも前記光源から遠い側にある前記有機絶縁層の第2斜面が前記金属層で覆われている。

図面の簡単な説明

- [0007] [図1]図1は、本実施形態に係る表示装置の一例を表す斜視図である。
- [図2]図2は、実施形態1の表示装置を表すブロック図である。
- [図3]図3は、実施形態1のフィールドシーケンシャル方式において、光源が発光するタイミングを説明するタイミングチャートである。
- [図4]図4は、画素電極への印加電圧と画素の散乱状態との関係を示す説明図である。
- [図5]図5は、図1の表示装置の断面の一例を示す断面図である。
- [図6]図6は、図1の表示装置の平面を示す平面図である。
- [図7]図7は、図5の液晶層部分を拡大した拡大断面図である。
- [図8]図8は、液晶層において非散乱状態を説明するための断面図である。
- [図9]図9は、液晶層において散乱状態を説明するための断面図である。
- [図10]図10は、画素において、走査線、信号線及びスイッチング素子を示す平面図である。
- [図11]図11は、画素において、保持容量層を示す平面図である。
- [図12]図12は、画素において、補助金属層及び開口領域を示す平面図である。
- [図13]図13は、画素において、画素電極を示す平面図である。
- [図14]図14は、画素において、遮光層を示す平面図である。
- [図15]図15は、図14のXV-XV'の断面図である。

[図16]図16は、図14のXV I - XV I' の断面図である。

[図17]図17は、図14のXV I I - XV I I' の断面図である。

[図18]図18は、周辺領域の断面図である。

[図19]図19は、実施形態2の画素を示す平面図である。

[図20]図20は、実施形態3の表示装置の平面を示す平面図である。

[図21]図21は、実施形態3の画素において、走査線、信号線及びスイッチング素子を示す平面図である。

[図22]図22は、図21のXX I I - XX I I' の断面図である。

発明を実施するための形態

[0008] 本開示を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本開示が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、開示の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本開示の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本開示の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] （実施形態1）

図1は、本実施形態に係る表示装置の一例を表す斜視図である。図2は、図1の表示装置を表すブロック図である。図3は、フィールドシーケンシャル方式において、光源が発光するタイミングを説明するタイミングチャートである。

[0010] 図1に示すように、表示装置1は、表示パネル2と、光源3と、駆動回路4とを有する。ここで、表示パネル2の平面の一方向がPX方向とされ、P

X方向と直交する方向が第2方向PYとされ、PX-PY平面に直交する方向が第3方向PZとされている。

[0011] 表示パネル2は、アレイ基板10と、対向基板20と、液晶層50（図5参照）とを備えている。対向基板20は、アレイ基板10の表面に垂直な方向（図1に示すPZ方向）に対向する。液晶層50（図5参照）は、アレイ基板10と、対向基板20と、封止部18とで、後述する高分子分散型液晶LCが封止されている。

[0012] 図1に示すように、表示パネル2において、画像を表示可能な表示領域AAと、表示領域AAの外側の周辺領域FRと、がある。表示領域AAには、複数の画素Pixがマトリクス状に配置されている。なお、本開示において、行とは、一方向に配列されるm個の画素Pixを有する画素行をいう。また、列とは、行が配列される方向と直交する方向に配列されるn個の画素Pixを有する画素列をいう。そして、mとnとの値は、垂直方向の表示解像度と水平方向の表示解像度に応じて定まる。また、複数の走査線GLが行毎に配線され、複数の信号線SLが列毎に配線されている。

[0013] 光源3は、複数の発光部31を備えている。図2に示すように、光源制御部32は、駆動回路4に含まれる。なお、光源制御部32は、駆動回路4の回路とは別の回路にしてもよい。発光部31と、光源制御部32とは、アレイ基板10内の配線で電氣的に接続されている。

[0014] 図1に示すように、駆動回路4は、アレイ基板10の表面に固定されている。図2に示すように、駆動回路4は、信号処理回路41、画素制御回路42、ゲート駆動回路43、ソース駆動回路44及び共通電位駆動回路45を備えている。アレイ基板10は、対向基板20よりもXY平面の面積が大きく、対向基板20から露出したアレイ基板10の張り出し部分に、駆動回路4が設けられる。

[0015] 信号処理回路41には、外部の上位制御部9の画像出力部91から、フレキシブル基板92を介して、入力信号（RGB信号など）VSが入力される。

- [0016] 信号処理回路41は、入力信号解析部411と、記憶部412と、信号調整部413とを備える。入力信号解析部411は、外部から入力された第1入力信号VSに基づいて第2入力信号VCSを生成する。
- [0017] 第2入力信号VCSは、第1入力信号VSに基づいて、表示パネル2の各画素P_ixにどのような階調値を与えるかを定める信号である。言い換えると、第2入力信号VCSは、各画素P_ixの階調値に関する階調情報を含む信号である。
- [0018] 信号調整部413は、第2入力信号VCSから第3入力信号VCSAを生成する。信号調整部413は、第3入力信号VCSAを画素制御回路42へ送出し、光源制御信号LCSAを光源制御部32へ送出する。光源制御信号LCSAは、例えば、画素P_ixへの入力階調値に応じて設定される発光部31の光量の情報を含む信号である。例えば、暗い画像が表示される場合、発光部31の光量は小さく設定される。明るい画像が表示される場合、発光部31の光量は大きく設定される。
- [0019] そして、画素制御回路42は、第3入力信号VCSAに基づいて水平駆動信号HDSと垂直駆動信号VDSとを生成する。本実施形態では、フィールドシーケンシャル方式で駆動されるので、水平駆動信号HDSと垂直駆動信号VDSとが発光部31が発光可能な色毎に生成される。
- [0020] ゲート駆動回路43は水平駆動信号HDSに基づいて1垂直走査期間内に表示パネル2の走査線GLを順次選択する。走査線GLの選択の順番は任意である。
- [0021] ソース駆動回路44は垂直駆動信号VDSに基づいて1水平走査期間内に表示パネル2の各信号線SLに各画素P_ixの出力階調値に応じた階調信号を供給する。
- [0022] 本実施形態において、表示パネル2はアクティブマトリクス型パネルである。このため、平面視で第2方向PYに延在する信号（ソース）線SL及び第1方向PXに延在する走査（ゲート）線GLを有し、信号線SLと走査線GLとの交差部にスイッチング素子Trを有する。

[0023] スイッチング素子 T_r として薄膜トランジスタが用いられる。薄膜トランジスタの例としては、ボトムゲート型トランジスタ又はトップゲート型トランジスタを用いてもよい。スイッチング素子 T_r として、シングルゲート薄膜トランジスタを例示するが、ダブルゲートトランジスタでもよい。スイッチング素子 T_r のソース電極及びドレイン電極のうち一方は信号線 S_L に接続され、ゲート電極は走査線 G_L に接続され、ソース電極及びドレイン電極のうち他方は、後述する高分子分散型液晶 LC の容量の一端に接続されている。高分子分散型液晶 LC の容量は、一端がスイッチング素子 T_r に画素電極 P_E を介して接続され、他端が共通電極 C_E を介してコモン電位配線 COM_L に接続されている。また、画素電極 P_E と、コモン電位配線 COM_L に電氣的に接続されている保持容量電極 I_O との間には、保持容量 H_C が生じる。なお、コモン電位配線 COM_L は、共通電位駆動回路 45 より供給される。

[0024] 発光部 31 は、第1色（例えば、赤色）の発光体 33R と、第2色（例えば、緑色）の発光体 33G と、第3色（例えば、青色）の発光体 33B を備えている。光源制御部 32 は、光源制御信号 $LCSA$ に基づいて、第1色の発光体 33R、第2色の発光体 33G 及び第3色の発光体 33B のそれぞれを時分割で発光するように制御する。このように、第1色の発光体 33R、第2色の発光体 33G 及び第3色の発光体 33B は、フィールドシーケンシャル方式で駆動される。

[0025] 図3に示すように、第1サブフレーム（第1所定時間） RF において、第1色の発光期間 RON で第1色の発光体 33R が発光するとともに、1垂直走査期間 $GateScan$ 内に選択された画素 Pix が光を散乱させて表示する。表示パネル 2 全体では、1垂直走査期間 $GateScan$ 内に選択された画素 Pix に、上述した各信号線 S_L に各画素 Pix の出力階調値に応じた階調信号が供給されていれば、第1色の発光期間 RON において第1色ののみ点灯している。

[0026] 次に、第2サブフレーム（第2所定時間） GF において、第2色の発光期

間GONで第2色の発光体33Gが発光するとともに、1垂直走査期間GateScan内に選択された画素Pixelが光を散乱させて表示する。表示パネル2全体では、1垂直走査期間GateScan内に選択された画素Pixelに、上述した各信号線SLに各画素Pixelの出力階調値に応じた階調信号が供給されていれば、第2色の発光期間GONにおいて第2色のみ点灯している。

[0027] さらに、第3サブフレーム（第3所定時間）BFにおいて、第3色の発光期間BONで第3色の発光体33Bが発光するとともに、1垂直走査期間GateScan内に選択された画素Pixelが光を散乱させて表示する。表示パネル2全体では、1垂直走査期間GateScan内に選択された画素Pixelに、上述した各信号線SLに各画素Pixelの出力階調値に応じた階調信号が供給されていれば、第3色の発光期間BONにおいて第3色のみ点灯している。

[0028] 人間の眼には、時間的な分解能の制限があり、残像が発生するので、1フレーム（1F）の期間に3色の合成された画像が認識される。フィールドシーケンシャル方式では、カラーフィルタを不要とすることができ、カラーフィルタでの吸収ロスが低減するので、高い透過率を実現できる。カラーフィルタ方式では、第1色、第2色、第3色毎に画素Pixelを分割したサブピクセルで一画素を作るのに対し、フィールドシーケンシャル方式では、このようなサブピクセル分割をしなくてもよい。なお、第4サブフレームをさらに有し、第1色、第2色及び第3色とは異なる第4色を発光するようにしてもよい。

[0029] 図4は、画素電極への印加電圧と画素の散乱状態との関係を示す説明図である。図5は、図1の表示装置の断面の一例を示す断面図である。図6は、図1の表示装置の平面を示す平面図である。図5は、図6のV-V'断面である。図7は、図5の液晶層部分を拡大した拡大断面図である。図8は、液晶層において非散乱状態を説明するための断面図である。図9は、液晶層において散乱状態を説明するための断面図である。

[0030] 1 垂直走査期間 Gate Scan 内に選択された画素 Pixel に、上述した各信号線 SL に各画素 Pixel の出力階調値に応じた階調信号が供給されていれば、階調信号に応じて画素電極 PE への印加電圧が変わる。画素電極 PE への印加電圧が変わると、画素電極 PE と、共通電極 CE との間の電圧が変化する。そして、図 4 に示すように、画素電極 PE への印加電圧に応じて、画素 Pixel 毎の液晶層 50 の散乱状態が制御され、画素 Pixel 内の散乱割合が変化する。

[0031] 図 4 に示すように、画素電極 PE への印加電圧が飽和電圧 V_{sat} 以上となると、画素 Pixel 内の散乱割合の変化が小さくなる。そこで、駆動回路 4 は、飽和電圧 V_{sat} よりも低い電圧範囲 V_{dr} において、垂直駆動信号 VDS に応じた画素電極 PE への印加電圧を変化させる。

[0032] 図 5 及び図 6 に示すように、アレイ基板 10 は、第 1 主面 10A、第 2 主面 10B、第 1 側面 10C、第 2 側面 10D、第 3 側面 10E 及び第 4 側面 10F を備える。第 1 主面 10A と第 2 主面 10B とは、平行な平面である。また、第 1 側面 10C と第 2 側面 10D とは、平行な平面である。第 3 側面 10E と第 4 側面 10F とは、平行な平面である。

[0033] 図 5 及び図 6 に示すように、対向基板 20 は、第 1 主面 20A、第 2 主面 20B、第 1 側面 20C、第 2 側面 20D、第 3 側面 20E 及び第 4 側面 20F を備える。第 1 主面 20A と第 2 主面 20B とは、平行な平面である。第 1 側面 20C と第 2 側面 20D とは、平行な平面である。第 3 側面 20E と第 4 側面 20F とは、平行な平面である。

[0034] 図 5 及び図 6 に示すように、光源 3 は、対向基板 20 の第 2 側面 20D に対向する。光源 3 は、サイド光源と呼ばれることもある。図 5 に示すように、光源 3 は、対向基板 20 の第 2 側面 20D へ光源光 L を照射する。光源 3 と対向する対向基板 20 の第 2 側面 20D は、光入射面となる。

[0035] 図 5 に示すように、光源 3 から照射された光源光 L は、アレイ基板 10 の第 1 主面 10A 及び対向基板 20 の第 1 主面 20A で反射しながら、第 2 側面 20D から遠ざかる方向（第 2 方向 PY）に伝播する。アレイ基板 10 の

第1主面10A又は対向基板20の第1主面20Aから外部へ光源光Lが向かうと、屈折率の大きな媒質から屈折率の小さな媒質へ進むことになるので、光源光Lがアレイ基板10の第1主面10A又は対向基板20の第1主面20Aへ入射する入射角が臨界角よりも大きければ、光源光Lがアレイ基板10の第1主面10A又は対向基板20の第1主面20Aで全反射する。

[0036] 図5に示すように、アレイ基板10及び対向基板20の内部を伝播した光源光Lは、散乱状態となっている液晶がある画素 P_{ix} で散乱され、散乱光の入射角が臨界角よりも小さな角度となって、放射光68、68Aがそれぞれ対向基板20の第1主面20A、アレイ基板10の第1主面10Aから外部に放射される。対向基板20の第1主面20A、アレイ基板10の第1主面10Aからそれぞれ外部に放射された放射光68、68Aは、観察者に観察される。以下、図7から図9を用いて、散乱状態となっている高分子分散型液晶と、非散乱状態の高分子分散型液晶とについて説明する。

[0037] 図7に示すように、アレイ基板10には、第1配向膜AL1が設けられている。対向基板20には、第2配向膜AL2が設けられている。第1配向膜AL1及び第2配向膜AL2は、例えば、垂直配向膜である。

[0038] 液晶とモノマーを含む溶液がアレイ基板10と対向基板20との間に封入されている。次に、モノマー及び液晶を第1配向膜AL1及び第2配向膜AL2によって配向させた状態で、紫外線又は熱によってモノマーを重合させ、バルク51を形成する。これにより、網目状に形成された高分子のネットワークの隙間に液晶が分散されたりバースモードの高分子分散型液晶LCを有する液晶層50が形成される。

[0039] このように、高分子分散型液晶LCは、高分子によって形成されたバルク51と、バルク51内に分散された複数の微粒子52と、を有する。微粒子52は、液晶によって形成されている。バルク51及び微粒子52は、それぞれ光学異方性を有している。

[0040] 微粒子52に含まれる液晶の配向は、画素電極PEと共通電極CEとの間の電圧差によって制御される。画素電極PEへの印加電圧により、液晶の配

向が変化する。液晶の配向が変化することにより、画素 P_{ix} を通過する光の散乱の度合いが変化する。

[0041] 例えば、図8に示すように、画素電極 P_E と共通電極 C_E との間に電圧が印加されていない状態では、バルク51の光軸 $A \times 1$ と微粒子52の光軸 $A \times 2$ の向きは互いに等しい。微粒子52の光軸 $A \times 2$ は、液晶層50の PZ 方向と平行である。バルク51の光軸 $A \times 1$ は、電圧の有無に関わらず、液晶層50の PZ 方向と平行である。

[0042] バルク51と微粒子52の常光屈折率は互いに等しい。画素電極 P_E と共通電極 C_E との間に電圧が印加されていない状態では、あらゆる方向においてバルク51と微粒子52との間の屈折率差がゼロになる。液晶層50は、光源光 L を散乱しない非散乱状態となる。光源光 L は、アレイ基板10の第1主面10A及び対向基板20の第1主面20Aで反射しながら、光源3（発光部31）から遠ざかる方向に伝播する。液晶層50が光源光 L を散乱しない非散乱状態であると、アレイ基板10の第1主面10Aから対向基板20の第1主面20A側の背景が視認され、対向基板20の第1主面20Aからアレイ基板10の第1主面10A側の背景が視認される。

[0043] 図9に示すように、電圧が印加された画素電極 P_E と共通電極 C_E との間では、微粒子52の光軸 $A \times 2$ は、画素電極 P_E と共通電極 C_E との間に発生する電界によって傾くことになる。バルク51の光軸 $A \times 1$ は、電界によって変化しないため、バルク51の光軸 $A \times 1$ と微粒子52の光軸 $A \times 2$ の向きは互いに異なる。電圧が印加された画素電極 P_E がある画素 P_{ix} において、光源光 L が散乱される。上述したように散乱された光源光 L の一部がアレイ基板10の第1主面10A又は対向基板20の第1主面20Aから外部に放射された光は、観察者に観察される。

[0044] 電圧が印加されていない画素電極 P_E がある画素 P_{ix} では、アレイ基板10の第1主面10Aから対向基板20の第1主面20A側の背景が視認され、対向基板20の第1主面20Aからアレイ基板10の第1主面10A側の背景が視認される。そして、本実施形態の表示装置1は、画像出力部91

から第1入力信号V Sが入力されると、画像が表示される画素P i xの画素電極P Eに電圧が印加され、第3入力信号V C S Aに基づく画像が背景とともに視認される。このように、高分子分散型液晶が散乱状態にあるとき、表示領域において画像が表示される。

[0045] 電圧が印加された画素電極P Eがある画素P i xにおいて光源光Lが散乱されて外部に放射された光によって表示された画像は、背景に重なり、表示されることになる。換言すると、本実施形態の表示装置1は、放射光6 8又は放射光6 8 Aと、背景との組み合わせにより、画像を背景に重ね合わせて表示する。

[0046] 図3に示す1垂直走査期間Gate Scanにおいて、書き込まれた各画素電極P E（図7参照）の電位が、各1垂直走査期間Gate Scanの後にある第1色の発光期間R O N、第2色の発光期間G O N及び第3色の発光期間B O Nの少なくとも1つに保持されている必要がある。書き込まれた各画素電極P E（図7参照）の電位が、各1垂直走査期間Gate Scanの後にある第1色の発光期間R O N、第2色の発光期間G O N及び第3色の発光期間B O Nの少なくとも1つで保持できないと、いわゆるフリッカーなどが生じやすい。言い換えると、走査線の選択時間である1垂直走査期間Gate Scanを短くし、いわゆるフィールドシーケンシャル方式で駆動における視認性を高めるためには、第1色の発光期間R O N、第2色の発光期間G O N及び第3色の発光期間B O Nのそれぞれで、書き込まれた各画素電極P E（図7参照）の電位を保持しやすくする要望がある。

[0047] 図10は、画素において、走査線、信号線及びスイッチング素子を示す平面図である。図11は、画素において、保持容量層を示す平面図である。図12は、画素において、補助金属層及び開口領域を示す平面図である。図13は、画素において、画素電極を示す平面図である。図14は、画素において、遮光層を示す平面図である。図15は、図14のX V - X V' の断面図である。図16は、図14のX V I - X V I' の断面図である。図17は、図14のX V I I - X V I I' の断面図である。図18は、周辺領域の断面図

である。図1、図2及び図10に示すように、アレイ基板10には、複数の信号線SLと複数の走査線GLとが平面視において格子状に設けられている。言い換えると、アレイ基板10の一方の面には、第1方向PXに間隔をおいて並ぶ複数の信号線と、第2方向PYに間隔をおいて並ぶ複数の走査線と、を備える。

[0048] 図10に示すように、隣り合う走査線GLと隣り合う信号線SLとで囲まれる領域が、画素Pixelである。画素Pixelには、画素電極PEとスイッチング素子Trとが設けられている。本実施形態において、スイッチング素子Trは、ボトムゲート型の薄膜トランジスタである。スイッチング素子Trは、走査線GLと電氣的に接続されているゲート電極GEと平面視において重畳する半導体層SCを有する。

[0049] 図10に示すように、走査線GLは、モリブデン(Mo)、アルミニウム(Al)等の金属、これらの積層体又はこれらの合金の配線である。信号線SLは、アルミニウム等の金属又は合金の配線である。

[0050] 図10に示すように、半導体層SCは、平面視において、ゲート電極GEからはみ出さないように設けられている。これにより、ゲート電極GE側から半導体層SCに向かう光源光Lが反射され、半導体層SCに光リークが生じにくくなる。

[0051] 図5及び図20に示すように、光源3から照射された光源光Lは、第2方向PYを入射方向として、入射してくる。光源光Lの入射方向が第2方向PYである場合、半導体層SCの第1方向の幅が、半導体層SCの第2方向の幅よりも小さい。これにより、光源光Lの入射方向に交差する方向の幅が小さくなり、光リークの影響が低減する。

[0052] 図10に示すように、ソース電極SEは、信号線SLと同じ2つの導電体が、信号線SLと同層でかつ信号線と交差する方向に信号線SLから伸びている。これにより、信号線SLと電氣的に接続するソース電極SEは、平面視において、半導体層SCの一端部と重畳している。

[0053] 図10に示すように、平面視において、隣り合うソース電極SEの導電体

の間の位置には、ドレイン電極D Eが設けられている。ドレイン電極D Eは、平面視において、半導体層S Cと重畳している。ソース電極S E及びドレイン電極D Eと重畳しない部分は、スイッチング素子T rのチャネルとして機能する。図1 3に示すように、ドレイン電極D Eと電氣的に接続されるコンタクト電極D E Aは、コンタクトホールC Hで画素電極P Eと電氣的に接続されている。

[0054] 図1 5に示すように、アレイ基板1 0は、例えばガラスで形成された第1透光性基材1 9を有している。第1透光性基材1 9は、透光性を有していれば、ポリエチレンテレフタレートなどの樹脂でもよい。

[0055] 図1 5に示すように、第1透光性基材1 9上には、走査線G L（図1 0参照）及びゲート電極G Eが設けられる。

[0056] 図1 5に示すように、また、走査線G L及びゲート電極G Eを覆って第1絶縁層1 1が設けられている。第1絶縁層1 1は、例えば、窒化シリコンなどの透明な無機絶縁材料によって形成されている。

[0057] 第1絶縁層1 1上には、半導体層S Cが積層されている。半導体層S Cは、例えば、アモルファスシリコンによって形成されているが、ポリシリコン又は酸化物半導体によって形成されていてもよい。同じ断面で見たときに、半導体層S Cの幅L s cは、半導体層S Cに重畳するゲート電極G Eの幅L g eよりも小さい。これにより、ゲート電極G Eが第1透光性基材1 9の中を伝搬してくる光L dを遮光できる。その結果、実施形態1のスイッチング素子T rは、光リークが低減する。

[0058] 第1絶縁層1 1上には、半導体層S Cの一部を覆うソース電極S E及び信号線S Lと、半導体層S Cの一部を覆うドレイン電極D Eとが設けられている。ドレイン電極D Eは、信号線S Lと同じ材料で形成されている。半導体層S C、信号線S L及びドレイン電極D E上には、第2絶縁層1 2が設けられている。第2絶縁層1 2は、例えば、第1絶縁層と同様に、窒化シリコンなどの透明な無機絶縁材料によって形成される。

[0059] 第2絶縁層1 2上には、第2絶縁層1 2の一部を覆う第3絶縁層が形成さ

れている。第3絶縁層13は、例えばアクリル樹脂などの透光性を有する有機絶縁材料により形成されている。第3絶縁層13は、無機系材料によって形成された他の絶縁膜と比べて厚い膜厚を有している。

[0060] 図15、図16及び図17に示すように、第3絶縁層13がある領域と、第3絶縁層13がない領域とがある。図16及び図17に示すように、第3絶縁層13がある領域は、走査線GLの上方及び信号線SLの上方である。第3絶縁層13は、走査線GL及び信号線SLに沿って走査線GL及び信号線SLの上方を覆う格子状になる。また、図15に示すように、第3絶縁層13がある領域は、半導体層SCの上方、つまりスイッチング素子Trの上方である。このため、スイッチング素子Tr、走査線GL、信号線SLは保持容量電極ITOから比較的距離をおいて離れることで、保持容量電極ITOからのコモン電位の影響を受けにくくなる。さらに、アレイ基板10において、走査線GLと信号線SLとに囲まれた領域には第3絶縁層13がない領域ができるので、平面視で信号線SL及び走査線GLに重なる絶縁層の厚さよりも絶縁層の厚さが小さい領域ができる。走査線GLと信号線SLとに囲まれた領域では、走査線GLの上方及び信号線SLの上方よりも相対的に、光の透過率が向上し、透光性が向上する。

[0061] 図15に示すように、第3絶縁層13上には、保持容量電極IOが設けられている。保持容量電極IOは、ITO (Indium Tin Oxide) などの透光性導電材料によって形成されている。保持容量電極IOは、第3透光性電極ともいう。図11に示すように、保持容量電極IOは、走査線GLと信号線SLとに囲まれた領域に透光性導電材料がない領域IOXを有する。保持容量電極IOは、隣り合う画素Pixに跨がって、複数の画素Pixに渡って設けられている。保持容量電極IOは、透光性導電材料がある領域が走査線GL又は信号線SLに重なり、隣の画素Pixに延びている。

[0062] 保持容量電極IOは、走査線GL及び信号線SLに沿って走査線GL及び信号線SLの上方を覆う格子状である。これにより、透光性導電材料がない

領域 I O X と、画素電極 P E との間の保持容量 H C が減少するので、透光性導電材料がない領域 I O X の大きさにより保持容量 H C が調整される。

[0063] 図 1 5 に示すように、保持容量電極 I O 上の一部には、導電性の金属層 T M が設けられている。導電性の金属層 T M は、モリブデン (M o) 、アルミニウム (A l) 等の金属、これらの積層体又はこれらの合金の配線である。図 1 2 に示すように、金属層 T M は、平面視において、信号線 S L 、走査線 G L 及びスイッチング素子 T r に重なる領域に設けられている。これにより、金属層 T M は、格子状となり、金属層 T M で囲まれた開口部 A P ができる。

[0064] 図 1 2 に示すように、走査線 G L と信号線 S L とに接続されたスイッチング素子 T r が設けられ、少なくともスイッチング素子 T r は、有機絶縁層である第 3 絶縁層 1 3 で覆われており、第 3 絶縁層 1 3 の上方にはスイッチング素子 T r よりも大きな面積の金属層 T M がある。これにより、スイッチング素子 T r の光リークを抑制することができる。

[0065] 金属層 T M は、保持容量電極 I O の下にあってもよく、保持容量電極 I O と積層されていればよい。金属層 T M は、保持容量電極 I O よりも電気抵抗が小さい。このため、表示領域 A A のうち画素 P i x がある位置による保持容量電極 I O の電位のばらつきが抑制される。

[0066] 図 1 2 に示すように、平面視で、信号線 S L に重なる金属層 T M の幅は、信号線 S L の幅よりも大きい。これにより、信号線 S L のエッジで反射する反射光を表示パネル 2 より放出することを抑制する。ここで、金属層 T M の幅及び信号線 S L の幅は、信号線 S L の延在する方向に交差する方向の長さである。また、走査線 G L に重なる金属層 T M の幅は、走査線 G L の幅よりも大きい。ここで、金属層 T M の幅及び走査線 G L の幅は、走査線 G L の延在する方向に交差する方向の長さである。

[0067] 図 1 5 に示すように、保持容量電極 I O 及び金属層 T M の上には、第 4 絶縁層 1 4 が設けられている。第 4 絶縁層 1 4 は、例えば、窒化シリコンなどの透明な無機絶縁材料によって形成されている無機絶縁層である。

[0068] 図15に示すように、第4絶縁層14上には、画素電極PEが設けられている。画素電極PEは、ITOなどの透光性導電材料によって形成されている。画素電極PEは、第4絶縁層14及び第3絶縁層13及び第2絶縁層12に設けられたコンタクトホールCHを介してコンタクト電極DEAと電氣的に接続されている。図13に示すように、画素電極PEは、画素P_i×毎に区画されている。画素電極PEの上には、第1配向膜AL1が設けられている。

[0069] 図15に示すように、対向基板20は、例えばガラスで形成された第2透光性基材29を有している。第2透光性基材29は、透光性を有していれば、ポリエチレンテレフタレートなどの樹脂でもよい。第2透光性基材29には、共通電極CEが設けられている。共通電極CEは、ITOなどの透光性導電材料によって形成されている。共通電極CEの表面には、第2配向膜AL2が設けられている。また、対向基板20は、第2透光性基材29と共通電極CEとの間に遮光層LSを有する。遮光層LSは黒色の樹脂又は金属材料で形成されている。また、アレイ基板10と対向基板20との間にスペーサPSが形成され、スペーサPSは共通電極CEと第2配向膜AL2との間にある。

[0070] 図12及び図16に示すように、実施形態1の表示装置では、走査線GLと同層の遮光層GSが、信号線SLに沿って延在し、かつ信号線SLの一部と重なる位置に設けられている。遮光層GSは、走査線GLと同じ材料で形成されている。遮光層GSは、走査線GLと信号線SLとが平面視において交差する部分には設けられていない。

[0071] 図12に示すように、遮光層GSと、信号線SLとは、コンタクトホールCHGで電氣的に接続されている。これにより、信号線SLのみの配線抵抗に比べて、遮光層GS及び信号線SLで構成する配線抵抗が下がる。その結果、信号線SLに供給された階調信号の遅延が抑制される。なお、コンタクトホールCHGがなく、遮光層GSと、信号線SLとが接続されていなくてもよい。

- [0072] 図16に示すように、遮光層GSは、信号線SLに対して金属層TMとは反対側に設けられている。遮光層GSの幅は、信号線SLの幅よりも大きく、金属層TMの幅より小さい。遮光層GSの幅、金属層TMの幅及び信号線SLの幅は、信号線SLの延在する方向に交差する方向の長さである。このように、遮光層GSは、信号線SLよりも幅が広がっているため、信号線SLのエッジで反射する反射光を表示パネル2より放出することを抑制する。その結果、表示装置1において、画像の視認性が向上する。
- [0073] 図14及び図15に示すように、対向基板20には、遮光層LSが設けられている。遮光層LSは、平面視において、信号線SL、走査線GL及びスイッチング素子Trに重なる領域に設けられている。
- [0074] 図14、図15、図16及び図17に示すように、遮光層LSは、金属層TMよりも大きい幅を有している。これにより、信号線SL、走査線GL及び金属層TMのエッジで反射する反射光を表示パネル2より放出することを抑制する。その結果、表示装置1において、画像の視認性が向上する。
- [0075] コンタクトホールCH及びコンタクトホールCHGは、光源光Lが当たると乱反射しやすい。このため、遮光層LSは、平面視において、コンタクトホールCH及びコンタクトホールCHGに重なる領域に設けられている。
- [0076] 図15に示すように、アレイ基板10と対向基板20との間には、スペーサSPが配置され、アレイ基板10と対向基板20との間の距離の均一性を向上する。
- [0077] 図18に示すように、周辺領域FRでは、コモン電位配線COMLが引き回されている。コモン電位配線COMLは、例えば第1コモン電位配線COML1と、第2コモン電位配線COML2とを備える。第1コモン電位配線COML1は、導電性の導電部材CPを介して、対向基板20の共通電極CEに電氣的に接続している。導電部材CPは導電注（ピラー）でもよく、またAu粒子などの導電粒子が含有されたシール材であってもよい。
- [0078] 図18に示すように、周辺領域FRでは、保持容量電極IOが第2コモン電位配線COML2と電氣的に接続している。金属層TMは、表示領域AA

に配置されている。

[0079] 以上説明したように、表示装置 1 は、アレイ基板 10 と、対向基板 20 と、液晶層 50 と、光源 3 を備える。アレイ基板 10 は、画素 $P_i \times$ 毎に配置された第 1 透光性電極である複数の画素電極 PE を有する。アレイ基板 10 には、第 1 方向 PX に間隔をおいて並ぶ複数の信号線 SL と、第 2 方向 PY に間隔をおいて並ぶ複数の走査線 GL と、が設けられている。対向基板 20 は、平面視で、画素電極 PE と重畳する位置に第 2 透光性電極である共通電極 CE を有する。液晶層 50 は、アレイ基板 10 と対向基板 20 との間に封入される高分子分散型液晶 LC を有する。光源 3 の発光部 31 は、対向基板 20 の側面に対し、第 2 方向 PY に光を発光する。アレイ基板 10 及び対向基板 20 を伝播する光の入射方向は、第 2 方向である。なお、発光部 31 は、アレイ基板 10 の側面に向かって、アレイ基板 10 及び対向基板 20 を伝播する光を発光するようにしてもよい。

[0080] アレイ基板 10 には、少なくともスイッチング素子 Tr を覆う有機絶縁層である第 3 絶縁層 13 と、第 3 絶縁層 13 の上方に重畳して設けられ、スイッチング素子 Tr よりも大きな面積の金属層 TM とがある。走査線 GL と信号線 SL とに囲まれた領域には、平面視で走査線 GL 及び信号線 SL に重なる第 3 絶縁層 13 の厚さよりも厚さが小さい領域がある。このため、平面視でスイッチング素子 Tr よりも光源 3 に近い側にある第 3 絶縁層 13 の厚みが増加する斜面であって、図 15 に示すようにスイッチング素子 Tr に重畳する第 3 絶縁層 13 の第 1 斜面 13t1 が金属層 TMt で覆われている。ここで、金属層 TMt は、金属層 TM と同じ材料で形成され、金属層 TM が延在して形成されたテーパー状の部分である。

[0081] 図 5 及び図 20 に示すように、光源 3 から照射された光源光 L は、第 2 方向 PY を入射方向として、入射してくる。図 15 に示すように、光 Lu が到達する。光 Lu は、スイッチング素子 Tr よりも光源 3 に近い側から到達する光源光 L の一部の光である。ここで、金属層 TMt は、光 Lu を遮光するので、光リークが低減される。

[0082] なお、第3絶縁層13の厚みが変化する斜面であって、スイッチング素子 T_r に重畳する第3絶縁層13の第1斜面以外の斜面については、金属層 T_M がなくてもよい。

[0083] (実施形態2)

図19は、実施形態2の画素を示す平面図である。上述した本実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

[0084] 図19に示すように、実施形態2の画素 P_{ix} の構成は、実施形態1の画素 P_{ix} の構成と異なり、隣り合う画素 P_{ix} の間に2つの信号線 S_L がある。一方の信号線 S_L は、1つ置き画素 P_{ix} の走査線 G_L との交差部分にあるスイッチング素子 T_{r1} と電氣的に接続される。他方の信号線 S_L は、スイッチング素子 T_{r1} がある画素 P_{ix} を除いて1つ置き画素 P_{ix} の走査線 G_L との交差部分にあるスイッチング素子 T_{r2} と電氣的に接続される。

[0085] これにより、ゲート駆動回路43が隣り合う2つの走査線 G_L を同時に選択することができる。その結果、図3に示す1垂直走査時間 $GateScan$ が短くなる。各1垂直走査期間 $GateScan$ が短くなると、各1垂直走査期間 $GateScan$ の後にある第1色の発光期間 RON 、第2色の発光期間 GON 及び第3色の発光期間 BON が相対的に長くすることができる。

[0086] (実施形態3)

図20は、実施形態3の表示装置の平面を示す平面図である。図21は、実施形態3の画素において、走査線、信号線及びスイッチング素子を示す平面図である。図22は、図21の $XXII-XXII'$ の断面図である。上述した本実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

[0087] 図20に示すように、光源3は、アレイ基板10の第3側面10E又は対向基板20の第3側面20Eに対向する。例えば、図20に示すように、光

源3は、対向基板20の第3側面10Eへ光源光Lを照射する。光源3と対向する対向基板20の第3側面10Eは、光入射面となる。光源3から照射された光源光Lは、アレイ基板10の第1主面10A及び対向基板20の第1主面20Aで反射しながら、アレイ基板10の第3側面10E又は対向基板20の第3側面20Eから遠ざかる方向（第1方向PX）に伝播する。

[0088] 図21に示すように、実施形態3の画素Pixの構成は、実施形態1の画素Pixの構成と異なり、隣り合う画素Pixの間に2つの信号線SLがある。一方の信号線SLは、1つ置き画素Pixの走査線GLとの交差部分にあるスイッチング素子Tr1と電気的に接続される。他方の信号線SLは、スイッチング素子Tr1がある画素Pixを除いて1つ置き画素Pixの走査線GLとの交差部分にあるスイッチング素子Tr2と電気的に接続される。

[0089] これにより、ゲート駆動回路43が隣り合う2つの走査線GLを同時に選択することができる。その結果、図3に示す1垂直走査時間GateScanが短くなる。図3に示す1垂直走査期間GateScanが短くなると、各1垂直走査期間GateScanの後にある第1色の発光期間RON、第2色の発光期間GON及び第3色の発光期間BONが相対的に長くすることができる。

[0090] 図21及び図22に示すように、光源光Lは、第1方向PXに沿って伝搬する。光の入光方向が第1方向PXに沿う方向であることから、図20に示すように、スイッチング素子Tr1から光源3の発光部31がある側の入光方向には、遮光構造体SGSがある。入光方向に交差する第2方向PYにおいて、遮光構造体SGSの長さは、半導体層SCの長さよりも大きい。これにより、遮光構造体SGSは、スイッチング素子Trへ伝播する光路を遮り、スイッチング素子Tr1の光リークを抑制することができる。

[0091] 遮光構造体SGSは、走査線GLと同層の遮光層GSが延長され、遮光層GSの導電材料の上に、信号線SLと同層の導電材料で形成された第1遮光層SMが積層されている。このように、遮光構造体SGSは、信号線SLの

延長線上にある。

[0092] 図21及び図22に示すように、スイッチング素子 T_r は、有機絶縁層である第3絶縁層13で覆われており、入射方向の第3絶縁層13の第1斜面13t1は、金属層 T_{Mt} で覆われている。これにより、金属層 T_{Mt} は、スイッチング素子 T_r 1へ伝播する光路を遮り、スイッチング素子 T_r 1の光リークを抑制することができる。

[0093] 図22に示すように、アレイ基板10には、少なくともスイッチング素子 T_r 1を覆う有機絶縁層である第3絶縁層13と、第3絶縁層13の上方に重畳して設けられ、スイッチング素子 T_r 1よりも大きな面積の金属層 T_M とがある。走査線 GL と信号線 SL とに囲まれた領域には、平面視で走査線 GL 及び信号線 SL に重なる第3絶縁層13の厚さよりも厚さが小さい領域がある。このため、平面視でスイッチング素子 T_r 1よりも光源3に近い側にある第3絶縁層13の厚みが増加する斜面であって、スイッチング素子 T_r 1に重畳する第3絶縁層13の第1斜面13t1が金属層 T_{Mt} で覆われている。ここで、金属層 T_{Mt} は、金属層 T_M と同じ材料で形成され、金属層 T_M が延在して形成されたテーパー状の部分である。

[0094] 図21に示すように、平面視でスイッチング素子 T_r 1よりも光源3から遠い側にある第3絶縁層13の厚みが増加する斜面であって、スイッチング素子 T_r 1に重畳する第3絶縁層13の第2斜面13t2が金属層 T_{Mt} で覆われている。これにより、光リークが低減される。

[0095] 遮光構造体 SGS は、第3絶縁層13、金属層 T_M 及び金属層 T_{Mt} で覆われている。これにより、金属層 T_{Mt} を通過した光 L_u を遮光構造体 SGS が遮光する。

[0096] このように、第1斜面13t1と、スイッチング素子 T_r 1との間には、遮光構造体 SGS がある。これにより、金属層 T_{Mt} と、遮光構造体 SGS とにより、光 L_u がよりスイッチング素子 T_r 1に到達しにくくなる。

[0097] (変形例)

実施形態1から3について、スイッチング素子 T_r がボトムゲート型であ

るとして説明を行ったが、上述しているようにスイッチング素子 T_r は、ボトムゲート構造に限らずトップゲート型であってもよい。スイッチング素子 T_r がトップゲート型であれば、図15の絶縁膜積層構造を参考に説明すると、半導体層 SC は第1透光性基材19と第1絶縁層その間に配置され、ゲート電極 GE は第1絶縁層11と第2絶縁層12との間に配置され、ソース電極 SE 及びコンタクト電極 DEA は第2絶縁層12と第3絶縁層13との間に形成される構造となる。

[0098] さらに、コモン電位については、直流電圧が供給される、つまり一定のコモン電位であってもよく、また交流電圧が共有される、つまり上限値と下限値の2つを有するコモン電位であってもよい。コモン電位が直流であっても交流であっても保持容量電極 IO 及び共通電極 CE には共通の電位が供給される。

[0099] また、格子状の有機絶縁膜である第3絶縁層13については、格子状の内側の第3絶縁層13が完全に除去され下層の第2絶縁層12や保持容量電極 IO を露出する構造を開示しているが、これに限られない。例えば、複数の信号線 SL と複数の走査線 GL とで囲まれる格子状領域の内側については、ハーフトーン露光で第3絶縁層13の膜厚の一部を薄く残す構造であってもよい。これにより、第3絶縁層13は、複数の信号線 SL と複数の走査線 GL とで囲まれる格子状領域よりも、格子状領域の内側の膜厚が薄くなる。

[0100] 以上、好適な実施の形態を説明したが、本開示はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本開示の趣旨を逸脱しない範囲で種々の変更が可能である。本開示の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本開示の技術的範囲に属する。

符号の説明

- [0101] 1 表示装置
2 表示パネル
3 光源

4 駆動回路
9 上位制御部
10 アレイ基板
11 第1絶縁層
12 第2絶縁層
13 第3絶縁層
14 第4絶縁層
20 対向基板
31 発光部
41 信号処理回路
42 画素制御回路
43 ゲート駆動回路
44 ソース駆動回路
45 共通電位駆動回路
50 液晶層
AP 開口部
CE 共通電極
CH コンタクトホール
COML コモン電位配線
CP 導電部材
DE ドレイン電極
DEA コンタクト電極
FR 周辺領域
GE ゲート電極
GL 走査線
GON 発光期間
GS 遮光層
HC 保持容量

H D S 水平駆動信号

I O 保持容量電極

I O X 透光性導電材料がない領域

L C 高分子分散型液晶

L S 遮光層

P E 画素電極

S C 半導体層

S E ソース電極

S G S 遮光構造体

T M、T M t 金属層

T r、T r 1, T r 2 スイッチング素子

請求の範囲

- [請求項1] アレイ基板と、
 対向基板と、
 前記アレイ基板と前記対向基板との間の液晶層と、
 前記アレイ基板の側面又は前記対向基板の側面に光が入るように配置される光源と、を備え、
 前記アレイ基板は、
 第1方向に間隔をおいて並ぶ複数の信号線と、
 第2方向に間隔をおいて並ぶ複数の走査線と、
 前記走査線と前記信号線とに接続されたスイッチング素子と、
 少なくとも前記スイッチング素子を覆う有機絶縁層と、
 前記有機絶縁層の上方に重畳して設けられた金属層と、を有し、
 前記走査線と前記信号線とに囲まれた領域には、平面視で前記走査線及び前記信号線に重なる前記有機絶縁層の厚さよりも前記有機絶縁層の厚さが小さい領域があり、
 前記スイッチング素子よりも前記光源に近い側にある前記有機絶縁層の第1斜面が前記金属層で覆われ、
 前記スイッチング素子よりも前記光源から遠い側にある前記有機絶縁層の第2斜面が前記金属層で覆われている、表示装置。
- [請求項2] 前記金属層は、平面視で、複数の前記信号線及び複数の前記走査線と重なっており、かつ前記有機絶縁層の上で格子状に配置されている請求項1に記載の表示装置。
- [請求項3] 平面視で、前記信号線に重なる金属層の幅は、当該信号線の幅よりも大きく、前記走査線に重なる金属層の幅は、当該走査線の幅よりも大きい、請求項2に記載の表示装置。
- [請求項4] 前記アレイ基板は、画素毎に配置された複数の第1透光性電極を有し、
 前記対向基板は、前記第1透光性電極と重畳する位置に第2透光性

電極を有し、

前記アレイ基板は、前記画素において、平面視で前記第1透光性電極に、無機絶縁層を介して少なくとも一部が重なる第3透光性電極をさらに備え、前記金属層が前記第3透光性電極に積層されている請求項1から3のいずれか1項に記載の表示装置。

[請求項5] 前記第1斜面と、前記スイッチング素子との間には、遮光構造体がある、請求項1から4のいずれか1項に記載の表示装置。

[請求項6] 前記遮光構造体は、前記走査線と同じ導電材料、及び前記信号線と同じ導電材料が積層されている請求項5に記載の表示装置。

[請求項7] 前記第1方向に隣り合う2つの画素の間には、2つの前記信号線が配置され、前記遮光構造体が前記信号線の延長線上に設けられている請求項5又は6に記載の表示装置。

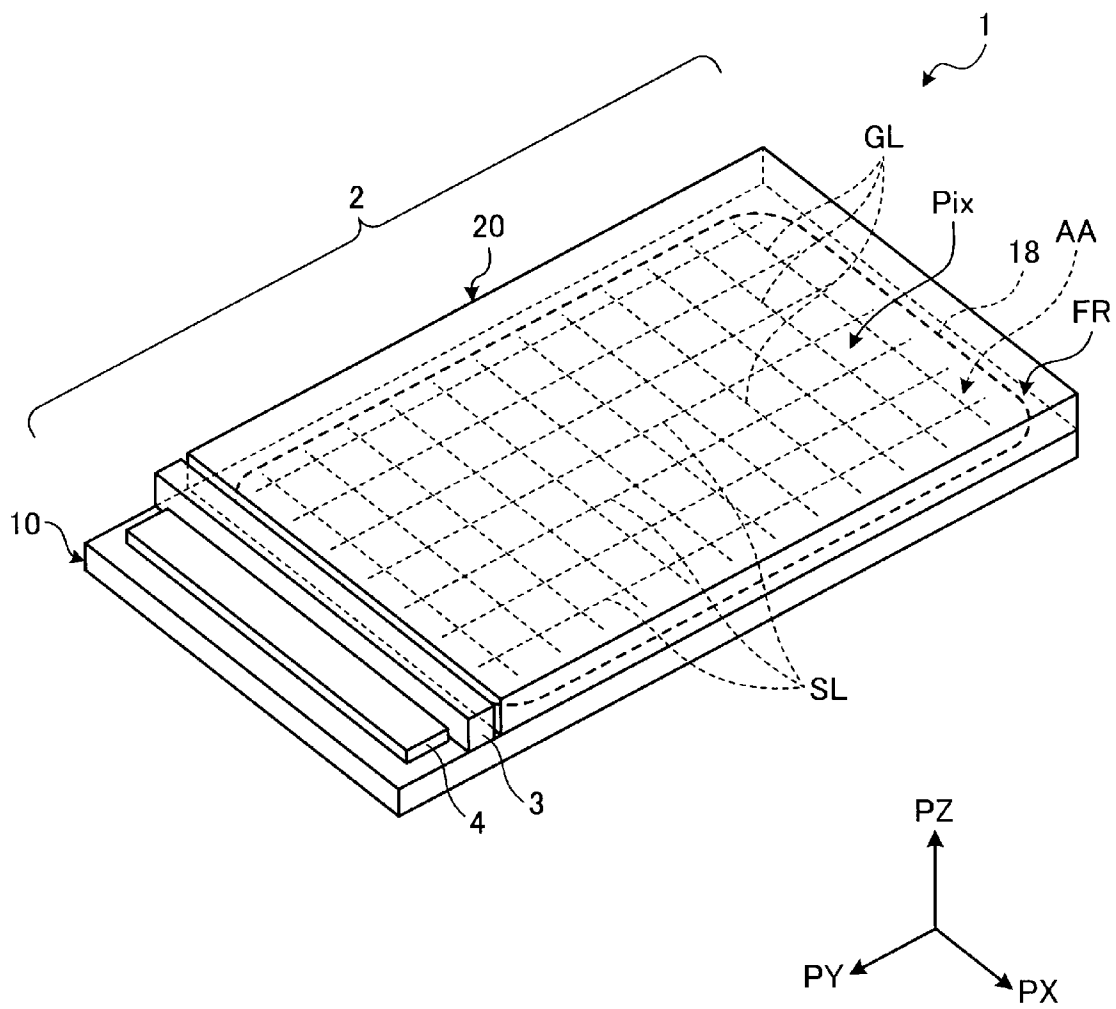
[請求項8] 前記遮光構造体は、前記有機絶縁層及び前記金属層で覆われている、請求項5から7のいずれか1項に記載の表示装置。

[請求項9] 前記光源が入射する光の入射方向と交差する方向における前記スイッチング素子の半導体層の長さが、前記入射方向における前記スイッチング素子の半導体層の長さよりも小さい、請求項1から8のいずれか1項に記載の表示装置。

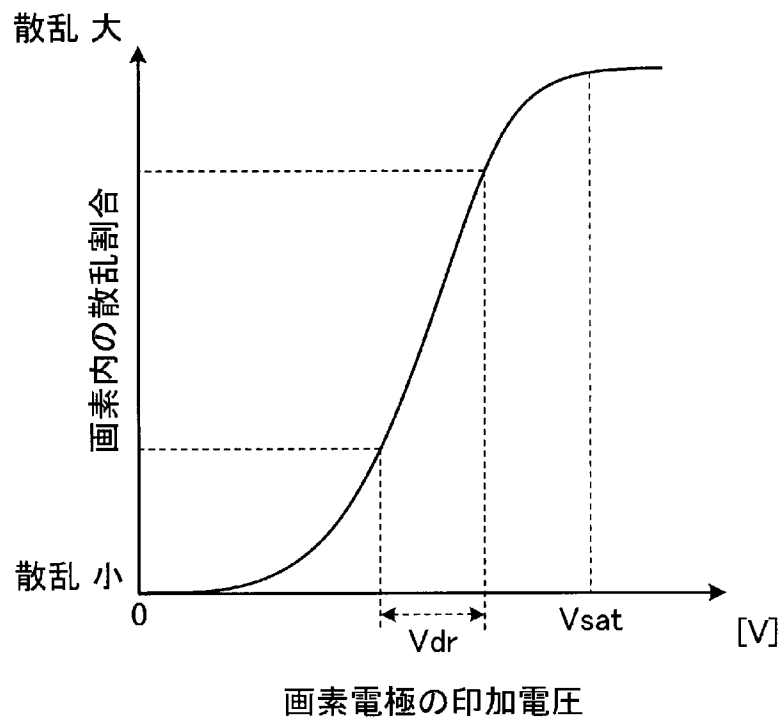
[請求項10] 前記液晶層は、高分子分散型液晶であり、

前記アレイ基板から前記対向基板の背景が視認され、前記対向基板から前記アレイ基板の背景が視認される、請求項1から9のいずれか1項に記載の表示装置。

[図1]



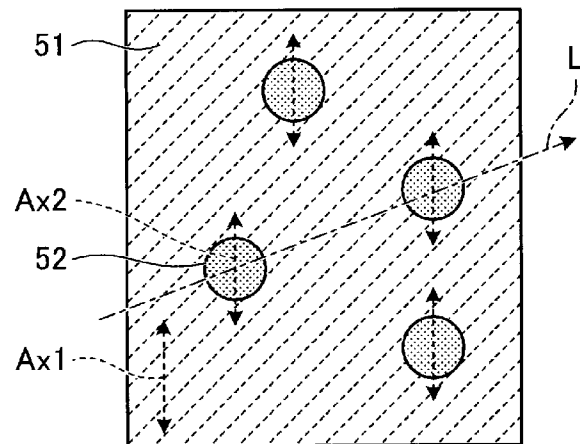
[図4]



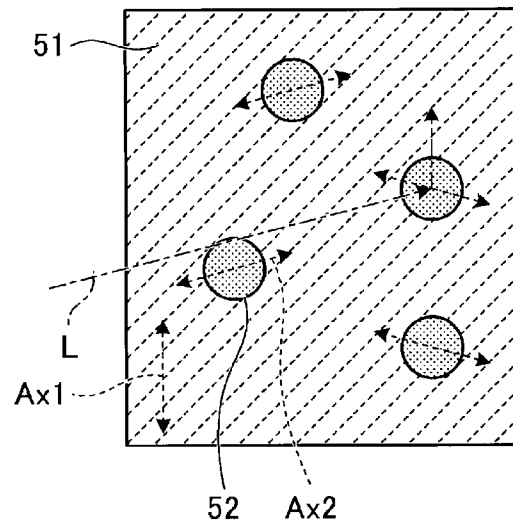
[illegible]

Fig. 1 is a cross-sectional view of a pixel structure. The structure consists of several layers: a bottom substrate 19, a pixel electrode layer PE, an alignment layer AL1, a liquid crystal layer LC (comprising layers 51 and 52), an alignment layer AL2, a common electrode layer CE, and a top substrate 29. The liquid crystal layer LC is shown with a diagonal hatching pattern. The pixel electrode layer PE is shown with a cross-hatching pattern. The alignment layers AL1 and AL2 are shown with a fine dotted pattern. The common electrode layer CE is shown with a diagonal hatching pattern. The top substrate 29 is shown with a fine dotted pattern. A pixel pitch P_{Pix} is indicated between two adjacent pixel electrodes.

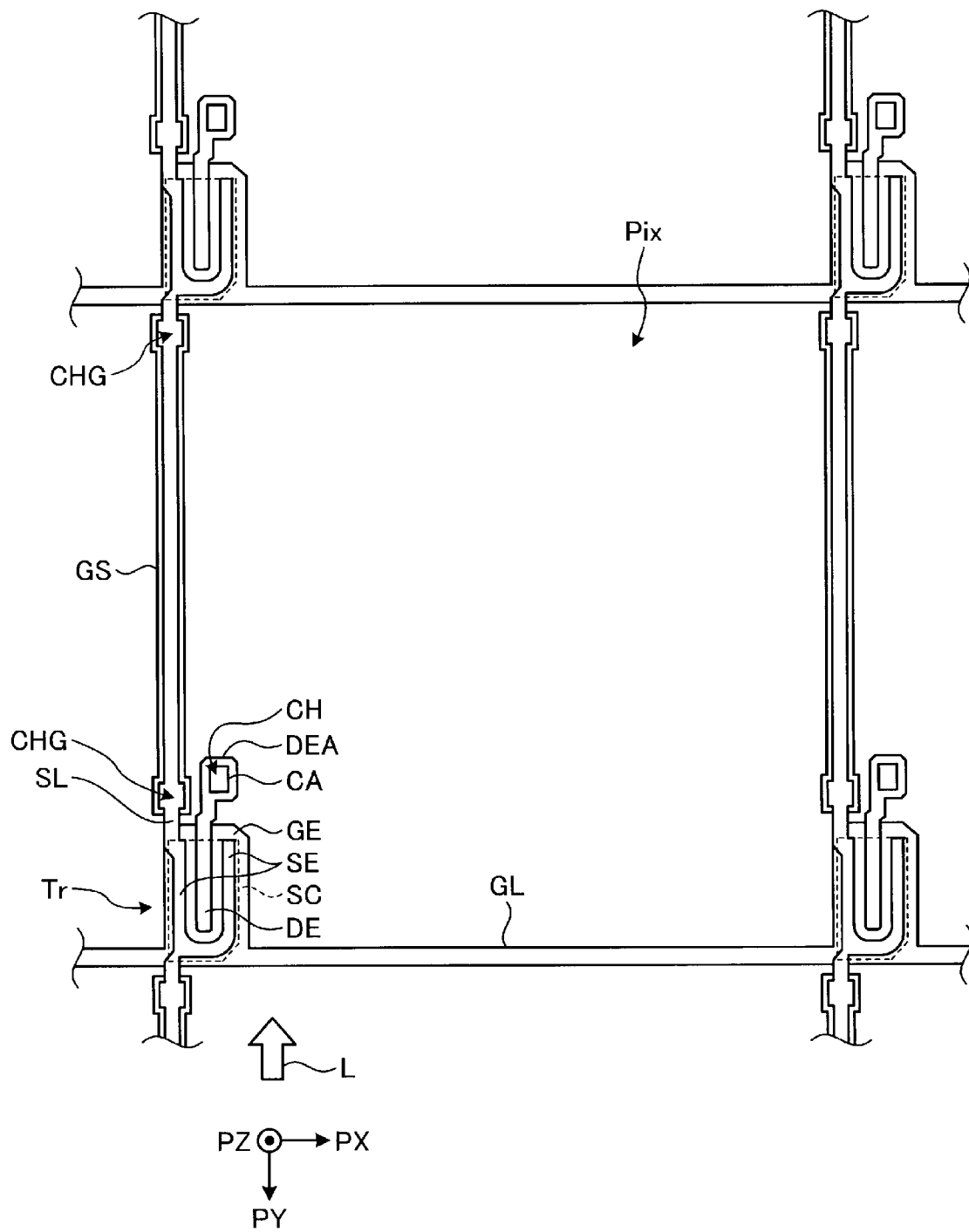
[図8]



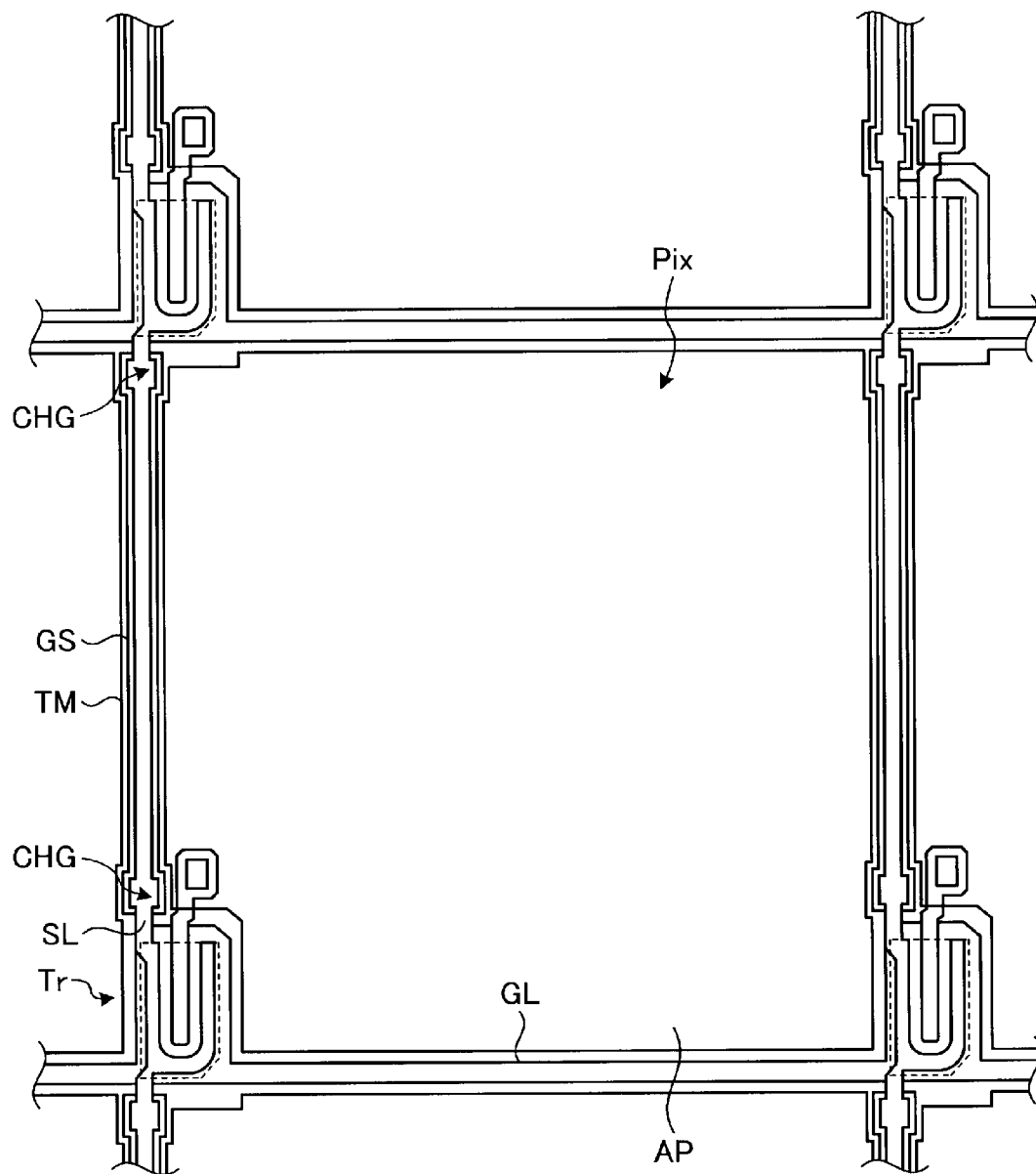
[図9]



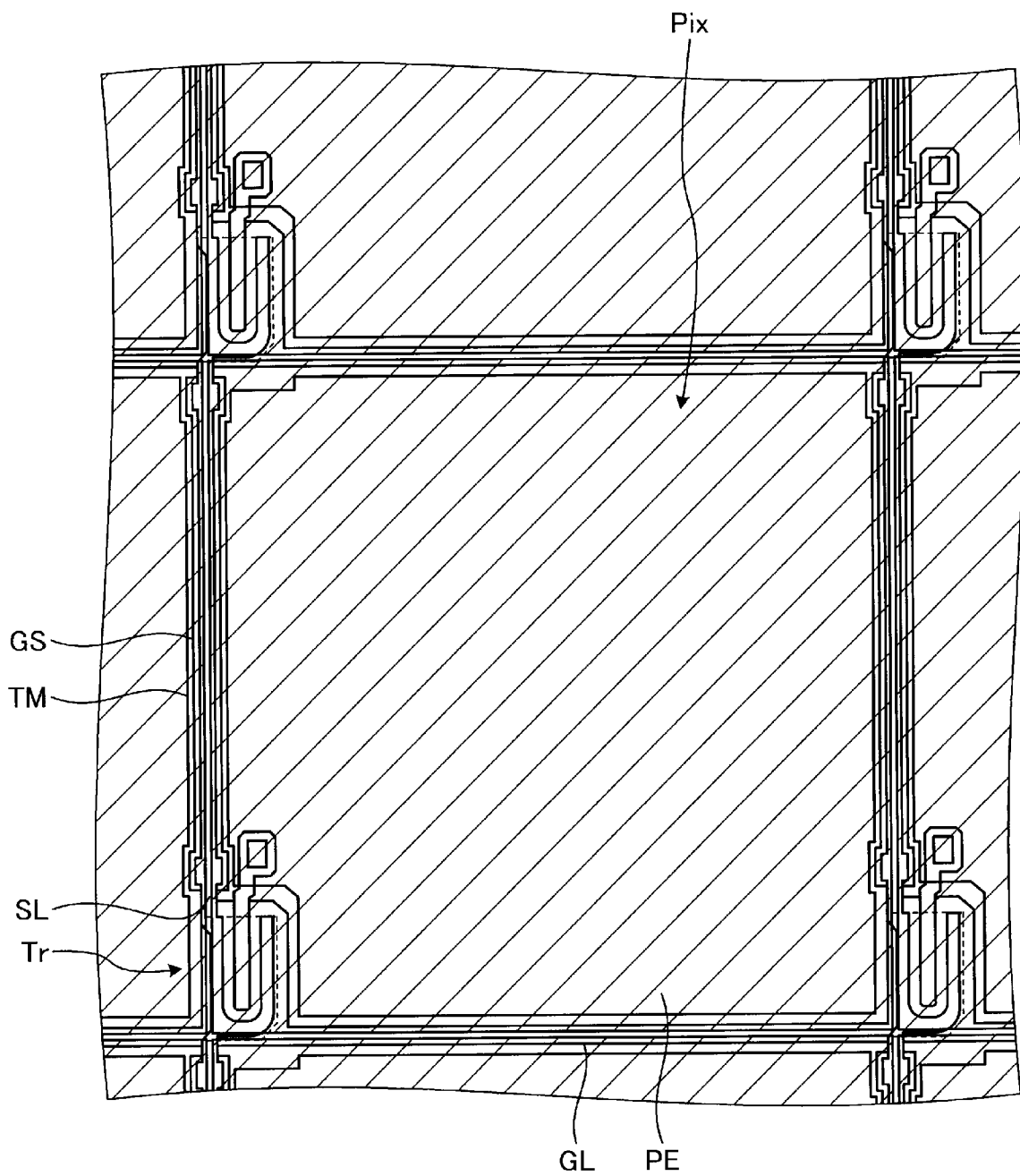
[図10]



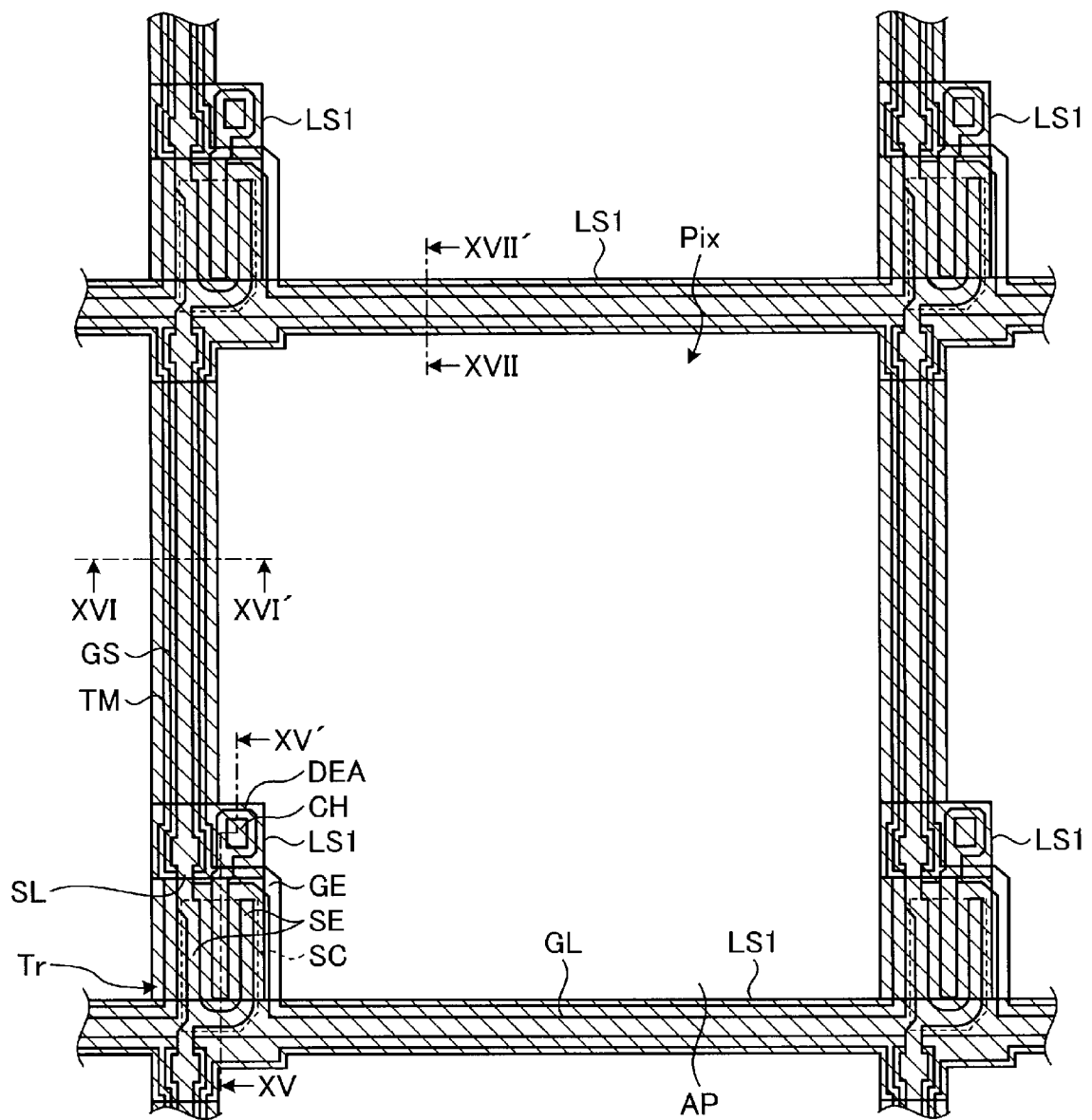
[図12]



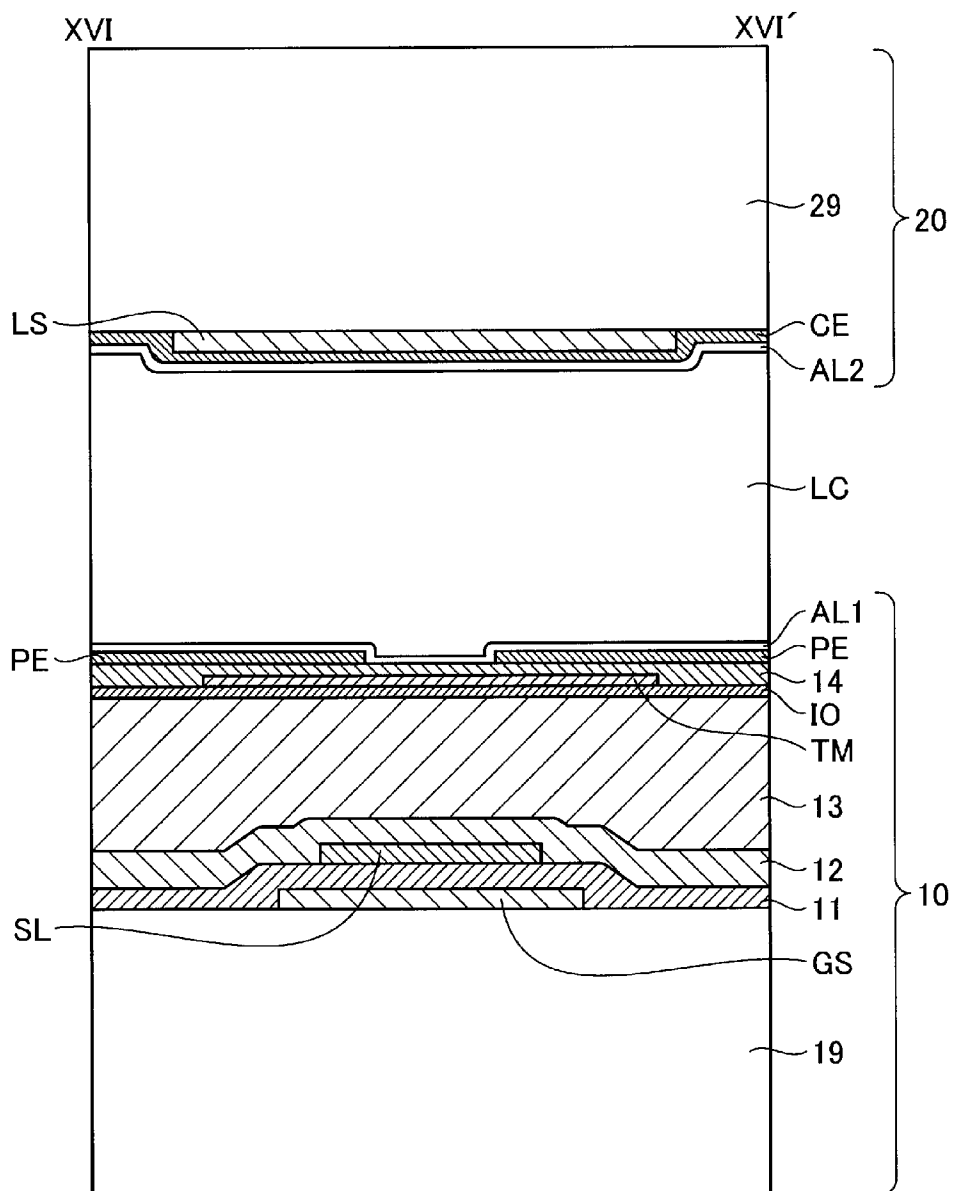
[図13]



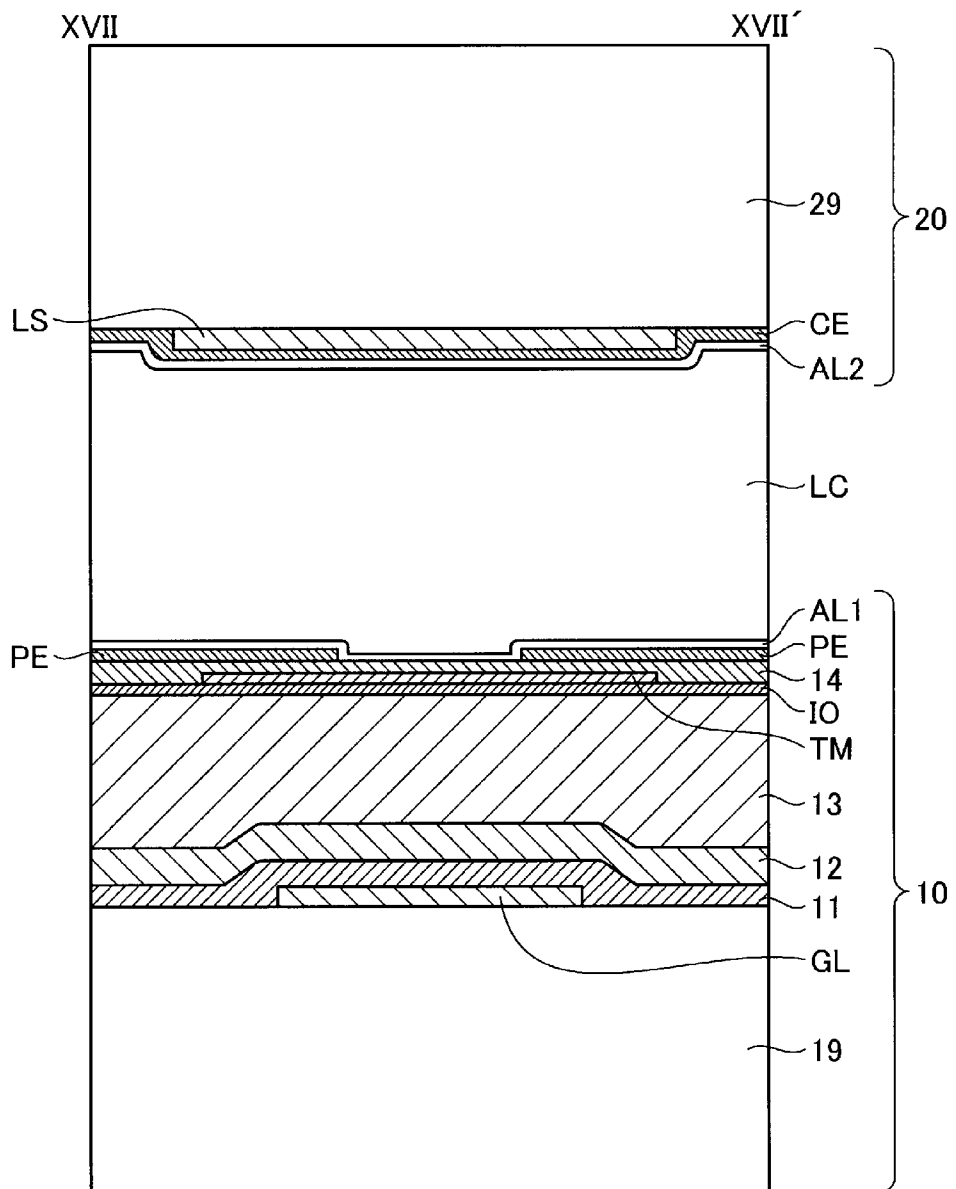
[図14]



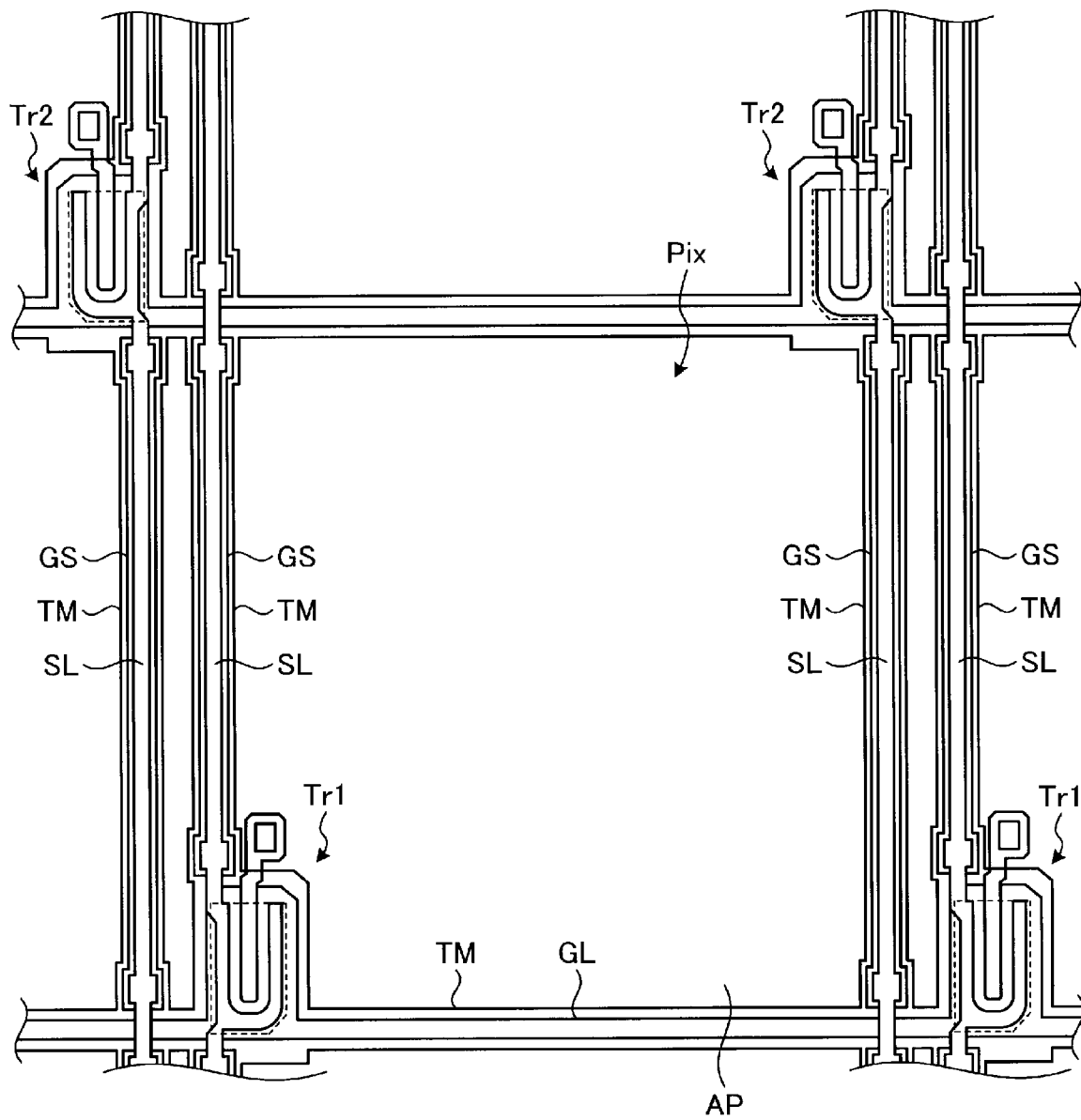
[図16]



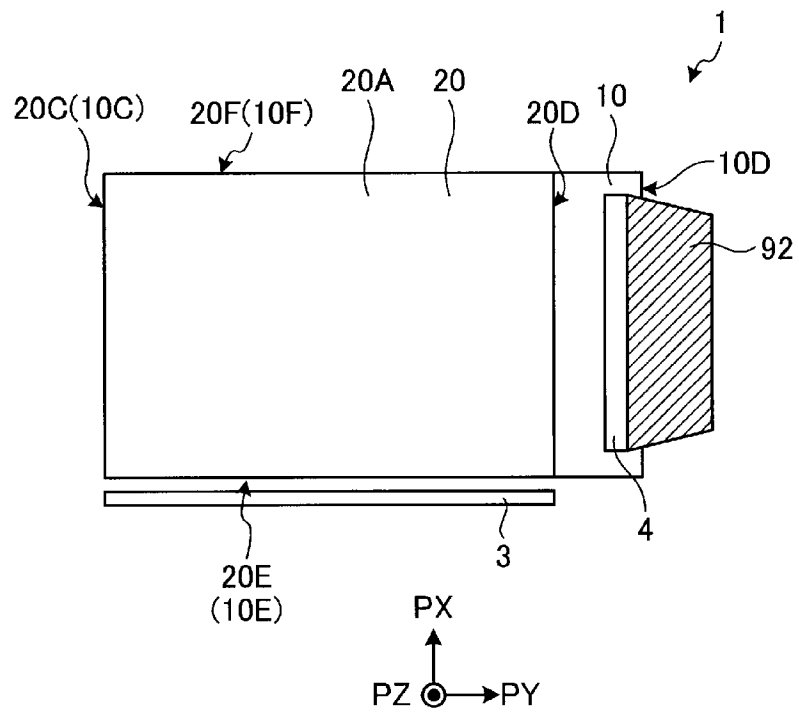
[図17]



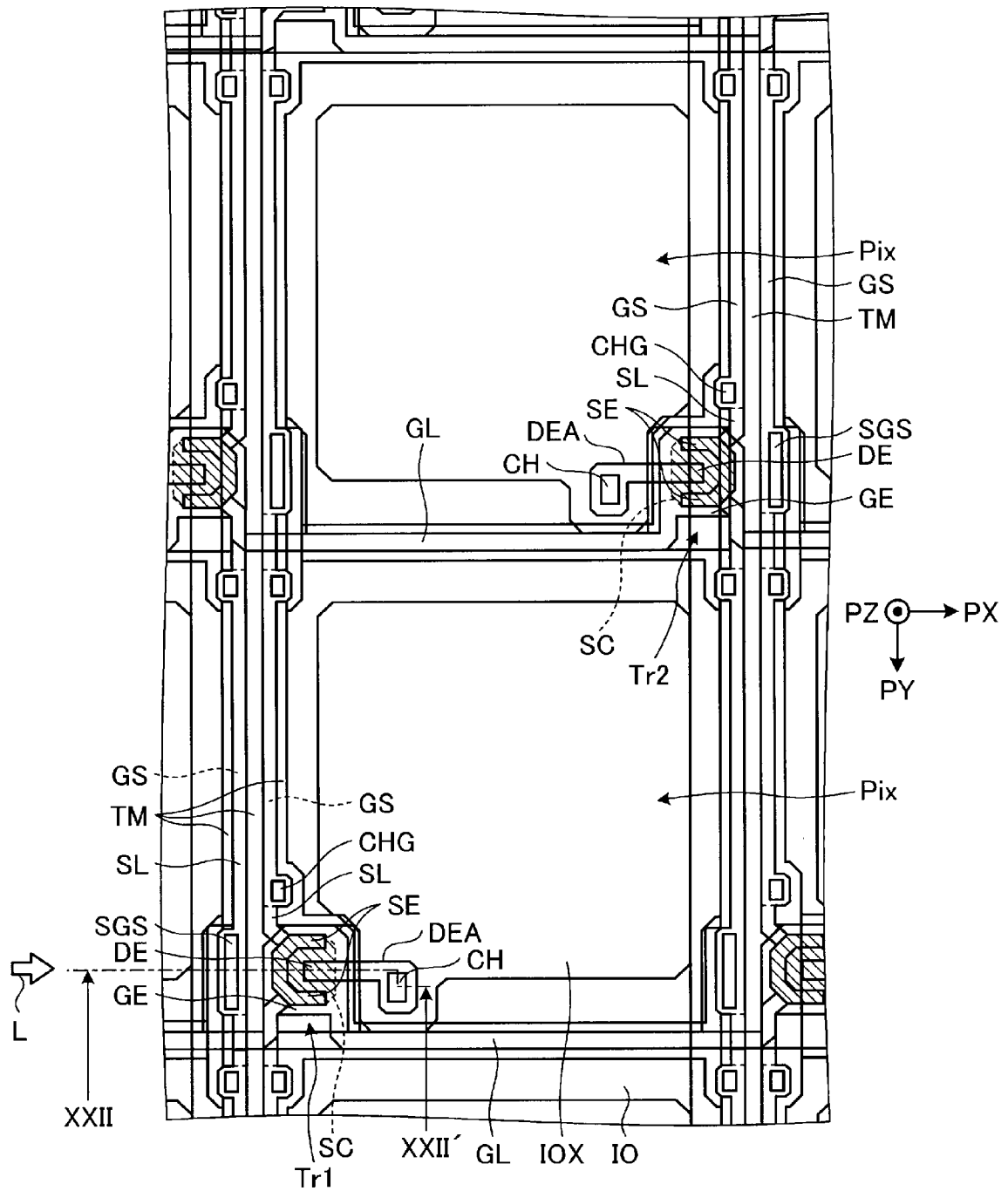
[図19]



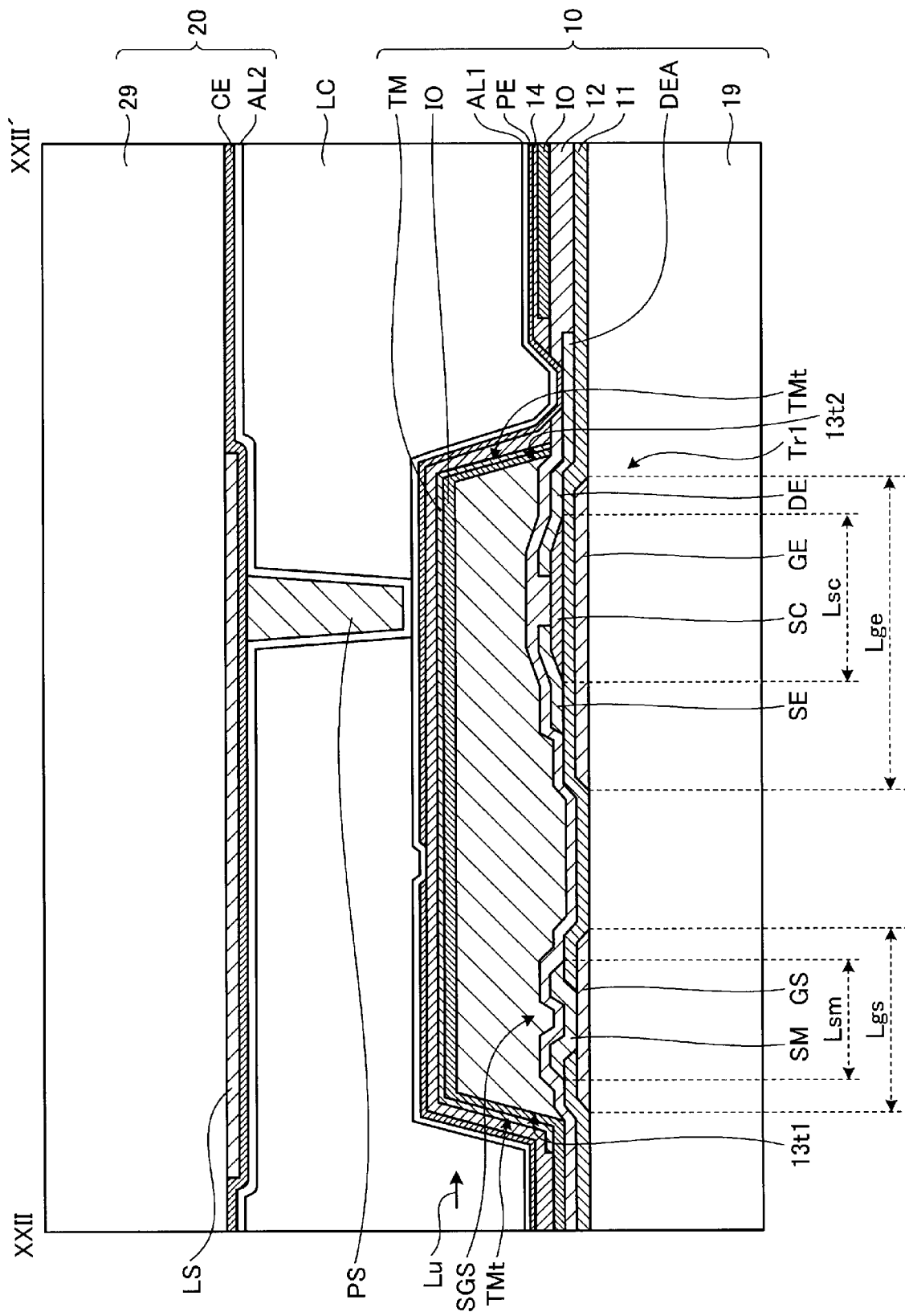
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/010109

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09F9/00(2006.01)i, G09F9/30(2006.01)i, G02F1/1334(2006.01)i, G02F1/13357(2006.01)i, G02F1/1368(2006.01)i

FI: G02F1/1368, G09F9/30349C, G09F9/00336D, G02F1/13357, G02F1/1334

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09F9/00, G09F9/30, G02F1/1334, G02F1/13357, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2018-120021 A (JAPAN DISPLAY INC.) 02.08.2018 (2018-08-02), paragraphs [0013]-[0031], fig. 2-6	1-4, 9-10 5-8
Y	JP 2017-83614 A (JAPAN DISPLAY INC.) 18.05.2017 (2017-05-18), paragraphs [0050]-[0052], fig. 8	1-4, 9-10
Y	JP 2004-341185 A (CASIO COMPUTER CO., LTD.) 02.12.2004 (2004-12-02), paragraphs [0026]-[0030], fig. 5	1-4, 9-10
Y	JP 2010-123909 A (SEIKO EPSON CORPORATION) 03.06.2010 (2010-06-03), paragraphs [0041]-[0046], fig. 5	1-4, 9-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20.05.2020

Date of mailing of the international search report
02.06.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/010109

JP 2018-120021 A	02.08.2018	US 2018/0211611 A1 paragraphs [0035]-[0057], fig. 2-6
JP 2017-83614 A	18.05.2017	US 2017/0115525 A1 paragraphs [0063]-[0065], fig. 8
JP 2004-341185 A	02.12.2004	US 2004/0174483 A1 paragraph [0073], fig. 17 US 2006/0187397 A1 TW 200424974 A KR 10-2004-0079329 A CN 1527117 A
JP 2010-123909 A	03.06.2010	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） G09F 9/00(2006.01)i; G09F 9/30(2006.01)i; G02F 1/1334(2006.01)i; G02F 1/13357(2006.01)i; G02F 1/1368(2006.01)i FI: G02F1/1368; G09F9/30 349C; G09F9/00 336D; G02F1/13357; G02F1/1334		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09F9/00; G09F9/30; G02F1/1334; G02F1/13357; G02F1/1368 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2018-120021 A（株式会社ジャパンディスプレイ）02.08.2018（2018-08-02） [0013]-[0031], 図2-6	1-4, 9-10 5-8
Y	JP 2017-83614 A（株式会社ジャパンディスプレイ）18.05.2017（2017-05-18） [0050]-[0052], 図8	1-4, 9-10
Y	JP 2004-341185 A（カシオ計算機株式会社）02.12.2004（2004-12-02） [0026]-[0030], 図5	1-4, 9-10
Y	JP 2010-123909 A（セイコーエプソン株式会社）03.06.2010（2010-06-03） [0041]-[0046], 図5	1-4, 9-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 20.05.2020		国際調査報告の発送日 02.06.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小濱 健太 2L 4009 電話番号 03-3581-1101 内線 3255

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/010109

引用文献			公表日	パテントファミリー文献			公表日
JP	2018-120021	A	02.08.2018	US	2018/0211611	A1	
				[0035]-[0057], 図2-6			
JP	2017-83614	A	18.05.2017	US	2017/0115525	A1	
				[0063]-[0065], 図8			
JP	2004-341185	A	02.12.2004	US	2004/0174483	A1	
				[0073], 図17			
				US	2006/0187397	A1	
				TW	200424974	A	
				KR	10-2004-0079329	A	
				CN	1527117	A	
JP	2010-123909	A	03.06.2010	(ファミリーなし)			