

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97110381

※申請日期：97 年 03 月 24 日

※IPC 分類：

一、發明名稱：

H01L 21/02, 21/12

(2006.01)

(中) S O I 基板以及用於製造 S O I 基板的方法

(英) SOI substrate and method for manufacturing SOI substrate

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036 Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 山崎舜平

(英) YAMAZAKI, SHUNPEI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 大沼英人

(英) OHNUMA, HIDETO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本

； 2007/03/26 ； 2007-079762 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：SOI 基板以及用於製造 SOI 基板的方法
 提供一種 SOI 基板和 SOI 基板的製造方法，藉由該 SOI 基板和其製造方法，基板之放大是可行的，並且可增加其產率。步驟（A）切割第一單晶矽基板，以形成第二單晶矽基板，其係為曝光設備之一照射區的尺寸之 n 倍大（ n 為選用正整數， $n \geq 1$ ）；步驟（B）形成絕緣層在該第二單晶矽基板之一表面上，以及形成脆化層在該第二單晶矽基板中；以及步驟（C）將具有絕緣表面的基板和該第二單晶矽基板利用介於二者間的該絕緣層接合，以及實行熱處理，以沿著該脆化層將該第二單晶矽基板分離，並藉此形成單晶矽薄膜在具有絕緣表面的該基板上。

六、英文發明摘要

發明之名稱：

SOI SUBSTRATE AND METHOD FOR MANUFACTURING SOI SUBSTRATE

An SOI substrate and a manufacturing method of the SOI substrate, by which enlargement of the substrate is possible and its productivity can be increased, are provided. A step (A) of cutting a first single crystal silicon substrate to form a second single crystal silicon substrate which is n (n is an optional positive integer, $n \geq 1$) times as large as a size of one shot of an exposure apparatus; a step (B) of forming an insulating layer on one surface of the second single crystal silicon substrate, and forming an embrittlement layer in the second single crystal silicon substrate; and a step (C) of bonding a substrate having an insulating surface and the second single crystal silicon substrate with the insulating layer therebetween, and conducting heat treatment to separate the second single crystal silicon substrate along the embrittlement layer, and forming a single crystal silicon thin film on the substrate having an insulating surface are conducted.

七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

100：SOI 基板

110：單晶矽薄膜

120：絕緣層

130：堆疊體

150：基板

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明有關於一種 SOI（絕緣體上矽）基板，其具有形成在具有絕緣表面的基板上之單晶矽薄膜，以及一種用於製造 SOI 基板的方法。再者，本發明有關於使用 SOI 基板而形成的半導體裝置。注意的是，在此說明書中的用詞「半導體裝置」包括可利用半導體特性之功能的所有類型之裝置。

【先前技術】

近年來，VLSI 技術已劇烈性地進展，且藉由其實現加速和低功率消耗的 SOI 結構已吸引注意。在此技術，場效電晶體（FET）的主動區域（通道形成區域），其已習知地由塊單晶矽所形成，係由單晶矽薄膜所形成。已知使用 SOI 結構所製造的 MOS（金屬氧化物半導體）場效電晶體（MOSFET）相較於使用塊單晶矽基板所形成的習知 MOSFET，可減低較多的寄生電容，且此 MOSFET 對於加速是有利的。

作為習知 SOI 基板，SIMOX 基板、接合基板和其他是已知的。例如，針對 SIMOX 基板的 SOI 結構，氧離子被佈植至單晶矽基板，實行在 1300℃ 或更高下的熱處理，以形成埋設氧化物（BOX）層，使得在表面上形成單晶矽膜。在 SIMOX 基板，可精確地控制氧離子佈植，且因此可藉由高控制形成具有平坦厚度之單晶矽薄膜；然而，存

有一問題在於氧離子佈植所需的長時間週期導致時間和成本的問題。再者，存有另一問題在於單晶矽薄膜在氧離子佈植中易受到危害。

作為接合基板之 SOI 結構，二單晶矽基板（一基底基板和一接合基板）利用二者間的氧化物膜而彼此接合，且二單晶矽基板中的一者（接合基板）在其後側（其不是用於接合的表面）上被薄化，使得形成單晶矽薄膜。作為用於薄化之方法，已提出利用氫離子佈植的 Smart-Cut（註冊商標）（例如，參考文件 1：日本已公開專利申請案 No. H5-211128），因為它難以藉由研磨和拋光而形成均勻和薄的單晶矽薄膜。

【發明內容】

然而，在習知類型的 SOI 基板中，係藉由形成埋設層在一單晶矽中或是附接一單晶矽基板至另一單晶矽基板以及薄化單晶矽基板中的一者而形成 SOI 結構。因此，此習知類型的 SOI 基板係大幅地依據單晶矽基板的尺寸而定，且因此具有在達成尺寸上的增加之困難。因此，本發明的目的之一在於提供一種具有大面積以及改善其產率之 SOI 基板的製造技術。

本發明的一態樣在於 SOI 基板，其包括形成在具有絕緣表面的基板上之單晶矽薄膜。單晶矽薄膜可藉由接合方法而形成。本發明的特點在於使用處理為所欲之尺寸的單晶矽基板，形成單晶矽薄膜在在具有絕緣表面的基板上。

本發明的特定結構在於 SOI 基板的製造方法，包含：步驟（A）切割第一單晶矽基板，以形成第二單晶矽基板，其係為曝光設備之一照射區的尺寸之 n 倍大（ n 為選用正整數， $n \geq 1$ ）；步驟（B）形成絕緣層在該第二單晶矽基板之一表面上，以及形成脆化層在該第二單晶矽基板中；以及步驟（C）具有絕緣表面的基板和該第二單晶矽基板利用介於二者間的該絕緣層接合，以及實行熱處理，以沿著該脆化層將該第二單晶矽基板分離，並藉此形成單晶矽薄膜在具有絕緣表面的該基板上。

在上述結構中，離子佈植層係藉由佈植來自該第二單晶矽基板的絕緣層側（亦即，來自該第二單晶矽基板的表面，在該表面上形成絕緣層）的氫離子而形成。在此說明書中，氫離子的佈植意謂，藉由以加速氫離子的照射，氫包含在單晶矽基板中。再者，在此說明書中，離子佈植層係為其中形成細微凹處和藉由離子照射至單晶基板而弱化的區域，且因此離子佈植層亦稱為脆化層。在之後的熱處理，係在脆化層中發生分離，使得可形成單晶矽薄膜在具有絕緣表面的基板上。

本發明的另一結構在於 SOI 基板的製造方法，包含：步驟（A）切割第一單晶矽基板，以形成第二單晶矽基板，以使滿足下列表示式之一者： $0.8X < Y < 1.2X$ ； $0.9X < Y < 1.1X$ ； $0.99X < Y < 1.01X$ ；及 $0.999X < Y < 1.001X$ ，其中曝光設備之一照射區的尺寸係為 X ，且該第二單晶矽基板的尺寸係為 Y ；步驟（B）形成絕緣層在該第二單晶

矽基板之一表面上，以及形成脆化層在該第二單晶矽基板中；以及步驟（C）將具有絕緣表面的基板和該第二單晶矽基板利用介於二者間的該絕緣層接合，以及實行熱處理，以沿著該脆化層將該第二單晶矽基板分離，並藉此形成單晶矽薄膜在具有絕緣表面的該基板上。

在上述結構中，重複步驟（A），以形成複數個該第二單晶矽基板，以及針對具有絕緣表面的該基板重複步驟（B）和步驟（C），以形成複數個該單晶矽薄膜在具有絕緣表面的該基板上。

本發明的另一結構在於 SOI 基板的製造方法，包含：步驟（A）形成絕緣層在第一單晶矽基板之一表面上，以及形成脆化層在該第一單晶矽基板中；步驟（B）切割該第一單晶矽基板，以形成第二單晶矽基板，其係為曝光設備之一照射區的尺寸之 n 倍大（ n 為選用正整數， $n \geq 1$ ）；以及步驟（C）將具有絕緣表面的基板和該第二單晶矽基板利用介於二者間的該絕緣層接合，以及實行熱處理，以沿著該脆化層將該第二單晶矽基板分離，並藉此形成單晶矽薄膜在具有絕緣表面的該基板上。

本發明的另一結構在於 SOI 基板的製造方法，包含：步驟（A）形成絕緣層在第一單晶矽基板之一表面上，以及形成脆化層在該第一單晶矽基板中；步驟（B）切割該第一單晶矽基板，以形成第二單晶矽基板，以使滿足下列表示式之一者： $0.8X < Y < 1.2X$ ； $0.9X < Y < 1.1X$ ； $0.99X < Y < 1.01X$ ；及 $0.999X < Y < 1.001X$ ，其中曝光設備之

一照射區的尺寸係為 X ，且該第二單晶矽基板的尺寸係為 Y ；以及步驟（C）將具有絕緣表面的基板和該第二單晶矽基板利用介於二者間的該絕緣層接合，以及實行熱處理，以沿著該脆化層將該第二單晶矽基板分離，並藉此形成單晶矽薄膜在具有絕緣表面的該基板上。

在上述結構中，重複步驟（B），以形成複數個該第二單晶矽基板，以及針對具有絕緣表面的該基板重複步驟（C），以形成複數個該單晶矽薄膜在具有絕緣表面的該基板上。

作為具有絕緣表面的基板，較佳係使用玻璃基板，因為玻璃基板的使用可有較大面積。

本發明的結構在於一種 SOI 基板，其具有利用介於二者間的絕緣層而形成在具有絕緣表面的基板上（其係為基底基板）的複數個單晶矽薄膜。

本發明的結構在於一種 SOI 基板，其具有利用介於二者間的絕緣層而形成在具有絕緣表面的基板上的複數個單晶矽薄膜，其中一單晶矽薄膜的尺寸係為曝光設備之一照射區的尺寸之 n 倍大（ n 為選用正整數， $n \geq 1$ ）。

本發明的另一結構在於一種 SOI 基板，其具有利用介於二者間的絕緣層而形成在具有絕緣表面的基板上的複數個單晶矽薄膜，其中一單晶矽薄膜的尺寸滿足下列條件之一者： $0.8X < Y < 1.2X$ ； $0.9X < Y < 1.1X$ ； $0.99X < Y < 1.01X$ ；及 $0.999X < Y < 1.001X$ ，其中曝光設備之一照射區的尺寸係為 X ，且該第二單晶矽基板的尺寸係為 Y 。

在上述結構中，該複數個單晶矽薄膜較佳係為矩形的。

在上述結構中，具有絕緣表面的該基板較佳係為玻璃基板。

根據本發明，SOI 基板的放大是可行的。因此，可增加使用 SOI 基板之製造上的產率，例如：使用半導體裝置積體電路和其他的半導體裝置之產率。

【實施方式】

實施例模式

之後，將參照伴隨之圖式而敘述本發明的實施例模式。然而，本發明可以各種模式來實施。如熟悉此技藝之人士所能輕易理解的，本發明的該些模式和細節可以各種方式變化，而不脫離本發明的精神和範圍。因此，本發明不應被解釋為侷限在實施例模式的下述敘述中。注意的是，可使用相同的參考數字來標示在不同圖式中相同部份以及具有相似功能的部分，用以參考圖式來說明實施例模式的結構，並省略其個別的說明。

實施例模式 1

藉由從單晶矽基板（之後，亦稱為接合基板）轉移至不同基板（之後，稱為基底基板）而形成根據本發明的 SOI 基板。之後，係敘述根據本發明的 SOI 基板之製造方法的一模式。

第 1 圖係為顯示根據本發明的 SOI 基板 100 之範例的透視圖。SOI 基板 100 包括，在一基板 150 之表面上之複數個堆疊體 130，其中依序地堆疊絕緣層 120 和單晶矽薄膜 110。單晶矽薄膜 110 係利用介於二者間的絕緣層 120 而形成在基板 150 上，其係為所謂的 SOI 結構。換言之，係從形成於一基板 150 上的複數個單晶矽薄膜 110 而形成一 SOI 基板 100。其中依序地堆疊絕緣層 120 和單晶矽薄膜 110 的堆疊體 130 較佳係以相鄰堆疊體 130 之間未有間隔之方式而配置。

單晶矽薄膜 110 的尺寸較佳係為曝光設備（其典型為步進器）的一照射區之尺寸之 n 倍大（ n 為選用正整數， $n \geq 1$ ）。曝光設備的一照射區之尺寸係依據該設備而定，且例如，當使用現有的步進器時，已知一照射區的尺寸，例如：25 平方毫米、100 平方毫米、113 平方毫米、132 平方毫米、144 平方毫米、和其他。藉由採用單晶矽薄膜 110 之尺寸（其係為曝光設備的一照射區之尺寸的 n 倍大），當使用待完成的 SOI 基板而形成各種類型之半導體裝置時，可有效地形成所欲之電路圖案在一單晶矽薄膜 110 上。再者，可有效地形成所欲之電路圖案在一單晶矽薄膜 110 上，而不與相鄰單晶矽薄膜交叉一邊界。因此，可使用待完成的 SOI 基板而以高產率地製造半導體裝置。注意的是，用詞「尺寸」意謂此說明書中之面積。

在一般製程中，考量產率和可靠度，形成電路圖案達至一照射區的曝光範圍之限制是非較佳的。在大部分例子

，形成電路圖案在相較一照射區的曝光範圍更窄之範圍中而達成設計。因此，單晶矽薄膜 110 之尺寸非必定地限制於針對一照射區之尺寸之 n 倍大（ n 為選用正整數， $n \geq 1$ ）之尺寸。例如，當曝光設備的一照射區之尺寸係為 X 且單晶矽薄膜 110 的尺寸係為 Y ，較佳係為 X 和 Y 滿足下列表示式（1）。再者，更為較佳係為 X 和 Y 滿足表示式（2）。尤為較佳係為 X 和 Y 滿足表示式（3）。最為較佳係為 X 和 Y 滿足表示式（4）。

$$0.8X < Y < 1.2X \quad (1)$$

$$0.9X < Y < 1.1X \quad (2)$$

$$0.99X < Y < 1.01X \quad (3)$$

$$0.999X < Y < 1.001X \quad (4)$$

第 11 圖說明單晶矽薄膜 110 的尺寸和曝光設備的一照射區之尺寸之間的關係之範例。在第 11 圖，第一曝光範圍 200、第二曝光範圍 202、第三曝光範圍 204、和第四曝光範圍 206 係各自為曝光設備的一照射區之尺寸的曝光範圍。

第一曝光範圍 200 和第四曝光範圍 206 係顯示其中單晶矽薄膜 110 之尺寸係為曝光設備的一照射區之尺寸 n 倍大的範例。尤其，第一曝光範圍 200 顯示其中單晶矽薄膜 110 具有與一照射區尺寸之相同尺寸的範例，且第四曝光範圍 206 顯示其中單晶矽薄膜 110 具有一照射區尺寸之 4 倍大的範例。再者，第二曝光範圍 202 和第三曝光範圍 204 係顯示其中單晶矽薄膜 110 的尺寸滿足表示式（1）至

(4) 的範例。尤其，第二曝光範圍 202 表示其中單晶矽薄膜 110 小於一照射區之尺寸，且 X 和 Y 滿足上述表示式 (1) 至 (4) 的範例，以及第三曝光範圍 204 顯示其中單晶矽薄膜 110 大於一照射區之尺寸，且 X 和 Y 滿足上述表示式 (1) 至 (4) 的範例。以此方式，可形成所欲之電路圖案在一單晶矽薄膜上，使得可達成產率上之增加。

作為基板 150，使用具有絕緣表面的基板，例如：玻璃基板或石英基板。較佳係使用玻璃基板作為基板 150，且可使用具有大面積的母玻璃基板，例如所謂的第六代基板 (1500 mm×1850 mm)、所謂的第七代基板 (1870 mm×2200 mm)、以及所謂的第八代基板 (2200 mm×2400 mm)。使用具有大面積的母玻璃基板作為基底基板 (此處，基板 150)，且藉由應用本發明而形成 SOI 基板。因此，可放大 SOI 基板的面積。例如，在其中使用 SOI 基板而形成半導體積體電路之例子，假如 SOI 基板是較大的，可一次形成大量的晶片，例如 IC、LSI 和其他，且所形成之晶片的數量顯著地增加，藉此顯著地增加產量。

之後，係參照第 2A、2B 圖以及第 3A 至 3D 圖而特定地敘述如第 1 圖所示之 SOI 基板的製造方法。

首先，製備單晶矽基板 102 作為接合基板 (第 3A 圖)。作為單晶矽基板 102，製備其中已處理為所欲之形狀和尺寸之基板。

如第 2A 和 2B 圖所示，切割單晶矽基板 101 (之後，亦稱為第一單晶矽基板)，使得可獲得具有所欲之尺寸和

形狀之單晶矽基板 102（之後，亦稱為第二單晶矽基板）。此時所使用的第一單晶矽基板 101 可為商用基板。作為商用單晶矽基板，典型地，係使用其中 5 英吋（125 mm）直徑、6 英吋（150 mm）直徑、8 英吋（200 mm）直徑、和 12 英吋（300 mm）直徑之基板，且這些基板之大多數為圓形的。再者，當適當時，可從達至約 1.5 mm 而選擇第一單晶矽基板 101 之厚度。在此實施例模式，第一單晶矽基板 101 的厚度被設定至從約 0.7 mm 至 0.75 mm 之範圍。

第二單晶矽基板 102 係較佳處理為具有步進器的一照射區域的尺寸之 n 倍大（ n 為選用正整數， $n \geq 1$ ）之尺寸，或是滿足表示式（1）至（4）之任一者的尺寸。例如，第二單晶矽基板 102 係較佳處理為 25 平方毫米、100 平方毫米、113 平方毫米、132 平方毫米、144 平方毫米、或此數值的 n 倍（ n 為選用正整數， $n \geq 1$ ）之尺寸。

未有針對第二單晶矽基板 102 的形狀之特殊限制，然而考量到之後待被接合至作為基底基板之基板 150 以及藉由曝光設備加以曝光之圖案形狀，較佳係為矩形形狀（包括方形）。為了自第一單晶矽基板 101 切割第二單晶矽基板 102，可使用切割裝置（例如，切割機或線鋸切削）、使用雷射光束之裝置、使用電漿之裝置、使用電子束之裝置或用於切割之選用裝置。

在此實施例模式，使用具有 8 英吋之直徑的圓形基板作為第一單晶矽基板 101，100 平方毫米之第二單晶矽基

板 102 係藉由處理而從第一單晶矽基板 101 獲得（第 2A 和 2B 圖）。第二單晶矽基板 102 作為接合基板。再者，此實施例模式顯示其中具有所欲之形狀的第二單晶矽基板 102 之一部分係從第一單晶矽基板 101 之一部分獲得的例子；然而，本發明並不侷限於此範例。假如可行的話，藉由處理，可從一單晶矽基板取得具有所欲之尺寸的複數個單晶矽基板。

之後，形成絕緣層 120 在第二單晶矽基板 102 之表面上（第 3A 圖）。

絕緣層 120 可藉由 CVD 方法或濺鍍方法而形成，然而絕緣層 120 係較佳藉由熱氧化方法形成，使得可獲得具有較佳特性之稠密膜。當利用熱氧化方法時，形成氧化矽（ SiO_x ）膜作為絕緣層 120。再者，當利用 CVD 方法或其他時，可形成氧化矽（ SiO_x ）層、氮化矽（ SiN_x ）層、氮化矽層、氮氧化矽層或其他作為絕緣層 120。絕緣層 120 可具有單層結構或堆疊層結構。例如，在藉由熱氧化方法形成稠密氧化矽膜之後，可藉由 CVD 方法形成氮化矽層或氮氧化矽層，亦為可行的。注意的是，絕緣層 120 應被形成於單晶矽基板 102 的至少一表面上，但可形成在包括側邊和後表面之整體表面上。再者，絕緣層 120 係形成為 50 nm 至 3000 nm（包括在內）之厚度，較佳為 50 nm 至 200 nm（包括在內）。在此實施例模式，作為絕緣層 120，藉由熱氧化方法形成具有 100 nm 之厚度的氧化矽層。

之後，在第二單晶矽基板 102 上執行利用氫離子 104 的照射，以形成脆化層 106（第 3B 圖）。從其上形成絕緣層 120 之表面的側邊實行利用氫離子 104 的照射。藉由利用以電場加速之氫離子 104 的照射，脆化層 106 係形成在第二單晶矽基板 102 之預設深度（在膜厚度方向上之深度）。注意的是，脆化層 106 可使用惰性氣體（非使用氫）而形成，或可選擇地，使用氫和惰性氣體之混合氣體而形成。

可藉由離子摻雜方法或離子佈植方法而以離子之照射來形成脆化層 106。離子摻雜方法係為其中離子化氣體係以電場來加速而不需經歷質量分離，且利用離子化氣體之照射係在單晶矽基板上執行之方法。可利用離子摻雜設備來實行離子摻雜方法。再者，離子佈植方法係為其中利用離子佈植設備而被離子化的氣體，經歷質量分離，且利用離子化氣體之照射係在單晶矽基板上執行之方法。藉由離子佈植方法，離子化氫氣體經歷質量分離和藉由電場加速，使得離子化氣體可被照射。

利用氫離子 104 的照射較佳係在從 1×10^{16} atoms/cm² 至 1×10^{17} atoms/cm² 之劑量以及從 20 kV 至 200 kV 之加速電壓的條件之下實行。注意的是，利用氫離子 104 的照射之劑量、加速電壓和其他係適當地選擇，使得可控制形成在第二單晶矽基板 102 之脆化層 106 的深度方向上之厚度。在第二單晶矽基板 102 中，深度方向上（其中待形成脆化層 106）的厚度決定待完成之 SOI 基板的單晶矽薄膜

之厚度。因此，藉由適當地選擇氫離子 104 之照射條件，可控制 SOI 基板之單晶矽薄膜的厚度。藉由利用氫離子 104 之照射通過絕緣層 120，脆化層 106 之深度易於控制，且可進一步避免由於離子照射所導致矽基板之表面的粗糙。在此實施例模式，利用氫離子 104 之照射係在 5×10^{16} atoms/cm² 和 100 kV 之加速電壓下實行。

之後，作為接合基板的第二單晶矽基板 102 以及作為基底基板之基板 150 彼此接合（第 3C 圖）。第二單晶矽基板 102 和基板 150 利用形成在第二單晶矽基板 102 上的絕緣層 120（在第二單晶矽基板 102 和基板 150 之間）而彼此接合。

當作作為基底基板之基板 150，使用如上所述之具有絕緣表面之基板，例如玻璃基板或石英基板。玻璃基板是較佳的，由於玻璃基板可達成以低成本的較大面積。

可在基板 150 的表面上形成絕緣層，作為基底絕緣層。尤其，絕緣層係形成在基板 150 之表面上（在該表面上接合第二單晶矽基板 102）。例如，藉由 CVD 方法或濺鍍方法，使用氮氧化矽、氧化矽、氮化矽、氧氮化矽或其他，可形成具有單層或堆疊層的絕緣層在基板 150 之表面上。藉由形成作為基底絕緣層之絕緣層在基板 150 之表面上，可避免雜質（例如來自基板 150 之鹼金屬）的擴散。例如，作為基底絕緣層，使用氮化矽層或氮氧化矽層作為底層（從堆疊層結構起），以及使用氧化矽層或氧氮化矽層作為頂層，其可更增加阻擋雜質之效應。

第二單晶矽基板 102 和基板 150 之接合（亦稱為晶圓接合）係在一處理溫度下實行，該處理溫度係在考量二基板之耐熱性下而設定。當使用玻璃基板當作作為基底基板之基板 150 時，應採用約 600℃ 或更低之處理溫度，用於該製程。

例如，藉由使用原子束或離子束之照射之處理、或電漿處理或自由基處理，在從 200 至 400℃ 之低溫處理下，基板可彼此接合。

當使用原子束或離子束時，可使用惰性氣體（例如氬）的中性原子束或惰性氣體的離子束。注意的是，原子束或離子束的照射較佳係在真空實行或在減壓下實行。

例如，第二單晶矽基板 102 之待被接合的表面（之後，亦稱為接合表面）經歷氬離子束的照射，使得活性化該接合表面。注意的是，第二單晶矽基板 102 和基板 150 之接合係以介於二者間的絕緣層 120 來實行，且因此絕緣層 120 的表面作為接合表面。藉由氬離子束的照射，活性化絕緣層 120 的表面（其作為接合表面）。同樣地，基板 150 的接合表面經歷氬離子束的照射，使得活性化接合表面。再者，在其中作為基底絕緣層之絕緣層形成在基板 150 之表面上並利用介於二者間的絕緣層而被接合至第二單晶矽基板 102 之例子中，針對作為基底絕緣層之絕緣層的表面實行氬離子束的照射，使得活性化該表面。為了要活性化該接合表面，較佳係使用具有從 20 eV 至 200 eV 的能量之氬離子束用於照射。較佳係在 10^{-6} Pa 的等級之

壓力下實行氬離子束的照射。

之後，第二單晶矽基板 102 的活性化接合表面以及基板 150 的活性化接合表面係彼此接觸和疊置。第二單晶矽基板 102 和基板 150 的接合表面被活性化，且因此發生至少由於表面之活性化所導致的接合，使得基板二者被彼此接合。

再者，當使用電漿處理或自由基處理時，尤其，可使用氧電漿、氧自由基、氮電漿、或氮自由基。

例如，第二單晶矽基板 102 之接合表面經歷氧電漿照射，使得接合表面被活性化（變為親水的）。再者，第二單晶矽基板 102 和基板 150 利用二者間的絕緣層 120 而被接合，使得絕緣層 120 之表面作為接合表面。因此，作為接合表面之絕緣層 120 的表面係藉由氧電漿處理而成為親水的。同樣地，基板 150 的接合表面經歷氧電漿照射，使得具有親水性。再者，當作為基底絕緣層之絕緣層形成在基板 150 之表面上時，且基板 150 利用二者間的絕緣層而接合至第二單晶矽基板，作為基底絕緣層之絕緣層的表面經歷氧電漿處理，使得具有親水性。當接合表面成為親水之時或之後，可混合含有氬離子、氬氧根基團、水分子、或其他的氣體。此氣體在親水處理中混合，且因此增加接合表面中的 OH 基團以使得接合表面成為均勻地親水的，或是增加變成親水之速度。再者，在藉由氬電漿照射移除接合表面中的雜質之後，可實行氧電漿處理，使得接合表面成為均勻地親水的。再者，在使接合表面成為親水之後

，可利用純水、添加氫的水、添加氧的水或添加臭氧的水來清洗接合表面，並加以乾燥。

較佳地，在藉由超音波或超高頻音波來清洗接合表面之後，用以移除附著至接合表面之粒子（例如，微塵），接合表面經歷利用原子束或離子束之表面活性化處理、或是利用電漿處理或自由基處理之親水處理。再者，在接合之前，較佳係藉由以添加臭氧的水來清洗以增加親水性。

之後，第二單晶矽基板 102 之親水接合表面以及基板 150 之親水接合表面係彼此接觸並疊置。第二單晶矽基板 102 和基板 150 之接合表面成為親水的，且至少由於分子間之力（氫接合），二者被彼此接合。

在接合表面藉由氧電漿處理而成為親水之後，可利用氮自由基來照射接合表面。利用氮自由基的照射藉由氮取代而將產生於親水接合表面中之 OH 基團改變為 ON 基團。之後，接合表面係彼此接觸並疊置，使得形成氮化合物在接合表面之間的界面。因此，接合表面更為牢固地彼此接合。

再者，在藉由使用原子束或電漿而將接合基板和基底基板彼此接觸並接合之後，較佳係實行熱處理或加壓處理、或是熱處理和加壓處理二者。藉由熱處理及／或加壓處理，係增加基板之間的接合強度，使得可更為牢固地接合基板。將用於熱處理之溫度設定為基板二者之溫度限制以下的溫度，並且係考量對基板之壓力的抗性而設定用於加壓處理之壓力。再者，加壓處理較佳係在垂直於接合表面

之方向上實行。例如，在藉由上述之使用原子束或離子束或利用電漿處理或自由基處理，將第二單晶矽基板 102 和基板 150 彼此接合之後，係在 400℃ 以下的溫度（較佳係從 200℃ 至 400℃ 之溫度）實行熱處理。

之後，製備單晶矽層 108，其係為第二單晶矽基板 102 之一部分。利用介於基板 150 和單晶矽薄膜 110 之間的絕緣層 120，單晶矽薄膜 110 係保持在基板 150 上，使得獲得 SOI 結構（第 3D 圖）。

第二單晶矽基板 102 經歷熱處理，使得在脆化層 106 上發生分離。尤其，係在 400℃ 或更高之溫度下（較佳係從 500 至 600℃）實行熱處理，使得發生形成在脆化層 106 之細微凹處之容量改變，且沿著脆化層 106 產生用於分離之破壞力。第二單晶矽基板 102 係沿著脆化層 106 分離，使得分離單晶矽層 108。因此，利用二者間之絕緣層 120，單晶矽薄膜 110 係形成在基板 150 上。此處，其中絕緣層 120 和單晶矽薄膜 110 係依序地堆疊在基板 150 上之結構稱為堆疊體 130。

在如上所述之方式中，獲得其中利用二者間的絕緣層 120 而將單晶矽薄膜 110 形成在基板 150 上之 SOI 結構。應注意的是，本發明的特點之一在於，利用二者間的絕緣層，使用單晶矽薄膜所形成的複數個堆疊體係形成在一基底基板上，以形成 SOI 基板。例如，藉由重複如第 3A 至 3D 圖所述之步驟，複數個堆疊體 130 係緊密地配置在基板 150 上，如第 4A 和 4B 圖所示，使得可製造 SOI 基板

100。

在如第 3A 至 3C 圖所示實行接合之後，替代實行藉由熱處理來分離之步驟，如第 5A 和 5B 圖所述，接合下個單晶矽基板，並且完成所有單晶矽基板之接合，且可藉由熱處理而一起實行所有單晶矽基板的分離。

堆疊體 130（單晶矽薄膜 110）較佳係緊密地配置在基板 150 上。更為較佳地，係配置堆疊體 130 而沒有相鄰堆疊體之間的間隔。例如，使用控制裝置（例如 CCD 攝影機或電腦）使得以高準確度來配置複數個堆疊體是可行的。再者，可完成使用形成在基板 150 上或堆疊體 130（單晶矽薄膜 110）的標記之位置對準。

以此方式，可獲得 SOI 基板 100。根據本發明的 SOI 基板可實現放大，以及增加在半導體裝置或其他之製程上的產率。

藉由分離而獲得之單晶矽薄膜之表面係各自較佳地藉由化學機械拋光（CMP）之拋光，以使平坦化。再者，替代使用物理拋光機構（例如 CMP），可藉由雷射照射來平坦化單晶矽薄膜之表面。注意的是，雷射照射較佳係在具有 10 ppm 或更低之氧濃度之氮氣體環境下實行。這是因為在氧氣體環境下的雷射照射可使得單晶矽薄膜之表面粗糙。再者，為了要薄化所得之單晶矽薄膜，可實行 CMP 或其他。

藉由使用因此而形成的 SOI 基板，可製造半導體積體電路和其他。在形成所欲之電路圖案於 SOI 基板之後，當

適當時，可針對各晶片將 SOI 基板將以分段。

第 2A 至 3D 圖顯示其中單晶矽基板被切割為所欲之形狀並接著具有所欲之形狀的單晶矽基板經歷利用氫離子之照射以形成脆化層之例子。然而，在單晶矽基板經歷利用氫離子之照射以形成脆化層之後，可將單晶矽基板切割為所欲之形狀，亦是可行的。

尤其，如第 2A 圖所示，係在作為母基板之單晶矽基板上執行利用氫離子之照射，以形成脆化層。接著，其中已形成脆化層之單晶矽基板被分段並處理為一尺寸（該尺寸為步進器設備的一照射區之尺寸之 n 倍大），或使得滿足上述表示式（1）至（4）的條件之任一者。下述步驟可與如第 3C 圖以及第 3C 圖之後的圖式所示之步驟相似。

藉由應用本發明，可製造和提供具有大面積之 SOI 基板。因此，在形成半導體積體電路或其他之電路圖案中，可在製程中一次使用大面積基板，使得可增加生產量。

再者，係從複數個單晶矽薄膜而形成 SOI 基板。各單晶矽基板之尺寸被設定約為曝光設備的一照射區之整數倍，且可增加在製造半導體裝置（例如，半導體積體電路或其他）之產率。

此實施例模式可與此說明書中的其他實施例模式之任一者任意地結合。

實施例模式 2

實施例模式 2 將敘述其中使用在實施例模式 1 中製造

之 SOI 基板以形成半導體積體電路之模式。此處，係顯示形成 CMOS 電路之範例。注意的是，根據本發明之半導體積體電路並不侷限於簡單電路，且可使用於實現廣範圍之積體電路，例如中央處理單元（CPU）。

現在將參照第 6A 至 10B 圖來敘述根據此實施例模式之半導體裝置之製程的範例。

首先，製備 SOI 基板。在此實施例模式中，使用在實施例模式 1 中製造之 SOI 基板。尤其，係使用其中利用二者間的絕緣層 802 和絕緣層 804 而將單晶矽薄膜形成在具有絕緣表面之基板 800 上的基板。注意的是，係顯示其中二絕緣層（絕緣層 802 和絕緣層 804）係形成在基板 800 和單晶矽薄膜之間的堆疊結構，作為範例。絕緣層 802 和絕緣層 804 可具有其中絕緣層形成在作為接合基板之單晶矽基板之表面上的堆疊結構，或是其中堆疊形成在接合基板之表面上的絕緣層以及形成在基底基板之表面上的基底絕緣層之堆疊結構。

再者，從複數個單晶矽薄膜（其各自為步進器曝光設備的一照射區之尺寸的 n 倍大， n 為選用正整數， $n \geq 1$ ），形成組成 SOI 基板的一部分之單晶矽薄膜。在此實施例模式中，係敘述其中使用單晶矽薄膜中一者（亦即，具有步進器曝光設備的一照射區之尺寸的 n 倍大之尺寸的一單晶矽薄膜）而形成 CMOS 電路之範例。

選擇性地蝕刻單晶矽薄膜以形成第一單晶矽層 806 和第二單晶矽層 808。接著，利用二者間的閘極絕緣層 810

，形成閘極電極 816 在第一單晶矽層 806 和第二單晶矽層 808 之上（第 6A 和 6B 圖）。

選擇性地蝕刻第一單晶矽層 806 和第二單晶矽層 808，以處理為所欲之形狀。此時，該些層被處理為島狀和隔離的。在其中第一單晶矽層 806 和第二單晶矽層 808 之厚度意欲為小於製備之 SOI 基板的單晶矽薄膜之厚度的例子中，可選擇性地蝕刻單晶矽薄膜以使更薄化。再者，可在質上局部地改變（質變）單晶矽薄膜，且可選擇地蝕刻該改變部分，以使更薄化。單晶矽薄膜之質變表示氧化處理、氮化處理或其他。再者，可形成第一單晶矽層 806 和第二單晶矽層 808，藉由適當的選擇蝕刻條件或其他，使得其端部是近垂直錐化的或是溫和錐化的。例如，可以 45° 或更多以及小於 95° （且較佳為 60° 或更多以及小於 95° ）的錐度角而使端部錐化，或可以小於 45° 的錐度角使端部溫和地錐化。

在此實施例模式，第一單晶矽層 806 和第二單晶矽層 808 各具有 30 nm 的厚度。

注意的是，為了控制待完成之電晶體的臨界電壓，可利用給予一導電率之雜質元素來輕摻雜第一單晶矽層 806 和第二單晶矽層 808。在此例中，雜質元素亦被添加至電晶體的通道形成區域。此時被添加的雜質元素係以較作為源極區或汲極區的高濃度雜質區之濃度，以及作為輕摻雜汲極（LDD）區之低濃度雜質區之濃度更低的濃度來添加。

藉由整體地形成導電層在基板上以及選擇性地蝕刻導電層以形成所欲之形狀而形成閘極電極 816。此處，作為閘極電極 816，在形成其中堆疊導電層 812 和 814 之堆疊結構之後，選擇性地蝕刻導電層以及將隔離導電層個別地處理為跨越第一單晶矽層 806 和第二單晶矽層 808。在此例中，將導電層處理為在其中未以第一單晶矽層 806 和第二單晶矽層 808 疊置導電層的區域中是一致的。換言之，組成閘極電極 816 的導電層具有分支形狀，且導電層的分支部分個別地跨越第一單晶矽層 806 和第二單晶矽層 808。

形成閘極電極 816 的導電層可各自以下述形成：藉由 CVD 方法或濺鍍法，使用金屬元素，例如：鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鉻（Cr）、鋁（Al）、銅（Cu）、或鈮（Nb）、或含有上述金屬元素之合金材料或化合物材料，將導電層整體地形成在基板上，以及接著選擇性地蝕刻導電層。再者，亦可使用已添加例如磷的雜質元素（其提供一導電類型）之半導體材料（其典型為複晶矽）。

儘管此實施例模式顯示其中閘極電極 816 具有導電層 812 和 814 之二層堆疊結構的範例，閘極電極可具有單層結構或其中堆疊有三層或更多層之堆疊層結構。再者，可將導電層之側面錐化。在其中閘極電極具有導電層之堆疊結構之例子中，作為底部層之導電層的寬度可較大，或是導電層之側面可具有彼此不同的錐化角度。

閘極絕緣層 810 形成在閘極電極 816、以及第一單晶矽層 806 和第二單晶矽層 808 之間。可藉由 CVD 方法、濺鍍方法、ALD（原子層沈積）方法或其他，使用例如：氧化矽（ SiO_x ）、氧氮化矽（ SiO_xN_y , $x>y>0$ ）、氧化鈺（ HfO_x ）、氧化鋁（ Al_xO_y ）、或氧化鉭（ Ta_xO_y , $x>y>0$ ）之材料來形成閘極絕緣層 810。再者，可藉由對第一單晶矽層 806 和第二單晶矽層 808 實行電漿處理使得它們被固相氧化或固相氮化，形成閘極絕緣層 810。附加地，可藉由 CVD 方法或其他來形成絕緣層，以及可藉由電漿處理將絕緣層固相氧化或固相氮化。

較佳係使用藉由高頻（例如微波，典型為 2.45 GHz）所激發的電漿，來實行固相氧化或固相氮化。尤其，藉由高頻波所激發以及具有從 1×10^{11} 至 $1 \times 10^{13} \text{ cm}^{-3}$ （包括在內）的電子密度和從 0.5 至 1.5 eV 的電子溫度（包括在內）之電漿係較佳使用於電漿處理。此完成，使得在小於或等於 500°C 的溫度下，以固相氧化處理或是固相氮化處理而將形成稠密絕緣層，以及將獲得實用的反應速度。

當藉由電漿處理來氧化第一單晶矽層 806 和第二單晶矽層 808 之表面時，係在含有氧的氣體環境下、或是含有氧（ O_2 ）、臭氧（ O_3 ）、氧化亞氮（ N_2O ）、氧化氮（ NO ）、或二氧化氮（ NO_2 ）、氫（ H_2 ）以及稀有氣體之氣體環境下執行電漿處理，上述含有氧的氣體環境係例如含有氧（ O_2 ）、臭氧（ O_3 ）、氧化亞氮（ N_2O ）、氧化氮（ NO ）、或二氧化氮（ NO_2 ）、以及稀有氣體（氦（ He ）、氖

(Ne) 、 氬 (Ar) 、 氪 (Kr) 、 和 氙 (Xe) 的 至少 一 者) 。 再者 ， 當 藉由 電漿 處理 來 氮化 第一 單晶 矽層 806 和 第二 單晶 矽層 808 上方 形成 的 絕緣 層 之 表面 時 ， 係 在 含有 氮 的 氣體 環境 下 、 含有 氮 、 氬 、 和 稀有 氣體 之 氣體 環境 下 、 或是 含有 NH_3 和 稀有 氣體 的 氣體 環境 下 執行 電漿 處理 ， 上述 含有 氮 的 氣體 環境 例如 ， 含有 氮 (N_2) 和 稀有 氣體 (He 、 Ne 、 Ar 、 Kr 和 Xe 中的 至少 一 者) 。 例如 ， 較佳 係 使用 Ar 作為 稀有 氣體 。 再者 ， 亦可 使用 其中 混合 Ar 和 Kr 的 氣體 。

第 12 圖 顯示 用於 執行 電漿 處理 的 電漿 處理 設備 1080 之 結構 範例 。 電漿 處理 設備 1080 包括 支承 物 1088 、 用於 供應 氣體 的 氣體 供應 部 1084 、 連接 至 真空 幫浦 且 用於 排出 氣體 的 排氣 埠 1086 、 天線 1098 、 介電 板 1082 、 以及 供應 用於 電漿 產生 之 高頻 波 的 高頻 波 供應 部 1092 。 藉由 支承 物 1088 來 保持 待 被 處理 的 物體 1010 。 再者 ， 藉由 提供 用於 支承 物 1088 的 溫度 控制器 1090 ， 可 控制 待 被 處理 的 物體 1010 之 溫度 。 在此 實施 例 模式 ， 待 被 處理 的 物體 1010 係 為 其中 經歷 電漿 處理 之 本體 ， 且 對應 於 在 作為 基底 基板 的 基板 800 上方 堆疊 絕緣 層 802 和 804 以及 第一 和 第二 單晶 矽層 806 和 808 之 堆疊 體 。 再者 ， 待 被 處理 的 物體 1010 對應 於 在 基板 800 上方 形成 絕緣 層 802 和 804 以及 第一 和 第二 單晶 矽層 806 和 808 、 絕緣 層 之 堆疊 體 。

之後 ， 係 敘述 以 如 第 12 圖 所示 之 電漿 處理 設備 1080 在 單晶 矽層 之 表面 上 形成 絕緣 層 之 特殊 範例 。 注意 的 是 ，

針對基板、半導體（單晶矽層）、絕緣層、和導電層之電漿處理包括表面修改處理，例如，氧化處理、氮化處理、氧氮化處理、和氫化處理。對於這些處理，可根據所欲用途選擇從氣體供應部 1084 所提供的氣體。

首先，如第 12 圖所示之電漿處理設備 1080 的處理室之內部係在真空中完成，且含有稀有氣體和氧或氮的氣體係從氣體供應部 1084 所提供。待被處理的物體 1010 係藉由溫度控制器 1090 在室溫下或從 100 至 550℃（包括在內）的溫度下加熱。待被處理的物體 1010 和介電板 1082 之間的距離（之後亦稱為電極間隔）約為從 20 至 200 mm（包括在內），較佳係為從 20 至 60 mm（包括在內）。

之後，高頻波從高頻波供應部 1092 供應至天線 1098。此處，導入微波（頻率：2.45 GHz）作為高頻波。接著，微波經由介電板 1082 而從天線 1098 導入至處理室；因此，產生電漿 1094。藉由電漿 1094，產生氧自由基（其可包括 OH 自由基）或氮自由基（其可包括 NH 自由基）。此時，從已供應的氣體產生電漿 1094。

當藉由導入高頻波（例如微波）而產生電漿 1094，可產生具有低電子溫度（小於或等於 3 eV，較佳係小於或等於 1.5 eV）以及高電子密度（大於或等於 $1 \times 10^{11} \text{ cm}^{-3}$ ）的電漿。尤其，較佳係產生具有從 0.5 至 1.5 eV 的電子溫度（包括在內）和從 1×10^{11} 至 $1 \times 10^{13} \text{ cm}^{-3}$ （包括在內）的電子密度之電漿。注意的是，在此說明書，藉由導入微波所產生之具有低電子溫度和高電子密度的電漿，亦稱為高

密度電漿。再者，利用高密度電漿的電漿處理亦稱為高密度電漿處理。

利用藉由電漿 1094 所產生之氧自由基（其可包括 OH 自由基）或氮自由基（其可包括 NH 自由基），形成在待被處理的物體 1010 中的單晶矽層之表面被氧化或氮化，藉此形成絕緣層。可選擇地，形成在單晶矽層上的絕緣層之表面或該表面之鄰近處被氧化或氮化。在此例中，假如稀有氣體（例如：氬）係混合在已供應的氣體中，可藉由稀有氣體的已激發物種而有效地產生氧自由基或氮自由基。注意的是，在其中使用稀有氣體在已供應的氣體中之例子，稀有氣體可包含在已形成的絕緣層中。在此方法，藉由有效使用由電漿所激發的活性自由基，可在小於或等於 500℃ 之低溫度下執行藉由固相反應的氧化或氮化。

作為在此實施例模式之藉由電漿處理所形成的閘極絕緣層 810 的一較佳範例，第一單晶矽層 806 和第二單晶矽層 808 經歷在含有氧的氣體環境下之電漿處理，以形成氧化矽層，以及利用在含有氮的氣體環境下之氮化電漿來處理氧化矽層的表面，以形成氮-電漿-處理層。尤其，首先，藉由在含有氧的氣體環境下之電漿處理在第一單晶矽層 806 和第二單晶矽層 808 上，形成具有從 3 至 6 nm 的厚度之氧化矽層。之後連續地，執行在含有氮的氣體環境下的電漿處理，藉此具有高氮濃度的氮-電漿-處理層設置於氧化矽層的一表面上或該表面的鄰近處。注意的是，「該表面的鄰近處」係指從氧化矽層的表面起約自 0.25 至 1.5

nm 的深度上之區域。例如，藉由在形成氧化矽層之後執行在含有氮的氣體環境下之電漿處理，可形成氮-電漿-處理層，其中在垂直方向上從其表面起約 1 nm 的深度之氧化矽層的區域中含有 20~50 at.% 的氮。再者，依據電漿處理之條件，氮-電漿-處理層可為氮化矽或氮氧化矽。

在任意例子，藉由如上所述利用電漿處理之固相氧化處理或固相氮化處理，即使是使用具有小於或等於 700℃ 之上溫度限制的玻璃基板作為基底基板（基板 800），可獲得絕緣層，其與在 950 至 1050℃ 之溫度下形成的熱氧化膜等效的。亦即，可形成高可靠的絕緣層作為絕緣層，其作為半導體元件（尤其是薄膜電晶體或非揮發性記憶體元件）之閘極絕緣層。

注意的是，第 6B 圖說明其中閘極絕緣層 810 和閘極電極 816 之端部係對準的例子；然而，此並非限制性範例，並且當蝕刻閘極電極 816 時，可留著閘極絕緣層 810。

假如具有高介電常數之材料（亦稱為高 k 材料）使用於閘極絕緣層 810，係自複晶矽、矽化物、金屬或金屬氮化物而形成閘極電極 816。較佳地，係自金屬或金屬氮化物形成閘極電極 816。例如，係自金屬氮化物材料形成與閘極絕緣層 810 相接觸的導電層 812，且在其上自金屬材料形成導電層 814。藉由採用諸如此的組合，即使當閘極絕緣層被薄化時，空乏層可避免擴展，且即使當小型化完成時，操作特性（例如：電晶體之驅動性能）可避免危害。

之後，在閘極電極 816 上形成絕緣層 817。接著，使用閘極電極 816 作為遮罩而添加給予一導電類型的雜質元素。注意的是，在此實施例模式，為了要製造 CMOS 電路，可將具有不同導電類型的雜質元素添加至第一單晶矽層 806 和第二單晶矽層 808。在第一單晶矽層 806，使用閘極電極 816 作為遮罩而以自對準方式形成一對雜質區 831 和介於該對雜質區 831 之間的通道形成區 830。同樣地，在第二單晶矽層 808，使用閘極電極 816 作為遮罩而以自對準方式形成一對雜質區 841 和介於該對雜質區 841 之間的通道形成區 840。以各自具有彼此不同導電類型之雜質元素來添加雜質區 831 和雜質區 841（第 7A 和 7B 圖）。

作為給予一導電類型之雜質元素，可使用給予 p 型導電之元素，例如硼（B）、鋁（Al）、或鎵（Ga），或是給予 n 型導電之元素，例如磷（P）或砷（As）。在此實施例模式，添加給予 n 型導電之元素（例如：磷）至第一單晶矽層 806。再者，添加給予 p 型導電之元素（例如：硼）至第二單晶矽層 808。當雜質元素被添加至第一單晶矽層 806 時，第二單晶矽層 808 可選擇性地以光阻遮罩或其他來覆蓋。同樣地，當雜質元素被添加至第二單晶矽層 808 時，可選擇性地以光阻遮罩或其他來覆蓋第一單晶矽層 806。

可藉由 CVD 方法、濺鍍方法、ALD 方法或其他，使用例如氧化矽、氧氮化矽、氮化矽、或氮氧化矽之材料而形成絕緣層 817。在添加具有一導電類型之雜質元素時，

雜質元素係成為通過絕緣層 817，使得可減低在單晶矽層上的危害。

之後，在閘極電極 816 之側邊上形成側壁絕緣層 820。閘極電極 816 和側壁絕緣層 820 被用來作為遮罩，用以添加給予一導電類型之雜質元素。注意的是，具有和先前步驟（形成雜質區 831 和雜質區 841 之步驟）所使用相同導電性之雜質元素被添加至第一單晶矽層 806 和第二單晶矽層 808。此時被添加的雜質元素係以比使用於先前步驟的雜質元素之濃度的較高濃度來添加（第 8A 和 8B 圖）。

在第一單晶矽層 806，利用閘極電極 816 和側壁絕緣層 820 作為遮罩，以自對準方式形成一對高濃度雜質區 834 和一對低濃度雜質區 832。此時所形成之高濃度雜質區 834 作為源極區或汲極區，且低濃度雜質區 832 作為 LDD（輕摻雜汲極）區。同樣地，在第二單晶矽層 808，利用閘極電極 816 和側壁絕緣層 820 作為遮罩，以自對準方式形成一對高濃度雜質區 844 和一對低濃度雜質區 842。注意的是，當雜質元素被添加至第一單晶矽層 806 時，第二單晶矽層 808 可選擇性地以光阻遮罩或其他來覆蓋。同樣地，當雜質元素被添加至第二單晶矽層 808 時，第一單晶矽層 806 可選擇性地以光阻遮罩或其他來覆蓋。

側壁絕緣層 820 係利用介於二者間的絕緣層 817 而形成在閘極電極 816 之側面上。例如，絕緣層（其形成以使埋設閘極電極 816）經歷異向性蝕刻，其主要係在垂直方向上實行，使得以自對準方式在閘極電極 816 之側面上可

形成側壁絕緣層 820。可使用例如氮氧化矽、氮化矽、或氧氮化矽之材料而形成側壁絕緣層 820。在其中使用氧化矽或氧氮化矽而形成絕緣層 817 之例子，係使用氮化矽或氮氧化矽而形成側壁絕緣層 820，使得絕緣層 817 可作為蝕刻停止器之用。再者，當使用氮化矽或氮氧化矽形成絕緣層 817 時，可使用氧化矽或氧氮化矽而形成側壁絕緣層 820。以此方式，設置作為蝕刻停止器之用的絕緣層，使得該等單晶矽層可避免在用於形成側壁絕緣層之過度蝕刻時被蝕刻。

之後，蝕刻絕緣層 817 之暴露部分。第一單晶矽層 806 和第二單晶矽層 808 之部分成為矽化物（第 9A 和 9B 圖）。

絕緣層 817 留在側壁絕緣層 820 和閘極電極 816 之間、側壁絕緣層 820 和第一單晶矽層 806 之間、以及側壁絕緣層 820 和第二單晶矽層 808 之間。因此，第一單晶矽層 806 和第二單晶矽層 808 係在其中第一單晶矽層 806 和第二單晶矽層 808 未與側壁絕緣層 820 和閘極電極 816 重疊之區域中暴露。在此例，係暴露形成在第一單晶矽層 806 之高濃度雜質區 834 以及形成在第二單晶矽層 808 之高濃度雜質區 844。

可藉由使單晶矽層與金屬相接觸而完成矽化物之形成。例如，金屬層形成在已暴露第一單晶矽層 806 以及已暴露第二單晶矽層 808 上，且經歷熱處理以被矽化。可藉由濺鍍方法、蒸鍍方法、塗佈方法或其他，使用可藉由利用

矽之反應而矽化之材料，例如金屬元素，如鎳、鈦、鈷、鉑、或其他、或包括上述元素任一者的合金材料而形成金屬層。當使用此金屬元素時，形成矽化鎳、矽化鈦、矽化鈷、或是矽化鉑。可藉由適當控制待被反應的金屬層之膜厚度、熱處理之溫度、時間或其他，而調整待被矽化之區域的形狀、膜厚度和其他。第 9B 圖說明其中矽化物區 835 和矽化物區 845 係分別地設置在形成於第一單晶矽層 806 之高濃度雜質區 834 的頂部層上以及形成在第二單晶矽層 808 之高濃度雜質區 844 的頂部層上之範例。注意的是，本發明並未侷限於此範例，並且可具有其中並未實行矽化物的形成之結構，或是形成在單晶矽層之整體高濃度雜質區被矽化之結構。再者，低濃度雜質區亦可成為矽化物。注意的是，在形成矽化物之後，假如留著未反應之金屬，若需要時，藉由濕蝕刻或乾蝕刻來移除留著的金屬。

藉由這些步驟，形成電晶體 850 和電晶體 860。在第 9B 圖，形成 n 通道電晶體作為電晶體 850，以及形成 p 通道電晶體作為電晶體 860。

之後，在電晶體 850 和電晶體 860 上形成絕緣層 870。接著，選擇性地蝕刻絕緣層 870，以形成開口，該等開口到達形成於第一單晶矽層 806 之高濃度雜質區 834 以及形成於第二單晶矽層 808 之高濃度雜質區 844。形成作為源極電極或汲極電極之導電層 872，以使填充該等開口（第 10A 和 10B 圖）。

藉由 CVD 方法、濺鍍方法、ALD 方法、塗佈方法、

或其他，使用含有氧及／或氮的無機絕緣材料（例如，氧化矽、氮化矽、氧氮化矽、或氮氧化矽）、含有碳（例如，類鑽碳 DLC）的絕緣材料、有機絕緣材料（例如，環氧化物、聚亞醯胺、聚醯胺、聚乙烯酚、苯並環丁烯、或丙烯酸）、或矽氧烷材料（例如，矽氧烷樹脂）來形成絕緣層 870。注意的是，矽氧烷材料對應於具有 Si-O-Si 鍵結的材料。矽氧烷包括矽（Si）和氧（O）的鍵結之骨架結構。作為取代基，使用至少含有氫的有機基團（例如，烷基、或芳香族碳氫化合物）。可選擇地，可使用氟基、或至少含有氫的氟基和有機基團，作為取代基。再者，亦可藉由 CVD 方法、濺鍍方法、或 ALD 方法形成絕緣層且接著在氧氣體環境或氮氣體環境下執行高密度電漿處理於其上，形成絕緣層 870。儘管在此實施例模式，絕緣層 870 具有單層結構作為一範例，絕緣層 870 可具有二或多層的堆疊層結構。可組合無機絕緣層和有機絕緣層以形成絕緣層 870。例如，氮化矽層或氮氧化矽層（其可作為鈍化層）形成在電晶體 850 和電晶體 860 上，並且可形成包括磷矽玻璃（PSG）或硼磷矽玻璃（BPSG）的絕緣層（其可作為鈍化層）在其上。

作為源極電極或汲極電極的導電層 872 經由形成在絕緣層 870 中的開口，電性地連接至第一單晶矽層 806 和第二單晶矽層 808。再者，第一單晶矽層 806 和第二單晶矽層 808 藉由導電層 872 而彼此電性地連接，使得形成 CMOS 電路。第 9B 圖說明其中高濃度雜質區的頂部層成

為矽化物且導電層 872 電性地連接至矽化物區 835 和 845 之範例。因此，可減低作為源極電極或汲極電極之導電層 872 以及作為源極區或汲極區的高濃度雜質區 834 或 844 之間的接觸電阻。

導電層 872 可藉由以下步驟形成：藉由 CVD 方法或濺鍍方法，使用金屬元素，例如：鋁（Al）、鎢（W）、鈦（Ti）、鉭（Ta）、鉬（Mo）、鎳（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、錳（Mn）、鈷（Nd）、碳（C）、或矽（Si）、或含有上述金屬元素之合金材料或化合物材料，在基板的整體表面上形成作為單層或堆疊層之導電層，以及接著選擇性地蝕刻導電層。作為含有鋁的合金材料之範例，可給定含有鋁作為其主要成份和鎳的合金材料、以及含有鋁作為其主要成份、鎳以及碳和矽其中一者或二者的合金材料。再者，可給定含有鎢、矽化鎢的化合物材料作為一範例。導電層 872 可利用（例如）阻障層、鋁-矽層、和阻障層之堆疊結構，或是阻障層、鋁-矽層、氮化鈦層、和阻障層之堆疊層結構。注意的是，阻障層對應於由鈦、鈦的氮化物、鉬、或鉬的氮化物所形成之薄膜。具有低電阻且不貴的鋁以及鋁矽適於形成作為源極電極或汲極電極之導電層。再者，當上部和下部阻障層設置於作為源極電極或汲極電極之導電層時，可避免形成鋁或鋁矽的小丘。

經由這些步驟，可形成 CMOS 電路，其中具有互為不同之導電類型的電晶體彼此電性地連接。

根據此實施例模式，使用根據本發明的 SOI 基板使得採用用於製程的大基板是可行的。因此，可以高產率來製造半導體裝置，例如半導體積體電路和其他。

此實施例模式可與此說明書的其他實施例模式之任一者任意地結合。

實施例模式 3

實施例模式 3 將敘述其中使用實施例模式 1 所製造的 SOI 基板，以形成具有和實施例模式 2 不同之結構的半導體裝置。尤其，將參考第 18A 至 19B 圖敘述半導體裝置，其中絕緣層埋設於半導體層（單晶矽層）之間，作為元件隔離結構。

在第 18A 圖，在基板 10 上形成作為基底絕緣層之絕緣層 12a 和絕緣層 12b（之後，絕緣層 12a 和絕緣層 12b 亦總體地稱為基底絕緣層 12）。絕緣層 12a 形成在基底 10 側上，且絕緣層 12b 形成在單晶矽層 14 側上。絕緣層 12a 和絕緣層 12b 彼此接合，使得固定單晶矽層 14 和基板 10。將單晶矽層 14 接合至基板 10 係以如同實施例模式 1 之相似方法來完成。

氮化矽層 11 和氧化矽層 13 形成在單晶矽層 14 上之各個元件形成區上。氧化矽層 13 用於作為蝕刻單晶矽層 14 時之硬遮罩，用於元件隔離。氮化矽層 11 作為蝕刻停止器。

單晶矽層 14 較佳係為 5 nm 至 30 nm 厚，更為較佳係

10 nm 至 25 nm 厚。爲了要控制臨界電壓，將例如硼、鋁、或鎵的 p 型雜質元素添加至單晶矽層 14。例如，以自 $5 \times 10^{17} \text{ cm}^{-3}$ 至 $1 \times 10^{18} \text{ cm}^{-3}$ （包括在內）之範圍內的濃度來添加作爲 p 型雜質元素的硼。

第 18B 圖說明使用氧化矽層 13 作爲遮罩來蝕刻單晶矽層 14 和基底絕緣層 12 之步驟。氧化矽層 13、氮化矽層 11、單晶矽層 14 和基底絕緣層 12 之已暴露側面藉由電漿處理來氮化。藉由此氮化處理，在氧化矽層 13、氮化矽層 11、單晶矽層 14 和基底絕緣層 12 之周圍端部分形成氮化處理層 15。再者，氮化矽層係至少形成在單晶矽層 14 之周圍端部分，作爲氮化處理層 15。形成在單晶矽層 14 之周圍端部分之氮化矽層具有絕緣特性，且具有避免漏電流在單晶矽層 14 之端部分流動之功能。再者，氮化矽層具有對氧化之抗蝕性，且可避免由於來自藉由單晶矽層 14 和基底絕緣層 12 之間的端部分之氧化物膜的生長，而導致「鳥嘴」的形成。

第 18C 圖說明沈積元件隔離絕緣層 19 之步驟。使用 TEOS 作爲源極氣體，藉由 CVD 方法，自氧化矽層形成元件隔離絕緣層 19。元件隔離絕緣層 19 係形成爲足夠覆蓋單晶矽層 14 之厚度。

第 18D 圖說明移除元件隔離絕緣層 19 之步驟，以使暴露氮化矽層 11。此移除步驟可藉由乾蝕刻或化學機械拋光來實行。氮化矽層 11 作爲蝕刻停止器。元件隔離絕緣層 19 留著，以使埋設於單晶矽層 14 之間。稍後，移除氮

化矽層 11。

在第 18E 圖，在暴露單晶矽層 14 之後，形成閘極絕緣層 16、閘極電極 25、和側壁絕緣層 28，以形成第一雜質區 18 和第二雜質區 17。絕緣層 27 係自氮化矽形成，且用於作為蝕刻閘極電極 25 之硬遮罩。

在第 19A 圖，形成層間絕緣層 32。作為層間絕緣層 32，形成硼磷矽酸鹽玻璃（硼磷矽玻璃，BPSG）膜，並藉由回流製程來平面化。可選擇地，可使用 TEOS（四乙氧基矽烷）作為源極氣體而形成氧化矽層，且可藉由化學機械拋光製程來平面化。在閘極電極 25 上的絕緣層 27 作為平面化製程中的蝕刻停止器。形成接觸孔 33 在層間絕緣層 32。接觸孔 33 由於側壁絕緣層 28 而具有自對準結構。

之後，如第 19B 圖所述，藉由 CVD，使用六氟化鎢而形成接觸栓 36。再者，形成絕緣層 41 且在接觸栓 36 上方的位置形成開口，以形成佈線 38。佈線 38 各自利用鋁或鋁合金來形成，且具有阻障金屬，例如：鉬、鉻、或鈦，作為頂部或底部層。

以此方式，可在具有絕緣表面的基板上形成包括單晶矽層的場效電晶體。根據此實施例模式，藉由使用在實施例模式 1 所形成的大面積 SOI 基板，在形成電路圖案（例如半導體積體電路或其他）時，藉由使用大面積基板，可一次實行製程，使得可增加產率。再者，自複數個單晶矽薄膜形成 SOI 基板。各個單晶矽基板的尺寸被設定約為曝

光設備的一照射區的尺寸之整數倍，並且導致可增加半導體裝置（例如半導體積體電路或其他）之製造。

此實施例模式可與此說明書的其他實施例模式之任一者任意地結合。

實施例模式 4

實施例模式 4 將參考圖式敘述 CPU 之範例，其係為使用根據本發明之 SOI 基板的半導體裝置之範例。

如第 13 圖所示的 CPU 3660 主要包括在基板 3600 上之算術邏輯單元（ALU）3601、ALU 控制器 3602、指令解碼器 3603、中斷控制器 3604、時序控制器 3605、暫存器 3606、暫存器控制器 3607、匯流排介面（匯流排 I/F）3608、可重寫 ROM 3609、以及 ROM 介面（ROM I/F）3620。ROM 3609 以及 ROM 介面 3620 可設置在不同晶片上。包括在 CPU 3660 中之各種電路可藉由使用如實施例模式 2 和 3 中任一者所述之電晶體而形成，或是藉由組合電晶體而形成的 nMOS 電晶體、pMOS 電晶體、CMOS 電晶體、或其他而形成。

注意的是，如第 13 圖所示的 CPU 3660 僅為其中 CPU 的結構被簡化之範例，且實際 CPU 依據用途而具有寬種類的結構。因此，本發明所應用之 CPU 的結構並不侷限於如第 13 圖所示之結構。

經由匯流排介面 3608 而輸入至 CPU 3660 之指令被輸入至指令解碼器 3603 並在其中解碼，且接著被輸入至

ALU 控制器 3602、中斷控制器 3604、暫存器控制器 3607、和時序控制器 3605。

ALU 控制器 3602、中斷控制器 3604、暫存器控制器 3607、和時序控制器 3605 基於已解碼之指令執行各種控制。尤其，ALU 控制器 3602 產生控制 ALU 3601 之驅動的信號。當 CPU 3660 正執行程式時，中斷控制器 3604 基於其優先順序或遮罩狀態判斷來自外部輸入／輸出裝置或周圍電路之中斷請求，以及處理該請求。暫存器控制器 3607 產生暫存器 3606 之位址，並且根據 CPU 之狀態而讀取來自暫存器 3606 之資料或是將資料寫入至暫存器 3606。

時序控制器 3605 產生用於控制 ALU 3601、ALU 控制器 3602、指令解碼器 3603、中斷控制器 3604、和暫存器控制器 3607 之驅動的時序之信號。例如，時序控制器 3605 設置有內部時脈產生器，用於基於參考時脈信號 CLK1 (3621) 產生內部時脈信號 CLK2 (3622)，且供應內部時脈信號 CLK2 至上述各種電路。

此實施例模式已敘述其中半導體裝置應用於 CPU 之範例，然而此範例並非限制性的，且在上述實施例模式中所獲得之半導體裝置可應用於顯示裝置（包括有機發光元件、無機發光元件、液晶顯示元件或其他）的像素部、驅動器電路、和其他。再者，可藉由應用本發明而製造相機（例如數位相機）、音訊再生裝置（例如汽車音響）、膝上型個人電腦、遊戲機、可攜式資訊終端（手機、可攜式

遊戲機和其他)、設置有記錄媒體之影像再生裝置(例如家用遊戲機)、和其他。

使用根據本發明之 SOI 基板而製造此實施例模式的半導體裝置。因此,可利用高產率製造半導體並且可達成成本縮減。

此實施例模式可與此說明書的其他實施例模式之任一者任意地結合。

實施例模式 5

在此實施例模式中,將敘述使用根據本發明之 SOI 基板而形成之半導體裝置之用途模式的範例。尤其,以下將參照圖式而敘述可輸入資料至其中/自其中輸出資料而不需接觸的半導體裝置之應用範例。可輸入資料至其中/自其中輸出資料而不需接觸的半導體裝置依據用途模式亦稱為 RFID 標籤、ID 標籤、IC 標籤、IC 晶片、RF 標籤、無線標籤、電子標籤、或無線晶片。

參考第 14A 圖敘述如此實施例模式所述之半導體裝置之頂部結構的範例。如第 14A 圖所示之半導體裝置 2180 包括積體電路 2131(包括複數個元件,例如電晶體,用於形成記憶體部和邏輯部)、和作為天線之用的導電層 2132。作為天線之用的導電層 2132 電性地連接至積體電路 2131。如實施例模式 2 和 3 中任一者所述之電晶體可應用於積體電路 2131。

第 14 圖之概要橫剖面視圖係如第 14B 和 14C 圖所示

。作為天線之用的導電層 2132 可設置在用於形成記憶體部和邏輯部的複數個元件之上方；例如，作為天線之用的導電層 2132 可設置在上述實施例模式中包括電晶體之積體電路 2131（其具有插設於其間的絕緣層 2130）的上方（第 14B 圖）。可選擇地，作為天線之用的導電層 2132 可分開地設置在基板 2133 之上方，且接著基板 2133 和積體電路 2131 可彼此附接，以使夾住位於其間的導電層 2132（第 14C 圖）。第 14C 圖係顯示其中設置於絕緣層 2130 上的導電層 2136 以及作為天線之用的導電層 2132，藉由包含在黏著樹脂 2135 中的導電粒子 2134 而彼此電性地連接之範例。

注意的是，儘管在此實施例模式中係敘述其中作為天線之用的導電層 2132 係以線圈之形狀設置且係利用電磁誘導方法或電磁耦合方法之範例，本發明之半導體裝置並不侷限於此，且亦可利用微波方法。針對微波方法之例子，可依據電磁波的波長而適當地決定作為天線之用的導電層 2132 的形狀。

例如，當利用微波方法，例如，藉由 UHF 頻帶（在 860 至 960 MHz 之範圍）、2.45 GHz 之頻帶、或其他，作為半導體裝置 2180 之信號傳遞方法時，可考量使用於傳送信號之電磁波的波長而適當地設定作為天線之用的導電層之形狀（例如長度）。例如，作為天線之用的導電層可形成為直線的形狀（例如，雙極天線，第 15A 圖）、形成為平坦形狀（例如，片狀天線，第 15B 圖）、形成為帶的

形狀（第 15C 和 15D 圖），或其他。再者，作為天線之用的導電層 2132 之形狀並不侷限於直線，並且考量電磁波的波長，導電層可具有曲線形狀，亦可設置蜿蜒曲線形狀或將其結合的形狀。

作為天線之用的導電層 2132 係藉由 CVD 方法、濺鍍方法、印刷法（例如，絲網印刷法或凹版印刷法）、液滴排放方法、施配法、電鍍法、或其他，而由導電材料而形成。作為導電材料，係使用金屬元素，例如鋁（Al）、鈦（Ti）、銀（Ag）、銅（Cu）、金（Au）、白金（Pt）、鎳（Ni）、鈀（Pd）、鉭（Ta）、鉬（Mo）和其他，或是包括上述金屬元素之任一者的合金材料或化合物材料之中的任一者作為其主要成份，且導電層 2132 利用單層結構或堆疊層結構。

例如，當作為天線之用的導電層 2132 係藉由絲網印刷法而形成時，其可藉由選擇性地印刷導電糊劑而提供，在該導電糊劑中，具有數 nm 至數十 nm 的微粒直徑之導電粒子被散佈在有機樹脂中。作為導電粒子，可使用金屬粒子，例如銀（Ag）、金（Au）、銅（Cu）、鎳（Ni）、白金（Pt）、鈀（Pd）、鉭（Ta）、鉬（Mo）、鈦（Ti）和其他；銀鹵化物之細微粒子；或是此等材料的散佈性奈米粒子之中的至少一者。再者，作為包括在導電糊劑中之有機樹脂，可使用作為黏接劑、溶劑、散佈劑、和金屬粒子的塗佈材料之用的有機樹脂之中的一或多個。通常，可給定有機樹脂，例如環氧樹脂和矽氧烷樹脂作為範例。

再者，在形成導電層時，較佳係為在設置它之後將導電糊劑烘烤。例如，針對使用含有銀作為其主要成份的細微粒子（例如，具有 1 至 100 nm 之微粒直徑，包括在內）作為導電糊劑之材料的例子，可藉由在從 150 至 300℃ 之範圍中的溫度下將導電糊劑烘烤以將之硬化，而形成導電層。可選擇地，可使用含有焊錫或無鉛焊錫作為其主要成份之細微粒子。在此例中，較佳係使用具有小於或等於 20 μm 的微粒直徑之細微粒子。焊錫或無鉛焊錫具有低成本之優點。

根據此實施例模式之半導體裝置係使用根據本發明之 SOI 基板而形成。因此，可利用高產率形成半導體裝置且可達成製造成本的減低。再者，如同在此實施例模式，此實施例模式之半導體裝置可應用於小型半導體裝置（其可無線地輸入和輸出資料）之製造。

之後，敘述根據此實施例模式之半導體裝置的操作範例。

半導體裝置 2180 具有不需接觸而交換資料之功能，且包括高頻電路 81、電力源電路 82、重設電路 83、時脈產生電路 84、資料解調變電路 85、資料調變電路 86、用於控制其他電路之控制電路 87、記憶體電路 88、和天線 89（第 16A 圖）。高頻電路 81 接收來自天線 89 之信號，且接著經由天線 89 而輸出自資料調變電路 86 所接收之信號。電力源電路 82 從已接收信號產生電力源電位。重設電路 83 產生重設信號。時脈產生電路 84 基於從天線 89

所輸入之已接收信號而產生各種時脈信號。資料解調變電路 85 解調變已接收信號並將之輸出至控制電路 87。資料調變電路 86 調變自控制電路 87 所接收之信號。作為控制電路 87，例如，提供碼擷取電路 91、碼判斷電路 92、CRC 判斷電路 93、和輸出單元電路 94。注意的是，碼擷取電路 91 擷取包括在傳送至控制電路 87 之指令中的複數個碼之各個。碼判斷電路 92 藉由比較各個擷取碼以及參考碼而判斷指令之內容。CRC 判斷電路 93 基於判斷碼而偵測是否存有傳輸錯誤或其他。在第 16A 圖，除了控制電路 87 以外，包括高頻電路 81 和電力源電路 82（其為類比電路）。

之後，敘述上述半導體裝置之操作的範例。首先，藉由天線 89 接收無線信號，且接著經由高頻電路 81 而傳送至電力源電路 82，使得產生高電力源電位（之後，稱為 VDD）。VDD 提供至半導體裝置 2180 中之電路。經由高頻電路 81 傳送至資料解調變電路 85 之信號被解調變（之後，此信號稱為解調變信號）。再者，經由高頻電路 81 而通過重設電路 83 和時脈產生電路 84 之信號，以及解調變信號被傳送至控制電路 87。傳送至控制電路 87 之信號藉由碼擷取電路 91、碼判斷電路 92、CRC 判斷電路 93、和其他來分析。接著，基於已分析之信號，輸出儲存在記憶體電路 88 中之半導體裝置之資訊。半導體裝置之輸出資訊經由輸出單元電路 94 來編碼。再者，半導體裝置 2180 之已編碼資訊通過資料調變電路 86，且接著自天線

89 傳送，作為無線信號。注意的是，低電力源電位（之後稱為 VSS）係為包括在半導體裝置 2180 之複數個電路所共有的，且可使用 GND 作為 VSS。

以此方式，藉由傳送來自通訊單元（例如，讀取器／寫入器，或是具有讀取器或寫入器之功能的單元）之信號至半導體裝置 2180，且藉由讀取器／寫入器接收自半導體裝置 2180 所傳送之信號，可讀取半導體裝置之資料。

再者，在半導體裝置 2180，電力源電壓可藉由電磁波而提供至各個電路，不需提供電力源（電池），或是可設置電力源（電池），使得電力源藉由電磁波和電力源（電池）二者而被提供至各個電路。

之後，敘述可輸入資料至其中／自其中輸出資料而不需接觸的半導體裝置之用途模式的範例。包括顯示部 3210 之行動終端的側表面設置有通訊單元 3200，且產品 3220 之側表面設置有半導體裝置 3230（第 16B 圖）。注意的是，通訊單元 3200 具有如同讀取器／寫入器之讀取和傳輸信號之功能，或是僅具有讀取信號或傳輸信號之功能。當通訊單元 3200 固持於包括在產品 3220 之半導體裝置 3230 上時，顯示部 3210 顯示產品上之資訊，例如，原始材料、起源地、針對各生產步驟之檢測結果、配送處理之歷史、產品之描述、或其他。再者，當藉由輸送帶而傳遞產品 3260 時，藉由使用通訊單元 3240 以及針對產品 3260 所設置之半導體裝置 3250，可檢測產品 3260（第 16C 圖）。作為半導體裝置 3230 和 3250，可應用上述半導體裝

置 2180。以此方式，藉由使用根據本發明之半導體裝置用於該系統，可輕易地獲得資訊，且達成較高性能和高附加價值。再者，由於可達成用於製造半導體裝置之成本上的減低，亦可低成本地實行產品之檢測的系統。

注意的是，根據本發明之半導體裝置的可應用範圍是廣的，除了上述以外，且半導體裝置可應用於任何產品，只要其不需接觸而闡明物體之資訊，例如其歷史，且對於生產、管理、或其他是有用處的。例如，半導體裝置可提供給鈔票、銅板、有價證券、憑證、不記名債券、包裝容器、書、記錄媒體、個人物品、車、食物、衣服、健康產品、日用品、醫療用品、電子裝置、和其他。其範例係參照第 17A 至 17H 圖來敘述。

鈔票和銅板係為分佈在市場上的錢，且包括在特定區域有效的一者（現金憑單）、紀念幣、和其他。有價證券意指支票、憑證、本票、和其他（第 17A 圖）。憑證意指驅動程式的執照、駐留憑證、和其他（第 17B 圖）。不記名債券意指郵票、米券、各種禮物憑證、和其他（第 17C 圖）。包裝容器意指用於食物容器的包覆紙和其他、塑膠瓶、和其他（第 17D 圖）。書意指精裝本、平裝本、和其他（第 17E 圖）。記錄媒體意指 DVD 軟體、錄影帶、和其他（第 17F 圖）。車意指有輪子的車（例如腳踏車）、船、和其他（第 17G 圖）。個人物品意指袋子、眼鏡、和其他（第 17H 圖）。食物意指食品、飲料、和其他。衣服意指衣服、襪子、和其他。健康產品意指醫療儀器、健康

儀器、和其他。日用品意指家具、照明設備、和其他。醫療用品意指醫療產品、殺蟲劑、和其他。電子裝置意指液晶顯示裝置、EL 顯示裝置、電視裝置（電視組和平面電視組）、手機、和其他。

藉由提供半導體裝置 2180 給鈔票、銅板、有價證券、憑證、不記名債券、或其他，可避免偽造。再者，藉由提供半導體裝置 2180 給包裝容器、書、記錄媒體、個人物品、食物、日用品、電子裝置、或其他，可改善檢測系統、用於出租店之系統、或其他之效能。藉由提供半導體裝置 2180 車、健康產品、醫療用品、或其他，可避免偽造或偷竊；且針對醫療用品之例子，可避免醫療用品錯誤地取用。半導體裝置 2180 可附接至表面或埋設在物體中。例如，針對書之例子，半導體裝置 2180 可埋設在紙；且針對有機樹脂所製成的封裝之例子，半導體裝置 2180 可埋設在有機樹脂中。

如上所述，藉由提供半導體裝置給包裝容器、記錄媒體、個人物品、食物、衣服、日常用品、電子裝置、或其他，可改善檢測系統、用於出租店之系統、或其他之效能。再者，藉由提供半導體裝置給車或其他，可避免其偽造和偷竊。再者，藉由在生物（例如，動物）中注入半導體裝置，可輕易地識別不同的生物。例如，藉由注入／附接具有感測器的半導體裝置至生物（例如，家畜），可輕易地管理其健康狀況（例如目前體溫）、以及其出生年、性別、品種、或其他。

此實施例模式可與此說明書的其他實施例模式之任一者任意地結合。

此申請案基於 2007 年 3 月 26 日在日本專利局所申請之日本專利申請案序號 No. 2007-079762，其整體內容藉由參照而併入於此。

【圖式簡單說明】

在伴隨之圖式中：

第 1 圖係為根據本發明一態樣的 SOI 基板結構的範例之透視圖；

第 2A 和 2B 圖說明根據本發明一態樣的 SOI 基板的製造方法之範例；

第 3A 至 3D 圖說明根據本發明一態樣的 SOI 基板的製造方法之範例；

第 4A 和 4B 圖係為根據本發明一態樣的 SOI 基板之製造方法的透視圖；

第 5A 和 5B 圖係為根據本發明一態樣的 SOI 基板之製造方法的透視圖；

第 6A 和 6B 圖說明根據本發明一態樣的半導體裝置之製造方法的範例；

第 7A 和 7B 圖說明根據本發明一態樣的半導體裝置之製造方法的範例；

第 8A 和 8B 圖說明根據本發明一態樣的半導體裝置之製造方法的範例；

第 9A 和 9B 圖說明根據本發明一態樣的半導體裝置之製造方法的範例；

第 10A 和 10B 圖說明根據本發明一態樣的半導體裝置之製造方法的範例；

第 11 圖係為根據本發明一態樣的 SOI 基板結構的範例之透視圖；

第 12 圖說明電漿處理設備的結構之範例；

第 13 圖係為顯示根據本發明一態樣的半導體裝置之範例的方塊圖；

第 14A、14B 和 14C 圖係為顯示根據本發明一態樣的半導體裝置之範例的頂視圖和橫剖面圖；

第 15A 至 15D 圖說明可被應用於根據本發明一態樣的半導體裝置之天線；

第 16A、16B 和 16C 圖係為根據本發明一態樣的半導體裝置之範例的方塊圖，以及各自顯示半導體裝置之應用範例的圖式；

第 17A 至 17H 圖係為顯示根據本發明一態樣的半導體裝置之應用範例；

第 18A 至 18E 圖說明根據本發明一態樣的半導體裝置之製造方法的範例；以及

第 19A 和 19B 圖說明根據本發明一態樣的半導體裝置之製造方法的範例。

【主要元件符號說明】

- 10：基板
- 11：氮化矽層
- 12：基底絕緣層
- 12a：絕緣層
- 12b：絕緣層
- 13：氧化矽層
- 14：單晶矽層
- 15：氮化處理層
- 16：閘極絕緣層
- 17：雜質區
- 18：雜質區
- 19：元件隔離絕緣層
- 25：閘極電極
- 27：絕緣層
- 28：側壁絕緣層
- 32：層間絕緣層
- 33：接觸孔
- 36：接觸栓
- 38：佈線
- 41：絕緣層
- 81：高頻電路
- 82：電力源電路
- 83：重設電路
- 84：時脈產生電路

- 85：資料解調變電路
- 86：資料調變電路
- 87：控制電路
- 88：記憶體電路
- 89：天線
- 91：碼擷取電路
- 92：碼判斷電路
- 93：CRC 判斷電路
- 94：輸出單元電路
- 100：SOI 基板
- 101：單晶矽基板
- 102：單晶矽基板
- 104：氫離子
- 106：脆化層
- 108：單晶矽層
- 110：單晶矽薄膜
- 120：絕緣層
- 130：堆疊體
- 150：基板
- 200：第一曝光範圍
- 202：第二曝光範圍
- 204：第三曝光範圍
- 206：第四曝光範圍
- 800：基底

802 : 絕緣層

804 : 絕緣層

806 : 第一單晶矽層

808 : 第二單晶矽層

810 : 閘極絕緣層

812 : 導電層

814 : 導電層

816 : 閘極電極

817 : 絕緣層

820 : 側壁絕緣層

830 : 通道形成區

831 : 雜質區

832 : 低濃度雜質區

834 : 高濃度雜質區

835 : 矽化物區

840 : 通道形成區

841 : 雜質區

842 : 低濃度雜質區

844 : 高濃度雜質區

845 : 矽化物區

850 : 電晶體

860 : 電晶體

870 : 絕緣層

872 : 導電層

1010：物 體
 1080：電 漿 處 理 設 備
 1082：介 電 板
 1084：氣 體 供 應 部
 1086：排 氣 埠
 1088：支 承 物
 1090：溫 度 控 制 器
 1092：高 頻 波 供 應 部
 1094：電 漿
 1098：天 線
 2130：絕 緣 層
 2131：積 體 電 路
 2132：導 電 層
 2133：基 板
 2134：導 電 粒 子
 2135：樹 脂
 2136：導 電 層
 2180：半 導 體 裝 置
 3200：通 訊 單 元
 3210：顯 示 部
 3220：物 件
 3230：半 導 體 裝 置
 3240：通 訊 單 元
 3250：半 導 體 裝 置

3260：產品

3600：基板

3601：算術邏輯單元

3602：ALU 控制器

3603：指令解碼器

3604：中斷控制器

3605：時序控制器

3606：暫存器

3607：暫存器控制器

3608：匯流排介面

3609：ROM

3620：ROM 介面

3660：CPU

十、申請專利範圍

1. 一種 SOI 基板的製造方法，包含以下步驟：

(A) 自第一基板至第二基板切割第一單晶矽基板以形成第二單晶矽基板，其中該第一基板面向該第二基板，其係為曝光設備之一照射區的尺寸之 n 倍大 (n 為正整數， $n \geq 1$)；

(B) 形成絕緣層在該第二單晶矽基板之一表面上，以及形成脆化層在該第二單晶矽基板中；以及

(C) 將具有絕緣表面的基板和該第二單晶矽基板利用介於二者間的該絕緣層接合，以及實行熱處理，以沿著該脆化層將該第二單晶矽基板分離，並藉此形成單晶矽薄膜在具有絕緣表面的該基板上。

2. 如申請專利範圍第 1 項所述之 SOI 基板的製造方法，

其中重複步驟 (A)，以形成複數個該第二單晶矽基板，以及

其中針對具有絕緣表面的該基板重複步驟 (B) 和步驟 (C)，以形成複數個該單晶矽薄膜在具有絕緣表面的該基板上。

3. 一種 SOI 基板的製造方法，包含以下步驟：

(A) 自第一基板至第二基板切割第一單晶矽基板以形成第二單晶矽基板，其中該第一基板面向該第二基板，以使滿足下列表示式之一者：

$$0.8X < Y < 1.2X;$$

$$0.9X < Y < 1.1X ;$$

$$0.99X < Y < 1.01X ; \text{ 及}$$

$$0.999X < Y < 1.001X ,$$

其中曝光設備之一照射區的尺寸係為 X ，且該第二單晶矽基板的尺寸係為 Y ；

(B) 形成絕緣層在該第二單晶矽基板之一表面上，以及形成脆化層在該第二單晶矽基板中；以及

(C) 將具有絕緣表面的基板和該第二單晶矽基板利用介於二者間的該絕緣層接合，以及實行熱處理，以沿著該脆化層將該第二單晶矽基板分離，並藉此形成單晶矽薄膜在具有絕緣表面的該基板上。

4. 如申請專利範圍第 3 項所述之 SOI 基板的製造方法，

其中重複步驟 (A)，以形成複數個該第二單晶矽基板，以及

其中針對具有絕緣表面的該基板重複步驟 (B) 和步驟 (C)，以形成複數個該單晶矽薄膜在具有絕緣表面的該基板上。

5. 一種 SOI 基板的製造方法，包含以下步驟：

(A) 形成絕緣層在第一單晶矽基板之一表面上，以及形成脆化層在該第一單晶矽基板中；

(B) 自第一基板至第二基板切割該第一單晶矽基板以形成第二單晶矽基板，其中該第一基板面向該第二基板，其係為曝光設備之一照射區的尺寸之 n 倍大 (n 為正

整數， $n \geq 1$)；以及

(C) 將具有絕緣表面的基板和該第二單晶矽基板利用介於二者間的該絕緣層接合，以及實行熱處理，以沿著該脆化層將該第二單晶矽基板分離，並藉此形成單晶矽薄膜在具有絕緣表面的該基板上。

6. 如申請專利範圍第 5 項所述之 SOI 基板的製造方法，

其中重複步驟 (B)，以形成複數個該第二單晶矽基板，以及

其中針對具有絕緣表面的該基板重複步驟 (C)，以形成複數個該單晶矽薄膜在具有絕緣表面的該基板上。

7. 一種 SOI 基板的製造方法，包含以下步驟：

(A) 形成絕緣層在第一單晶矽基板之一表面上，以及形成脆化層在該第一單晶矽基板中；

(B) 自第一基板至第二基板切割該第一單晶矽基板以形成第二單晶矽基板，其中該第一基板面向該第二基板，以使滿足下列表示式之一者：

$$0.8X < Y < 1.2X;$$

$$0.9X < Y < 1.1X;$$

$$0.99X < Y < 1.01X; \text{ 及}$$

$$0.999X < Y < 1.001X,$$

其中曝光設備之一照射區的尺寸係為 X ，且該第二單晶矽基板的尺寸係為 Y ；以及

(C) 將具有絕緣表面的基板和該第二單晶矽基板利

用介於二者間的該絕緣層接合，以及實行熱處理，以沿著該脆化層將該第二單晶矽基板分離，並藉此形成單晶矽薄膜在具有絕緣表面的該基板上。

8. 如申請專利範圍第 7 項所述之 SOI 基板的製造方法，其中重複步驟（B），以形成複數個該第二單晶矽基板，以及

其中針對具有絕緣表面的該基板重複步驟（C），以形成複數個該單晶矽薄膜在具有絕緣表面的該基板上。

9. 如申請專利範圍第 1、3、5 及 7 項中任一項所述之 SOI 基板的製造方法，其中具有絕緣表面的該基板係為玻璃基板。

10. 一種 SOI 基板，包含：

基底基板；以及

利用介於二者間的絕緣層而形成在該基底基板上的複數個單晶矽薄膜，

其中該複數個單晶矽薄膜之各者的尺寸係滿足下列表示式之一者：

$$0.8X < Y < 1.2X;$$

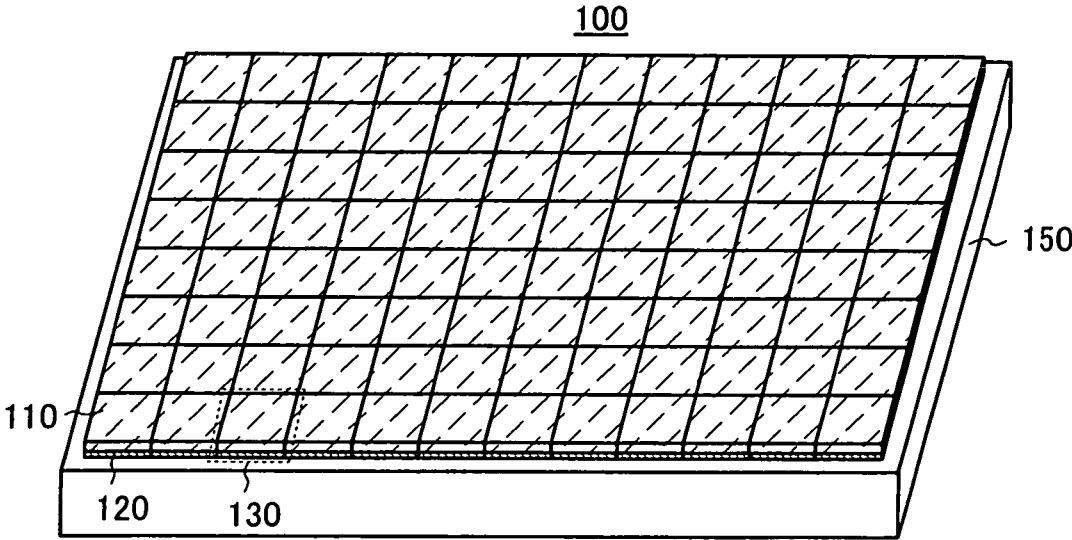
$$0.9X < Y < 1.1X;$$

$$0.99X < Y < 1.01X; \text{ 及}$$

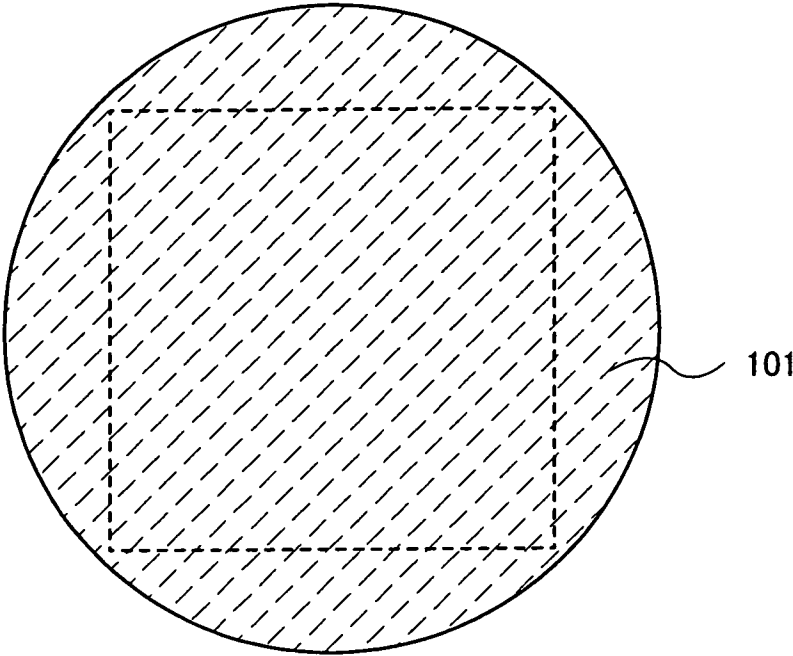
$0.999X < Y < 1.001X$ ，其中曝光設備之一照射區的尺寸係為 X ，且該第二單晶矽基板的尺寸係為 Y 。

11. 如申請專利範圍第 10 項所述之 SOI 基板，其中具有絕緣表面的該基板係為玻璃基板。

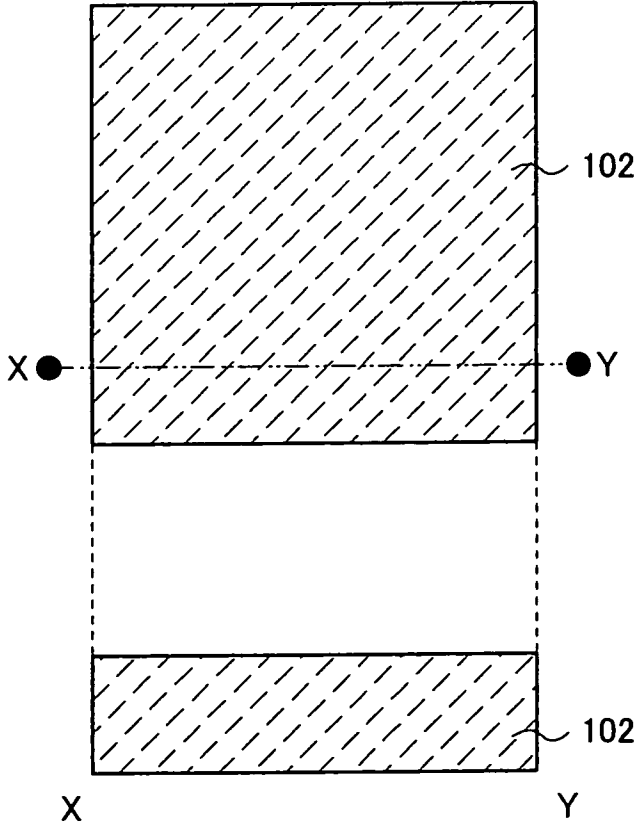
第1圖



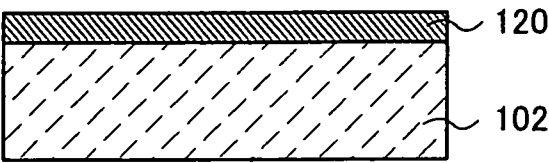
第2A圖



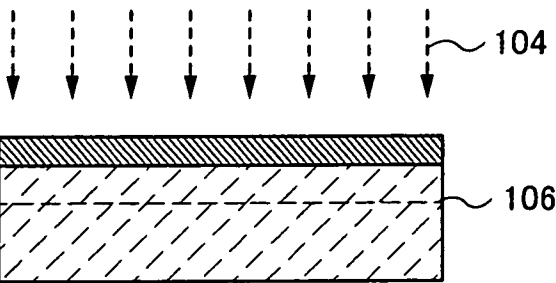
第2B圖



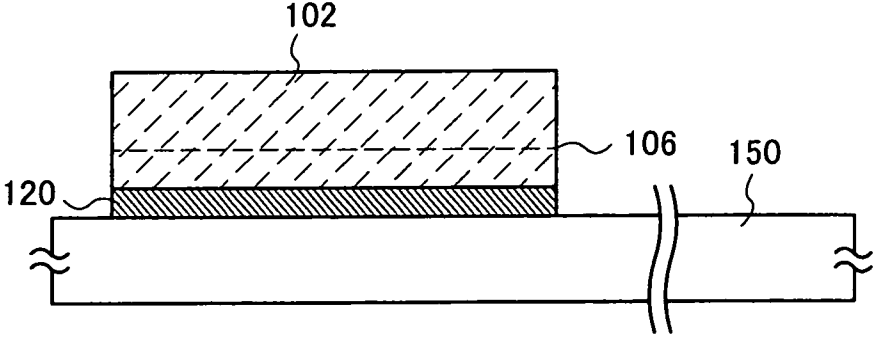
第3A圖



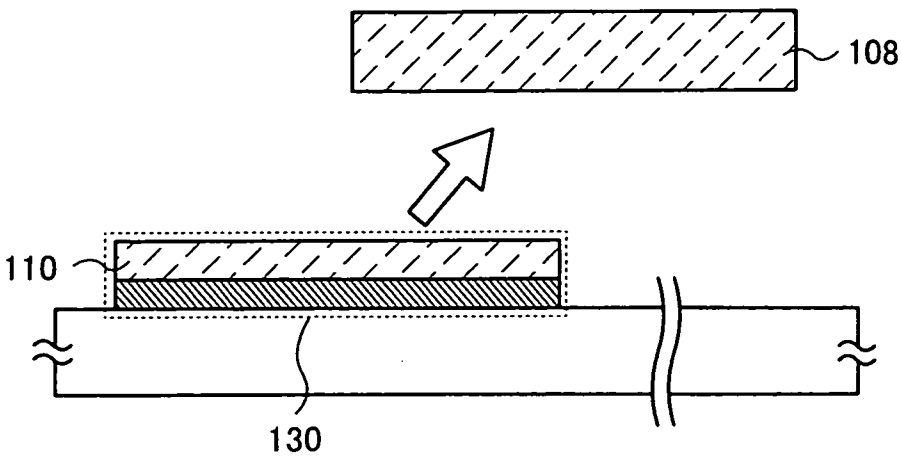
第3B圖



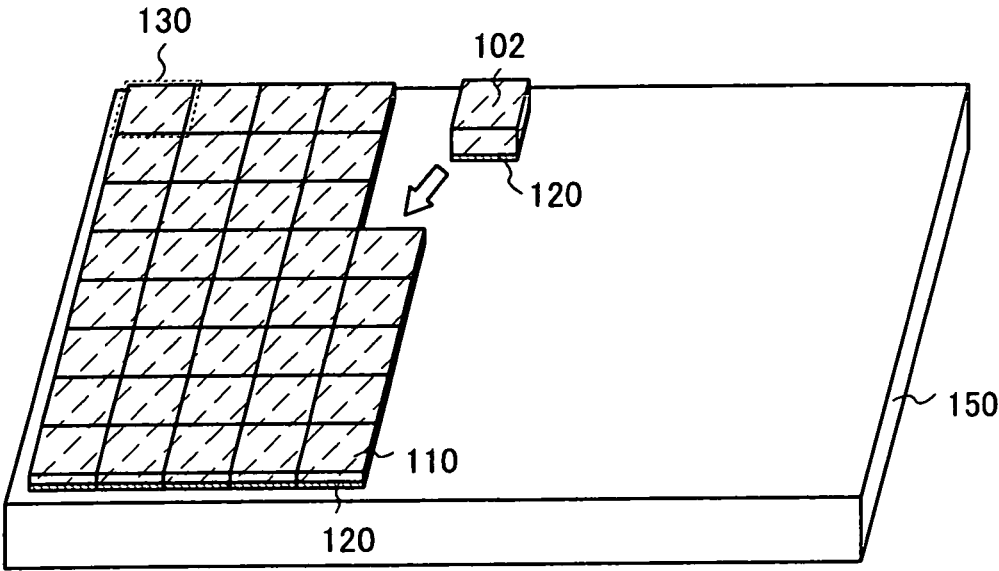
第3C圖



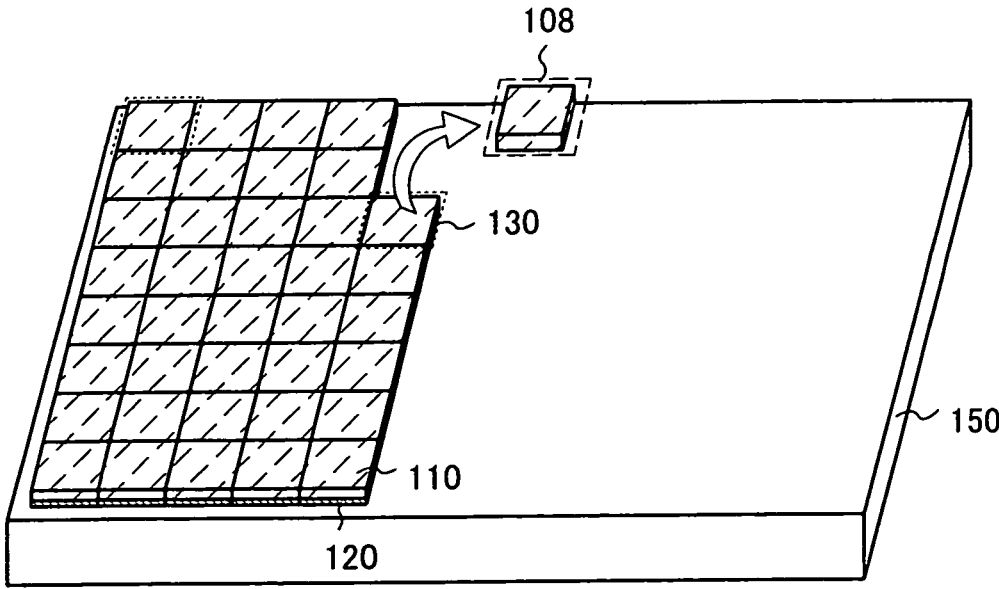
第3D圖



第4A圖



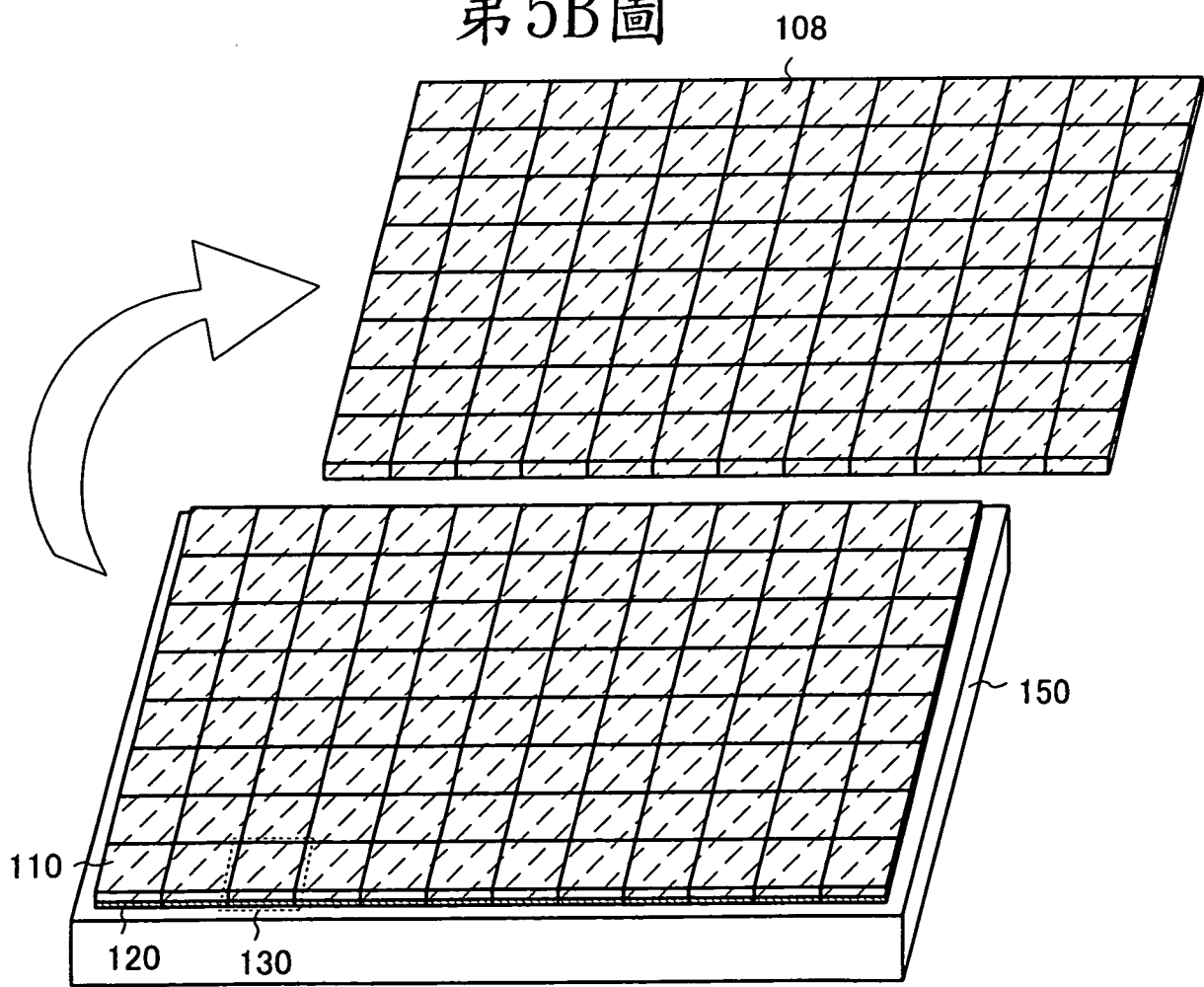
第4B圖



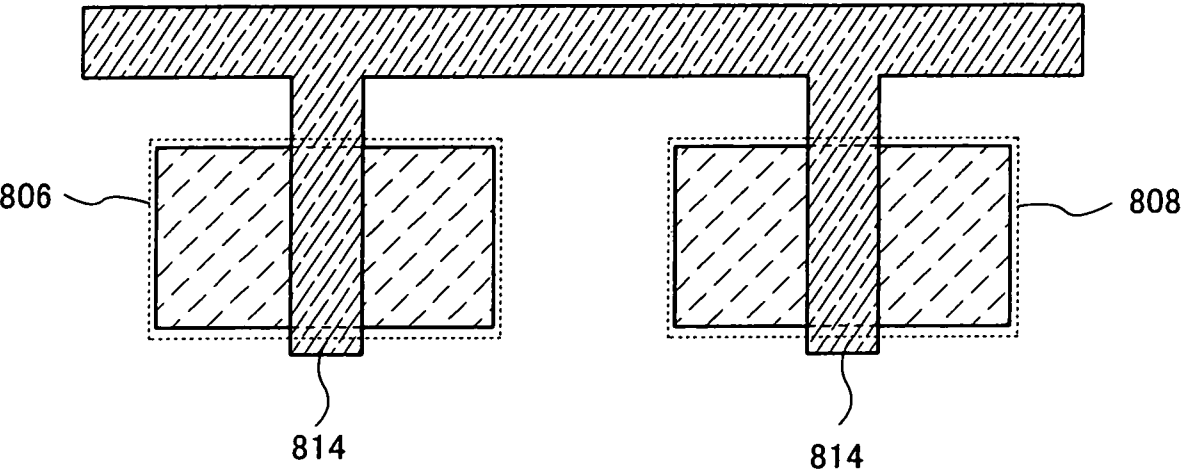
第5A圖



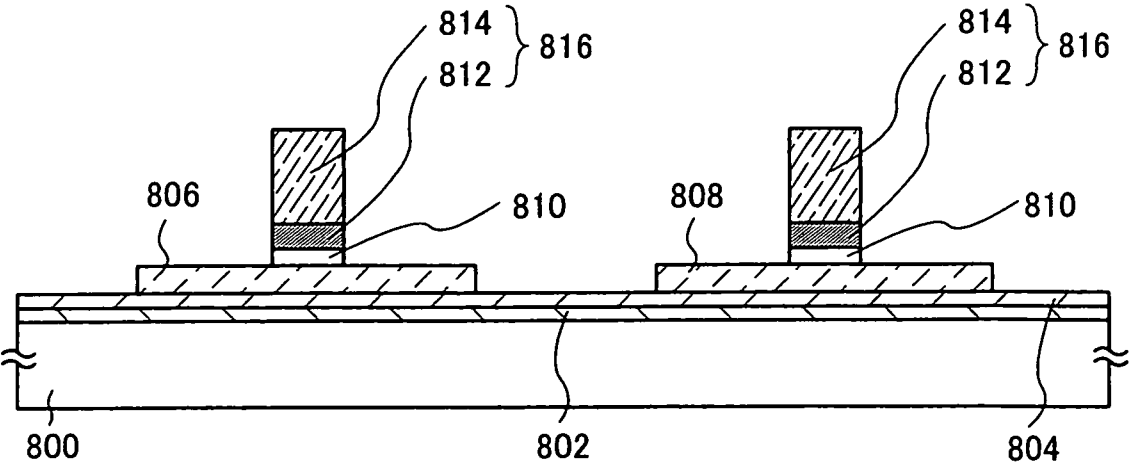
第5B圖



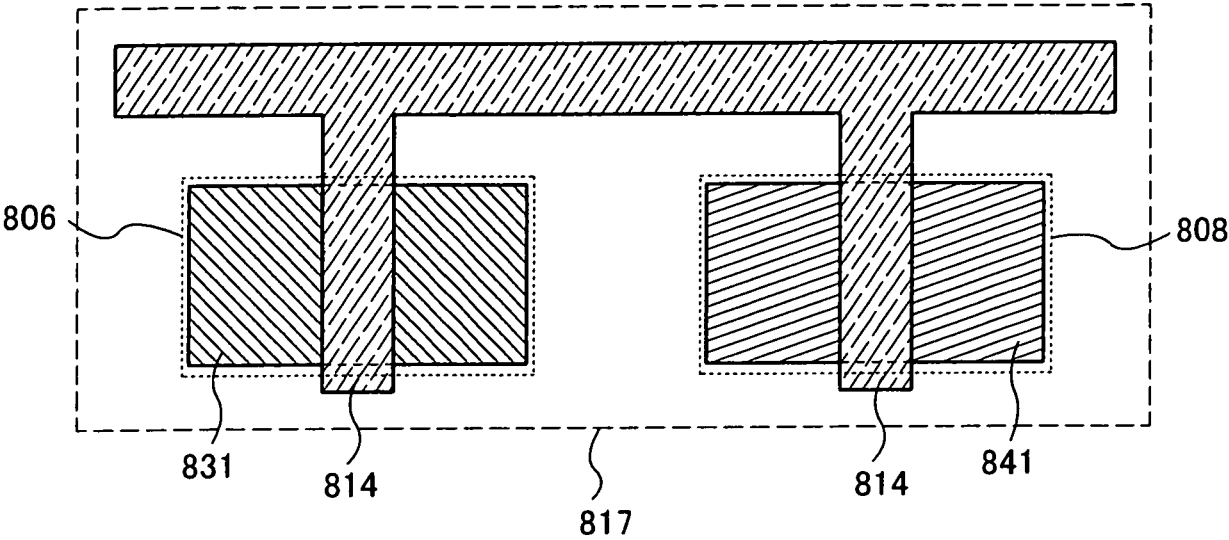
第6A圖



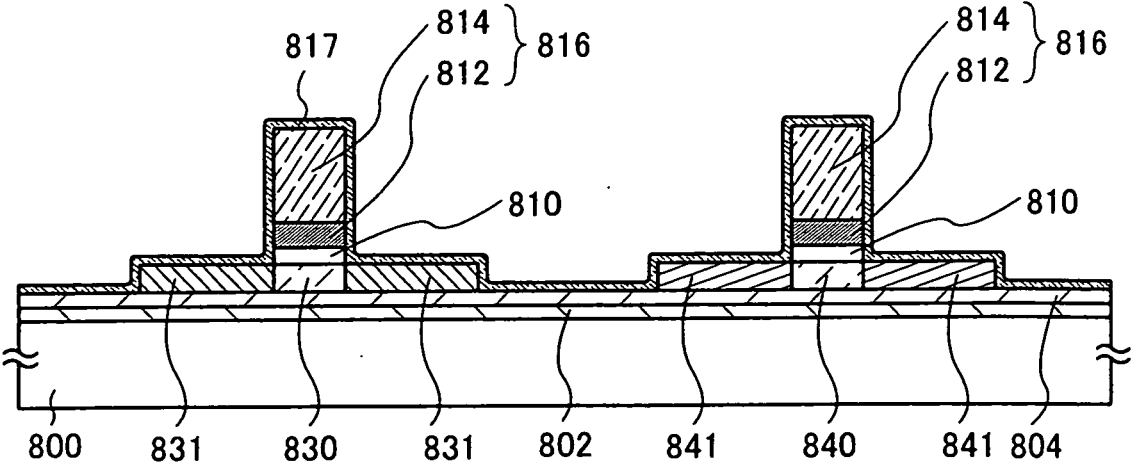
第6B圖



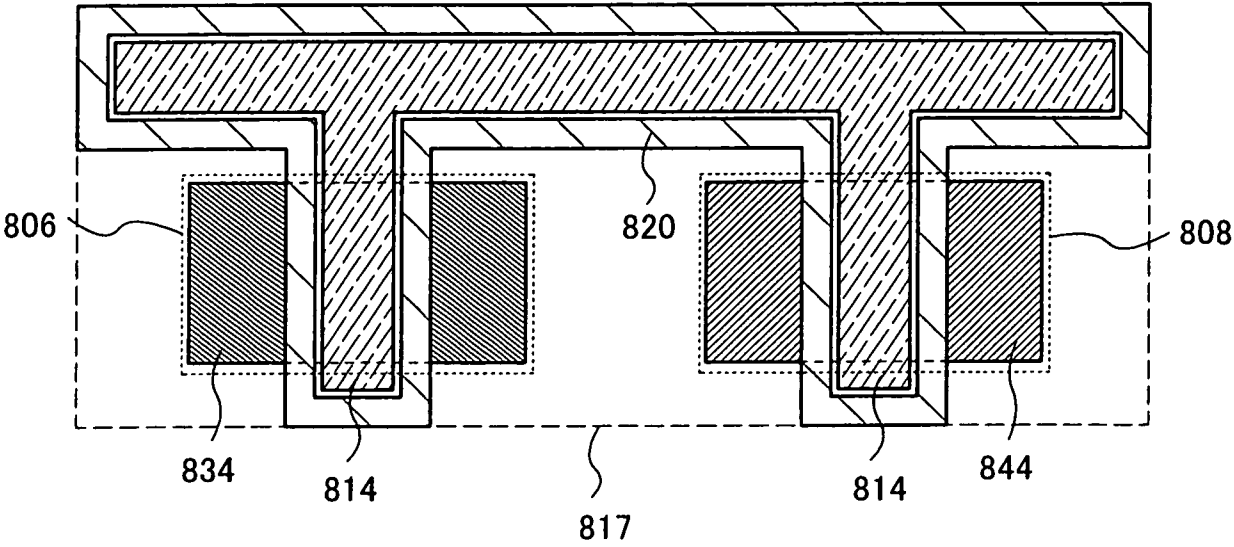
第7A圖



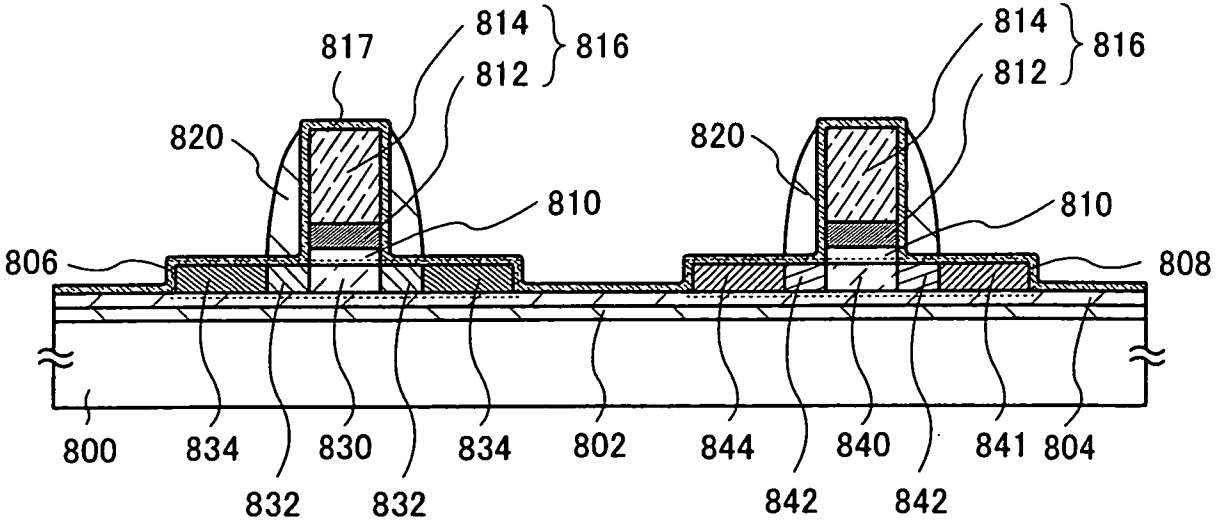
第7B圖



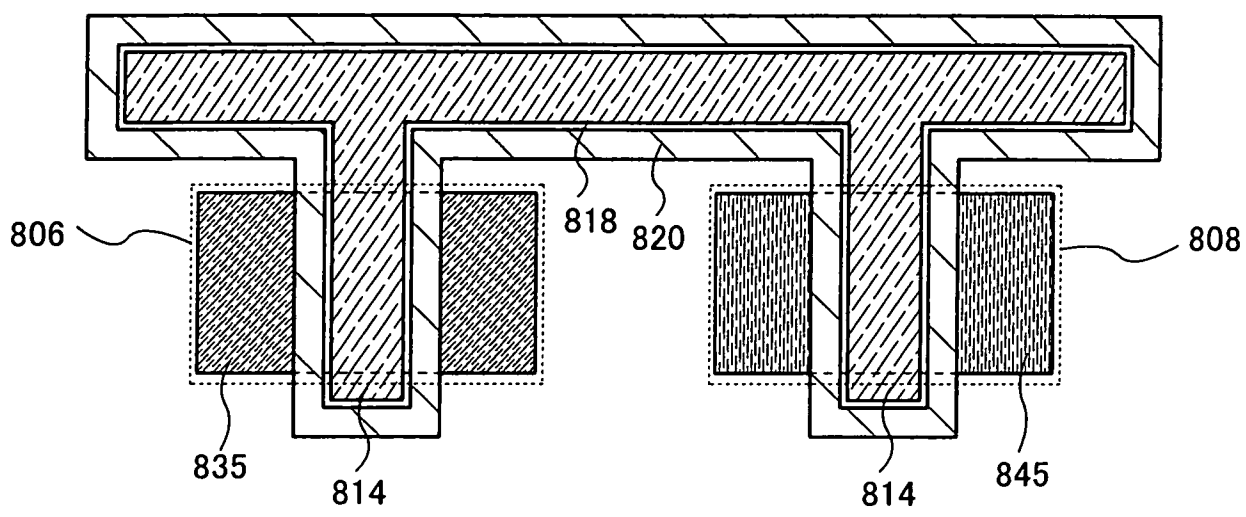
第8A圖



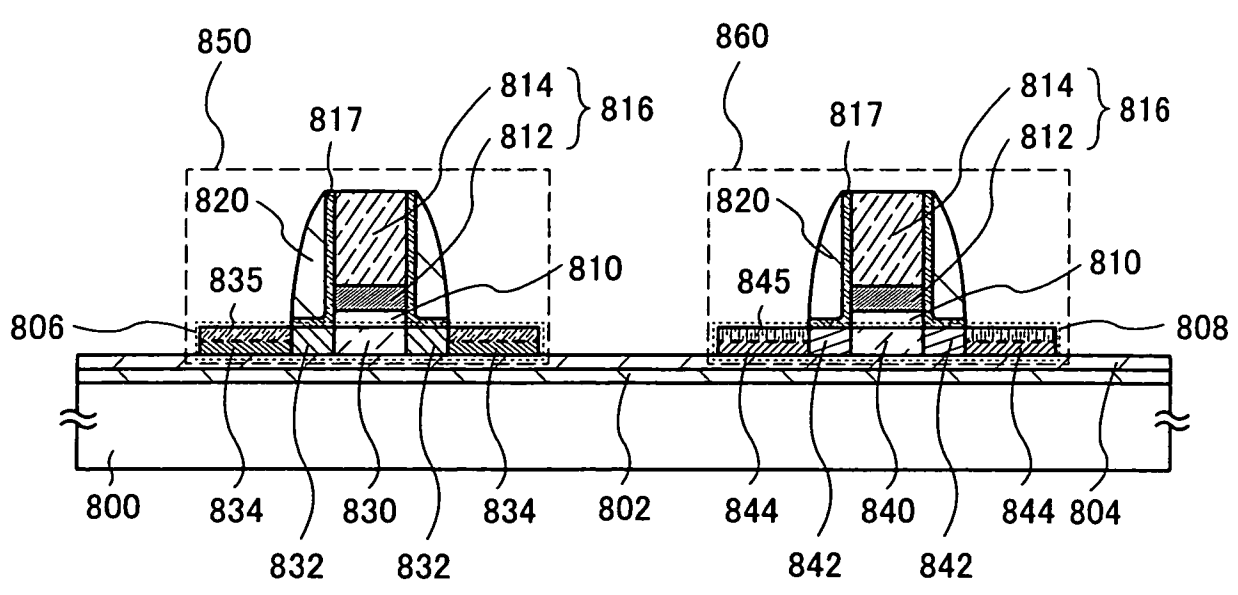
第8B圖



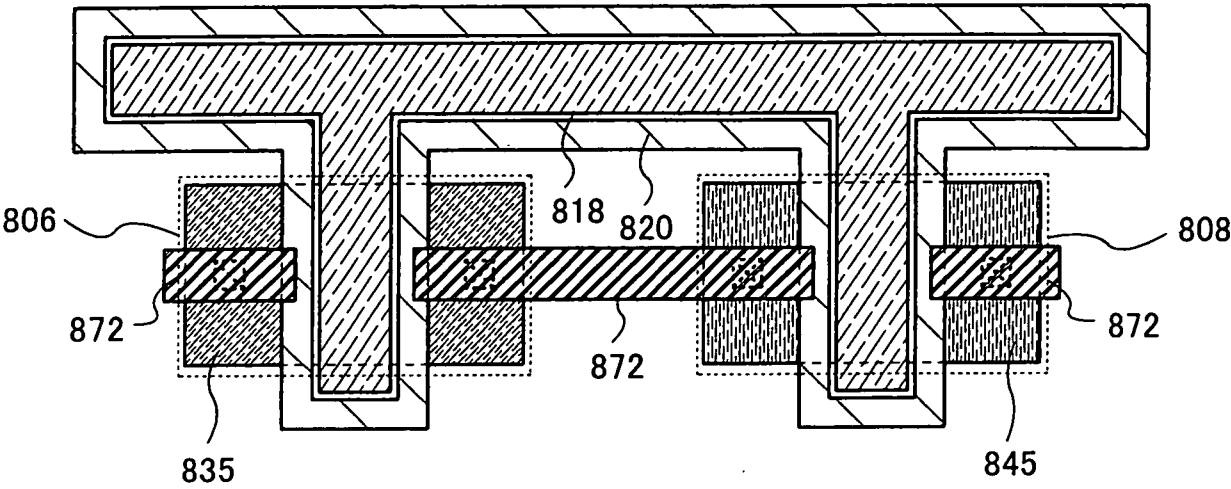
第9A圖



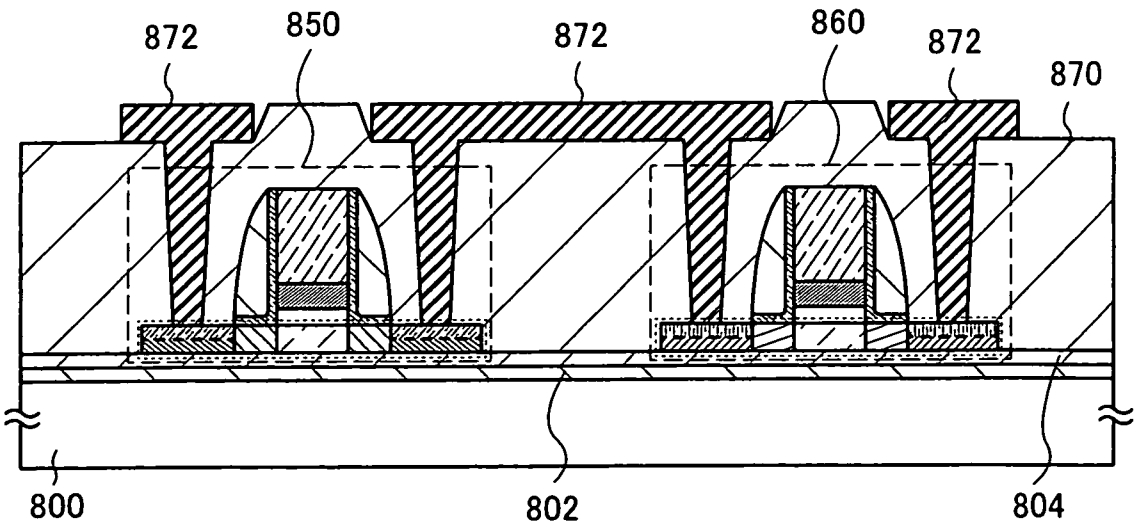
第9B圖



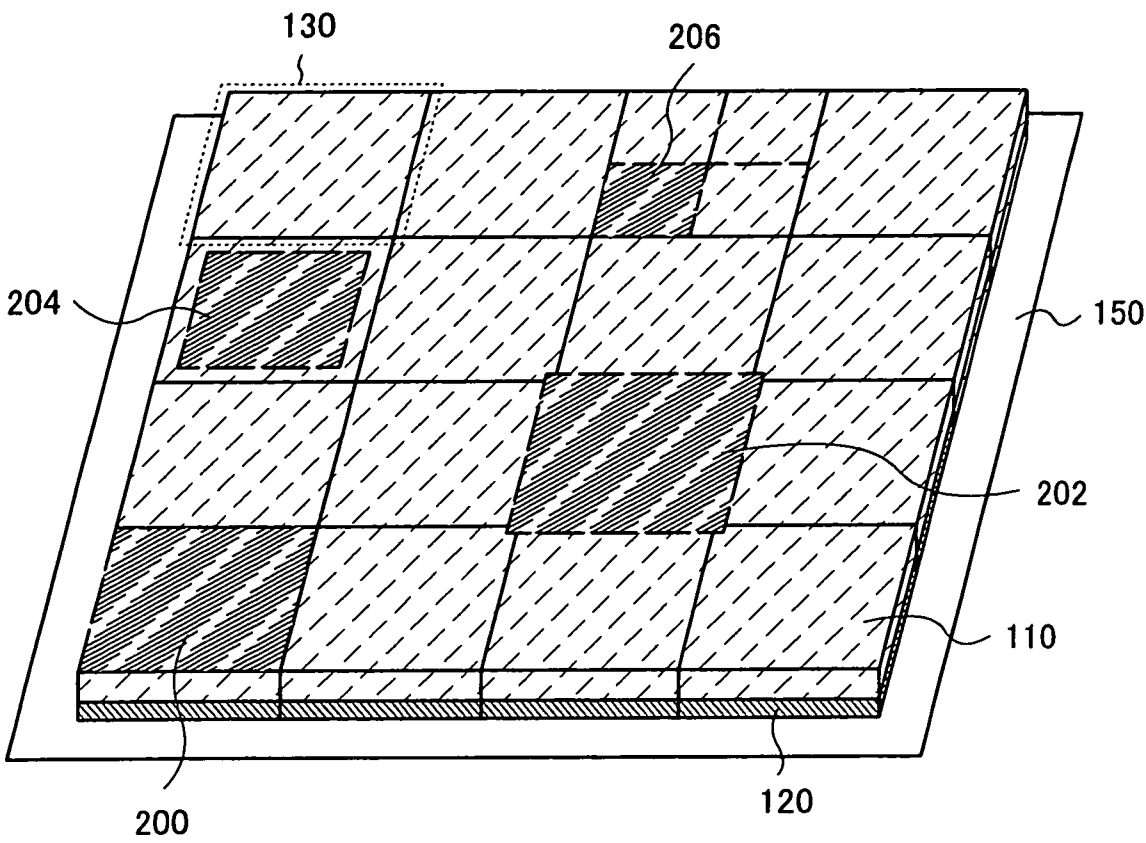
第10A圖



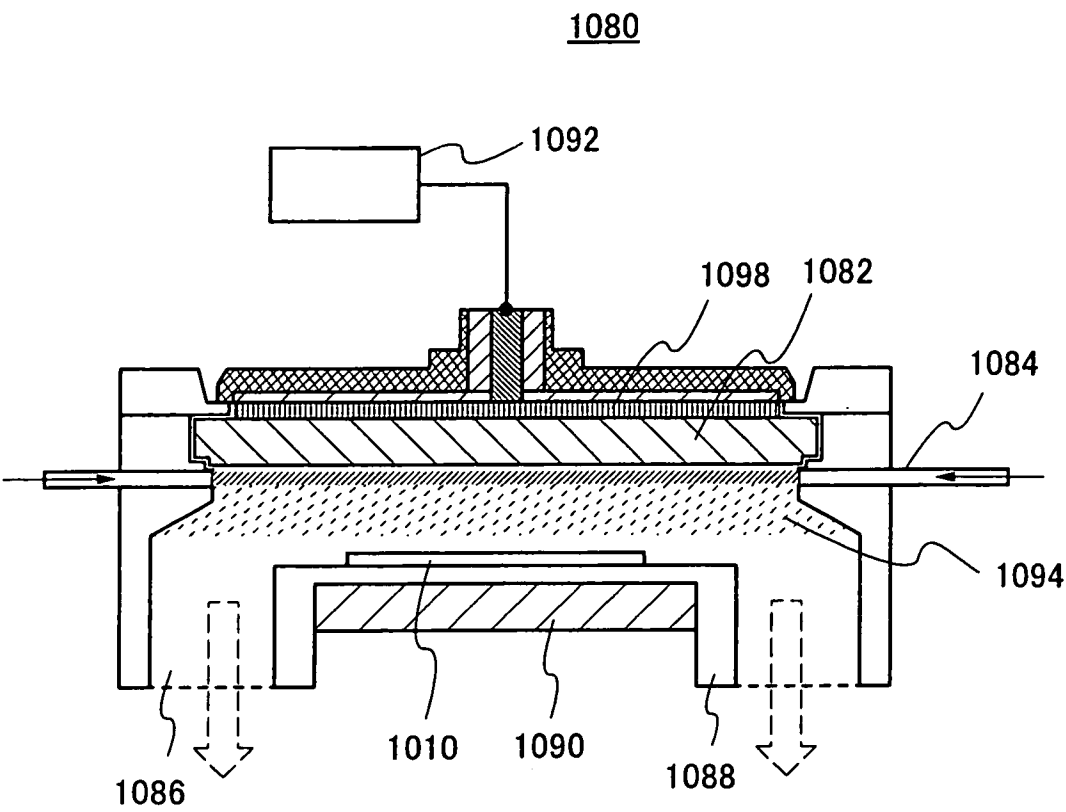
第10B圖



第11圖

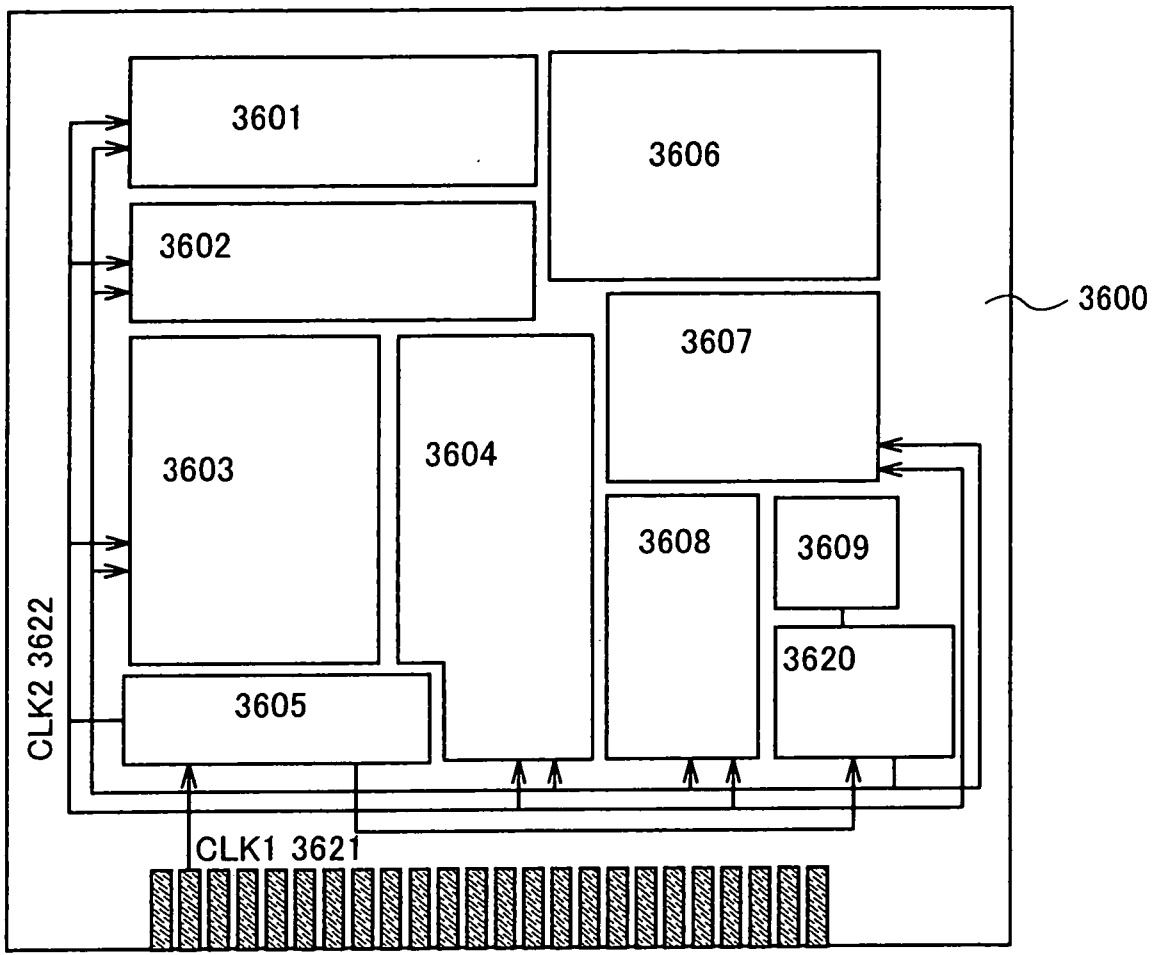


第12圖

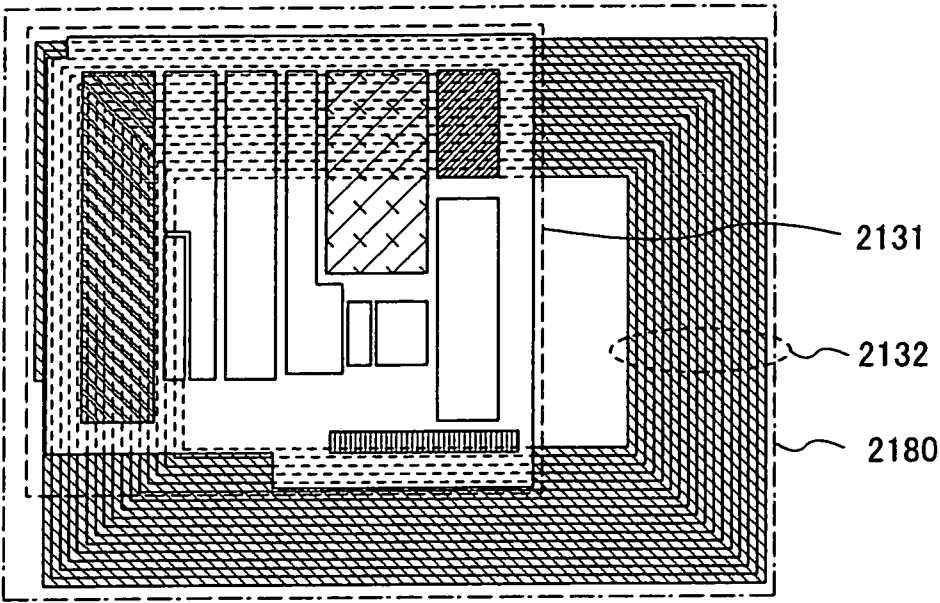


第13圖

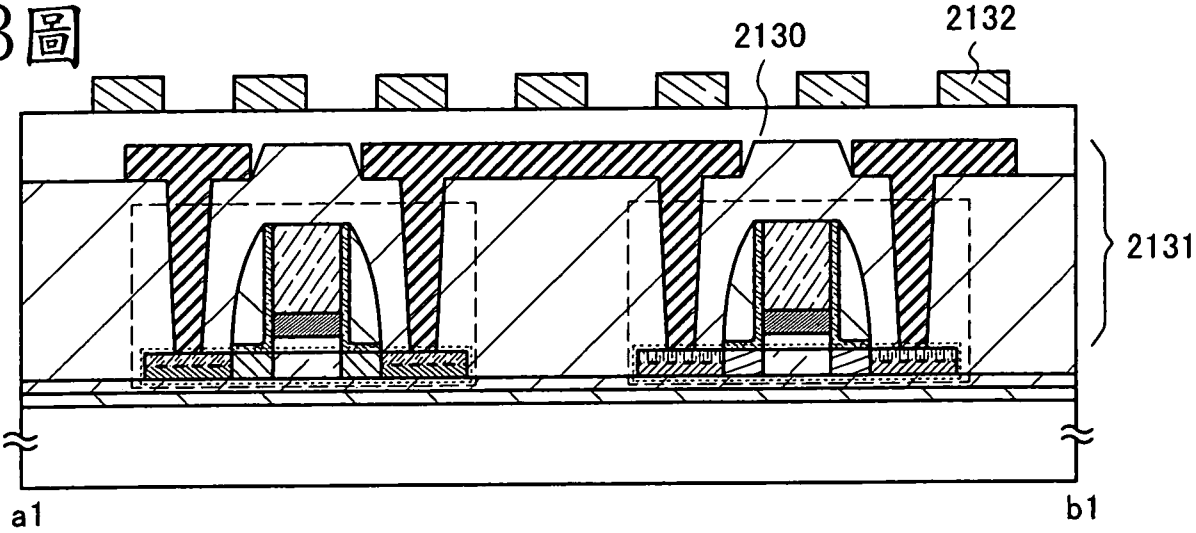
3660



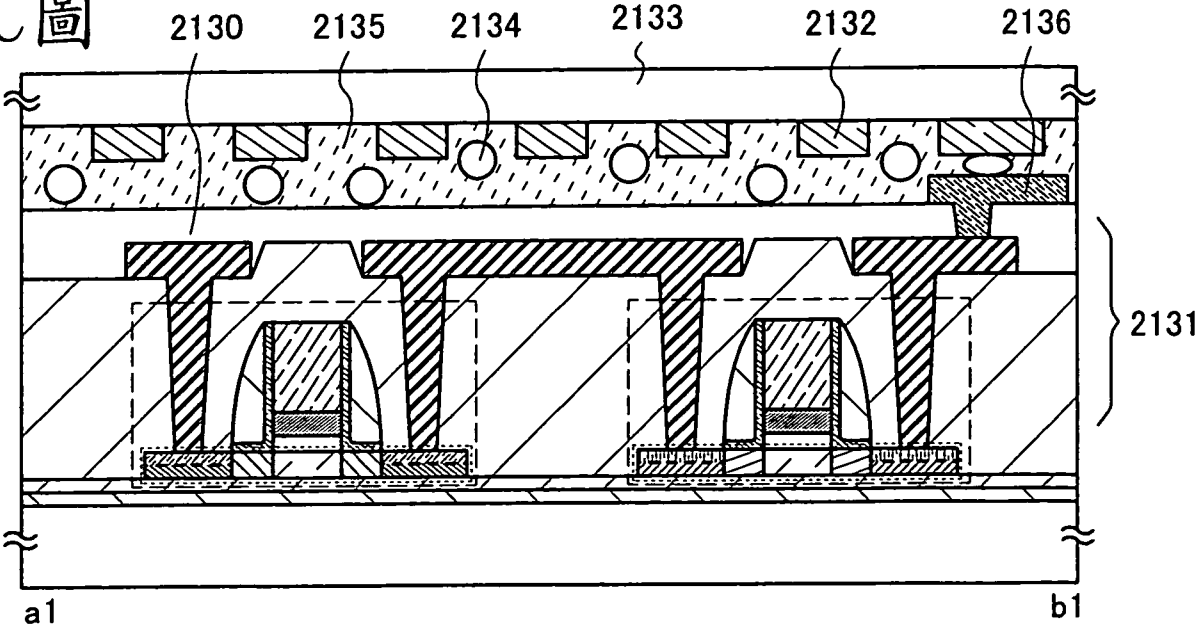
第14A圖



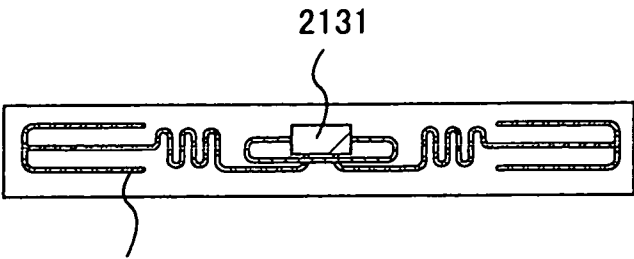
第14B圖



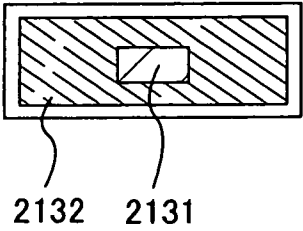
第14C圖



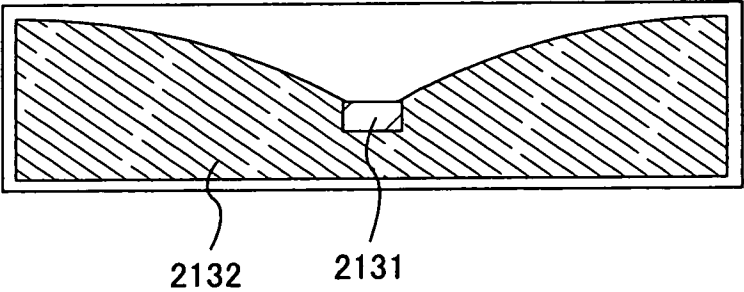
第15A圖



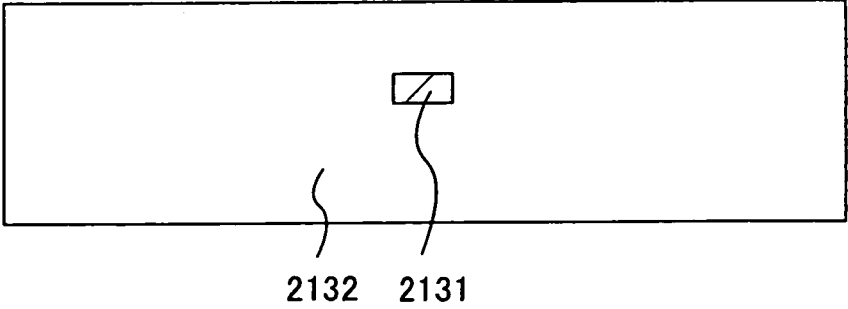
第15B圖



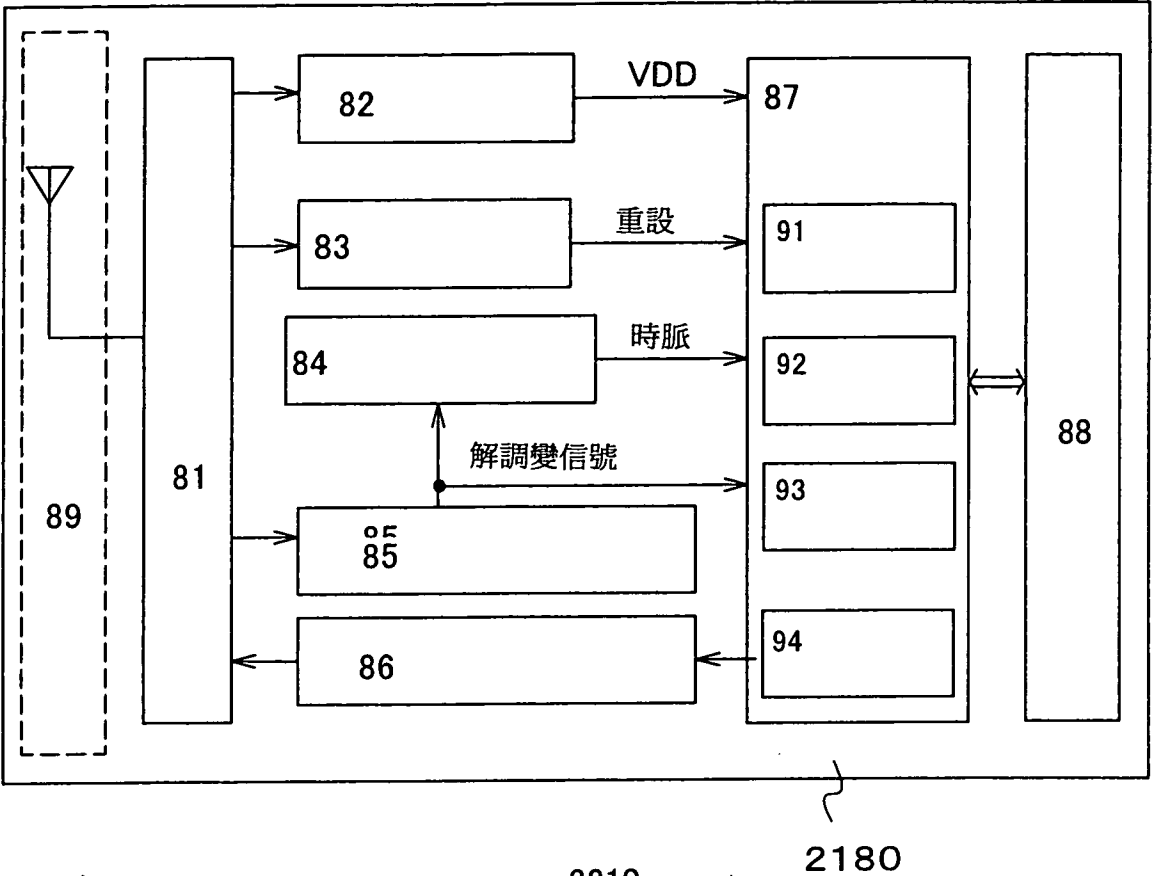
第15C圖



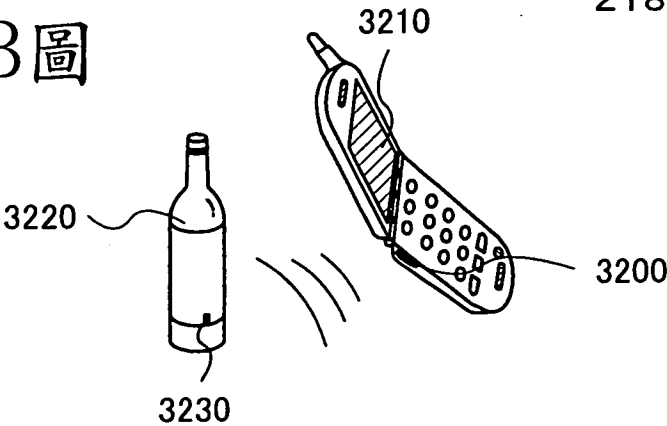
第15D圖



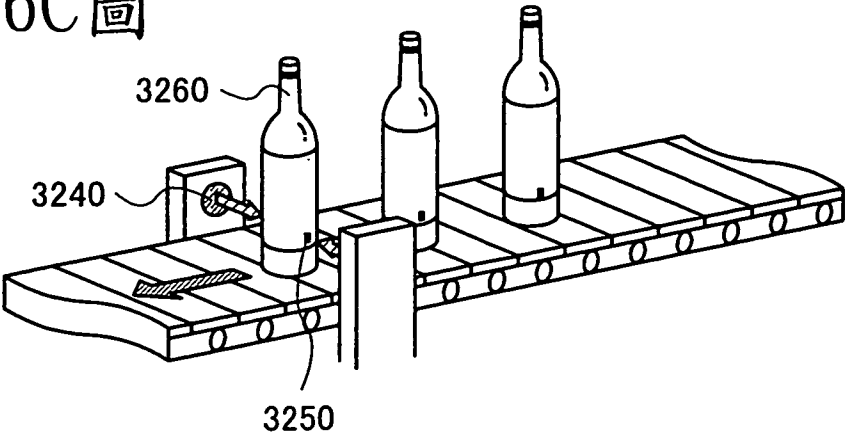
第16A圖



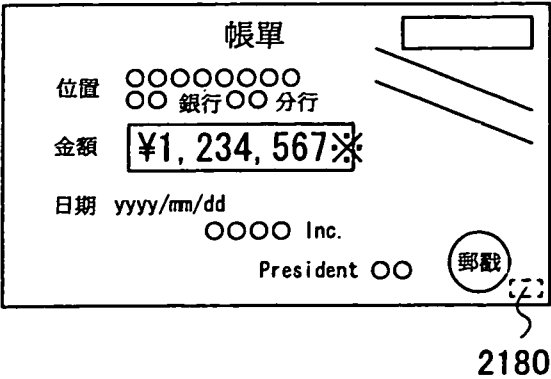
第16B圖



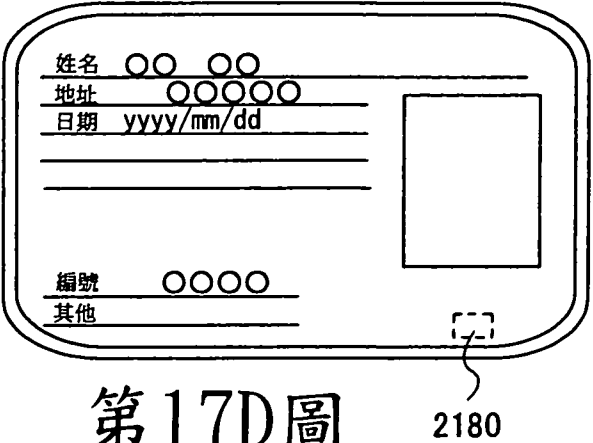
第16C圖



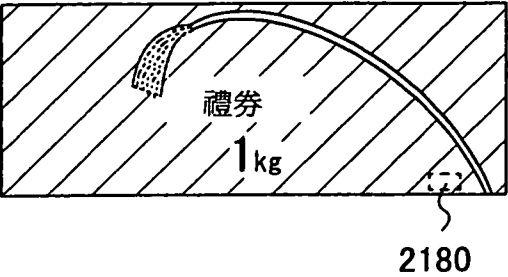
第17A圖



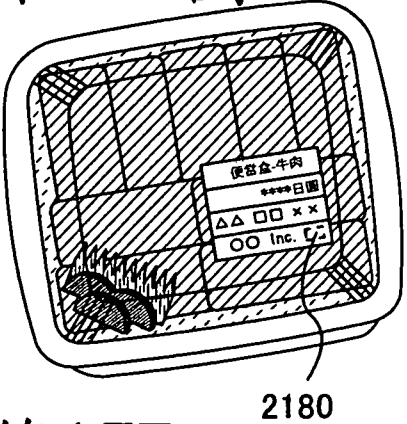
第17B圖



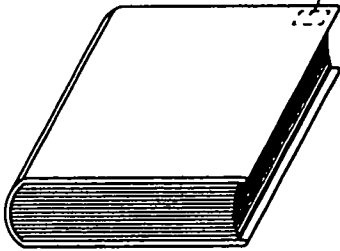
第17C圖



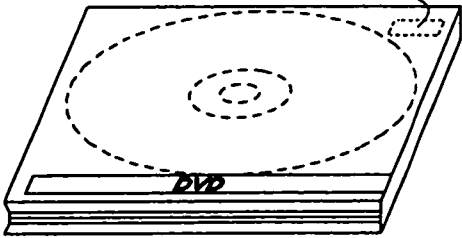
第17D圖



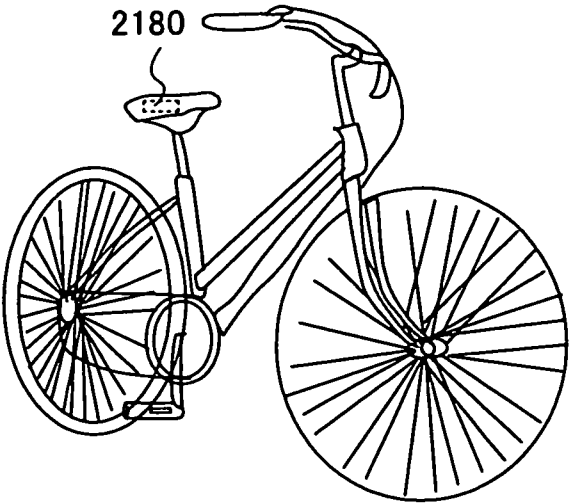
第17E圖



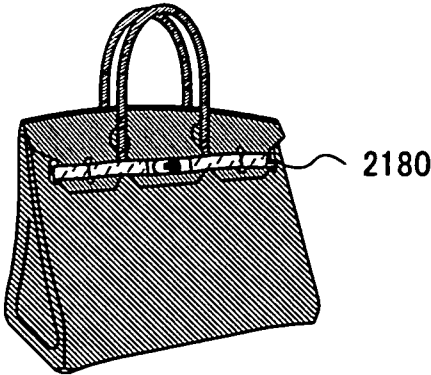
第17F圖



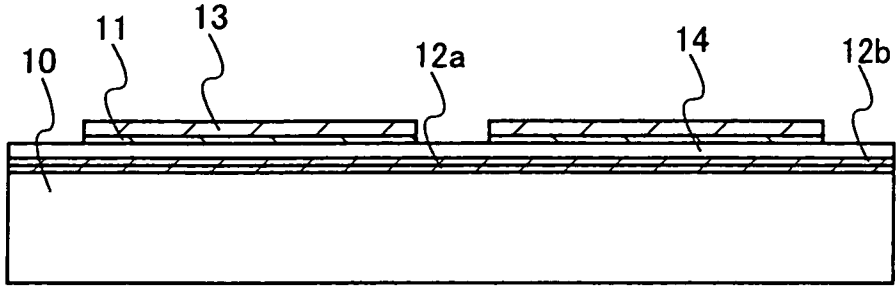
第17G圖



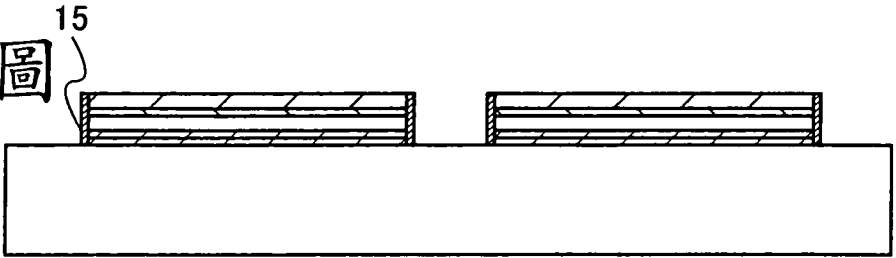
第17H圖



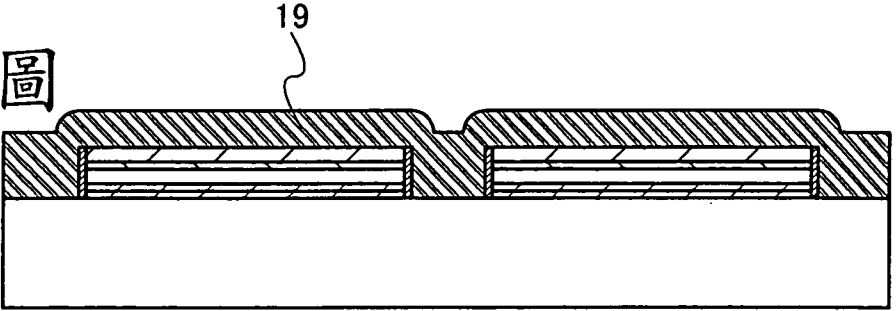
第18A圖



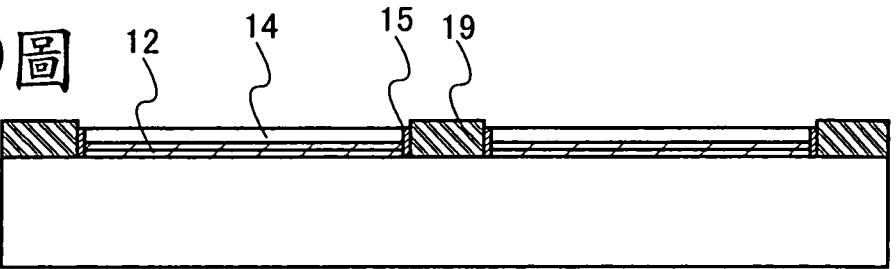
第18B圖



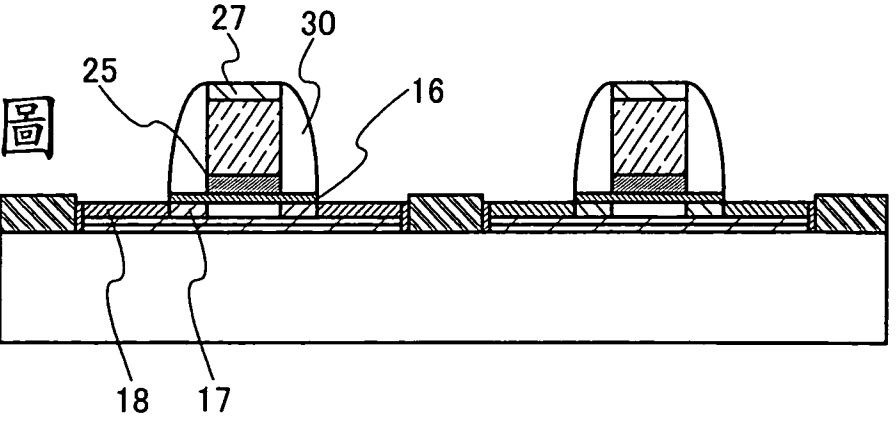
第18C圖



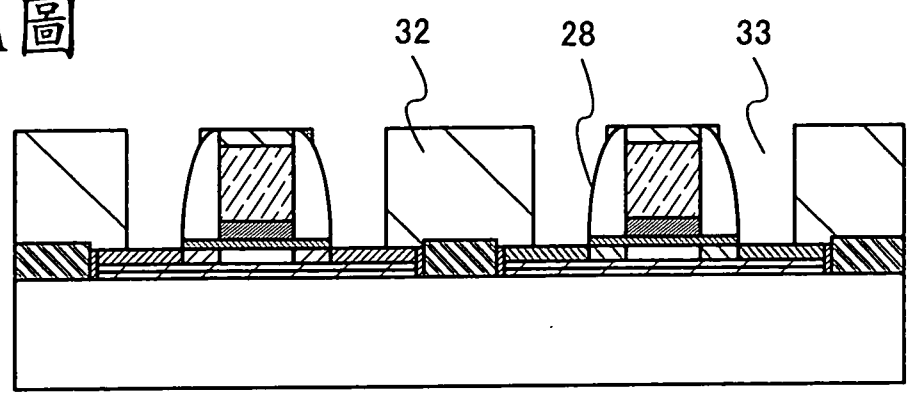
第18D圖



第18E圖



第19A圖



第19B圖

