



Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

PATENTSCHRIFT A5

646 805

① Gesuchsnummer: 2812/79

② Anmeldungsdatum: 27.03.1979

③ Priorität(en): 20.04.1978 DE 2817341

④ Patent erteilt: 14.12.1984

⑤ Patentschrift veröffentlicht: 14.12.1984

⑥ Inhaber:
Computer Gesellschaft Konstanz mbH, Konstanz (DE)

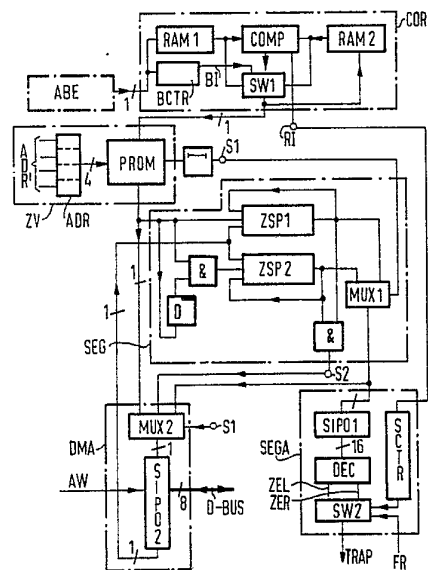
⑦ Erfinder:
Kochert, Wilfried, Konstanz (DE)
Hauff, Paul, Konstanz (DE)

⑧ Vertreter:
Siemens-Albis Aktiengesellschaft, Zürich

⑤4 Optisches Handlesegerät für maschinelle Zeichenerkennung.

⑤7 Dieses Handlesegerät für OCR-Schriften hat eine Abtasteinheit (ABE), eine erste und eine zweite Aufbereitungseinheit und eine Erkennungseinheit.

Bei einem Abtastvorgang werden Teile einer Druckzeile eines Datenträgers von links oder rechts durch ein Sensorfeld in Form einer Fotodiodenmatrix fortlaufend abgetastet. Die Beleuchtungsstärke wird dabei abhängig von der remittierten Helligkeit geregelt. Das Abtastergebnis wird als digitalisiertes Bildsignal zeilenweise bitseriell abgegeben und aufbereitet. Die erste Aufbereitungseinheit enthält in einer Korrelationsschaltung (COR) zur Datenpufferung Bildspeicher (RAM1, RAM2) für aufeinanderfolgende Abtastmuster zum Eliminieren der Fotodiodentoleranzen. Aus dem korrelierten Bildsignal wird in einer Zeilenverfolgungsschaltung (ZV) der auszuwertende Abtastbereich fortlaufend ermittelt und anschliessend das Zeichen in einer Segmentierungsschaltung (SEG) vorsegmentiert. Die weitere Aufbereitung (d.h. endgültige Segmentierung, Bildbereinigung und Zentrierung) übernimmt ein von der Abtastung entkoppelt arbeitendes Mikroprozessorsystem der zweiten Aufbereitungseinheit. Die nach dem Prinzip eines quadratischen Polynomklassifikators aufgebaute Erkennungseinheit ist als Satellitenrechner im wesentlichen wiederum von der zweiten Aufbereitungseinheit entkoppelt.



PATENTANSPRÜCHE

1. Optisches Handlesegerät für die maschinelle Zeichenerkennung mit einer manuell längs einer Druckzeile über einen abzutastenden Datenträger geführten Abtasteinheit, die eine Lichtquelle zum Beleuchten und ein Sensorfeld aus einer Fotodiodenmatrix zum Abtasten eines Abtastfensters des Datenträgers und eine Schaltung zum Ausgeben des in Abtastmuster wiedergebenden digitalisierten Bildsignals enthält, mit Aufbereitungseinheiten zum Segmentieren und Zentrieren des Abtastmusters und mit einer Erkennungseinheit zum Auswerten eines so aufbereiteten Abtastmusters, gekennzeichnet durch eine Abtasteinheit (ABE) mit einem Sensorfeld aus einer Matrix mit mindestens 1024 Elementen und mit einer Lichtquelle, die mit dem Mittelwert der vom Sensorfeld bewerteten remittierten Helligkeit in ihrer Intensität geregelt ist, durch eine mit der Abtasteinheit verbundene Korrelationschaltung (COR), in der zum Eliminieren von Fotodiodentoleranzen im zeilenweise bitseriell übertragenen Bildsignal die einzelnen Elemente aufeinanderfolgender Abtastmuster lagerichtig miteinander disjunktiv verknüpft werden, durch eine Zeilenverfolgungs-Schaltung (ZV), in der aus dem Abtastbereich ein in seiner Höhe festgelegter und verkleinerter Auswertebereich des Bildsignals ausgefiltert wird, durch eine Segmentierungsschaltung (SEG) zum Vorsegmentieren eines Zeichens im Auswertebereich, durch ein die weitere Aufbereitung entkoppelt von dem Abtastvorgang ausführendes Mikroprozessorsystem (CPU, M-RAM, M-ROM), mit dem das einem Zeichen entsprechende zwischengespeicherte Bildsignal endgültig segmentiert, bereinigt und bezüglich seiner Achsen zentriert wird und durch eine auf dem Prinzip eines quadratischen Polynomklassifikators aufgebaute Erkennungseinheit (VE, K-M, RW), die als Satellitenrechner Schätzwerte (d_F) für ein auszuwertendes Zeichen selbständig ermittelt.

2. Optisches Handlesegerät nach Anspruch 1, dadurch gekennzeichnet, dass die als Satellitenrechner ausgebildete Erkennungseinheit über einen Adressen- und einen Datenbus (A-BUS bzw. D-BUS) an das Mikroprozessor-System angeschlossen ist und einen Klassifikatorspeicher (K-M) aufweist, in dem als Festwertspeicher (PSL) für zu verknüpfende Merkmaladressen ein Teil des Mikroprogrammspeichers des Mikroprozessorsystems verwendet wird und der darüber hinaus vier, als Festwertspeicher ausgebildete und Klassifikatorkoeffizienten (a_{iF}) aufnehmende Teilspeicher (K01 bis K04) besitzt, dass an Datenausgänge des Festwertspeichers (PSL) für die Merkmaladressen eine Verknüpfungseinheit (VE) mit einem Merkmalspeicher (V-RAM) angeschlossen ist, in dem das auszuwertende Bitmuster des Bildsignals mit seinen Merkmalen zur Ausgabe an das Mikroprozessor-System und im Mikroprozessor-System errechnete Ergebnisse von Verknüpfungen dieser Merkmale als Eigenschaften (x_i) wieder speicherbar sind und dass an die Teilspeicher ein Rechenwerk (RW) angeschlossen ist, in dem die Klassenschätzwerte (d_F) aus den Klassenkoeffizienten (a_{iF}) und den Eigenschaften (x_i) selbständig mit einer Addierschaltung, bestehend aus einem Addierer (ADD) und einem Akkumulator (ACC), errechnet werden.

3. Optisches Handlesegerät nach Anspruch 2, dadurch gekennzeichnet, dass zum Adressieren des Festwertspeichers (PSL) mit den Merkmaladressen ein Adresszähler (V-CTR) vorgesehen ist, mit dem auch die Teilspeicher (K01 bis K04) mit den Klassifikatorkoeffizienten (a_{iF}) adressiert werden und dass der Ausgang des bitorientierten Merkmalspeichers (V-RAM) über einen Serien-Parallel-Wandler (SIP0), sein Eingang dagegen über einen Parallel-Serien-Wandler (PIS0) an den ein Datenbyte parallel übertragenden Datenbus (D-BUS) des Mikroprozessorsystems angeschlossen ist.

4. Optisches Handlesegerät nach Anspruch 3, dadurch

gekennzeichnet, dass die Adressen im Festwertspeicher (PSL) für Merkmaladressen so abgespeichert sind, dass dem Mikroprozessor-System jeweils acht Merkmale als Datenbytes zuführbar sind, die jeweils mit den acht Merkmalen im nachfolgenden Datenbyte byteweise konjunktiv verknüpft und byteweise wieder zurückübertragen werden.

5. Optisches Handlesegerät nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, dass die Klassifikationskoeffizienten (a_{iF}) in den Teilspeichern (K01 bis K04) verschränkt abgespeichert sind und mit den Ausgängen jedes der Teilspeicher ein Rechenwerksregister (REG1 bis REG4) als Zwischenregister im Rechenwerk (RW) verbunden ist, die mit taktgesteuerten Tri-State-Ausgängen gemeinsam an einen Klassifikatorbus (K-BUS) angeschlossen sind, so dass je vier Klassifikatorkoeffizienten parallel auslesbar sind und seriell an der Rechenschaltung (ADD, ACC) des Rechenwerks anliegen.

6. Optisches Handlesegerät nach einem der Ansprüche 1 bis 5, mit einer von der Abtastung und Auswertung entkoppelten und daher teilparallelen Aufbereitung des Bildsignals, in der durch den manuellen Abtastvorgang bedingte Störfaktoren ausgeglichen werden, dadurch gekennzeichnet, dass die Korrelationschaltung (COR) zum Ausgleichen von Fotodiodentoleranzen einen ersten Bildspeicher (RAM1) mit einer Kapazität für ein Abtastmuster zum Zwischenspeichern eines aktuellen Bildsignals und einen zweiten Bildspeicher (RAM2) zum Zwischenspeichern eines korrelierten Bildsignals aufweist, dass zum Feststellen der Abtastrichtung und zum Ausgleichen einer Lageverschiebung des Abtastmusters im Abtastfenster in horizontaler Richtung eine Vergleicherschaltung (COMP) zwischen beiden Bildspeichern angeordnet ist, durch die ein Schaltwerk (SW1) gesteuert wird, in dem einander entsprechende Bildsignalelemente disjunktiv miteinander verknüpft und in den zweiten Bildspeicher wieder eingeschrieben werden bzw. in die an den Ausgang der Korrelationschaltung angeschlossene Zeilenverfolgungs-Schaltung (ZV) übertragen werden, in der zum Ausgleichen vertikaler Lageverschiebungen des Abtastfensters der Abtasteinheit (ABE) gegenüber der Druckzeile auf dem Datenträger (1) mikroprogrammiert zum Kennzeichnen eines in seiner Höhe gegenüber dem Abtastbereich wesentlich verminderten, in seiner absoluten Lage dazu fortlaufend vertikal nachgeführten Auswertebereiches aus dem vertikalen Schattenbild des Bildsignals ein erstes Schattensignal (S1) gebildet und mit dem Bildsignal übertragen wird.

7. Optisches Handlesegerät nach Anspruch 6, dadurch gekennzeichnet, dass die an die Zeichenverfolgungs-Schaltung (ZV) angeschlossene Segmentierungsschaltung (SEG) einen Zwischenspeicher mit zwei, jeweils eine Zeile des Bildsignals speichernde Register (ZSP1 bzw. ZSP2) aufweist, wobei mit dem ersten Register durch disjunktives Überschreiben des Speicherinhalts mit dem zugeführten Bildsignal ein erster horizontaler Schatten des Abtastmusters und mit dem zweiten Register analog ein zweiter Schatten mit dem Unterschied gebildet wird, dass diesem Register das Bildsignal direkt und darüber hinaus um 1 Bit verzögert in konjunktiver Verknüpfung zugeführt wird, so dass dieser zweite Schatten Schräglagen korrigiert, wobei aus den beiden Schatten zum Vorsegmentieren eines Zeichens aus dem Abtastmuster vertikale Weissspalten als Schwarzelementen rechts und/oder benachbart liegende Weisselemente entnehmbar sind.

8. Optisches Handlesegerät nach einem der Ansprüche 6 oder 7, dadurch gekennzeichnet, dass an die erste Aufbereitungseinheit (3, 3') mit der Korrelationschaltung (COR), der Zeilenverfolgungs-Schaltung (ZV) und der Segmentierungsschaltung (SEG) über eine Übertragungsschaltung (DMA) mit einem Multiplexer (MUX2) und einem bidirektionalen Serien-Parallel-Wandler (SIP02) das Mikroprozessorsystem

als zweite Aufbereitungseinheit angeschlossen ist, deren Arbeitsspeicher (M-RAM) nach einem Segmentierungssignal (TRAP) der ersten Aufbereitungseinheit das aufbereitete Bildsignal mit den Begleitsignalen übernimmt und das ohne Lageverschiebung erhalten bleibt, indem die Zentrierung des gespeicherten Bitmusters nach seinem Mittelpunkt und bezüglich seiner Achsen als eine Adressmodifikation des Arbeitsspeichers durchgeführt wird.

Die Erfindung bezieht sich auf ein optisches Handlesegerät für automatische Zeichenerkennung gemäss dem Oberbegriff des Patentanspruches 1.

Handlesegeräte, die manuell relativ zu einer Zeichenzeile über einen Datenträger in beliebiger Richtung mit einer vorgegebenen maximalen Geschwindigkeit geführt werden, sind z.B. aus der deutschen Offenlegungsschrift 25 55 466 bekannt. Solche Geräte werden als periphere Datenerfassungsgeräte eingesetzt. Diese Art der Verwendung soll zwar einen weiten Anwendungsbereich z.B. zum Anschluss an Kassenterminals im Handel zum Lesen von Etiketten oder an Bankterminals zum Lesen von Kontonummern auf Kundenschecks, zum Abruf von Daten über ein Sichtgerät aus zentralen Dateien nach Lesen der Information auf einem Ausweis erschliessen, bedeutet aber zugleich eine schwierige Zeichenerkennungsaufgabe. Die Handlesegeräte müssen, dem speziellen Verwendungszweck angepasst, handlich und vor allem funktionssicher sein. Eine hohe Erkennungssicherheit ist bei Hochleistungs-Beleglesern mit einem automatischen Belegtransport wesentlich einfacher zu realisieren, da hier die Abtastbedingungen festliegen. Bei Handlesegeräten muss dagegen eine wesentlich höhere Variationsbreite beim Abtasten zugelassen werden: Das beginnt bei den Eigenschaften des Datenträgers, bei dem mit wesentlich unterschiedlicheren Remissionseigenschaften auch aufgrund von Verschmutzungen gerechnet werden muss, liegt aber auch im individuell durchgeführten Abtastvorgang mit unterschiedlicher Abtastgeschwindigkeit, wobei sogar zugelassen werden muss, dass die Abtastrichtung in verschiedenen Zeichenzeilen umgekehrt wird. Während der Abtastung einer Zeichenzeile kann das Handlesegerät verkantet oder auch mit einer gewissen Schräglage zur Zeilenrichtung geführt werden. Schliesslich sollen abgetastete Zeichen nicht mehrfach ausgewertet oder bei der Auswertung unterdrückt werden, was in jedem Fall zu Fehlinformationen führen würde.

Neben diesen Erfordernissen einer einfachen Handhabung bei eindeutiger Funktion spielt auch das Preis-Leistungs-Verhältnis eine bedeutende Rolle, da Handlesegeräte als Datenerfassungsgerät dezentral nur wirtschaftlich einzusetzen sind, wenn ein flexibles Grundgerät leicht an die verschiedenen Anwendungsformen anzupassen ist und daher in hohen Stückzahlen gefertigt werden kann.

Bei den bekannten Handlesegeräten haben diese vielen unterschiedlichen Randbedingungen zu einem Kompromiss geführt. Es werden möglichst einfache Klassifikationsverfahren eingesetzt, die eine leichte Zeichenerkennung innerhalb der durch die Abtastgeschwindigkeit vorgegebenen Zeit für ein einzelnes Zeichen erlauben. Dieses bedeutet nicht nur eine Beschränkung auf eine bestimmte Art der Schriftzeichen, sondern auch einen verhältnismässig geringen Zeichenvorrat. Trotzdem ist die Erkennungssicherheit nicht sehr gross, so dass häufiger weitere Abtastversuche nach einem Abtastvorgang mit nicht erkannten Zeichen gestartet werden müssen.

Wegen dieser Schwierigkeiten ist es auch bekannt, in einem Abtastvorgang eine Vielzahl von Erkennungsversuchen für die abgetasteten Zeichen durchzuführen, d.h. eine Mehr-

zahl von momentanen Abtastmustern, die sich während des Vorbeiführens des Lesefensters des Handlesegerätes über die Zeichenzeile ergeben, aufzubereiten und auszuwerten. In ähnlicher Form ist dies auch bei der obengenannten deutschen Offenlegungsschrift 25 55 466 verwendet, bei dem ein Abtastergebnis einer Fotodiodenmatrix der Abtasteinheit jeweils durch einen Bildspeicher in Spaltenrichtung geschoben, zeilenweise codiert und so Zeilencodes gebildet werden. Aus den Zeilencodes wird ein Zeichencode abgeleitet und aus einer Folge von solchen Zeichencodes wird der signifikanteste ausgewählt, um daraus die Klassenzugehörigkeit abzuleiten. Auch diese verbesserte Variante kann nur Zeichenabschnitte in bestimmten vorgewählten Sichtfeldbereichen der Fotodiodenmatrix sowie Leerstellen zwischen diesen Zeichenbereichen feststellen. Da die Zeichenzuordnung zu einer bestimmten Bedeutungsklasse auf der auswertenden Zusammenfassung dieser einfachen Merkmale beruht, können hier vom Prinzip her vorgegebenen Grenzen der Erkennungssicherheit nicht überschritten werden.

Die Erfindung geht daher von der Überlegung aus, trotz der «Real-Time»-Bedingungen zwischen Abtastung und Erkennung eines Zeichens und trotz der ungünstigen Ausgangsbedingungen für die Auswertung eines abgetasteten Zeichens aufgrund der variablen Abtastbedingungen ein aufwendigeres und dabei auch erkenntnisichereres Klassifikationsverfahren zu verwenden, wie es z.B. bereits bei Hochleistungs-Beleglesern mit einem nicht-linearen Klassifikator aus der deutschen Offenlegungsschrift 26 19 014 bekannt ist. Davon ausgehend liegt der Erfindung die Aufgabe zugrunde, ein leistungsfähiges optisches Handlesegerät gemäss dem Oberbegriff des Hauptanspruches zu schaffen, das bei hoher Erkennungssicherheit flexibel an verschiedene Anwendungsfälle anpassbar ist, also Möglichkeiten bietet, auch verschiedene Schriftarten zu lesen. Diese Aufgabe wird erfindungsgemäss mit den im Kennzeichen des Patentanspruches 1 beschriebenen Merkmalen gelöst.

Die wesentliche Eigenschaft der erfindungsgemäss Lösung besteht also darin, ein nichtlineares Klassifikationsverfahren zu verwenden, das die Möglichkeit bietet, Klassifikatordaten in programmierbaren Festwertspeichern (PROM) zu speichern, die bei unterschiedlichen Schriftarten verhältnismässig einfach ersetzbar sind. Wie die Verwendung in Hochleistungs-Beleglesern gezeigt hat, ist die Erkennungssicherheit mit nichtlinearen Klassifikatoren sehr hoch, sie ist jedoch zeitlich aufwendig, da hierfür klassenweise ein Schätzwert für die Klassenzugehörigkeit durch eine Vektormultiplikation des Zeichenvektors mit klassenspezifischen Koeffizientenvektoren berechnet werden muss. Im praktischen Beispiel bedeutet dies pro Zeichenklasse mehr als 500 Rechenschritte, bei 32 Zeichenklassen sind demnach rund 16 000 Rechenschritte für die Klassifizierung eines Zeichens erforderlich. Da hierfür ein Mikroprozessor mit seiner geringen Datenbreite verwendet werden soll, der also entsprechend «langsam» ist, muss die Vorverarbeitung des abgetasteten Zeichens an dieses Klassifikationsverfahren speziell angepasst sein. Auf diesem Grunde ist das erfindungsgemässe Handlesegerät aus den drei Einheiten Abtasteinheit, Aufbereitungseinheit und Auswertungseinheit aufgebaut, die im wesentlichen voneinander unabhängig durch Pufferung der jeweiligen Daten arbeiten. Auch wenn der in der Aufbereitungseinheit verwendete Mikroprozessor einen Teil der Rechenaufgaben für die Klassifizierung noch mit übernimmt, so ist doch hier auch die Berechnung der Klassifikatordaten so weit voneinander entkoppelt, dass Parallelarbeit möglich ist und ein langsamer Mikroprozessor eingesetzt werden kann, um in dem durch die Abtastung vorgegebenen Zeitraum die Erkennungsaufgabe trotz eines so aufwendigen Klassifikationsverfahrens sicher zu bewältigen.

Ein Ausführungsbeispiel der Erfindung wird im folgenden anhand der Zeichnung näher beschrieben. Dabei zeigt:

Fig. 1 in einem schematischen Blockschaltbild den prinzipiellen Aufbau eines Handlesegerätes gemäss der Erfindung,

Fig. 2 wesentliche Teile der Aufbereitungsschaltungen,

Fig. 3 ein Blockschaltbild des die endgültige Aufbereitung und Auswertung der abgetasteten Zeichen steuernden Mikroprozessors und

Fig. 4 die wesentlichen Teile der Klassifikatorschaltungen.

Anhand der in Fig. 1 dargestellten schematischen Blockschaltbildes soll die prinzipielle Struktur des Handlesegerätes einleitend erläutert werden. Ein Aufzeichnungsträger 1 wird von einem Abtaster 2 abgetastet und die dabei gewonnenen Abtastdaten werden einer ersten Aufbereitungseinheit 3 zugeführt. Dieser ist ein erster Arbeitsspeicher 3' zugeordnet, in dem die vom Abtaster 2 kommenden Bildsignale mit wahlfreiem Zugriff abgespeichert werden. In dieser ersten Aufbereitungseinheit 3 werden aus den abgetasteten Bildsignalen durch das Abtastverfahren bedingte Störfaktoren eliminiert. Zugleich werden Weissspalten in den abgetasteten Mustern ermittelt, die der Zeichentrennung dienen.

Sobald dies abgeschlossen ist, wird das zu diesem Zeitpunkt im Speicher 3' der ersten Aufbereitungseinheit 3 stehende Bild in einem Speicher 4' der zweiten Aufbereitungseinheit 4 übertragen. Von diesem Zeitpunkt ab ist die weitere Aufbereitung des übertragenen Bildes vom Abtastverfahren entkoppelt, kann also davon unabhängig weiter verfolgt werden. Zu dieser weiteren Aufbereitung gehört eine Bildbereinigung, bei der nicht zum Zeichen gehörende Bildinformation abgeschnitten wird. Weiterhin wird das dem Zeichen entsprechende Bitmuster im Speicher 4' in beiden Achsen zentriert. Bei dieser Zentrierung wird nicht das im Speicher 4' stehende Bitmuster verschoben, sondern Adressen des Speichers modifiziert.

Steht daraufhin dann ein einem Zeichen ausreichender Grösse entsprechendes Bitmuster im Speicher 4' der zweiten Aufbereitungseinheit, dann ist die Aufbereitungsphase abgeschlossen, die weitgehend mit einem Mikroprozessorsystem durchgeführt wird.

Das so aufbereitete Zeichen kann anschliessend klassifiziert werden. Dazu dient eine Erkennungseinheit 5, der ein Klassifikatorspeicher 5' zugeordnet ist. Das verwendete Klassifizierungsverfahren benutzt einen quadratischen Polynomklassifikator, ist also verhältnismässig rechenaufwendig. Die Klassifizierung eines aufbereiteten Zeichens ist daher weitgehend einem Satellitenrechnersystem übertragen und das bei der Aufbereitung verwendete Mikroprozessorsystem während dieses Zeitraums in der Lage, das nächste Zeichenaufzubereiten. Erst in der letzten Phase der Klassifizierung, sowie bei der Ausgabe eines klassifizierten Zeichens, ist dieses Mikroprozessorsystem wieder beteiligt.

Das geschilderte Blockschaltbild nach Fig. 1 soll nur einen allgemeinen Überblick über das gesamte Handlesegerät vermitteln, um für die nachfolgende detailliertere Beschreibung anhand der Figuren 2 bis 4 die grundlegende Kenntnis der Struktur zu vermitteln. In Fig. 2 sind nun die Teile des Handlesegerätes in ausführlicherer Form dargestellt, die der Abtasteinheit 2 und der ersten Aufbereitungseinheit 3 nach Fig. 1 entsprechen. Die Abtasteinheit ist hier mit ABE bezeichnet. Nicht dargestellt ist, dass sie als optoelektrischer Wandler ein Sensorfeld, bestehend aus in 62 Zeilen zu 16 Spalten angeordneten Fotodioden besitzt. Für jede Spalte steht ein Signalausgang zur Verfügung, an dem die einzelnen Abtastelementen entsprechenden Abtastsignale zeitlich seriell erscheinen. Die Signale kommen verstärkt aus dem Sensorfeld und werden mit je einem Komparator in Schwarz-Weiss-Digitalwerte quantisiert. Die Quantisierungsschwelle ist dabei

vom vorliegenden Kontrast des aktuellen Bildmusters selbst abhängig. Ausserdem besitzt die Abtasteinheit eine Lichtquelle, deren Lampenspannung abhängig von der remittierten Helligkeit des Aufzeichnungsträgers 1 geregelt wird. Auf diese Weise können Remissionsschwankungen der Aufzeichnungsträger 1 und auch bis zu einer gewissen Grösse ein wechselnder Abstand zwischen Abtaster und Aufzeichnungsträger 1 ausgeglichen werden. Die Abtasteinheit ABE besitzt schliesslich noch einen Parallel-Serien-Wandler zum Umsetzen der jeweils 16 digitalisierten Abtastsignale einer Abtastezeile in bitserielle Bildsignale am Ausgang der Abtasteinheit ABE.

Das in der Abtasteinheit ABE verwendete zweidimensionale Sensorfeld ermöglicht eine Abtastung unabhängig von der aktuellen Abtastgeschwindigkeit. Die Bildwiederholfrequenz mit ca. 3 kHz ist so gross, dass das abgetastete Zeichen zwischen zwei aufeinanderfolgenden Abtastmustern nur um weniger als die Breite eines Rasterelementes mit 0,16 mm weitgewandert ist.

Das von der Abtasteinheit ABE erzeugte serielle Bildsignal wird nun der ersten Aufbereitungseinheit 3 zugeführt. Diese enthält eine Korrelationsschaltung COR, deren Teile vereinfacht in Fig. 2 dargestellt sind. Das Bildsignal wird in einem ersten Bildspeicher RAM1 mit wahlfreiem Zugriff und einer Kapazität für ein vollständiges Abtastmuster zwischengespeichert. In einem weiteren entsprechenden Bildspeicher RAM2 steht ein früheres Abtastmuster. Beide Abtastmuster werden in einer Vergleicherschaltung COMP miteinander verglichen, um evtl. Lageabweichungen in einem Schaltwerk SW1 korrelieren zu können. Zusätzlich werden die Schwarzelemente des zugeführten aktuellen Bildsignals in einem Bildelement-Zähler BCTR gezählt und daraus für das Schaltwerk ein weiteres Steuersignal BI abgeleitet, das dazu dient, «fette» von «schwachen» Zeichen im Bildsignal zu unterscheiden. Mit den dem Schaltwerk SW1 zugeführten Steuersignalen werden die in beiden Bildspeichern RAM1 bzw. RAM2 zwischengespeicherten Abtastmuster, bildlich gesprochen, übereinandergelegt und die einander entsprechenden Bildelemente disjunktiv miteinander verknüpft. Bei dieser disjunktiven Verknüpfung werden bei «fetten» Zeichen die Weisselemente, im umgekehrten Fall die Schwarzelemente des Bildsignals herangezogen. So werden die durch Toleranzen der einzelnen Fotodioden im Sensorfeld der Abtasteinheit hervorgerufenen Störungen im Bildsignal eliminiert.

Dieses korrelierte Bildsignal wird nun in einer an die Korrelationsschaltung COR angeschlossenen Zeilenverfolgungsschaltung ZV weiter aufbereitet. Diese Schaltungsanordnung dient der Vorsegmentierung des abgetasteten Bildmusters. Der durch das Sensorfeld vorgegebene Abtastbereich mit 62 Zeilen ist grösser als ein durch die normierte Grösse der abgetasteten Zeichen auszuwertender Abtastbereich mit 32 Zeilen. Um diesen auszuwertenden Bereich festzulegen, werden einem noch anhand von Fig. 3 zu erläuternden Mikroprozessorsystem zu Beginn der Abtastung einer gedruckten Zeile des Aufzeichnungsträgers Bilddaten übertragen und diese ausgewertet. Mit dem Ergebnis wird ein in der Zeilenverfolgungsschaltung ZV enthaltendes 4-Bit-Register als Adressregister ADR für einen programmierbaren Festwertspeicher PROM über Adresssignale ADR' eingestellt. Wandert nun das Zeichenmuster im Abtastbereich während der Abtastung einer Druckzeile in Spaltenrichtung aus, so wird fortlaufend die im Adressregister ADR stehende Adresse korrigiert.

Von dem Festwertspeicher PROM der Zeilenverfolgungsschaltung wird das Bildsignal im festgestellten Auswertebereich und darüber hinaus ein Steuersignal, ein sogenanntes erstes Schattensignal S1 abgegeben. Dieses Steuersignal ist ein Freigabesignal, das immer am Ende eines freigegebenen Bereiches auftritt und dessen Bedeutung noch erläutert wird.

Das so aufbereitete Bildsignal wird nun fortlaufend daraufhin untersucht, ob im enthaltenen Bildmuster Weissspalten enthalten sind. Dazu dient eine an die Zeilenverfolgungsschaltung ZV angeschlossene Segmentierungsschaltung SEG. Diese enthält zwei 16-Bit-Register ZSP1 bzw. ZSP2 als Zwischenspeicher des Bildsignals. In diesen beiden Registern werden 32 Zeilen des Abtastmusters, also der freigegebene auszuwertende Abtastbereich, bildlich gesprochen, disjunktiv übereinandergeschrieben. Auf diese Weise wird ein Schatten des Auswertebereiches gebildet. Dieser kann daraufhin untersucht werden, ob links und/oder rechts einer Schwarzinformation Weissselemente auftreten, die Weissspalten im Abtastmuster wiedergeben. Das zweite Register ZSP2 unterscheidet sich von dem ersten dadurch, dass die ihm von der Zeilenverfolgungsschaltung ZV zugeführte Information über ein UND-Glied verknüpft einmal direkt und ein zweitesmal um eine Spalte verzögert zugeführt wird. Dies entspricht einer zusätzlichen Verknüpfung zweier benachbarter Bildelemente, durch die eine schräg liegende Weissspalte aufzufinden ist. Das Ergebnis dieser vertikalen Segmentierung wird über einen Multiplexer MUX1 aus der Segmentierungsschaltung SEG ausgegeben. Dieser Multiplexer wird durch das von der Zeilenverfolgungsschaltung abgegebene Steuersignal, also das erste Schattensignal S1, das ihm über ein um 16 Takte verzögerndes Verzögerungsglied zugeführt wird, gesteuert. Ausserdem sind die Ausgänge der beiden Register ZSP1 bzw. ZSP2 über ein UND-Glied miteinander verknüpft, das damit ein bereinigtes Schattensignal S2 abgibt.

An den Multiplexerausgang dieser Segmentierungsschaltung SEG ist nun eine Segmentierungs-Auswerteschaltung SEGA angeschlossen. In dieser wird zunächst das seriell zugeführte Eingangssignal in einem ersten Serien-Parallelwandler SIP01 in ein paralleles Zeilensignal umgewandelt, das einem Decodierer DEC zugeführt wird. Dieser Decodierer gibt an seinem Ausgang zwei Segmentiermeldungen ZEL bzw. ZER an ein weiteres Schaltwerk SW2 ab. Die erste Segmentiermeldung ZEL kennzeichnet ein Zeichen, das links vom Abtastbereich steht, die zweite umgekehrt ein Zeichen rechts des Abtastbereichs. Diese dem zweiten Schaltwerk SW2 zugeführten Segmentiermeldungen werden abhängig von einem vom noch zu beschreibenden Mikroprozessorsystem abgegebenen Freigabesignal FR und dem Ausgangssignal eines Spaltenzählers SCTR als Segmentiersignal TRAP an das Mikroprozessorsystem abgegeben. Dieses Signal kann nur auftreten, wenn der Spaltenzähler SZTR maximalen Zählerstand hat. Die Zählbedingung für den Spaltenzähler wird ihm über ein Steuersignal RI für die Abtastrichtung von der Vergleicherschaltung COMP der Korrelationsschaltung COR zugeführt. Die Zählbedingung ist immer dann erfüllt, wenn eine Richtung von rechts nach links oder umgekehrt von der Korrelationsschaltung COR ausgegeben wird. Das bedeutet, dass sich das abgetastete Zeichen um eine Spalte verschoben hat. Durch das noch zu beschreibende Mikroprozessorsystem kann nun ein Bereich eingestellt werden, der für n Spalten eine Segmentierfreigabe verhindert. Dazu besitzt der Spaltenzähler SCTR einen nicht mehr dargestellten Ladeingang, der an das Mikroprozessorsystem angeschlossen ist. Bei maximalem Zählerstand dieses Spaltenzählers erhält das zweite Schaltwerk SW2 ein Freigabesignal für das Segmentiersignal TRAP, mit dem das Mikroprozessorsystem die Meldung bekommt, dass ein komplettes Zeichen im Abtastfenster des Abtasters vorliegt. Dieses wird dann in das Mikroprozessorsystem übertragen.

Dazu dient eine Übertragungsschaltung DMA. Diese enthält einen zweiten Multiplexer MUX2, dem die Ausgangssignale der Segmentierschaltung SEG und das von der Zeilenverfolgungsschaltung ZV ausgegebene Bildsignal zugeführt werden. Auch dieser Multiplexer wird durch das verzögerte

erste Schattensignal S1 gesteuert und übergibt die Bilddaten seriell an einen weiteren, bidirektionalen Serien-Parallelwandler SIP02 mit einer Datenbreite von 8 Bit an seinen parallelen Ein- bzw. Ausgängen. Dieser Serien-Parallelwandler bildet die Eingangsschaltung für einen 8 Bit breiten Datenbus D-BUS des Mikroprozessorsystems. Gesteuert wird dieser Serien-Parallelwandler mit Steuersignalen AW, die der Übertragungsschaltung, wie noch zu erläutern sein wird, vom Mikroprozessorsystem zugeführt werden. Der Serien-Parallelwandler SIP02 besitzt darüber hinaus einen bitseriellen Ausgang, der an die Eingänge der beiden Register ZSP1 bzw. ZSP2 der Segmentierschaltung SEG angeschlossen ist. So können auch über den Datenbus D-BUS vom Mikroprozessorsystem übertragene Daten in den Zwischenspeicher eingegeben werden.

Diese Übertragungsschaltung DMA bildet nun den Eingang für die mit zwei Schatten übertragenen Bilddaten in das Mikroprozessorsystem. Dieses ist in Fig. 3 dargestellt. Sobald die Bilddaten, ausgelöst durch das Segmentiersignal TRAP, in den Arbeitsspeicher M-RAM des Prozessorsystems übertragen sind, kann gepuffert gearbeitet werden, d.h. der Abtastvorgang und die daran sich anschliessende Aufbereitung des Bildsignals ist von der weiteren Aufbereitung und Auswertung des Bildsignals losgelöst, die nun noch zu erläutern Arbeitsschritte laufen also zumindest teilweise parallel zur Abtastung eines nächsten Musters.

Das in Fig. 3 dargestellte Mikroprozessorsystem kann z.B. mit dem handelsüblichen Mikroprozessorsystem 8085 schaltungstechnisch realisiert werden. Im hier vorliegenden Anwendungsfall übernimmt es die Aufgabe der zweiten Aufbereitungseinheit 4 mit deren zugeordnetem Speicher 4' gemäss Fig. 1. In ihm ist neben dem bereits erwähnten Arbeitsspeicher M-RAM ein Prozessor CPU und ein Mikroprogramm Speicher M-ROM an den Datenbus D-BUS angeschlossen. Daneben weist es einen 8-Bit-Zähler als Adressenzähler MCT1 auf, der normalerweise als Adressregister für den Arbeitsspeicher M-RAM verwendet wird. Bei einer Bilddatenübertragung gilt er als Adresszähler, der vom Mikroprozessor CPU geladen werden kann. Der Mikroprozessor kann aber auch die im Adressregister stehende Adresse abfragen.

Ein zweiter 8-Bit-Zähler MCT2 übernimmt in diesem Mikroprozessorsystem mehrere Funktionen und kann vom Mikroprozessor CPU geladen werden. Bei einer Bilddatenübertragung zählt er die Anzahl der zu übertragenden Bytes und beendet diese, sobald sein an eine der Übertragungsschaltung DMA zugeordnete Steuereinheit DMA' angeschlossener Zählerausgang ein Signal «1» führt. Mit diesem Signal wird dann die Bildübertragung beendet.

Bei der Zeilensegmentierung, die das Mikroprozessorsystem unterstützt, wird er als Konjunktion verwendet. Die Bilddaten werden in den Arbeitsspeicher M-RAM so eingeschrieben, dass ein Weissselement einem Zustand «1» entspricht. Ein Weiss-Byte kann dann an dem genannten Ausgang des Zählers abgefragt werden. Mit einem der Übertragungsschaltung zugeführten Auswahlssignale AW kann nun ein Weiss-Byte oder ein Schwarz-Byte abgefragt werden. Diese Bytes werden vom Arbeitsspeicher M-RAM zu dem zweiten Adressenzähler solange übertragen, bis ein Zustandswechsel der Bytes eintritt. Der Mikroprozessor CPU ändert dann dieses Auswahlssignal AW.

Der zweite Adressenzähler MCT2 wird weiterhin als ein Ausgabeter P3 des Mikroprozessorsystems verwendet. Damit können von dem Mikroprozessor CPU-Daten an eine Ausgabeschneidstelle AGS, z.B. Zeichenkennungen für ein erkanntes Zeichen, ausgegeben werden. Dies gilt aber auch für Werte für die Zeichenbreite und die Vorsegmentierung, die an entsprechende Register der beschriebenen Schaltungen ausgegeben werden können. Daneben können auch Daten für Prüf-

zwecke ausgegeben werden. Immer dann, wenn dieser zweite Adresszähler MTC2 als Ausgabator verwendet wird, werden vom Mikroprozessor CPU zugleich Steuersignale erzeugt und auf den Adressenbus A-BUS ausgegeben, die die Funktion des Zählers im jeweiligen Fall kennzeichnen.

Die Adressen für den Arbeitsspeicher M-RAM gibt der Prozessor CPU im Zeitmultiplex auf den Datenbus D-BUS zusammen mit einem entsprechenden Steuersignal ab. Dieses Steuersignal steuert die Übernahme der Adresse in das entsprechende Adressenregister, z.B. in den ersten Adressenzähler MCT1. Danach erst wird das Datenbyte auf dem Datenbus D-BUS übertragen, Steuersignal dafür ist ein Zyklus-signal «Lesen» oder «Schreiben».

Zwei weitere Tore des Mikroprozessorsystems sind in den Toren P1, P2 des Mikroprogramm-speichers M-ROM realisiert. Sie werden vom Mikroprozessor CPU angesteuert. Sie können als Eingangsport oder auch als Ausgangsport geschaltet werden, dabei wird allerdings das erste dieser beiden Tore ausschliesslich für die Eingabe der niedrigwertigen Bitstellen der noch zu erläuternden Klassifikatorwerte d_F in das Prozessorsystem benutzt.

Dieses Prozessorsystem hat die Aufgabe, das übertragene Bildsignal weiter zu bearbeiten. Bis zum Abschluss dieser Bearbeitung kann nun keine Segmentierung mehr angenommen werden. Dabei wird eine Bildbereinigung durchgeführt, bei der nicht zum Zeichen gehörende Bildinformation an den Rändern abgeschnitten wird, d.h. durch Weiss-Signale ersetzt wird. Neben dieser Bildbereinigung wird das in dem Arbeitsspeicher M-RAM stehende Bitmuster in beiden Achsen zentriert. Dazu muss zunächst der Mittelpunkt des Zeichens festgestellt werden und dieser Punkt dann in eine definierte Lage gebracht werden. Allerdings wird dies hier nicht etwa dadurch erreicht, dass das im Arbeitsspeicher stehende Bitmuster durch Auslesen und Wiedereinschreiben verschoben wird, vielmehr wird die Verschiebung durch eine Adressenmodifikation erreicht. Gleichzeitig wird anhand des Bitmusters die Grösse des Zeichens gemessen und das Bitmuster immer dann nicht weiter ausgewertet, wenn es für ein wirkliches Zeichen eine zu geringe Ausdehnung besitzt. Ist das Bitmuster des übertragenen Bildsignals bereinigt und zentriert, dann ist die Vorverarbeitung des abgetasteten Zeichens abgeschlossen und die weitere Auswertung wird nun im wesentlichen der Erkennungseinheit 5 gemäss Fig. 1 zugewiesen. Die Klassifizierung des abgetasteten und aufbereiteten Zeichens wird mit einem an sich bekannten quadratischen Polynomklassifikator durchgeführt. Die hierfür benötigten Schaltungen sind in Fig. 4 insoweit dargestellt als hier für die Zwecke eines Handlesegerätes dieses sonst bei Hochleistungsbelegern bekannte Klassifizierungsverfahren in besonderer Weise schaltungstechnisch realisiert ist.

Die in Fig. 4 dargestellte Schaltungsanordnung stellt im Prinzip einen Satellitenrechner dar, der es ermöglicht, nun wiederum die Klassifizierung eines Zeichens parallel zu den Aufbereitung des nachfolgenden Zeichens vorzunehmen. Dies wird dadurch erreicht, dass dieser Satellitenrechner nach der ihm mitgeteilten Fertigmeldung des Mikroprozessorsystems dann die Übertragung des zu klassifizierenden Bitmusters aus dem Arbeitsspeicher M-RAM des Mikroprozessorsystems veranlasst, sobald die Klassifizierung des vorherigen Zeichens abgeschlossen ist. Dieses Bitmuster wird dann über den Datenbus D-BUS in eine Verknüpfungseinheit VE übertragen. Diese besitzt einen Parallel-Serien-Wandler PISO, der zwischen dem Datenbus D-BUS und einem Merkmalspeicher V-RAM angeordnet ist und von dem das zu klassifizierende Bitmuster seriell in letzteren übertragen wird. Das Bitmuster besitzt einen Umfang von 256 Bit, der Speicher mit wahlfreiem Zugriff weist eine Kapazität von 1024 Bit auf. Sobald das Bitmuster in diesen Speicher übertragen ist, wird die

6.

Bereitmeldung der Erkennungseinheit an das Mikroprozessorsystem und dessen Fertigmeldung zurückgesetzt. Das Mikroprozessorsystem ist dann in der Lage, das nächste Bildsignal aufzubereiten.

Neben der Verknüpfungseinheit VE besitzt die Erkennungseinheit einen Klassifikatorspeicher K-M. Zu diesem zu zählen ist ein Festwertspeicher PSL mit einer Kapazität von $2K \times 8$, der an sich Teil des Programmspeichers des Mikroprozessorsystems ist. Weiterhin gehören dazu vier Teilspeicher K01 bis K04 mit einer Kapazität $4K \times 8$, die die Koeffizienten eines Klassifikators enthalten, wie noch zu erläutern sein wird.

In einem Rechenwerk RW ist an die Ausgänge dieser vier Teilspeicher K01 bis K04 je ein Rechenwerksregister REG1, REG2, REG3 bzw. REG4 angeschlossen. Deren Ausgänge sind gemeinsam über einen Klassifikatorbus K-BUS an den Eingang eines 12-Bit-Addierers ADD angeschlossen, der seinerseits mit einem 12-Bit-Akkumulator ACC verbunden ist. Am Ausgang dieses Akkumulators werden errechnete d_F -Werte abgegeben und – wie aus Fig. 3 zu erkennen ist – dem Mikroprogramm-speicher M-ROM des Mikroprozessorsystems übergeben.

Um die Wirkungsweise dieser Erkennungseinheit zu erläutern, sei vorher noch kurz auf das an sich bekannte Klassifikationsverfahren mit einem quadratischen Polynomklassifikator eingegangen. Bei diesen Klassifizierungsverfahren wird die Klassenzugehörigkeit eines Zeichenmusters durch eine berechnete Schätzungsfunktion ausgedrückt:

$$d_F = \sum_{i=1}^{i=i_{\max}} a_{iF} x_i$$

Dabei bedeutet

- F = Zahl der Bedeutungsklassen
- a_{iF} = Koeffizienten des Polynoms
- x_i = lineare Zeichenmerkmale bzw. quadratische Verknüpfungen,

d.h. a_F den Koeffizientenvektor des zur Klasse F gehörenden Polynoms und x den Eigenschaftsvektor, der aus den Merkmalen und quadratischen Verknüpfungen von Merkmalen gebildet ist.

Eines der wichtigsten Merkmale dieses Klassifikationsverfahrens in bezug auf seine Erkennungssicherheit besteht darin, den Polynomansatz hinsichtlich der linearen und quadratischen Glieder und hinsichtlich ihrer Zahl i zu optimieren. Der Übergang vom linearen zum quadratischen Klassifikator bedeutet hier eine erhebliche Leistungsverbesserung bei vermindertem Aufwand. Im vorliegenden Fall werden maximal $i = 768$ Glieder gebildet. Massgebend für die Erkennungssicherheit ist daneben auch die Art der Durchführung des Lernprozesses, bei dem in einer Regressionsanalyse die Koeffizientenvektoren ermittelt werden. Da dies an sich für unterschiedliche Schriftarten durchgeführt werden kann, sind solche nichtlinearen Klassifikationsverfahren an verschiedene Schriftarten anpassbar. Im vorliegenden Fall bedeutet dies, dass durch den Austausch des Inhalts des Klassifikatorspeichers K-M das Handlesegerät an eine gewünschte Schriftart anpassbar ist.

Bezogen nun auf die in Fig. 4 dargestellte Erkennungseinheit läuft der Auswertungsvorgang folgendermassen ab: Das in dem Mikroprozessorsystem endgültig aufbereitete und zentrierte Zeichenmuster wird in den Merkmalspeicher V-RAM übertragen. Die Verknüpfungsanweisungen, d.h. die Angaben, welche Merkmale miteinander zu verknüpfen sind, sind in dem Festwertspeicher PSL des Klassifikatorspeichers K-M in Form von Merkmalspeicheradressen festgehalten. Die Verknüpfungsadressen bezieht der Merkmalspeicher V-RAM aus

dem Festwertspeicher PSL des Klassifikatorspeichers K-M, der mit dem Adresszähler V-CTR angesteuert wird. Die aus dem Merkmalspeicher gelesenen Merkmale werden über einen in der Verknüpfungseinheit VE nochmals angedeuteten, an sich jedoch im Mikroprozessorsystem angeordneten Serien-Parallel-Wandler SIP0 diesem als 8-Bit-Wort wieder zugeführt. Dort wird die Merkmalverknüpfung durchgeführt, diese ist immer dann «1», wenn der Inhalt der beiden zu einer Verknüpfung gehörenden Adressen «d1» ist, sonst «0». Die Adressen sind im Festwertspeicher PSL so angeordnet, dass das Mikroprozessorsystem die ersten 8 Merkmale mit den zweiten 8 Merkmalen byteweise konjunktiv verknüpft. Die Verknüpfungsergebnisse werden byteweise über den Datenbus D-BUS der Verknüpfungseinheit VE zugeführt und über den Parallel-Serien-Wandler PIS0 byteweise wieder in den Merkmalspeicher V-RAM übertragen.

Mit diesen vorab gebildeten und abgespeicherten Verknüpfungen werden die d_F -Werte der einzelnen Zeichenklassen für ein Zeichen nacheinander berechnet. Die Koeffizienten a_{iF} des Klassifikators sind in den Teilspeichern K01 bis K04 so untergebracht, dass sich der erste Koeffizient der ersten Zeichenklasse im ersten Teilspeicher, der zweite im zweiten und so weiter und der fünfte dann wieder im ersten Teilspeicher befindet. Insgesamt hat jede Zeichenklasse vorzugsweise 512 Koeffizienten. Diese Anordnung der Koeffizienten in den Teilspeichern K01 bis K04 ermöglicht es, die d_F -Werte der einzelnen Zeichenklassen in je einem Rechenschritt nacheinander zu berechnen.

Jeweils vier Koeffizienten werden in die Rechenwerksregister REG1 bis REG4 parallel übernommen. Diese vier Register werden von dem Adresszähler V-CTR, der auch die Teilspeicher K01 bis K04 adressiert, so angesteuert, dass Tri-State-Ausgänge der einzelnen Register nacheinander durchgeschaltet werden. Damit liegen die Koeffizienten auf dem Klassifikatorbus K-BUS nacheinander an der eigentlichen Rechenschaltung, bestehend aus dem Addierer ADD und dem Akkumulator ACC an. Die dazugehörigen Verknüpfungen werden gleichzeitig aus dem Merkmalspeicher V-RAM ausgelesen und dem Akkumulator ACC zugeführt. Nur wenn die zugehörige Verknüpfung «1» ist, wird der entsprechende Koeffizient im Akkumulator ACC addiert. Ist der d_F -Wert einer Zeichenklasse fertig berechnet, so wird er aus dem Akkumulator ACC gelesen und dem Mikrocomputersystem wieder zugeführt.

Dieses ist also an der Berechnung der d_F -Werte nicht beteiligt, kann also in dieser Zeit die Maximalwertsuche der nacheinander berechneten d_F -Werte und des RAD^2 -Wertes vornehmen. Danach fragt das Mikroprozessorsystem das Rechenwerk RW danach ab, ob ein weiterer berechneter d_F -Wert vorliegt.

Nach Berechnung aller d_F -Werte liegt der RAD^2 -Wert und auch der maximale d_F -Wert vor. Abhängig von der Grösse des RAD^2 -Wertes wird eine Rückweisung oder eine Zeichenkennung – wie beschrieben – an die Ausgabenschnittstelle AGS ausgegeben. Danach kann eine neue Zeichenaufbereitung im Mikroprozessorsystem beginnen.

FIG 1

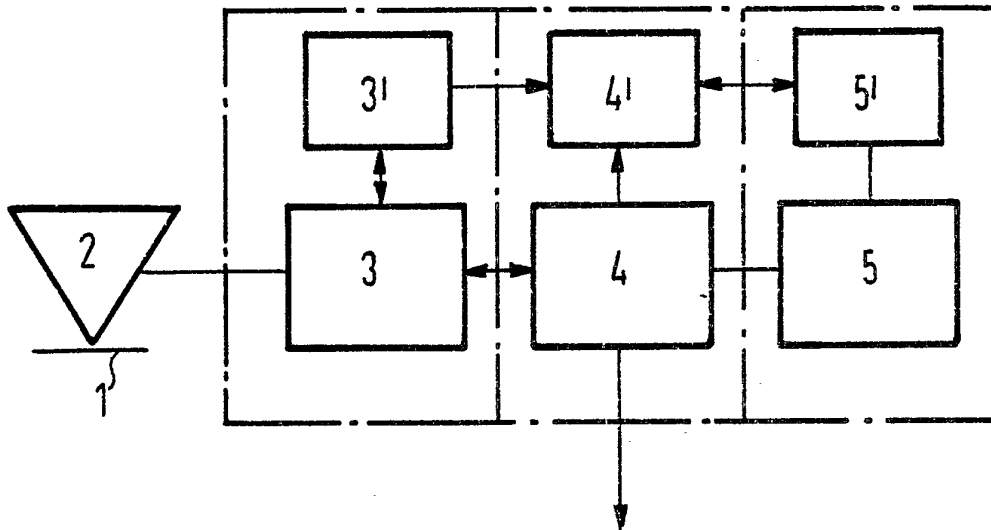


FIG 2

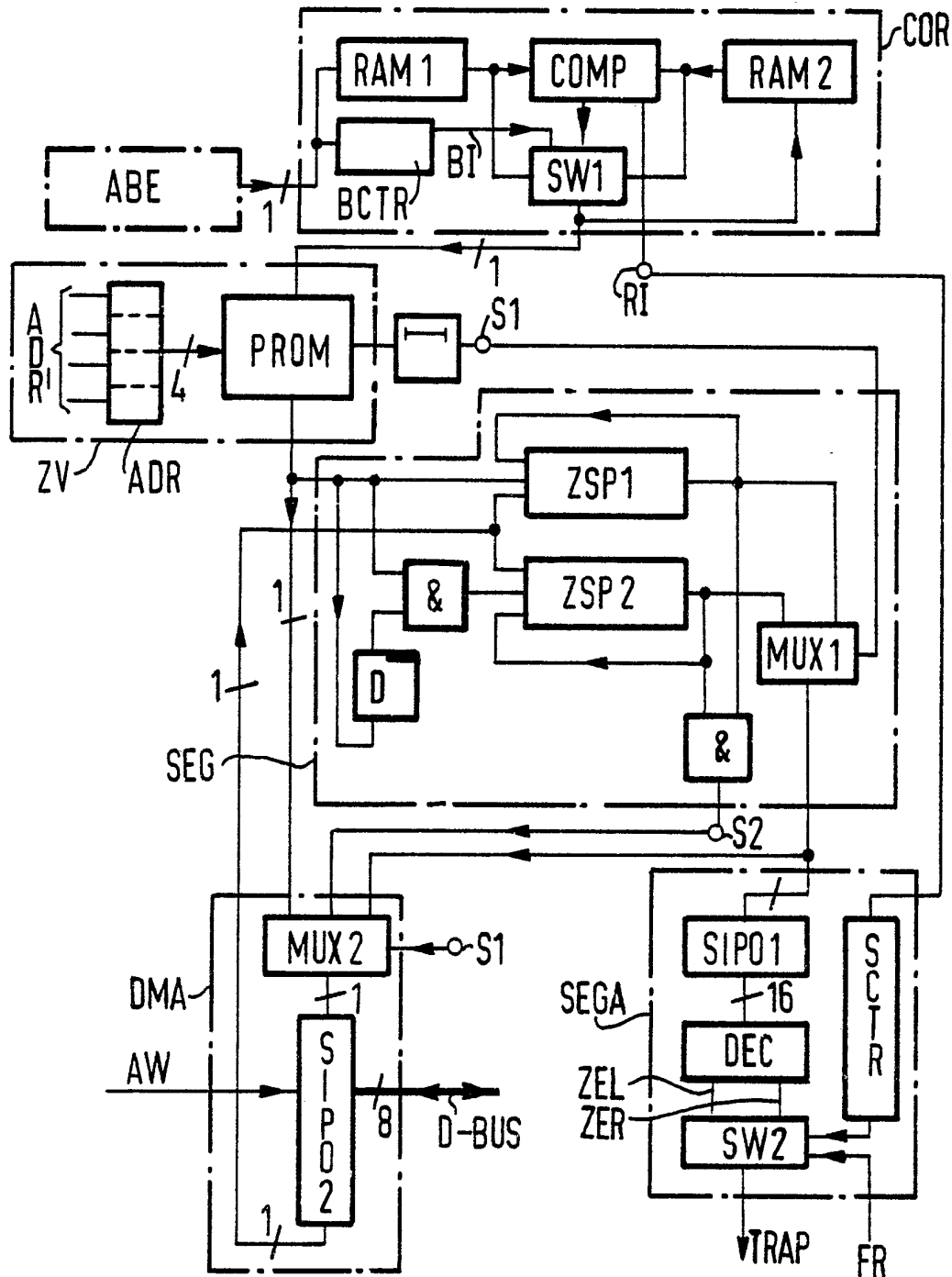


FIG 3

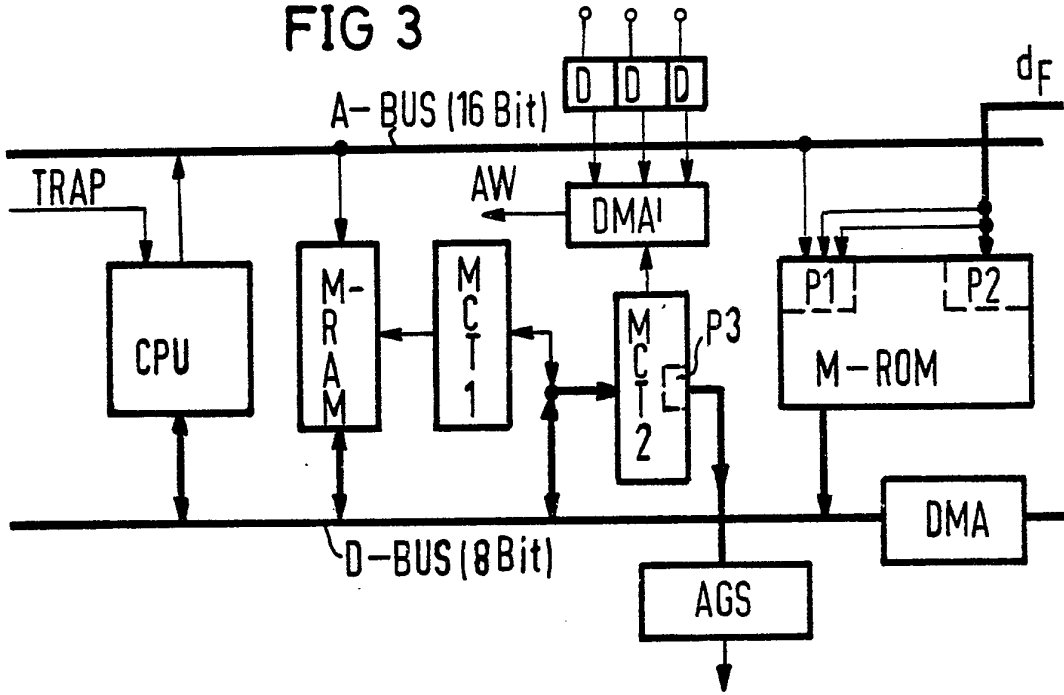


FIG 4

