

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月20日(20.03.2014)



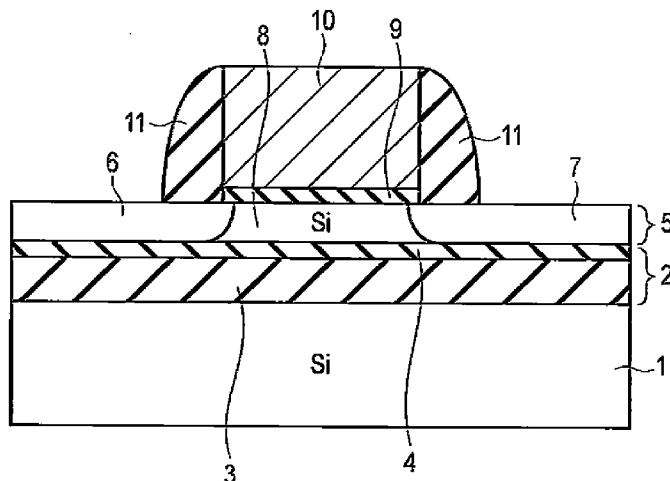
(10) 国際公開番号
WO 2014/041822 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 27/12* (2006.01)
H01L 21/02 (2006.01) *H01L 29/786* (2006.01)
- (21) 国際出願番号: PCT/JP2013/050117
- (22) 国際出願日: 2013年1月8日(08.01.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-202513 2012年9月14日(14.09.2012) JP
- (71) 出願人: 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関1丁目3番1号 Tokyo (JP).
- (72) 発明者: 小野 瑞城(ONO, Mizuki); 〒3058569 茨城県つくば市小野川16-1 独立行政法人産業技術総合研究所内 Ibaraki (JP).
- (74) 代理人: 蔵田 昌俊, 外(KURATA, Masatoshi et al.); 〒1050001 東京都港区虎ノ門一丁目三番二号 勸銀不二屋ビル六階 鈴榮特許総合事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR SUBSTRATE AND SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体基板及び半導体素子



(57) Abstract: The present invention provides: a semiconductor substrate which is capable of improving the controllability of threshold voltage by the substrate bias and the controllability of gate electrode with respect to the potential of the channel region; and a semiconductor element which uses this substrate. The present invention is a semiconductor substrate which is used for the formation of a semiconductor element, and which is provided with: a supporting substrate (1); a buried insulating film (2) that is formed in contact with one main surface of the supporting substrate (1); and a semiconductor layer (5) that is formed in contact with the buried insulating film (2) on a surface that is on the reverse side of the supporting substrate (1)-side surface, said semiconductor layer (5) having a film thickness thinner than that of the supporting substrate (1). The dielectric constant of the buried insulating film (2) in a region that is in contact with the semiconductor layer (5) is lower than the dielectric constant of the buried insulating film (2) in a region that is in contact with the supporting substrate (1).

(57) 要約:

[続葉有]



WO 2014/041822 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、基板バイアスによるしきい値電圧の制御性向上及びチャネル領域の電位に対するゲート電極の制御性向上に寄与し得る、半導体基板及びこの基板を用いた半導体素子を提供するものである。本発明は、半導体素子の形成に供される半導体基板であって、支持基板(1)と、支持基板(1)の主面に接して形成された埋め込み絶縁膜(2)と、埋め込み絶縁膜(2)の支持基板(1)と反対側に埋め込み絶縁膜(2)と接して形成され、かつ、支持基板(1)よりも膜厚の薄い半導体層(5)とを備えている。そして、埋め込み絶縁膜(2)の半導体層(5)と接する領域の誘電率が支持基板(1)と接する領域の誘電率よりも低い半導体基板である。

明 細 書

発明の名称：半導体基板及び半導体素子

技術分野

[0001] 本発明の実施形態は、支持基板上に埋め込み絶縁膜を介して半導体層が形成された半導体基板、及びこの半導体基板を用いた半導体素子に関する。

背景技術

[0002] 半導体集積回路においては、低消費電力化をはかるための低電源電圧化が進められて居る。この目的のために、基板バイアスを印加することによりしきい値電圧を制御する技術がある。この技術において、しきい値電圧の制御のために必要な電圧が回路動作に用いる電圧よりも高いと、回路動作のための電源とは別にしきい値電圧の制御のための新たな電源が必要となる。そこで、より低い基板バイアス電圧でしきい値電圧を有効に制御すること、即ち一定の基板バイアス電圧の下でのしきい値電圧の変動値を大きくすることが求められる。そのためには、支持基板上に埋め込み絶縁膜を介して形成された半導体層の上に形成された素子、即ちSOI（一般的には Silicon On Insulator であるが、ここでは Semiconductor On Insulator を意味するものとする）構造の素子においては、支持基板と素子形成用半導体層との容量結合を大きくする必要がある。

[0003] 容量結合を大きくするには、埋め込み絶縁膜を薄く形成することが有効であるが、例えばゲート絶縁膜の薄膜化と比較するとその実現は容易ではない。容量結合を大きくする他の方法としては、埋め込み絶縁膜を従来の酸化シリコンと比べて誘電率の高い材料で形成することが考えられる。しかし、埋め込み絶縁膜を誘電率の高い材料で形成することは、ソース・ドレイン領域とチャネル領域との埋め込み絶縁膜を介した容量結合をも強めることになる。これは、ソース・ドレイン間に形成される電位障壁を低めてしまうFIBL (Fringing Induced Barrier Lowering) 現象を引き起こし、チャネル領域の電位に対するゲート電極の制御性を低下させる。その結果として、ソース

・ドレイン間を流れる電流に対するゲート電極の制御性を低下させてしまう
と云う問題があった。

先行技術文献

非特許文献

[0004] 非特許文献1 : B.-Y. Tsui, et al., in IEEE Trans. Electron Devices, (2004) vol. 51 no. 10, pp.1733-1735

非特許文献2 : M.-W. Ma, et al., in Japanese Journal of Applied Physics , (2006) vol. 45 no. 9A, pp.6854-6859

発明の概要

発明が解決しようとする課題

[0005] 発明が解決しようとする課題は、基板バイアスによるしきい値電圧の制御性向上及びチャネル領域の電位に対するゲート電極の制御性向上に寄与し得る、半導体基板及びこの基板を用いた半導体素子を提供することである。

課題を解決するための手段

[0006] 実施形態の半導体基板は、支持基板と、前記支持基板の一主面に接して形成された埋め込み絶縁膜と、前記埋め込み絶縁膜の前記支持基板と反対側に該埋め込み絶縁膜と接して形成され、且つ前記支持基板よりも膜厚の薄い半導体層とを具備している。そして、前記埋め込み絶縁膜の前記半導体層と接する領域の誘電率が前記支持基板と接する領域の誘電率よりも低い。

図面の簡単な説明

[0007] [図1]図1は、第1の実施形態に係わる半導体素子の概略構成を示す断面図である。

[図2]図2は、第1の実施形態の半導体素子の製造に用いる半導体基板の製造工程を示す断面図である。

[図3]図3は、第1の実施形態の半導体素子の製造工程を示す断面図である。

[図4]図4は、第1の実施形態の半導体素子の性能を説明するための特性図である。

[図5]図5は、第1の実施形態の半導体素子の性能を説明するための特性図である。

[図6]図6は、第1の実施形態の第1の変形例の製造工程を示す断面図である。

[図7]図7は、第1の実施形態の第2の変形例の製造工程を示す断面図である。

[図8]図8は、第1の実施形態の第3の変形例の製造工程を示す断面図である。

[図9]図9は、第2の実施形態に係わる半導体素子の概略構成を示す断面図である。

[図10]図10は、第2の実施形態の半導体素子の製造に用いる半導体基板の製造工程を示す断面図である。

[図11]図11は、第2の実施形態の半導体素子の製造工程を示す断面図である。

[図12]図12は、第2の実施形態の第1の変形例の製造工程を示す断面図である。

[図13]図13は、第2の実施形態の第2の変形例の製造工程を示す断面図である。

[図14]図14は、第3の実施形態に係わる半導体素子の概略構成を示す断面図である。

[図15]図15は、第3の実施形態の半導体素子の製造に用いる半導体基板の製造工程を示す断面図である。

[図16]図16は、第3の実施形態の半導体素子の製造工程を示す断面図である。

発明を実施するための形態

[0008] 以下、本発明の実施形態を図面を参照して説明する。

[0009] (第1の実施形態)

図1は、第1の実施形態に係わる半導体素子の概略構成を示す断面図であ

る。

[0010] 例えばシリコンで形成された支持基板 1 上に、埋め込み絶縁膜 2 が形成されている。埋め込み絶縁膜 2 は、支持基板 1 側に厚さ 19 nm の酸化ハフニウム膜 3 を形成し、その上に厚さ 1 nm の酸化シリコン膜 4 を形成した積層構造となっている。そして、埋め込み絶縁膜 2 の上には、シリコンからなる半導体層 5 が形成されている。

[0011] 半導体層 5 内には、As（砒素）を含むソース領域 6 とドレイン領域 7 とが形成され、ソース・ドレイン領域 6, 7 間に B（硼素）を含むチャネル領域 8 が形成されている。チャネル領域 8 の上には、酸化ハフニウムと酸化シリコンとの積層構造からなるゲート絶縁膜 9 を介してゲート電極 10 が形成されている。そして、ゲート電極 10 の両側にはゲート側壁絶縁膜 11 が形成されている。

[0012] なお、図 1 において、配線金属、層間絶縁膜等は省略してある。また、図 1 は素子の構造を分かり易く示すためのものであり、図 1 における縮尺は正確ではない。また、本発明は、以下の実施形態に限定されるものではなく、種々変更して用いることができる。

[0013] 本実施形態の半導体素子の製造工程を以下に説明する。最初に、半導体基板の製造工程を図 2 (a) ~ (d) を用いて説明する。

[0014] まず、図 2 (a) に示すように、シリコン等の支持基板 1 の上に、化学的气相成長 (CVD) 等の方法により、厚さ 19 nm の酸化ハフニウム膜 3 を形成する。

[0015] 一方、図 2 (b) に示すように、シリコン基板 12 の上に、熱酸化法等の方法により、厚さ 1 nm の酸化シリコン膜 4 を形成する。

[0016] 次いで、図 2 (c) に示すように、支持基板 1 上に形成された酸化ハフニウム膜 3 とシリコン基板 12 上に形成された酸化シリコン膜 4 とを、例えば加熱等の方法により貼り合わせる。この工程を経ることにより、酸化ハフニウム膜 3 と酸化シリコン膜 4 とは積層構造となり、埋め込み絶縁膜 2 を形成することになる。

- [0017] 次いで、図2（d）に示すように、機械研磨法等の方法により、シリコン基板12の一部を除去し、本実施形態の半導体基板を形成する。この工程によりシリコン基板12は半導体層5となる。
- [0018] 次に、上記の半導体基板を用いた本実施形態の半導体素子の製造工程を、図3（a）～（e）を用いて説明する。
- [0019] まず、図3（a）に示すように、半導体層5にBを注入した後に、半導体層5の上に熱酸化等の方法により厚さ1nmの酸化シリコン膜（図示せず）を形成する。続いて、CVD等の方法により厚さ5nmの酸化ハフニウム膜を形成し、これにより酸化シリコン膜と酸化ハフニウム膜との積層絶縁膜13を形成する。
- [0020] 次いで、図3（b）に示すように、CVD等の方法により、積層絶縁膜13上に厚さ50nmのタングステン膜14を形成する。
- [0021] 次いで、図3（c）に示すように、タングステン膜14に活性イオンエッチング法等の処理を施すことにより一部を選択的に除去し、これによりタングステン膜からなるゲート電極10を形成する。続いて、積層絶縁膜13に湿式処理等の処理を施すことにより一部を選択的に除去し、これにより積層絶縁膜からなるゲート絶縁膜9を形成する。
- [0022] 次いで、図3（d）に示すように、ゲート電極10をマスクとして用いて、半導体層5内にAsを注入することにより、エクステンション領域15を形成する。
- [0023] 次いで、ゲート電極10の側部にゲート側壁絶縁膜11を形成する。具体的には、全面にCVD等の方法により厚さ20nmの酸化シリコン膜を形成した後、活性イオンエッチング法等の方法を用いて酸化シリコン膜の一部を選択的に除去する。これにより、酸化シリコン膜がゲート電極10の側面のみに残ることになる。
- [0024] 続いて、半導体層5にAsを注入することにより、エクステンション領域15と共にソース領域6とドレイン領域7、及びこれらに挟まれたチャネル領域8を形成する。これにより、前記図1に示す構造が得られる。これ以降

は、従来技術と同様にして層間絶縁膜形成工程及び配線工程等を経て、n型MOSトランジスタが完成することになる。

[0025] 本実施形態においてはn型MOSトランジスタの場合を例に取って説明したが、光蝕刻法やリソグラフィ工程等の方法を用いて基板内の特定の領域にのみ不純物を導入すれば、n型MOSトランジスタに加えてp型MOSトランジスタをも構築することも可能である。即ち、n型MOSトランジスタ及びp型MOSトランジスタを有するCMOS型の半導体装置を作製することも可能である。

[0026] また、本実施形態においては単一のMOSトランジスタのみの形成工程を示したが、これに限らず、電界効果トランジスタ、バイポーラ型トランジスタ、及び単一電子トランジスタ等の能動素子、抵抗体、ダイオード、及びインダクタやキャパシタ等の受動素子、又は半導体記憶素子をも含む半導体装置の一部として半導体素子を形成する場合に適用することもできる。さらに、強誘電体を用いた素子や磁性体を用いた素子をも含む半導体装置の一部として半導体素子を形成する場合にも用いることができる。また、OEIC (Opt Electrical Integrated Circuit) やMEMS (Micro Electro Mechanical System) の一部として半導体素子を形成する場合も同様である。

[0027] また、本実施形態においては、n型半導体層を形成するための不純物としてはAsを、p型半導体層を形成するための不純物としてはBを用いたが、n型半導体層を形成するための不純物として他のV族不純物を用い、p型半導体層を形成するための不純物として他のIII族不純物を用いてもよい。また、III族やV族の不純物の導入はそれらを含む化合物の形で行ってもよい。

[0028] また、本実施形態においては、ソース・ドレイン領域への不純物の導入はイオン注入を用いて行ったが、イオン注入以外の例えば固相拡散や気相拡散等の方法を用いて行ってもよい。また、不純物を含有する半導体を堆積又は成長させる等の方法を用いてもよい。イオン注入の方法を用いると、n型半導体素子とp型半導体素子とを含む相補型の半導体装置の形成が容易である

と云う利点がある。不純物を含有する半導体を堆積する、又は固相拡散や気相拡散等の方法を用いて不純物の導入を行うと、高い不純物濃度の実現が容易であると云う利点がある。

[0029] また、本実施形態では言及していないが、ソース・ドレイン領域上にストレッサーを形成してもよい。この場合、チャネル領域に歪みを印加すると電流キャリアの移動度が向上するので好ましい。

[0030] また、本実施形態においては、素子のしきい値電圧を調節するための不純物導入は行っていないが、ゲート電極形成前のシリコン基板への不純物導入とは別にしきい値電圧調節のための不純物導入を行ってもよい。このようにすると、しきい値電圧を所望の値に設定しやすくなると云う利点を得られる。また、本実施形態のようにすると、工程の簡略化がはかれると云う利点がある。

[0031] また、本実施形態においては、素子を形成する半導体層としてシリコンを用いたが、半導体層としてはシリコンに限るものではなく、ゲルマニウム又はシリコンとゲルマニウムとの混晶を用いても良い。ゲルマニウム又はシリコンとゲルマニウムとの混晶は、シリコンに比べて電流キャリアの移動度が高いと云う利点があるので好ましい。また、素子を形成する半導体層としてIII族元素とV族元素との化合物である半導体を用いても良い。そのような化合物もまたシリコンに比べて電流キャリアの移動度が高いと云う利点があるので好ましい。特に、 InAs （インジウム砒素）、 InGaAs （インジウムガリウム砒素）、 InSb （インジウムアンチモン）等は、電流キャリアの移動度が特に高いので好ましい。また、チャネル領域に歪みを印加することも移動度の向上がはかれるので好ましい。一方、半導体層としてシリコンを用いると、従来の製造工程をそのまま用いることができるので、製造工程の構築が容易であると云う他の利点がある。

[0032] また、本実施形態においては、ソース・ドレイン領域の形成をゲート電極又はゲート絶縁膜の加工の後に行っているが、これらの順序は本質ではなく、逆の順序で行ってもよい。ゲート電極又はゲート絶縁膜の材質によっては

、熱工程を施すことが好ましくない場合がある。そのような場合には、ソース・ドレイン領域への不純物の導入又は活性化の熱工程を、ゲート電極及びゲート絶縁膜の加工に先立って行うことが好ましい。

[0033] また、本実施形態においては、ゲート電極はタングステンを用いて形成しているが、他の金属を用いて形成してもよい。単結晶シリコンや非晶質シリコン等の半導体、金属を含む化合物等、又はそれらの積層等で形成してもよい。半導体を用いてゲート電極を形成すると、しきい値電圧の制御が容易であると云う利点がある。さらに、相補型の半導体装置を形成する場合に n 型半導体素子と p 型半導体素子との何れに対しても、しきい値電圧を所望の値に設定することが容易であると云う他の利点もある。また、金属又は金属を含む化合物でゲート電極を形成すると、ゲート電極の抵抗が抑制されるので素子の高速動作が得られ、好ましい。また、金属でゲート電極を形成すると、酸化反応が進みにくいので、ゲート電極と絶縁膜との界面における準位が抑制される等の界面の制御性が良いと云う利点もある。

[0034] また、本実施形態においては、ゲート電極の形成はその材料を堆積した後、異方性エッチングを施すと云う方法を用いて形成しているが、例えばダマシンプロセス等のような埋め込み等の方法を用いて形成してもよい。ゲート電極の形成に先立ってソース・ドレイン領域を形成する場合には、ダマシンプロセスを用いると、ソース・ドレイン領域とゲート電極とが自己整合的に形成されるので好ましい。

[0035] また、本実施形態においては、素子を流れる電流の主方向に測ったゲート電極の長さは、ゲート電極の上部も下部も等しいが、このことは本質的ではない。例えば、ゲート電極の上部を測った長さの方が下部を測った長さよりも長いアルファベットの「T」の字のような形であってもよい。この場合には、ゲート抵抗を低減することができると云う利点が得られる。

[0036] また、本実施形態においては、シリサイドやジャーマナイド等の工程には言及しなかったが、ソース・ドレイン領域上にシリサイド又はジャーマナイド層等を形成してもよい。また、ソース・ドレイン領域上に金属を含む層を

堆積又は成長させる等の方法を用いてもよい。このようにすると、ソース・ドレイン領域の抵抗が低減されるので好ましい。また、ゲート電極を多結晶シリコン等で形成する場合には、ゲート電極に対してのシリサイドやジャーマナイド化等の工程を施してもよい。その場合に、シリサイドやジャーマナイド化等の工程を施すと、ゲート抵抗が低減されるので好ましい。また、エレベート構造を用いてもよい。エレベート構造によってもソース・ドレイン領域の抵抗が低減される。

[0037] また、本実施形態においては、ゲート電極の上部は電極が露出する構造であるが、上部に例えば酸化シリコンや窒化シリコンや酸化窒化シリコン等の絶縁物を設けてもよい。特に、ゲート電極が金属を含む材料で形成されており、且つソース・ドレイン領域上にシリサイドやジャーマナイド層等を形成する場合等では、製造工程の途中でゲート電極を保護する必要がある。この場合、ゲート電極の上部に酸化シリコン、窒化シリコン、又は酸化窒化シリコン等の保護材料を設けることは、必須である。

[0038] また、本実施形態においては、ゲート絶縁膜として酸化ハフニウム膜と酸化シリコン膜との積層絶縁膜を用いたが、酸化シリコン膜や酸化窒化シリコン膜等の絶縁膜、又はそれらの積層等の他の絶縁膜を用いてもよい。絶縁膜中に窒素が存在すると、ゲート電極として不純物を含有する多結晶シリコンを用いる場合に不純物が基板中に拡散することが抑制されるために、しきい値電圧のバラツキが抑制されると云う利点がある。一方、酸化シリコンを用いると、ゲート電極との界面の界面準位及び絶縁膜中の固定電荷が少ないために、素子特性のバラツキが抑制されると云う利点が得られる。また、絶縁膜として或る物質の酸化物を用いる等の場合には、まずその物質の膜を形成しておいてそれを酸化する等の方法を用いてもよい。また、必ずしも昇温を伴わない励起状態の酸素気体に曝してもよい。

[0039] 昇温を伴わない励起状態の酸素気体に曝すと云う方法を用いて形成すれば、チャネル領域中の不純物が拡散により濃度分布を変えることが抑制されるので好ましい。更に酸化窒化シリコンを用いる場合には、まず酸化シリコン

膜を形成し、その後に昇温状態又は励起状態の窒素を含む気体に曝すことにより絶縁膜中に窒素を導入してもよい。昇温を伴わない励起状態の窒素気体に曝すと云う方法を用いて形成すれば、チャネル領域中の不純物が拡散により濃度分布を変えることが抑制される。また、まず窒化シリコン膜を形成し、その後に昇温状態又は励起状態の酸素を含む気体に曝すことにより絶縁膜中に酸素を導入してもよい。昇温を伴わない励起状態の酸素気体に曝すと云う方法を用いて形成すれば、チャネル領域中の不純物が拡散により濃度分布を変えることが抑制される。

[0040] また、ゲート絶縁膜材料として、Hf（ハフニウム）、Zr（ジルコニウム）、Ti（チタン）、Sc（スカンジウム）、Y（イットリウム）、Ta（タンタル）、Al（アルミニウム）、La（ランタン）、Ce（セリウム）、Pr（プラセオジウム）、若しくはそれら以外をも含めたランタノイド系列の元素等の金属等の酸化物等、これらの元素を初めとする様々な元素を含むシリケート材料等、又はそれらに窒素をも含有させた絶縁膜等、の高誘電体膜を用いても良い。さらに、それらの積層等の他の絶縁膜を用いてもよい。また、絶縁膜の形成方法はCVD法に限るものではなく、熱酸化法等の方法、蒸着法、スパッタ法、又はエピタキシャル成長法等の他の方法を用いてもよい。

[0041] また、本実施形態においては、埋め込み絶縁膜として酸化ハフニウム膜と酸化シリコン膜との積層絶縁膜を用いたが、本実施形態において酸化ハフニウムを用いたのに替えて、Hf、Zr、Ti、Sc、Y、Ta、Al、La、Ce、Pr、若しくはそれら以外をも含めたランタノイド系列の元素等の金属等の酸化物等、これらの元素を初めとする様々な元素を含むシリケート材料等、又はそれらに窒素をも含有させた絶縁膜等、の高誘電体膜を用いても良い。さらに、それらの積層等の他の絶縁膜を用いてもよい。

[0042] また、本実施形態において酸化シリコンを用いたのに替えて、窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜、又はそれらの積層等の他の絶縁膜を用いてもよい。酸化シリコンを用いると半導体層との界面の界面準位及び絶

縁膜中の固定電荷が少ないために、素子特性のバラツキが抑制されると云う利点を得られる。

[0043] また、絶縁膜として或る物質の酸化物を用いる等の場合には、まずその物質の膜を形成しておいてそれを酸化する等の方法を用いてもよい。また、必ずしも昇温を伴わない励起状態の酸素気体に曝してもよい。さらに、酸化窒化シリコンを用いる場合には、まず酸化シリコン膜を形成し、その後に昇温状態又は励起状態の窒素を含む気体に曝すことにより絶縁膜中に窒素を導入してもよい。又は、まず窒化シリコン膜を形成し、その後に昇温状態又は励起状態の酸素を含む気体に曝すことにより絶縁膜中に酸素を導入してもよい。また、絶縁膜の形成方法はCVD法に限るものではなく、熱酸化法等の方法、蒸着法、スパッタ法、又はエピタキシャル成長法等の他の方法を用いてもよい。

[0044] また、本実施形態においては、ゲート電極形成後の後酸化には言及していないが、ゲート電極の材料等に鑑みて可能であれば、後酸化工程を行ってもよい。また、必ずしも後酸化に限らず、例えば薬液処理や反応性の気体に曝す等の方法を用いてゲート電極の角を丸める処理を行ってもよい。これらの工程が可能な場合には、それによりゲート電極の下端角部の電場が緩和されるので、ゲート絶縁膜の信頼性が向上し、好ましい。

[0045] また、本実施形態においては明記していないが、層間絶縁膜としては酸化シリコン膜を用いてもよい。さらに、例えば低誘電率材料等の酸化シリコン以外の物質を層間絶縁膜に用いてもよい。層間絶縁膜の誘電率を低くすると、素子の寄生容量が低減されるので素子の高速動作が得られると云う利点がある。

[0046] また、コンタクト孔に関しては言及していないが、自己整合コンタクトを形成することも可能である。自己整合コンタクトを用いると、素子の面積を低減することができるので、集積度の向上がはかられ、好ましい。

[0047] また、本実施形態においては明記していないが、配線のための金属層の形成は、例えばスパッタ法等を用いて行ってもよいし、堆積法等の方法を用い

て行ってもよい。また、金属の選択成長等の方法を用いてもよいし、ダマシン法等の方法を用いてもよい。また、配線金属の材料は、シリコンを含有するA l等を用いても、C u（銅）等の金属を用いてもよい。特に、C uは抵抗率が低いので好ましい。

[0048] 次に、本実施形態の構造を持つ素子の特性に関する数値計算の結果を記す。まず、基板バイアスを印加した場合の、ゲート電圧に対するドレイン電流の依存性を図4（a）（b）に示す。何れの素子もゲート長は25 nm、ゲート絶縁膜は厚さ1 nmの酸化シリコン、半導体層は厚さ10 nmのシリコンである。埋め込み絶縁膜の比誘電率は、図4（a）に示す素子においては酸化シリコンを想定して3.9、図4（b）に示す素子においては酸化ハフニウムを想定して20とした。埋め込み絶縁膜の厚さは、何れの素子においても酸化膜換算膜厚（膜厚と酸化シリコンの誘電率（3.9）との積をその絶縁膜の誘電率で割った値）を3.9 nmとした。即ち、埋め込み絶縁膜の厚さは、図4（a）に示す素子においては3.9 nm、図4（b）に示す素子においては20 nmとした。

[0049] また、図4（c）に埋め込み絶縁膜の誘電率が3.9、厚さが20 nmの素子の結果を示す。即ち、図4（a）に示す素子は図4（c）に示す素子の埋め込み絶縁膜の誘電率を変えずに厚さを3.9 nmに薄くした素子、図4（b）に示す素子は図4（c）に示す素子の埋め込み絶縁膜の厚さを変えずに比誘電率を20にした素子、に相当している。なお、ドレイン電圧は何れにおいても1 Vである。図4（a）（b）を図4（c）と比べると、埋め込み絶縁膜を薄膜化すること及び埋め込み絶縁膜の誘電率を高めることの何れも、しきい値電圧の変動量を増すことに有効であることが分かる。これらの結果は、何れの方法も初めに記した、チャネル領域と支持基板との容量結合が増大することによると解釈される。

[0050] 次に、図4（a）（b）を比べると、埋め込み絶縁膜を誘電率の高い材料に替えることにより、しきい値電圧の変動量が増すと同時にSファクタ（S-factor：サブスレッショルド領域においてドレイン電流を一桁変化させるため

に必要なゲート電圧の変化量)が大きくなることが分かる。即ち、素子のオンとオフとの切り替わりが緩慢となることが分かる。このことは、チャンネル領域の電位に対するゲート電極の制御性が低下することを意味する。

[0051] これらのことを定量的に観るために、しきい値電圧の基板バイアスに対する依存性を図5 (a) に示す。ここにおいては、図4 (a) に示した埋め込み絶縁膜の誘電率が3.9の素子と、図4 (b) に示した埋め込み絶縁膜の誘電率が2.0の素子とに加えて、誘電率が2.0の埋め込み絶縁膜の半導体層側のみ界面層として誘電率3.9の材料に置き換えた素子をも並べて示す。なお、界面層の厚さは1 nmの素子と2 nmの素子とを示してある。また、界面層を設けた素子においても、埋め込み絶縁膜の酸化膜換算膜厚は図4 (a) (b) に示した素子と同様に3.9 nmとしてある。ここで、しきい値電圧は、素子の幅1 μm 当たりのドレイン電流が100 nAとなるゲート電圧と定義する。それ故、基板バイアスの値によってはしきい値電圧は存在しない。

[0052] 図5 (a) を観ると、実線で示す埋め込み絶縁膜の誘電率が3.9の素子に比べて、長い破線で示す埋め込み絶縁膜の誘電率が2.0の素子の方がグラフの傾きが大きい、即ちしきい値電圧の基板バイアスに対する依存性が大きいことが分かる。そして、一点鎖線で示す界面層の厚さが1 nmの素子及び二点鎖線で示す界面層の厚さが2 nmの素子は、埋め込み絶縁膜の誘電率が3.9の素子と、長い破線で示す埋め込み絶縁膜の誘電率が2.0の素子との間であることが分かる。

[0053] 続いて、Sファクタの基板バイアスに対する依存性を、図5 (b) に示す。図5 (b) を観ると、実線で示す図4 (a) に示した埋め込み絶縁膜の誘電率が3.9の素子に比べて、破線で示す図4 (b) に示した埋め込み絶縁膜の誘電率が2.0の素子の方がSファクタが著しく大きいことが分かる。そして、一点鎖線で示す界面層の厚さが1 nmの素子及び二点鎖線で示す界面層の厚さが2 nmの素子においては、Sファクタの増大が有効に抑制されていることが分かる。

[0054] 基板バイアスに伴うしきい値電圧の変動とSファクタとの振る舞いの関係を観るために、しきい値電圧が上記の全ての素子において存在する基板バイアス範囲（ $-0.6\text{ V} \sim 0.2\text{ V}$ ）における、しきい値電圧を基板バイアスで微分した値の平均値と、Sファクタの平均値との関係を図5（c）に示す。図5（c）においては、実線で上記の素子の結果を示すと共に、埋め込み絶縁膜の支持基板側の $1\text{ nm} \sim 2\text{ nm}$ に比誘電率3.9の領域を設けた素子の結果をも点線で併せて示す。図5（c）を観ると、埋め込み絶縁膜において低誘電率の領域を半導体層側に設けた場合と、支持基板側に設けた場合とを、基板バイアスに対するしきい値電圧の変動量の等しい場合に比較すると、低誘電率の領域を半導体層側に設けた場合においてSファクタが低い値に抑えられていることが分かる。即ち、低誘電率の領域を半導体層側に設けることは本質的である。それ故、本実施形態の構造の素子においてはSファクタの増大を抑制しつつ、且つしきい値電圧の基板バイアス依存性の増大はかられることが分かる。

[0055] このように本実施形態によれば、埋め込み絶縁膜2に誘電率の高い材料を用いることにより、支持基板1と素子形成半導体層5との容量結合を増大させ、基板バイアスによるしきい値電圧の制御性の向上をはかることができる。そして、埋め込み絶縁膜2の素子形成半導体層5側に誘電率の低い材料を用いることにより、埋め込み絶縁膜2を介したチャネル領域8とソース・ドレイン領域6、7との容量結合を低減することができる。このため、FIBLの抑制をはかり、チャネル領域8の電位に対するゲート電極10の制御性の向上をはかることができる。これらの結果として、従来技術においては不可避であった二律背反の関係にあった二事項の両立をはかることができる。さらに、そのことの結果として、低消費電力の高性能の半導体素子が形成され、その素子を用いることにより高性能の半導体装置（高性能・低消費電力CMOS等）を実現することが可能となる。

[0056] （第1の実施形態の変形例1）

本実施形態の半導体素子の製造に用いる半導体基板の製造工程の第1の変

形例を、図 6 (a) (b) を用いて説明する。

[0057] 前記図 2 (a) に示す工程に引き続き図 6 (a) に示すように、支持基板 1 上の酸化ハフニウム膜 3 の上に、例えば CVD 等の方法により厚さ 1 nm の酸化シリコン膜 4 を形成する。

[0058] 次いで、図 6 (b) に示すように、酸化シリコン膜 4 の上にシリコン基板 12 を、例えば加熱等の方法により貼り合わせる。この工程を経ることにより、酸化ハフニウム膜 3 と酸化シリコン膜 4 とは積層構造を成す埋め込み絶縁膜 2 となる。

[0059] これ以後は、図 2 (d) 以降に示す工程と同様である。

[0060] 本変形例においては、埋め込み絶縁膜 2 は酸化ハフニウム膜 3 と酸化シリコン膜 4 との積層としたが、このように複数種類の膜を順次成膜するのではなく、例えば CVD 法に用いる材料ガスを切り替える等の方法により連続的に成膜してもよい。また、例えば CVD 法に用いる材料ガスを連続的に変える等の方法により、膜厚方向に誘電率の連続的に変化する埋め込み絶縁膜を成膜してもよい。

[0061] 本変形例においても、上記実施形態に記したような種々の変形が可能であり、同様の効果が得られる。

[0062] (第 1 の実施形態の変形例 2)

本実施形態の半導体素子の製造に用いる半導体基板の製造工程の第 2 の変形例を、図 7 (a) (b) を用いて説明する。

[0063] 前記図 2 (b) に示す工程に引き続き図 7 (a) に示すように、シリコン基板 12 上の酸化シリコン膜 4 の上に、例えば CVD 等の方法により厚さ 19 nm の酸化ハフニウム膜 3 を形成する。

[0064] 次いで、図 7 (b) に示すように、酸化ハフニウム膜 3 の上に、例えば加熱等の方法により支持基板 1 を貼り合わせる。この工程を経ることにより、酸化ハフニウム膜 3 と酸化シリコン膜 4 とは積層構造を成す埋め込み絶縁膜 2 となる。

[0065] これ以後は、図 2 (d) 以降に示す工程と同様である。

[0066] 本変形例においても、上記実施形態及び上記変形例に記したような種々の変形が可能であり、同様の効果が得られる。

[0067] (第1の実施形態の変形例3)

本実施形態の半導体素子の製造に用いる半導体基板の製造工程の第3の変形例を、図8(a)～(c)を用いて説明する。

[0068] 前記図2(b)に示す工程に引き続き図8(a)に示すように、イオン注入等の方法によりシリコン基板12に水素イオン16を注入する。この水素イオン16の注入により、イオン注入した領域に欠陥が導入され、この部分でシリコン基板12が割れやすくなる。

[0069] 続いて、図8(b)に示すように、支持基板1の上に形成された酸化ハフニウム膜3とシリコン基板12の上に形成された酸化シリコン膜4とを、例えば加熱等の方法により貼り合わせる。この工程を経ることにより、酸化ハフニウム膜3と酸化シリコン膜4とは、積層構造を成す埋め込み絶縁膜2となる。

[0070] 次いで、図8(c)に示すように、例えば昇温等の方法によりシリコン基板12の一部を除去する。具体的には、イオン注入した領域を境界としてシリコン基板12の上部を除去する。その後、例えば機械研磨法等によりシリコン基板12の表面を研磨して平坦化することにより、本実施形態の半導体基板を形成する。この工程により、シリコン基板12は半導体層5となる。

[0071] 本変形例においても、上記実施形態及び上記変形例に記したような種々の変形が可能であり、同様の効果が得られる。

[0072] (第2の実施形態)

図9は、第2の実施形態に係わる半導体素子の概略構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

[0073] 第1の実施形態と同様に、例えばシリコンで形成された支持基板1上に、酸化ハフニウム膜3及び酸化シリコン膜4の積層構造の埋め込み絶縁膜2が形成され、その上に、ゲルマニウムよりなる半導体層25が形成されている

。

[0074] 半導体層 25 内には、As を含むソース領域 6 とドレイン領域 7 とが形成され、その間に B を含むチャネル領域 8 が形成されている。チャネル領域 8 の上には、酸化ハフニウムと酸化シリコンとの積層構造からなるゲート絶縁膜 9 を介してゲート電極 10 が形成されている。そして、ゲート電極 10 の両側にはゲート側壁絶縁膜 11 が形成されている。

[0075] なお、図 9 において、配線金属、層間絶縁膜等は省略してある。また、図 9 は素子の構造を分かり易く示すためのものであり、図 9 における縮尺は正確ではない。また、本発明は、以下の実施形態に限定されるものではなく、種々変更して用いることができる。

[0076] 本実施形態の半導体素子の製造工程を、図 10 (a) ~ (d) 及び図 11 (a) ~ (d) を用いて説明する。

[0077] まず、図 10 (a) に示すように、支持基板 1 上に、例えば CVD 等の方法により厚さ 19 nm の酸化ハフニウム膜 3 を形成する。続いて、図 10 (b) に示すように、酸化ハフニウム膜 3 の上に、例えば CVD 等の方法により厚さ 1 nm の酸化シリコン膜 4 を形成する。ここまでは、前記図 6 (a) に示す工程と同じである。

[0078] 次いで、図 10 (c) に示すように、支持基板 1 の上に形成された酸化ハフニウム膜 3 と酸化シリコン膜 4 との上にゲルマニウム基板 20 を、例えば加熱等の方法により貼り合わせる。この工程を経ることにより、酸化ハフニウム膜 3 と酸化シリコン膜 4 とは積層構造を成す埋め込み絶縁膜 2 となる。

[0079] 次いで、図 10 (d) に示すように、例えば機械研磨法等の方法によりゲルマニウム基板 20 の一部を除去し、本実施形態の半導体基板を形成する。この工程により、ゲルマニウム基板 20 は半導体層 25 となる。

[0080] 次いで、上記の半導体基板を用い、図 11 (a) に示すように、半導体層 25 に B を注入した後に、半導体層 25 の上に例えば CVD 等の方法により厚さ 1 nm の酸化シリコン膜 (図示せず) を形成する。続いて、例えば CVD 等の方法により厚さ 5 nm の酸化ハフニウム膜を形成し、酸化シリコン膜

と酸化ハフニウム膜との積層絶縁膜 13 を形成する。

[0081] 次いで、図 11 (b) に示すように、例えば CVD 等の方法により厚さ 50 nm のタングステン膜 14 を形成する。

[0082] 次いで、図 11 (c) に示すように、タングステン膜 14 に例えば活性イオンエッチング法等の処理を施すことにより一部を選択的に除去し、タングステン膜からなるゲート電極 10 を形成する。続いて、積層絶縁膜 13 に例えば湿式処理等の処理を施すことにより一部を選択的に除去し、積層絶縁膜からなるゲート絶縁膜 9 を形成する。

[0083] 次いで、図 11 (d) に示すように、ゲート電極 10 をマスクに用いて半導体層 25 内に As を注入することにより、エクステンション領域 15 を形成する。

[0084] 次いで、例えば CVD 等の方法により厚さ 20 nm の酸化シリコン膜 (図示せず) を形成する。続いて、例えば活性イオンエッチング法等の方法を用いることにより該酸化シリコン膜の一部を選択的に除去し、ゲート側壁絶縁膜 11 を形成する。

[0085] 引き続き、半導体層 25 に As を注入することにより、前記エクステンション領域 15 と共にソース領域 6 とドレイン領域 7、及びこれらに挟まれたチャネル領域 8 を形成する。これにより、前記図 9 に示す構造が得られる。これ以降は、従来技術と同様にして層間絶縁膜形成工程及び配線工程等を経て、n 型 MOS トランジスタが完成することになる。

[0086] 第 1 の実施形態においては素子を形成する半導体層 5 としてシリコンを用いたのに対し、本実施形態においては素子を形成する半導体層 25 としてゲルマニウムを用いた。半導体層 25 としてはゲルマニウムに限るものではなく、シリコンとゲルマニウムとの混晶を用いても良い。ゲルマニウム又はシリコンとゲルマニウムとの混晶は、シリコンに比べて電流キャリアの移動度が高いと云う利点があるので好ましい。

[0087] 本実施形態においても、上記実施形態及び上記変形例に記したような種々の変形が可能であり、同様の効果が得られる。

[0088] (第2の実施形態の変形例1)

本実施形態の半導体素子の製造に用いる半導体基板の製造工程の第1の変形例を、図12(a)～(c)を用いて説明する。

[0089] 前記図10(b)に示す工程に引き続き図12(a)に示すように、例えばエピタキシャル成長法等の方法によりシリコン基板12上に、格子歪みが緩和されたシリコンとゲルマニウムとの混晶層22を形成する。

[0090] 次いで、図12(b)に示すように、例えばエピタキシャル成長法等の方法により混晶層22上に格子整合させてゲルマニウム層25を形成する。

[0091] 続いて、図12(c)に示すように、支持基板1の上に形成された酸化ハフニウム膜3と酸化シリコン膜4との上に、シリコン基板12の上に形成された混晶層22とゲルマニウム層25とを、例えば加熱等の方法により貼り合わせる。この工程を経ることにより、酸化ハフニウム膜3と酸化シリコン膜4とは積層構造を成す埋め込み絶縁膜2となる。

[0092] 引き続き、例えば機械研磨法等の方法によりシリコン基板12を除去し、更に混晶層22を除去する。ここで、シリコン基板12及び混晶層22の除去に続きゲルマニウム層25の一部を除去しても良い。

[0093] 本変形例においても、上記実施形態及び上記変形例に記したような種々の変形が可能であり、同様の効果が得られる。

[0094] (第2の実施形態の変形例2)

本実施形態の半導体素子の製造に用いる半導体基板の製造工程の第2の変形例を、図13(a)～(c)を用いて説明する。

[0095] 前記図10(b)に示す工程に引き続き図13(a)に示すように、支持基板1の上に形成された酸化ハフニウム膜3と酸化シリコン膜4との上に、シリコンとゲルマニウムとの混晶基板23を、例えば加熱等の方法により貼り合わせる。この工程を経ることにより、酸化ハフニウム膜3と酸化シリコン膜4とは積層構造を成す埋め込み絶縁膜2となる。

[0096] 次いで、図13(b)に示すように、例えば機械研磨法等の方法により混晶基板23の一部を除去し、本実施形態の半導体基板を形成する。この工程

により、シリコンとゲルマニウムとの混晶基板 2 3 は混晶層（半導体層） 2 4 となる。

[0097] 続いて、図 1 3（c）に示すように、例えば熱酸化等の方法により混晶層 2 4 の一部を酸化し、形成された酸化層（図示せず）を例えば湿式処理等の方法により除去することにより、混晶層 2 4 を薄膜化する。このような酸化濃縮工程により、混晶層 2 4 中のゲルマニウム濃度は高くなり、高濃度のゲルマニウムを含む半導体層又はゲルマニウム層 2 5 が形成されることになる。

[0098] 本変形例においても、上記実施形態及び上記変形例に記したような種々の変形が可能であり、同様の効果が得られる。

[0099] （第 3 の実施形態）

図 1 4 は、第 3 の実施形態に係わる半導体素子の概略構成を示す断面図である。なお、図 1 と同一部分には同一符号を付して、その詳しい説明は省略する。

[0100] 第 1 の実施形態と同様に、例えばシリコンで形成された支持基板 1 上に、酸化ハフニウム膜 3 及び酸化シリコン膜 4 の積層構造の埋め込み絶縁膜 2 が形成され、その上に、In（インジウム）とGa（ガリウム）とAsとの混晶よりなる半導体層 3 5 が形成されている。

[0101] 半導体層 3 5 の内には、シリコンを含むソース領域 6 とドレイン領域 7 とが形成され、その間にZn（亜鉛）を含むチャネル領域 8 が形成されている。チャネル領域 8 の上には、酸化ハフニウムと酸化アルミニウムとの積層よりなるゲート絶縁膜 3 9 を介してゲート電極 1 0 が形成されている。そして、ゲート電極 1 0 の両側にはゲート側壁絶縁膜 1 1 が形成されている。

[0102] なお、配線金属、層間絶縁膜等は省略してある。また、図の縮尺は正確ではない。また本発明は以下の実施形態に限定されるものではなく、種々変更して用いることができる。

[0103] 本実施形態の半導体素子の製造工程を、図 1 5（a）～（d）及び図 1 6（a）～（d）を用いて説明する。

- [0104] まず、図15(a)に示すように、支持基板1上に、例えばCVD等の方法により厚さ19nmの酸化ハフニウム膜3を形成する。続いて、図15(b)に示すように、酸化ハフニウム膜3の上に例えばCVD等の方法により厚さ1nmの酸化シリコン膜4を形成する。ここまでは、前記図6(a)に示す工程と同じである。
- [0105] 次に、図15(c)に示すように、支持基板1の上に形成された酸化ハフニウム膜3と酸化シリコン膜4との上に、InとGaとAsとの混晶基板30を、例えば加熱等の方法により貼り合わせる。この工程を経ることにより、酸化ハフニウム膜3と酸化シリコン膜4とは、積層構造を成す埋め込み絶縁膜2となる。
- [0106] 次に、図15(d)に示すように、例えば機械研磨法等の方法によりInとGaとAsとの混晶基板30の一部を除去し、本実施形態の半導体基板を形成する。この工程により、InとGaとAsとの混晶基板30は半導体層35となる。
- [0107] 次に、上記の半導体基板を用いて、図16(a)に示すように、半導体層35にZnを注入した後に、半導体層35の上に例えば堆積法等の方法により厚さ2nmの酸化アルミニウム膜（図示せず）を形成する。続いて、例えばCVD等の方法により厚さ5nmの酸化ハフニウム膜を形成し、酸化アルミニウム膜と酸化ハフニウム膜との積層絶縁膜33を形成する。
- [0108] 次に、図16(b)に示すように、例えばCVD等の方法により厚さ50nmのタングステン膜14を形成する。
- [0109] 次に、図16(c)に示すように、タングステン膜14に例えば活性イオンエッチング法等の処理を施すことにより一部を選択的に除去し、タングステン膜からなるゲート電極10を形成する。続いて、積層絶縁膜33に例えば湿式処理等の処理を施すことにより一部を選択的に除去し、積層絶縁膜からなるゲート絶縁膜39を形成する。
- [0110] 続いて、図16(d)に示すように、例えばシリコンを注入することによりエクステンション領域15を形成する。

[0111] 次いで、例えばCVD等の方法により厚さ20nmの酸化シリコン膜（図示せず）を形成する。続いて、例えば活性イオンエッチング法等の方法を用いることにより該酸化シリコン膜の一部を選択的に除去し、ゲート側壁絶縁膜11を形成する。

[0112] 引き続き、半導体層35にシリコンを注入することにより、エクステンション領域15と共にソース領域6とドレイン領域7、及びこれらに挟まれたチャネル領域8を形成する。これにより、前記図14に示す構造が得られる。これ以降は、従来技術と同様にして層間絶縁膜形成工程及び配線工程等を経て、n型MOSトランジスタが完成することになる。

[0113] 本実施形態においては、素子を形成する半導体層としてInとGaとAsとの混晶を用いたが、半導体層としてはこれらの混晶に限るものではなく、他のIII族元素とV族元素との化合物である半導体を用いても良い。そのような化合物もまたシリコンに比べてキャリアの移動度が高いと云う利点があるので好ましい。特に、InAs（インジウム砒素）、InGaAs（インジウムガリウム砒素）、InSb（インジウムアンチモン）等は電流キャリアの移動度が特に高いので好ましい。また、チャネル領域に歪みを印加することもまた移動度の向上がはかられるので好ましい。一方、半導体層としてシリコンを用いると従来の製造工程をそのまま用いることができるので、製造工程の構築が容易であると云う他の利点がある。

[0114] 本実施形態においても、上記実施形態及び上記変形例に記したような種々の変形が可能であり、同様の効果が得られる。

[0115] （変形例）

なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、支持基板としてシリコンを用いたが、必ずしもシリコンに限定されるものではなく、基板バイアスを与えることのできる半導体であればよい。さらに、表面に不純物がドーブされた半導体基板であっても良い。また、実施形態に示した各部の材料や膜厚等は一例に過ぎず、仕様に応じて適宜変更可能である。さらに、実施形態に示した製造方法は何ら限定されるものではない。

く、適宜変更可能である。

[0116] 本発明の幾つかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

符号の説明

- [0117]
- 1…支持基板
 - 2…埋め込み絶縁膜
 - 3…酸化ハフニウム膜
 - 4…酸化シリコン膜
 - 5…シリコン層（半導体層）
 - 6…ソース領域
 - 7…ドレイン領域
 - 8…チャネル領域
 - 9…ゲート絶縁膜
 - 10…ゲート電極
 - 11…ゲート側壁絶縁膜
 - 12…シリコン基板
 - 13…酸化シリコン膜と酸化ハフニウム膜との積層絶縁膜
 - 14…タングステン膜
 - 15…エクステンション領域
 - 16…水素イオン
 - 20…ゲルマニウム基板
 - 22…シリコンとゲルマニウムとの混晶層
 - 23…シリコンとゲルマニウムの混晶基板
 - 24…シリコンとゲルマニウムの混晶層（半導体層）

25…ゲルマニウム層（半導体層）

30…InとGaとAsとの混晶基板

33…酸化アルミニウム膜と酸化ハフニウム膜との積層絶縁膜

35…InGaAs層（半導体層）

39…酸化ハフニウムと酸化アルミニウムとの積層よりなるゲート絶縁膜

請求の範囲

- [請求項1] 支持基板と、
 前記支持基板の一主面に接して形成された埋め込み絶縁膜と、
 前記埋め込み絶縁膜の前記支持基板と反対側に該埋め込み絶縁膜と
 接して形成され、且つ前記支持基板よりも膜厚の薄い半導体層と、
 を具備し、
 前記埋め込み絶縁膜の前記半導体層と接する領域の誘電率が前記支
 持基板と接する領域の誘電率よりも低いことを特徴とする半導体基板
 。
- [請求項2] 前記半導体層は、S i , G e , 又はこれらの少なくとも一方を含む
 半導体からなることを特徴とする請求項 1 に記載の半導体基板。
- [請求項3] 前記半導体層は、III 族元素とV族元素との化合物半導体からなる
 ことを特徴とする請求項 1 に記載の半導体基板。
- [請求項4] 前記埋め込み絶縁膜の前記半導体層と接する領域は酸化シリコンで
 形成され、
 前記埋め込み絶縁膜の前記支持基板と接する領域は、酸化シリコン
 の誘電率よりも高い誘電率を有する絶縁材料で形成されていることを
 特徴とする請求項 1 に記載の半導体基板。
- [請求項5] 前記半導体層は、S i , G e , 又はこれらの少なくとも一方を含む
 半導体からなることを特徴とする請求項 4 に記載の半導体基板。
- [請求項6] 前記半導体層は、III 族元素とV族元素との化合物半導体からなる
 ことを特徴とする請求項 4 に記載の半導体基板。
- [請求項7] 前記チャネル領域は、I n を含むことを特徴とする請求項 6 に記載
 の半導体基板。
- [請求項8] 支持基板と、
 前記支持基板の一主面に接して形成された埋め込み絶縁膜と、
 前記埋め込み絶縁膜の前記支持基板と反対側に該埋め込み絶縁膜と
 接して形成され、且つ前記支持基板よりも膜厚の薄い半導体層と、

前記半導体層の前記埋め込み絶縁膜と反対側に前記半導体層と接して形成されたゲート絶縁膜と、

前記ゲート絶縁膜の前記半導体層と反対側に該ゲート絶縁膜と接して形成されたゲート電極と、

前記半導体層中に前記ゲート電極を挟むように形成されたソース・ドレイン領域と、

前記半導体層中の前記ソース・ドレイン領域の間に形成されたチャネル領域と、

を具備し、

前記埋め込み絶縁膜の前記半導体層と接する領域の誘電率が前記支持基板と接する領域の誘電率よりも低いことを特徴とする半導体素子。

[請求項9] 前記チャネル領域は、Si, Ge, 又はこれらの少なくとも一方を含む半導体からなることを特徴とする請求項8に記載の半導体素子。

[請求項10] 前記チャネル領域は、III族元素とV族元素との化合物半導体からなることを特徴とする請求項8に記載の半導体素子。

[請求項11] 前記チャネル領域は、Inを含むことを特徴とする請求項10に記載の半導体素子。

[請求項12] 前記埋め込み絶縁膜の前記半導体層と接する領域は酸化シリコンで形成され、

前記埋め込み絶縁膜の前記支持基板と接する領域は、酸化シリコンの誘電率よりも高い誘電率を有する絶縁材料で形成されていることを特徴とする請求項8に記載の半導体素子。

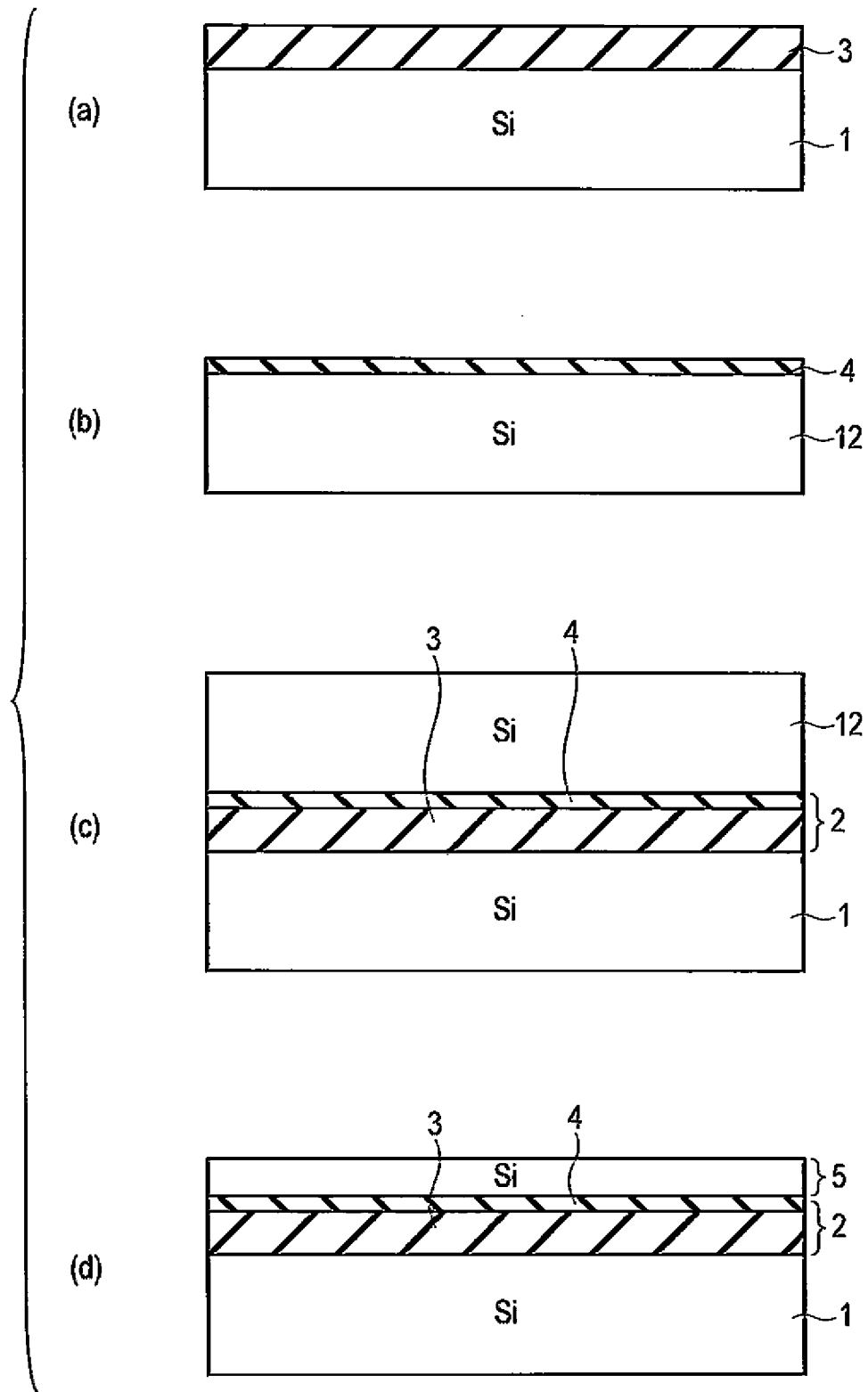
[請求項13] 前記チャネル領域は、Si, Ge, 又はこれらの少なくとも一方を含む半導体からなることを特徴とする請求項12に記載の半導体素子。

[請求項14] 前記チャネル領域は、III族元素とV族元素との化合物半導体からなることを特徴とする請求項12に記載の半導体素子。

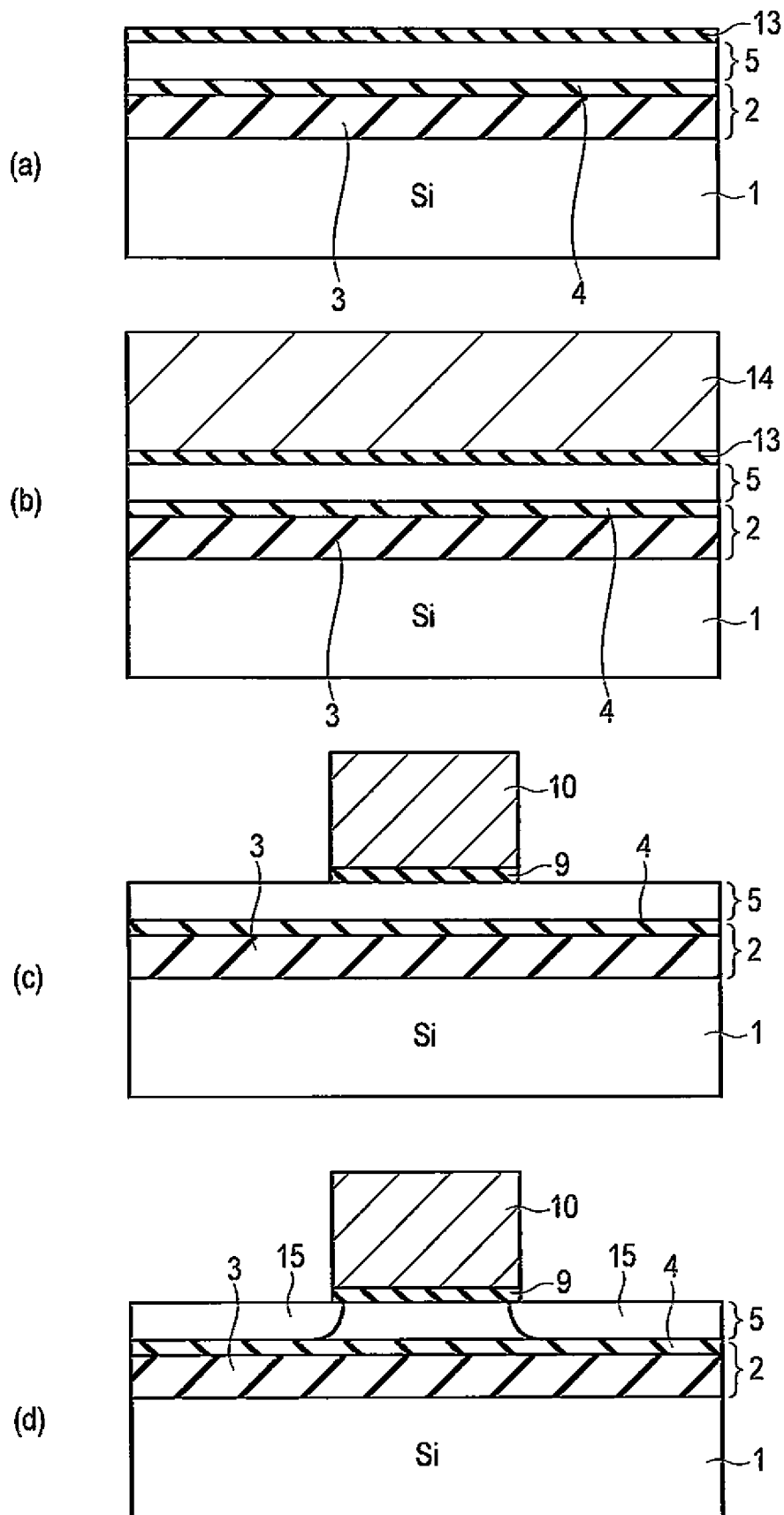
[請求項15] 前記チャネル領域は、 I_n を含むことを特徴とする請求項14に記載の半導体素子。

[請求項16] 前記チャネル領域に歪みが印加されていることを特徴とする請求項8に記載の半導体素子。

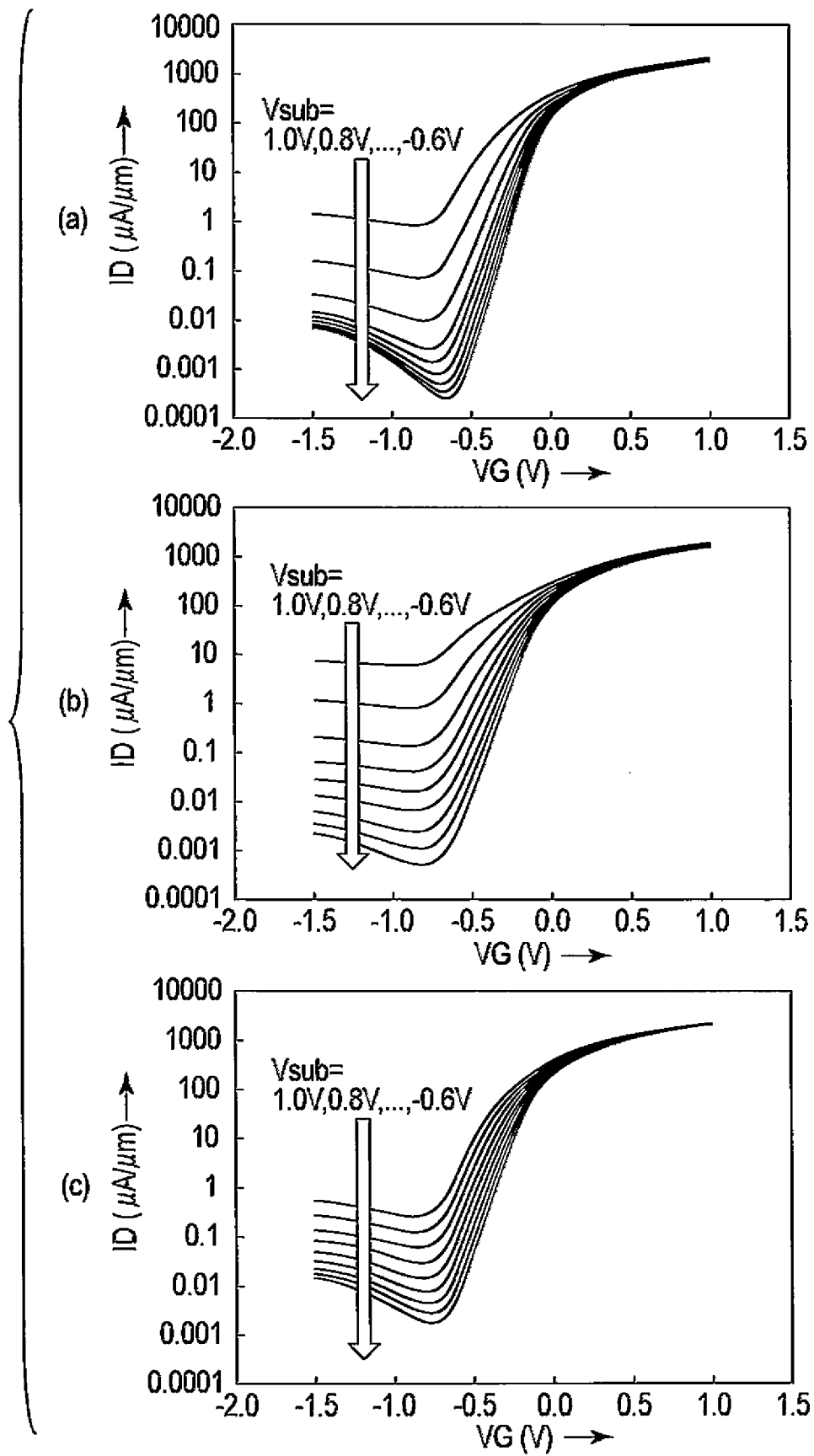
[図2]



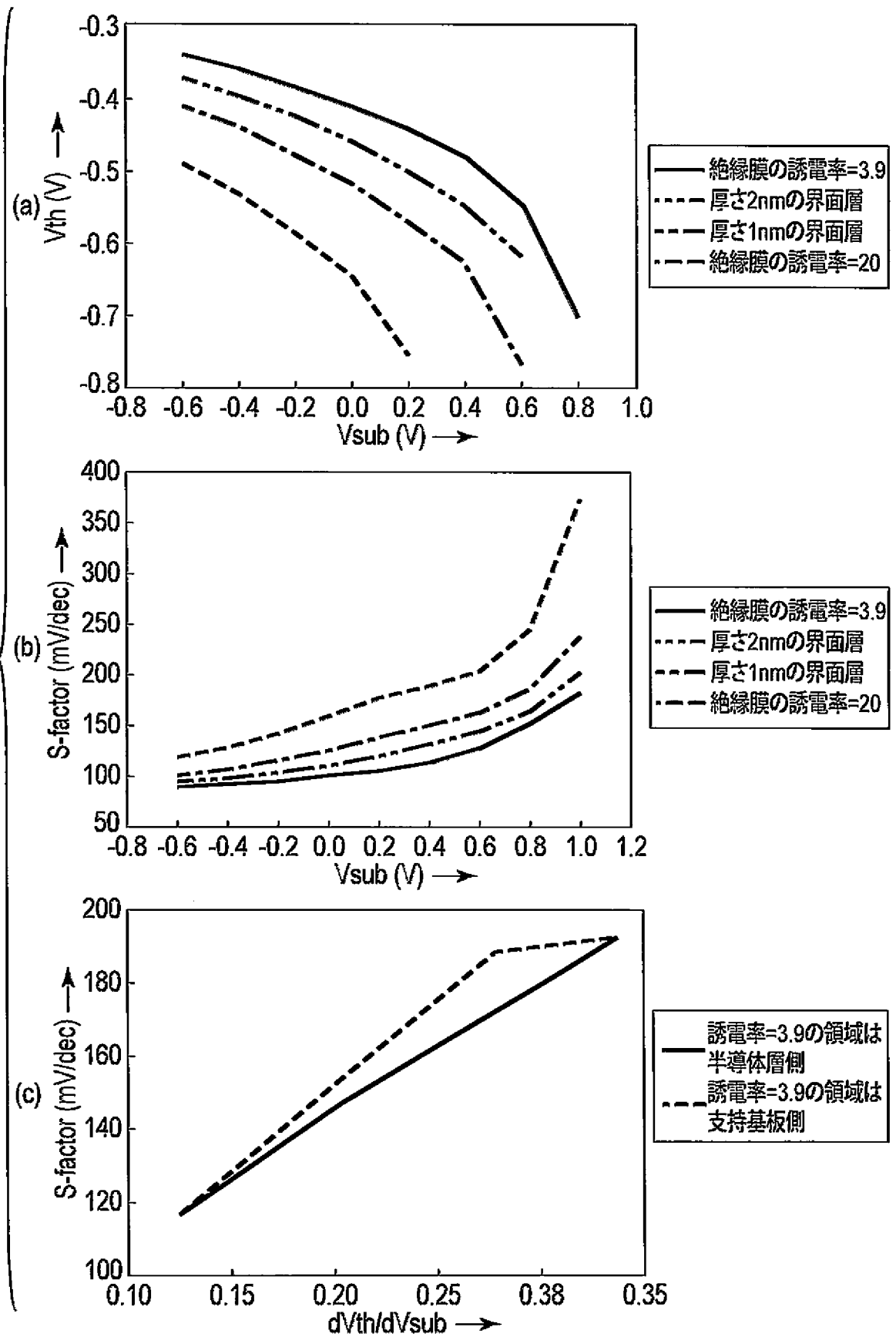
[図3]



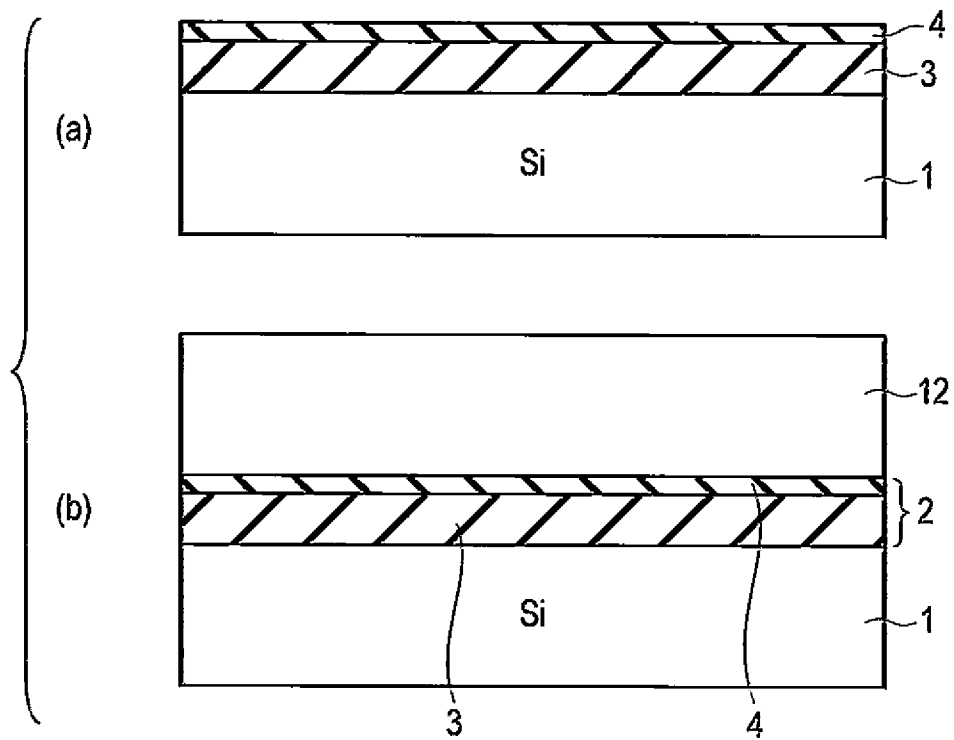
[図4]



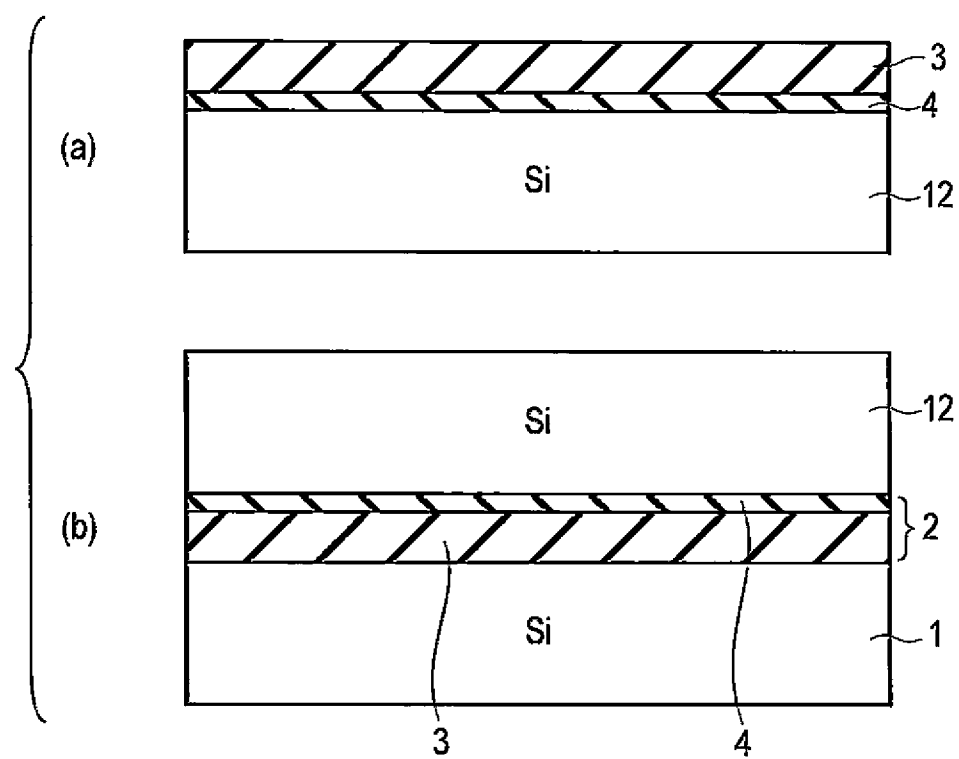
[図5]



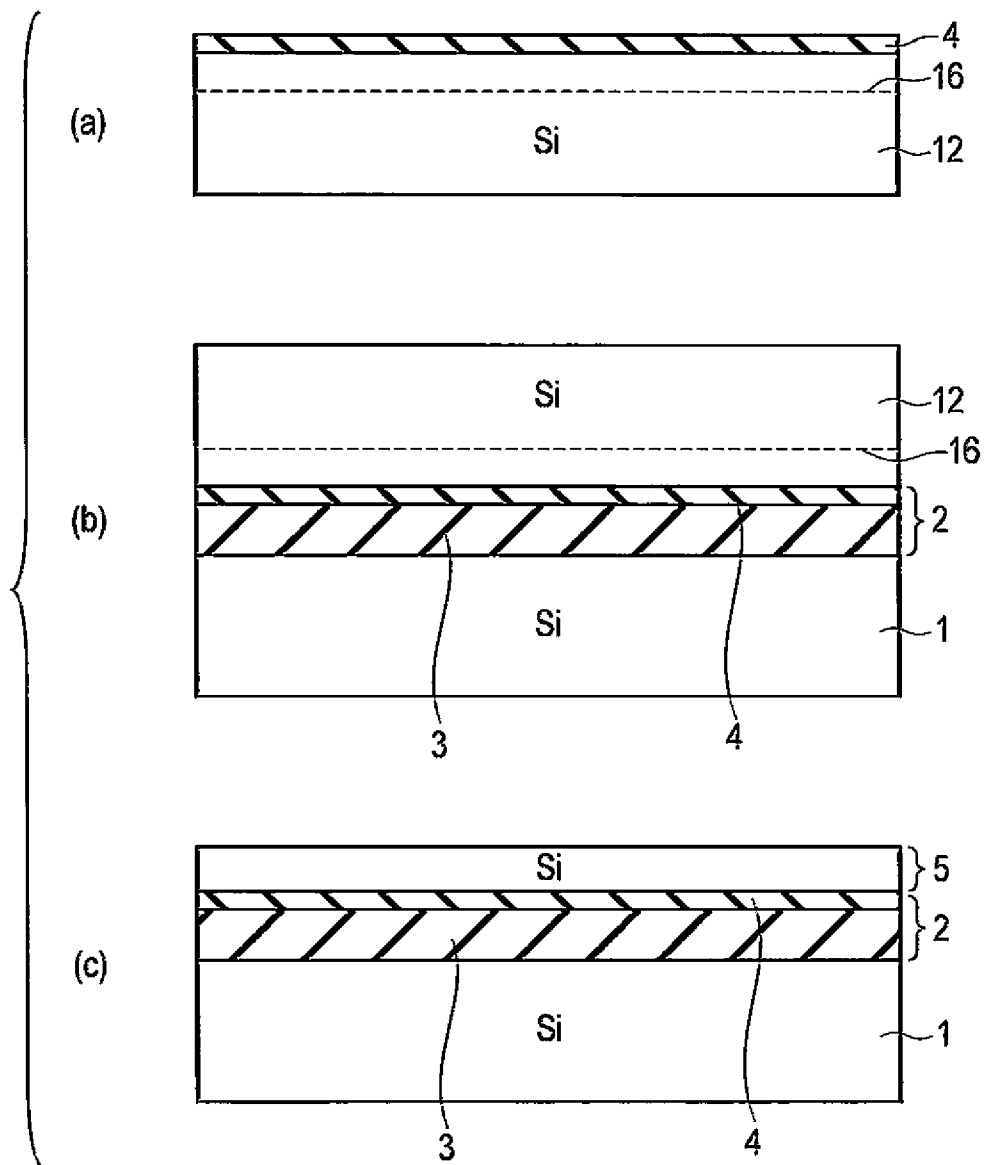
[図6]



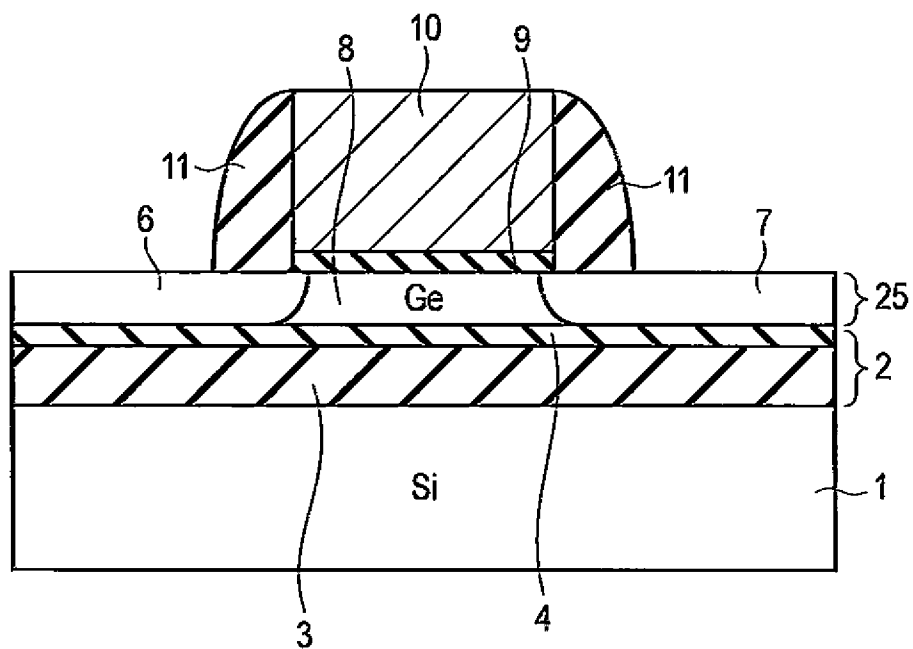
[図7]



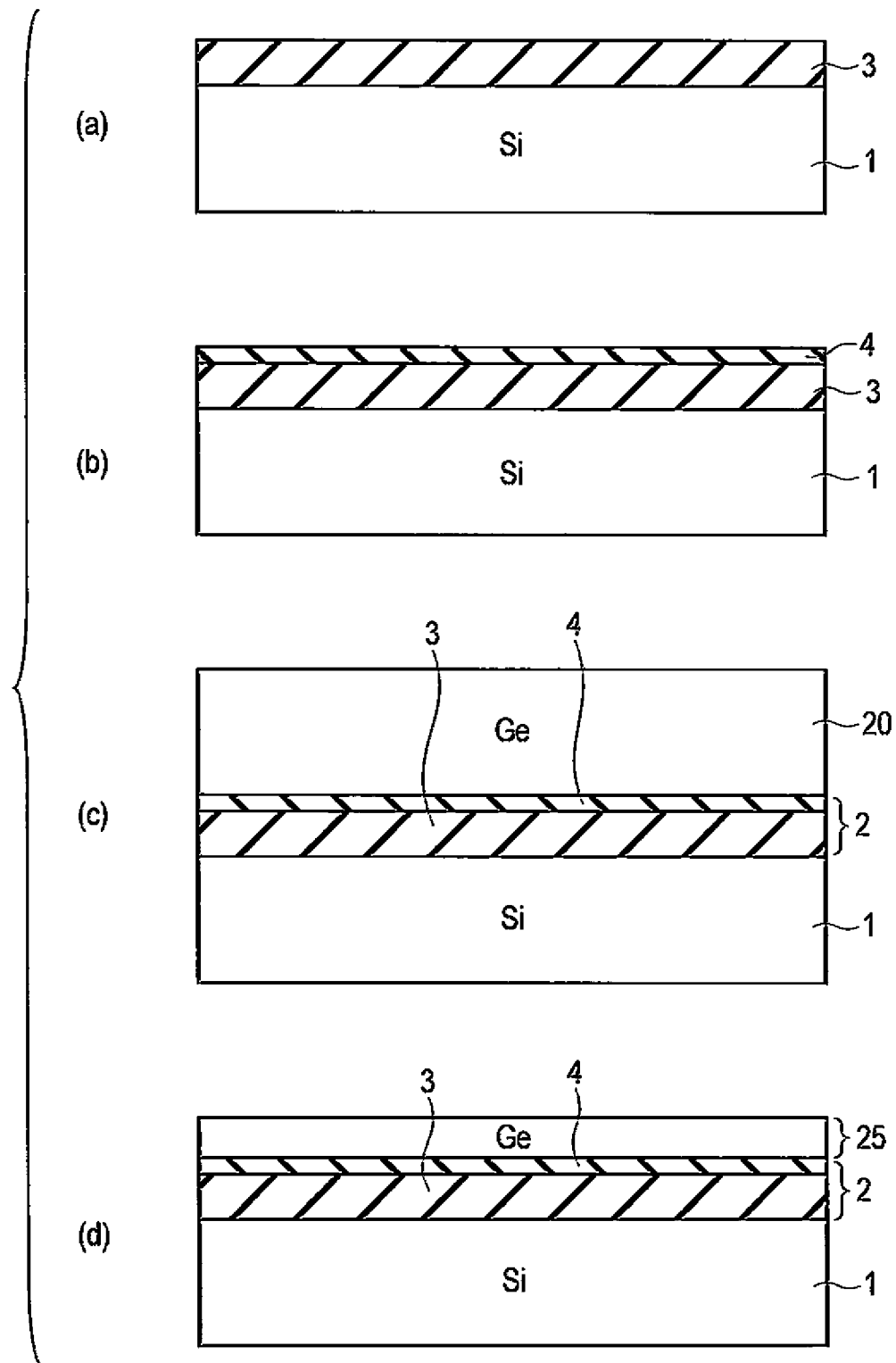
[図8]



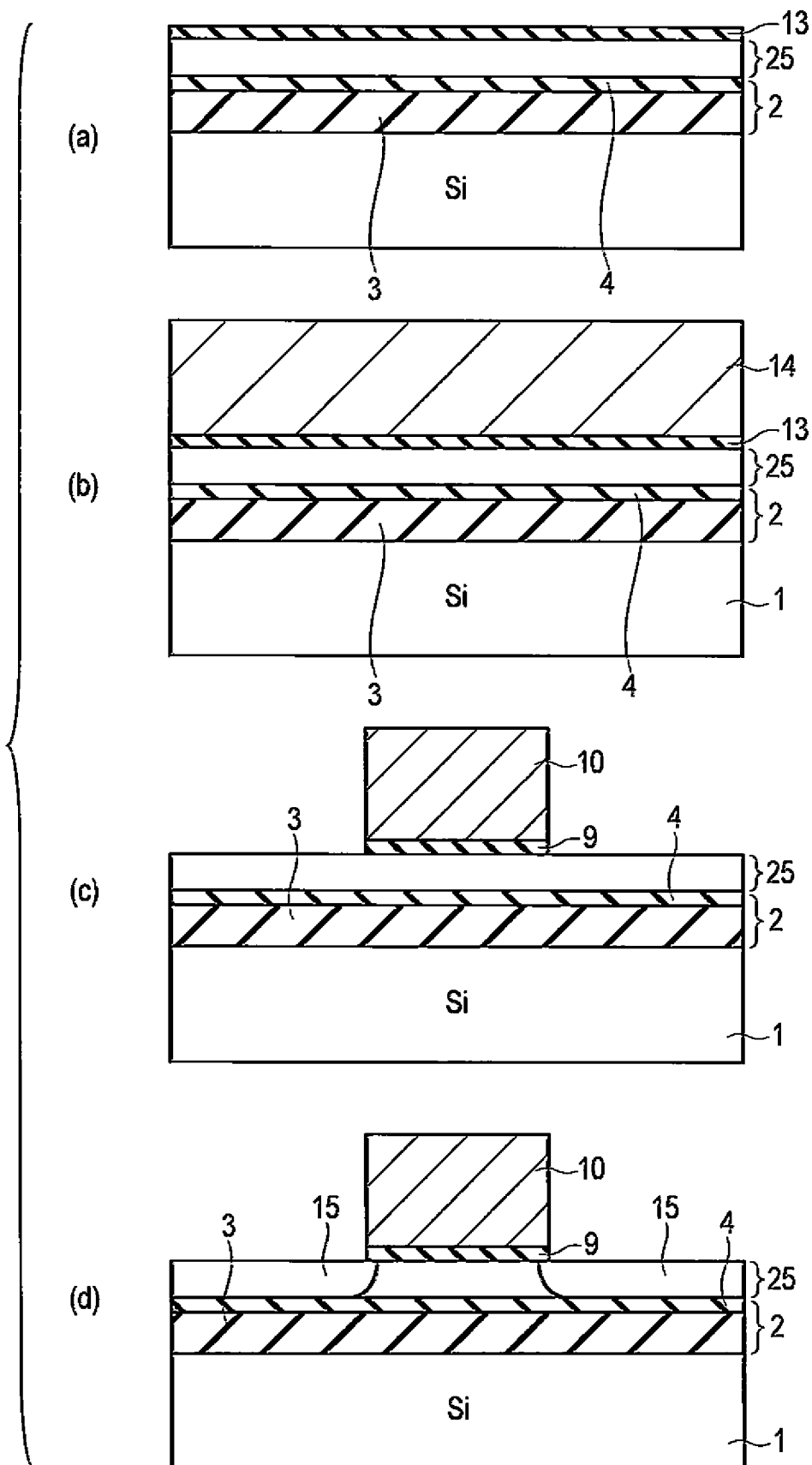
[図9]



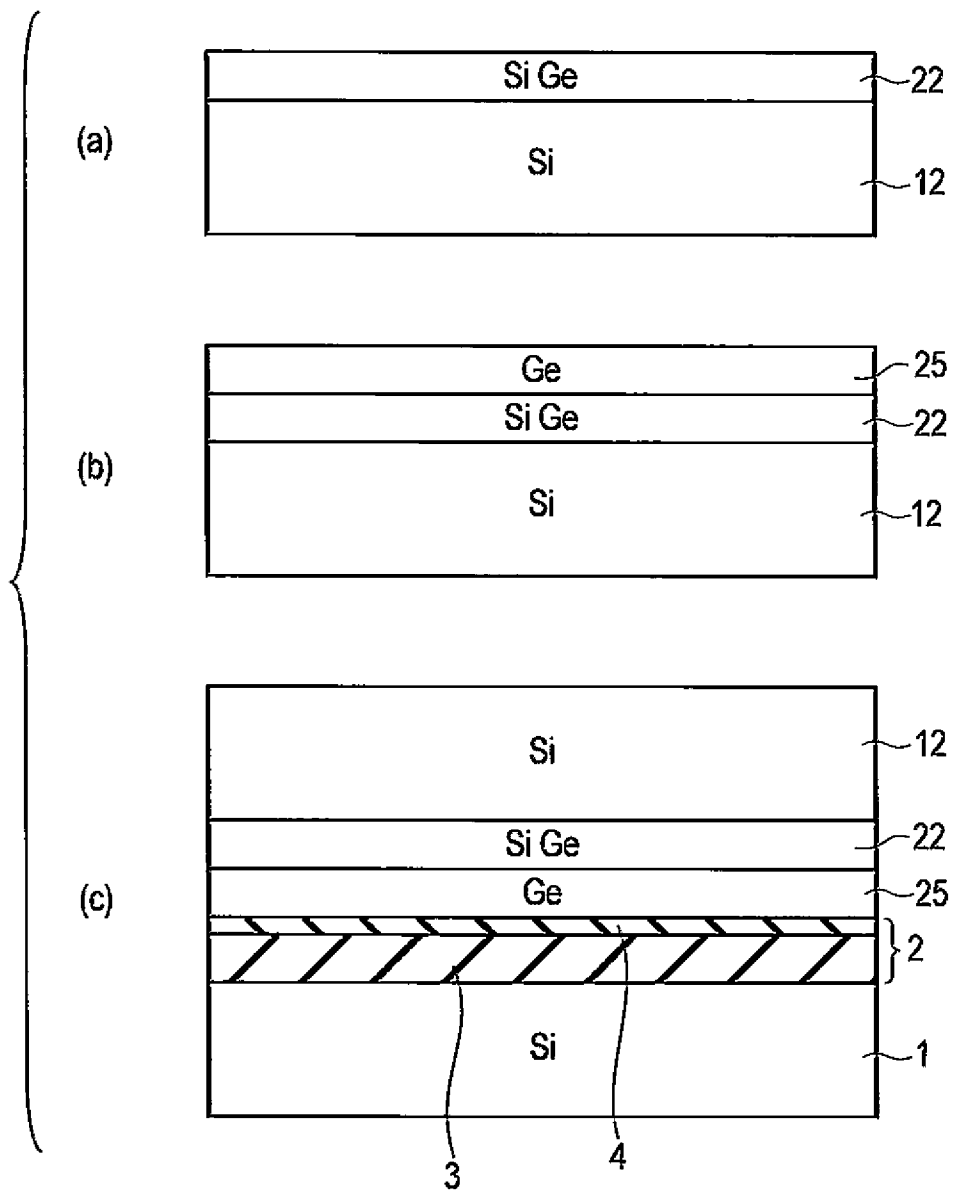
[図10]



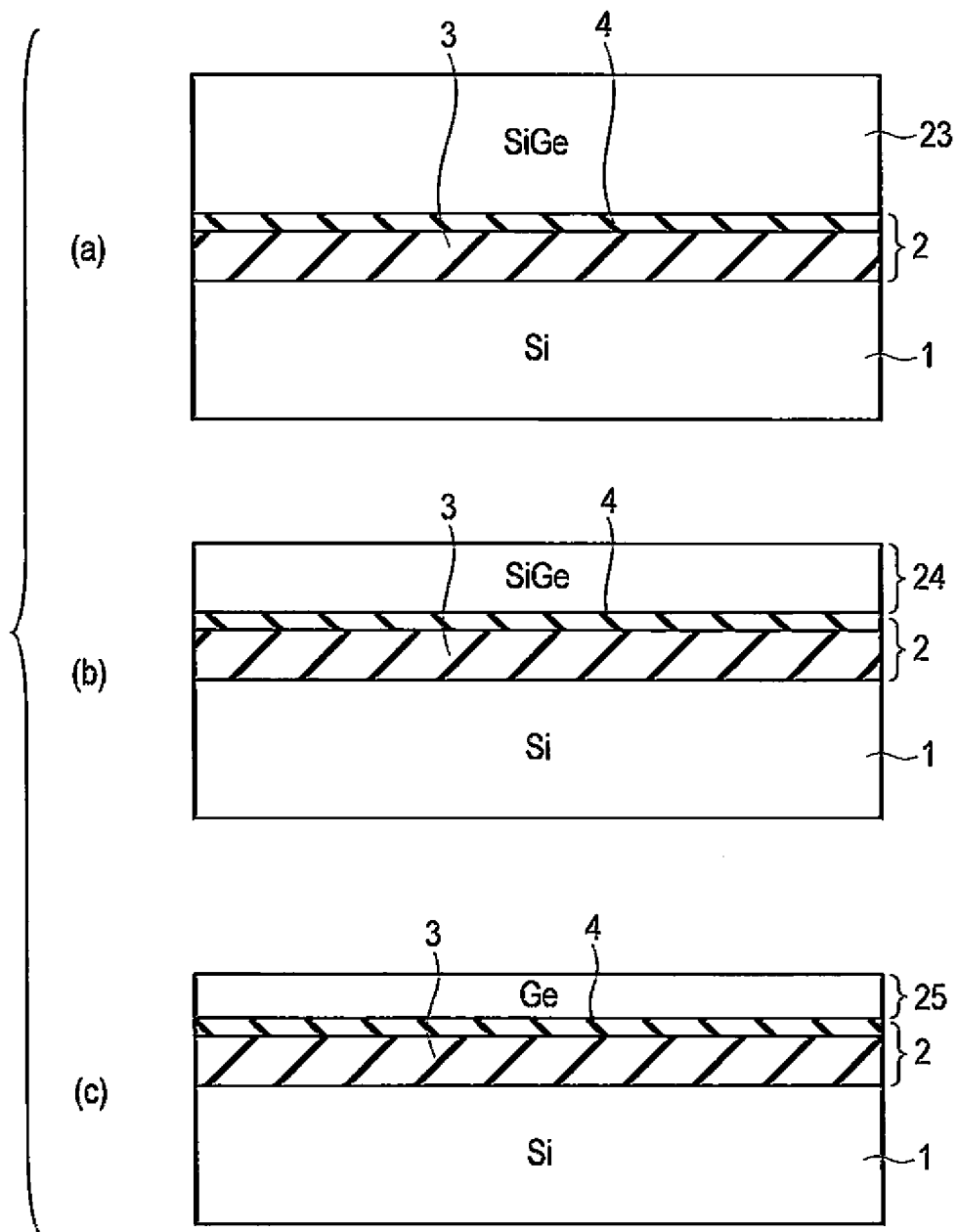
[図11]



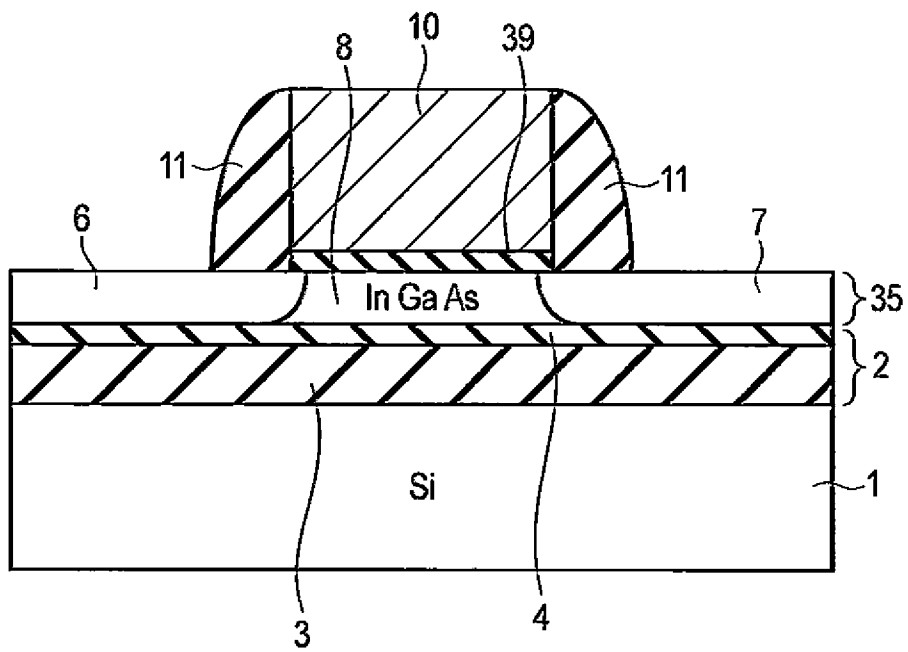
[図12]



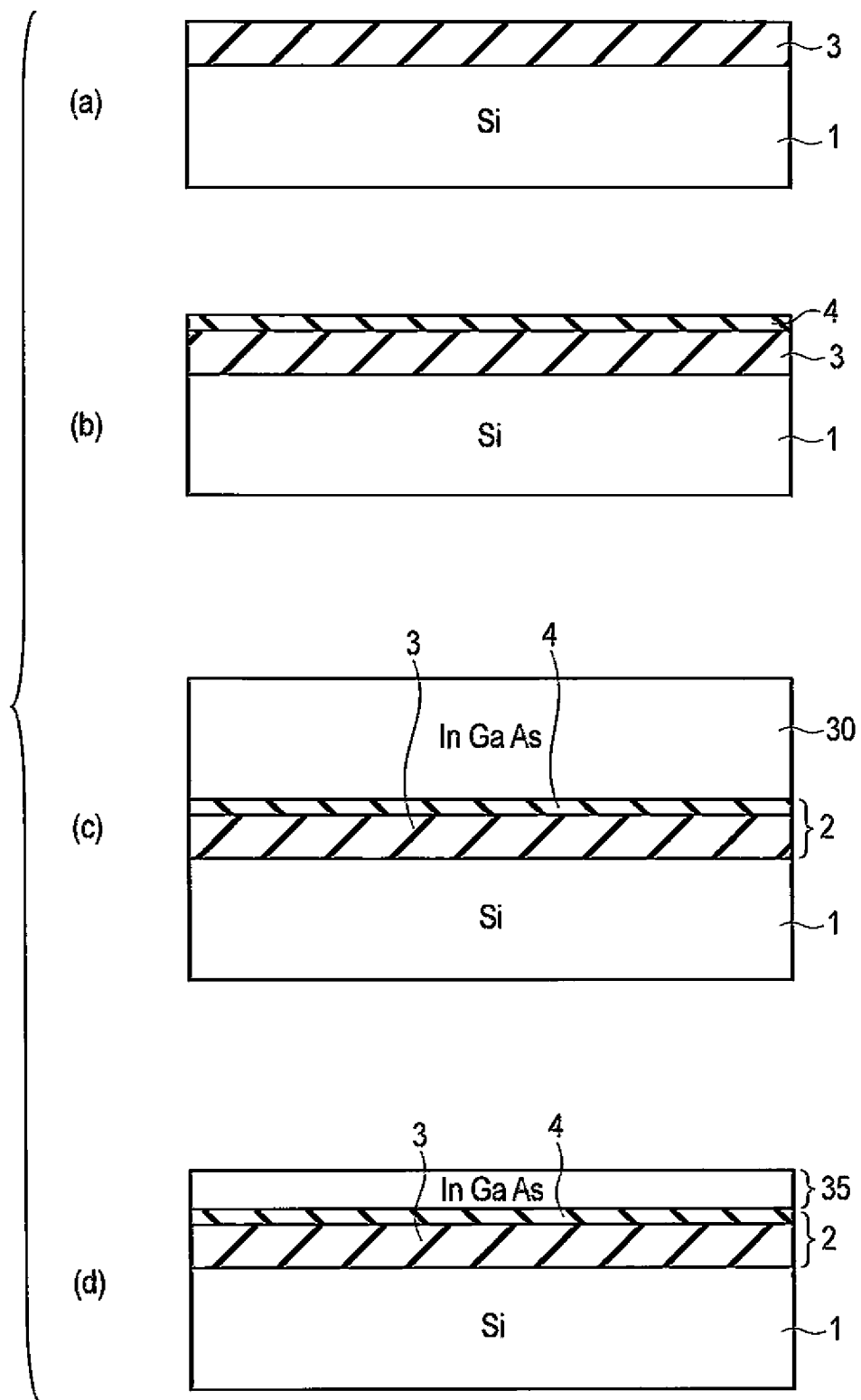
[図13]



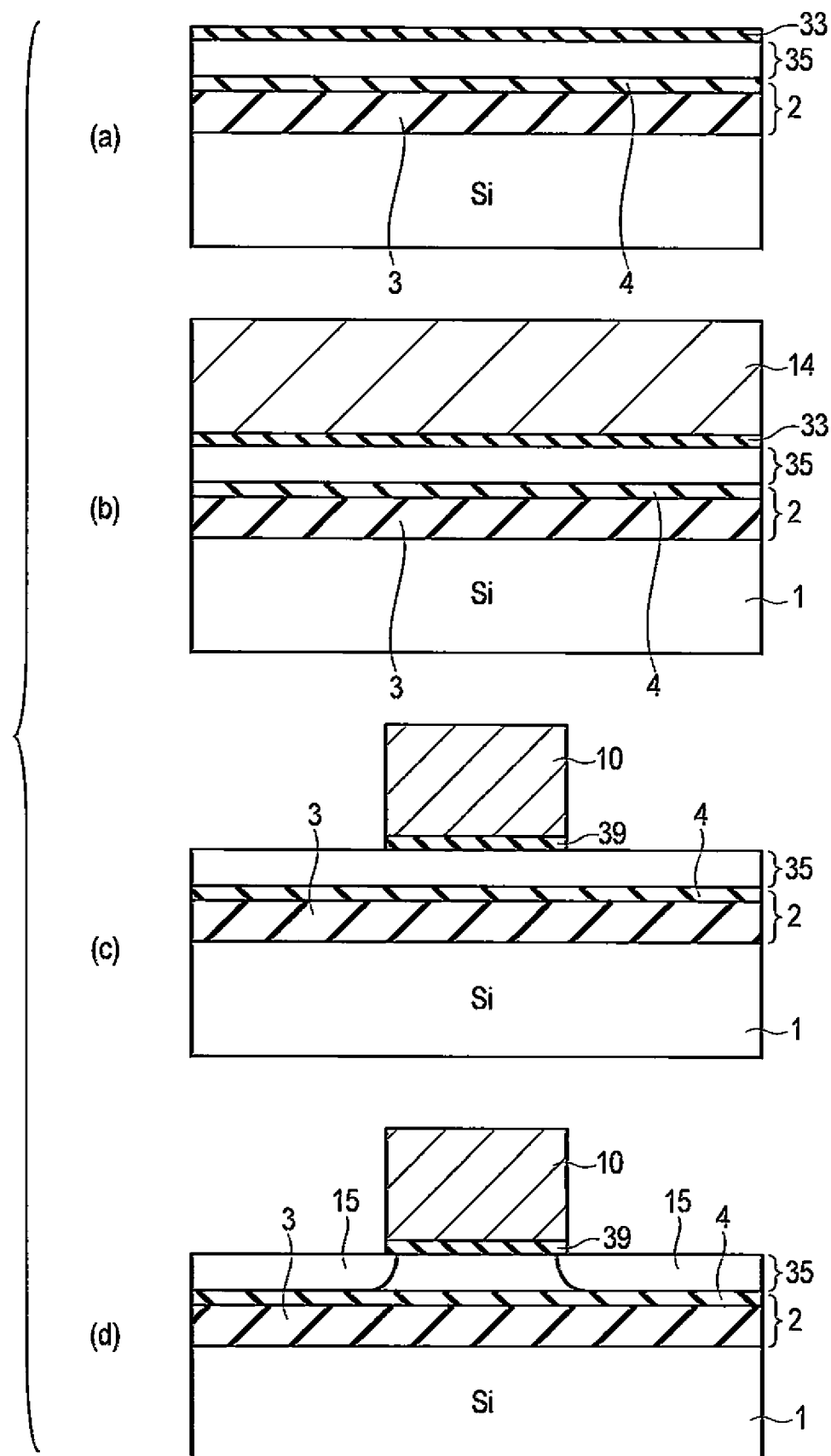
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050117

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/02(2006.01)i, H01L27/12(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/02, H01L27/12, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-298171 A (International Business Machines Corp.), 26 October 2001 (26.10.2001), paragraphs [0009], [0013], [0014]; fig. 3, 4 & US 6352905 B1 & US 6166420 A & TW 479319 B	1, 2, 8, 9 3-7, 10-16
X Y	JP 2007-123823 A (Denso Corp.), 17 May 2007 (17.05.2007), paragraphs [0012], [0014], [0022], [0023], [0031] & US 2007/0069292 A1 & US 2010/0099225 A1 & DE 102006045214 A	1, 2, 8, 9 3-7, 10-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 February, 2013 (05.02.13)

Date of mailing of the international search report
19 February, 2013 (19.02.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050117

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-176295 A (Semiconductor Energy Laboratory Co., Ltd.), 08 September 2011 (08.09.2011), paragraphs [0023], [0024] (Family: none)	3, 6, 7, 10, 11, 14, 15
Y	JP 2010-114431 A (Semiconductor Energy Laboratory Co., Ltd.), 20 May 2010 (20.05.2010), paragraphs [0023], [0024] & US 2010/0093153 A1	3, 6, 7, 10, 11, 14, 15
Y	WO 2006/011369 A1 (NEC Corp.), 02 February 2006 (02.02.2006), paragraphs [0094], [0095], [0101] & JP 4930056 B & US 2009/0014795 A1	4-7, 12-15
Y	JP 2006-108468 A (Sony Corp.), 20 April 2006 (20.04.2006), paragraph [0016] & US 2006/0076622 A1 & US 2009/0221134 A1	16
A	JP 2012-160637 A (Lapis Semiconductor Co., Ltd.), 23 August 2012 (23.08.2012), entire text; all drawings (Family: none)	1-16
A	JP 11-274500 A (Toshiba Corp.), 08 October 1999 (08.10.1999), entire text; all drawings & US 5965918 A	1-16
A	JP 2005-109203 A (Seiko Epson Corp.), 21 April 2005 (21.04.2005), entire text; all drawings & JP 2005-109203 A	1-16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050117

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050117

Continuation of Box No.III of continuation of first sheet(2)

Document 1: JP 2001-298171 A (International Business Machines Corp.), 26 October 2001 (26.10.2001), paragraphs [0009], [0013], [0014]; fig. 3, 4 & US 6352905 B1 & US 6166420 A & TW 479319 B

Document 2: JP 2007-123823 A (Denso Corp.), 17 May 2007 (17.05.2007), paragraphs [0012], [0014], [0022], [0023], [0031] & US 2007/0069292 A1 & US 2010/0099225 A1 & DE 102006045214 A

Document 1 discloses: a substrate which is provided with a silicon substrate (10) that serves as a supporting substrate, a layer (30) that is a buried insulating film on the silicon substrate (10) and is formed of a high-K insulating material, a layer (31) that is formed on the layer (30) and is formed of a low-K insulating material, and a silicon layer that is formed on the layer (31) and is thinner than the silicon substrate (10); and a device which comprises the substrate.

In addition, document 2, which is a different document, discloses: a silicon substrate that has a low dielectric constant region, which is filled with a material having a lower dielectric constant than silicon oxide, on a buried oxide film that is formed of silicon oxide; and an MOS transistor which comprises the substrate.

Therefore, the inventions of claims 1, 2, 8 and 9 cannot be considered to be novel in the light of the invention disclosed in the document 1 or 2, and does not have a special technical feature.

Consequently, four invention groups each having a special technical feature indicated below are involved in claims.

Meanwhile, the inventions of claims 1, 2, 8 and 9 having no special technical feature are classified into invention 1.

(Invention 1) the inventions of claims 1, 2, 8 and 9

These inventions have no special technical feature as said above.

(Invention 2) the inventions of claims 3 and 10

Those wherein the dielectric constant of a region in the buried insulating film, said region being in contact with the semiconductor layer, is lower than the dielectric constant of a region in contact with the supporting substrate and wherein the semiconductor layer is formed of a compound semiconductor of a group III element and a group V element.

(Invention 3) the inventions of claims 4-7 and 12-15

Those wherein the dielectric constant of a region in the buried insulating film, said region being in contact with the semiconductor layer, is lower than the dielectric constant of a region in contact with the supporting substrate and wherein the region in the buried insulating film in contact with the semiconductor layer is formed of silicon oxide and the region in the buried insulating film in contact with the supporting substrate is formed of an insulating material that has a dielectric constant higher than the dielectric constant of silicon oxide.

(Invention 4) the invention of claim 16

Those wherein the dielectric constant of a region in the buried insulating film, said region being in contact with the semiconductor layer, is lower than the dielectric constant of a region in contact with the supporting substrate and wherein a strain is applied to the channel region.

In this connection, the inventions, which may be classified into multiple groups of the above-said invention groups, are deemed to belong to the first group of said multiple groups.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336(2006.01)i, H01L21/02(2006.01)i, H01L27/12(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L21/02, H01L27/12, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2001-298171 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2001.10.26, 段落【0009】、【0013】、【0014】、図3、図4 & US 6352905 B1 & US 6166420 A & TW 479319 B	1, 2, 8, 9 3-7, 10-16
X Y	JP 2007-123823 A (株式会社デンソー) 2007.05.17, 段落【0012】、【0014】、【0022】、【0023】、【0031】 & US 2007/0069292 A1 & US 2010/0099225 A1 & DE 102006045214 A	1, 2, 8, 9 3-7, 10-16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 2 . 2 0 1 3

国際調査報告の発送日

1 9 . 0 2 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 聡一郎

5 0

3 8 6 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-176295 A (株式会社半導体エネルギー研究所) 2011.09.08, 段落【0023】、【0024】 (ファミリーなし)	3, 6, 7, 10, 11, 14, 15
Y	JP 2010-114431 A (株式会社半導体エネルギー研究所) 2010.05.20, 段落【0023】、【0024】 & US 2010/0093153 A1	3, 6, 7, 10, 11, 14, 15
Y	WO 2006/011369 A1 (日本電気株式会社) 2006.02.02, 段落【0094】、【0095】、【0101】 & JP 4930056 B & US 2009/0014795 A1	4-7, 12-15
Y	JP 2006-108468 A (ソニー株式会社) 2006.04.20, 段落【0016】 & US 2006/0076622 A1 & US 2009/0221134 A1	16
A	JP 2012-160637 A (ラピスセミコンダクタ株式会社) 2012.08.23, 全文、全図 (ファミリーなし)	1-16
A	JP 11-274500 A (株式会社東芝) 1999.10.08, 全文、全図 & US 5965918 A	1-16
A	JP 2005-109203 A (セイコーエプソン株式会社) 2005.04.21, 全文、全図 & JP 2005-109203 A	1-16

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

（特別ページを参照。）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

(第1ページの続葉(2)、第III欄の続き)

文献1: JP 2001-298171 A (インターナショナル・ビジネス・マシーンズ・コーポレーション)
2001.10.26, 段落【0009】、【0013】、【0014】、図3、図4 & US 6352905
B1 & US 6166420 A & TW 479319 B

文献2: JP 2007-123823 A (株式会社デンソー) 2007.05.17, 段落【0012】、【0014】、
【0022】、【0023】、【0031】 & US 2007/0069292 A1 & US 2010/0099225 A1
& DE 102006045214 A

文献1には、支持基板であるシリコン基板10上と、該シリコン基板10上の埋め込み絶縁膜である高K絶縁材料からなる層30と、層30上に形成された低K絶縁材料からなる層31と、層31上に形成され、前記シリコン基板10よりも薄いシリコン層とを備える基板、及び、当該基板を有するデバイスが開示されている。

また、他の文献として、文献2には、酸化シリコンからなる埋め込み酸化膜の上に、酸化シリコンよりも誘電率が低い材料で埋められた低誘電率領域を有するシリコン基板、及び、当該基板を有するMOSトランジスタが開示されている。

したがって、請求項1、2、8、9に係る発明は、文献1又は2のいずれかに記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。よって、請求の範囲には、以下の特別な技術的特徴を有する4の発明群が含まれる。

なお、特別な技術的特徴を有しない請求項1、2、8、9に係る発明は、発明1に区分する。

(発明1) 請求項1、2、8、9に係る発明

当該発明は、上述のとおり特別な技術的特徴を有しない。

(発明2) 請求項3、10に係る発明

埋め込み絶縁膜の半導体層と接する領域の誘電率が支持基板と接する領域の誘電率よりも低いものであって、かつ、前記半導体層がIII族元素とV族元素との化合物半導体からなるもの。

(発明3) 請求項4-7、12-15に係る発明

埋め込み絶縁膜の半導体層と接する領域の誘電率が支持基板と接する領域の誘電率よりも低いものであって、かつ、埋め込み絶縁膜の半導体層と接する領域が酸化シリコンで形成され、埋め込み絶縁膜の支持基板と接する領域が、酸化シリコンの誘電率よりも高い誘電率を有する絶縁材料で形成されているもの。

(発明4) 請求項16に係る発明

埋め込み絶縁膜の半導体層と接する領域の誘電率が支持基板と接する領域の誘電率よりも低いものであって、かつ、チャネル領域に歪みが印加されているもの。

ただし、上記発明区分の複数に区分されうる発明は、そのうちの最初の区分に属するものとする。