

(43) 国際公開日
2006年5月4日 (04.05.2006)

PCT

(10) 国際公開番号
WO 2006/046274 A1

- (51) 国際特許分類⁷: H01L 21/768,
21/8247, 29/788, 29/792, 27/115, 21/316
- (21) 国際出願番号: PCT/JP2004/015774
- (22) 国際出願日: 2004年10月25日 (25.10.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベールワンエイ
エムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (Spansion Japan Limited) [JP/JP]; 〒9650845 福島
県会津若松市門田町工業団地6番 Fukushima (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 矢戸 清和
(SHISHIDO, Kiyokazu) [JP/JP]; 〒9650845 福島県会
津若松市門田町工業団地6番 Spansion

Japan 株式会社内 Fukushima (JP). 東雅彦 (HI-
GASHI, Masahiko) [JP/JP]; 〒9650845 福島県会津若松
市門田町工業団地6番 Spansion Japan
株式会社内 Fukushima (JP).

(74) 代理人: 片山 修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋1-6-1 三井住友海上テプコビル
Tokyo (JP).

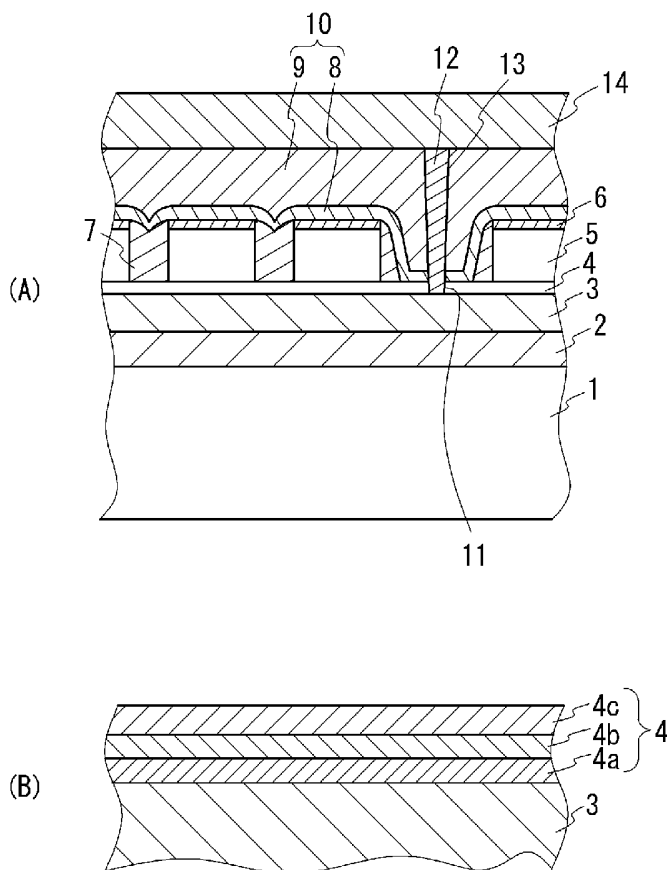
(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device is provided with a semiconductor substrate (1), an ONO film (4) which is formed on the semiconductor substrate (1) and has a contact hole (11) formed thereon and an interlayer insulating film (10) which is formed directly on the ONO film (4), and the interlayer insulating film contains phosphorus. The interlayer insulating film (10) includes a phosphorus of 4.5wt% or more at an interface part facing the ONO film (4). The interlayer insulating film (10) is provided with a first part (8) which is brought into contact with the ONO film (4), and a second part (9) which is provided on the first part, and the phosphorus concentration of the first part is that of the second part or more.

(57) 要約: 半導体基板(1)と、この上に形成されかつコンタクトホール(11)が形成されたONO膜(4)と、ONO膜(4)上に直接形成された層間絶縁膜(10)とを有し、該層間絶縁膜はリンを含む半導体装置。この層間絶縁膜(10)は、ONO膜(4)との界面部において、4.5wt%以上のリンを含む。層間絶縁膜(10)は、ONO膜(4)に接する第1の部分(8)と、第1の部分の上に設けられた第2の部分(9)とを有し、第1の部分のリン濃度は第2の部分のリン濃度以上である。



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置及びその製造方法

技術分野

- [0001] 本発明は半導体装置及びその製造方法に関し、特にONO (Oxide/Nitride/Oxide) 膜を有する不揮発性半導体メモリ及びその製造方法に関する。

背景技術

- [0002] 近年、データの書換えが可能な半導体装置である不揮発性メモリが広く利用されている。このような不揮発性メモリの技術分野においては、単位面積あたりのビット量を高めて単位ビットあたりのコストを低減させるための技術開発が進められている。
- [0003] 不揮発性メモリとしては、一般に、NOR型やNAND型のアレイ形式のフローティングゲート式フラッシュメモリが使用されている。このうち、NOR型のアレイ形式のフローティングゲート式フラッシュメモリはランダムアクセスが可能であるという特長を有する反面、各セルごとにビットライン・コンタクトを設けることが必要とされるために高密度化が難しいという問題がある。一方、NAND型のアレイ形式のフローティングゲート式フラッシュメモリはセルを直列接続させてビットライン・コンタクトの数を少なくすることができるとセルの高密度配置が可能となる反面、ランダムアクセスができないという問題がある。また、フローティングゲート型のフラッシュメモリは、一般にそのトンネル絶縁膜の薄膜化が容易ではなく、このことがメモリを大容量化する際の技術的な障害となっている。
- [0004] このような問題に対処するために、局所的に電荷を蓄え、1セルに多値データを記憶させるという方法が知られている。これは、通常フローティングゲート型のフラッシュメモリではフローティングゲートの中に電荷が空間的に一様に蓄えられこの蓄積電荷量を制御することでセル・トランジスタの閾値変化の読み取りがなされるのに対して、ゲート絶縁膜の少なくとも一部を電荷捕獲性の材料で形成しこの部分に捕獲された電荷の量を制御することでセル・トランジスタの閾値の変化を読み取る形式のメモリセルである。具体的には、ゲート電極直下のゲート絶縁膜構造をON構造もしくはON₃O構造とし、トランジスタのソース・ドレイン近傍のSi₃N₄膜に局所的に電荷を蓄積させ

、これにより1セル当たり2ビットのデータ記憶を可能とするものである。このような形式のメモリとしては埋め込みビットライン型SONOS式などの形式が知られている。埋め込みビットライン型SONOS式メモリにおいては、ビットラインは各セルのソースとドレインの役割を果たしているため、以降の説明においては、セルのソースおよびドレインを意味する場合にもビットラインという表現を用いる。

[0005] このような埋め込みビットライン型SONOS式メモリは、フローティングゲート型のセルに比較して構造がシンプルであり、ランダムアクセス可能であるうえに、そのアレイ構造はコンタクトレスであり、1セルに2ビットの情報を記憶できるように高密度の情報記憶が可能であり(セル面積を約1/2に縮小化可能)、産業上極めて有用なデバイスである。ここで、埋め込みビットライン構造とは、SONOS式メモリのビットラインとなるソース・ドレイン拡散層をワードラインの下に形成することにより、NOR型メモリでありながらトランジスタ毎にビットライン・コンタクト窓を設けることを不要としたアレイ構造である。

[0006] この場合、ビットラインの抵抗を下げるために、ONO膜上に形成された層間絶縁膜上に金属配線層を形成し、層間絶縁膜及びONO膜に形成されたコンタクトホールを介して、金属配線層とビットラインとを接続することが行われている。

[0007] フローティングゲート型のフラッシュメモリでは、特許文献1に記載されているように2層構造の層間絶縁膜が提案されている。この層間絶縁膜は、ゲート電極を覆う不純物を含まない酸化シリコン膜上に形成され、リン濃度が高くボロン濃度が低い下層部と、この下層部に対し相対的にリン濃度が低くボロン濃度が高い上層部とで構成されている。特許文献1には、上層部のBPSG膜はリン濃度が低いいため吸湿しにくく、下層部はリン濃度が高いため吸湿し易いので、外部からの水分の侵入を防止するとともに、一旦侵入した水分は下層部のBPSG膜に固定されるため、素子表面に到達することができないと説明されている。これにより、ゲート酸化膜が水の侵入で損傷を受けると、導電体で形成されたフローティングゲートに蓄積された電荷が全て流れ出てしまうという現象を防止することができると考えられる。

特許文献1:特許第2791090号

発明の開示

発明が解決しようとする課題

[0008] しかしながら、ONO膜を有するフラッシュメモリでは、フローティング型とは異なり電荷を絶縁体である窒化膜に蓄積するので、特許文献1に記載されているように水分の浸入を効果的に防止しても、このことが直接データ保持特性を大きく向上させることにはならないと考えられる。したがって、ONO膜を有するフラッシュメモリでは、データ保持特性を向上させるための新たな手段が求められているのが現状である。

[0009] 本発明は、ONO膜を有するフラッシュメモリにおいて、この構造に固有のチャージロスを改善し、データ保持特性を向上させることを課題とする。

課題を解決するための手段

[0010] 本発明は半導体基板と、この上に形成されかつコンタクトホールが形成されたONO膜と、該ONO膜上に直接形成された層間絶縁膜とを有し、該層間絶縁膜はリンを含む半導体装置である。

[0011] 前記半導体装置は前記ONO膜上に形成されたゲート電極を有し、前記層間絶縁膜は前記ゲート電極上に直接形成されている構成とすることができる。また、前記半導体装置は前記ONO膜上に形成されたゲート電極を有し、前記層間絶縁膜は前記ゲート電極の上部に形成されたシリサイド領域に接するように形成されている構成とすることもできる。

[0012] 好ましくは、前記層間絶縁膜は前記ONO膜との界面部において、4.5wt%以上のリンを含む。より特定すれば、前記層間絶縁膜は、前記ONO膜との界面部において、成膜後に4.5wt%以上かつ10.0wt%以下のリンを含む。

[0013] 例えば、前記層間絶縁膜は、ONO膜に接する第1の部分と、該第1の部分の上に設けられた第2の部分とを有し、第1の部分のリン濃度は第2の部分のリン濃度以上である。そして、前記第2の部分はボロンを含む構成とすることができる。

[0014] 前記層間絶縁膜は、例えばCVD酸化膜やSOD (SPIN ON DIELECTRIC) 膜であり、CVD酸化膜としては、TEOS酸化膜又はHDP酸化膜のいずれかであってもよい。

[0015] 本発明はまた、拡散領域が形成された半導体基板上にONO膜形成するステップと、該ONO膜上にリンを含む層間絶縁膜を形成するステップと、前記層間絶縁膜及

びONO膜にコンタクトホールを形成し、該コンタクトホールを介して前記拡散領域とコンタクトする金属配線層を前記層間絶縁膜上に形成するステップとを有する半導体装置の製造方法である。前記層間絶縁膜を形成するステップは、前記ONO膜との界面部において4.5wt%以上のリンを含むように前記層間絶縁膜を形成することが好ましい。

発明の効果

- [0016] ONO膜上に設けられた層間絶縁膜に含まれるリンは、ONO膜に設けられたコンタクトホールからコンタクトに侵入してくる可動イオンをゲッタリングする作用を持つと考えられ、チャージロスを抑制しデータ保持特性を向上させることができる。特に、リンを含む層間絶縁膜がONO膜上に直接形成されているため、可動イオンを効果的にゲッタリングできるという格別の効果が得られる。

図面の簡単な説明

- [0017] [図1]図1(A)及び図1(B)はそれぞれ、本発明者が行った実験結果を示す図であって、図1(A)はBPSG膜の成長条件とボロン濃度との関係を示すグラフ、図1(B)はBPSG膜の成長条件とリン濃度との関係を示すグラフである。
- [図2]図2は、本発明が行った実験結果を示す図であって、BPSG膜の初期層リン濃度(界面部)と不良率との関係を示すグラフである。
- [図3]図3(A)は本発明の一実施例に係る半導体装置の断面図、及び図3(B)は同半導体装置のONO膜の構造を示す断面図である。
- [図4]本発明の一実施例の効果を比較例と対比して示すグラフである。
- [図5]図5(A)及び図5(B)は本発明の一実施例に係る半導体装置の製造方法を示す図である。

発明を実施するための最良の形態

- [0018] 本発明者は、ONO膜を有するフラッシュメモリにおいて、データ保持特性が劣化する原因の一つを実験により特定した。
- [0019] 本発明が行った実験では、BPSG膜をONO膜上に成長させ、ボロン濃度とリン濃度を測定した。この実験により、成膜後のボロン濃度は膜厚に依存することなく略一定であり設計値と大差ないのに対し、リン濃度は膜厚方向に一様ではなく勾配を持

ち、特に界面部(BPSG膜の初期層であって、ONO膜上に初期の成長段階で堆積した部分)でのリン濃度は極端に低くなることが分かった。

[0020] 図1(A)と(B)は上記実験結果を示す。横軸は、以下に説明する3つの成膜方法を示し、縦軸はP濃度を示す。この実験では、 $0.6\mu\text{m}$ (6000オングストローム)の膜厚を持つBPSGを以下の3通りの方法で形成した。第1の方法では、 $0.3\mu\text{m}$ のBPSG膜を2層積層した。第2の方法では、 $1.5\mu\text{m}$ のBPSG膜を4層積層した。第3の方法では、 $0.1\mu\text{m}$ のBPSG膜を6層積層した。いずれのBPSG膜も、成膜後のボロン濃度が4.5wt%、リン濃度が4.5wt%となるように成膜させた。図1(A)はボロン濃度を示し、図1(B)はリン濃度を示す。ボロン濃度はBPSG膜の厚みにかかわらず略一定であるのに対し、リン濃度は膜厚が薄くなるほど下がっていることが分かった。つまり、図1(B)の実験結果は、 $0.6\mu\text{m}$ のBPSG膜を成膜させる場合、ONO膜との界面付近の初期層の濃度が低いことを示している。

[0021] 本発明者は更に、上記の実験結果とONO膜を有するフラッシュメモリのデータ保持特性との関係を実験により調べた。図2は、BPSG膜の初期層のリン濃度とチャージロスによる不良率との関係を示すグラフである。初期層のリン濃度が4.5wt%の場合には不良率はほぼ0%であるのに対し、4.1%の場合には不良率が高くなることが分かった。つまり、データ保持特性は、ONO膜の界面部にある層間絶縁膜のリン濃度に大きく依存することが分かった。4.5wt%から4.1wt%までの濃度では不良率が次第に高くなることが容易に予想され、また、4.5wt%を超えるリン濃度では不良率はほぼ0%であることは明らかである。但し、BPSG膜のリンとボロンの合計濃度が10.0wt%を超えると結晶化、不純物の析出などが懸念されるので、BPSG膜の不純物濃度はトータルで10wt%以下であることが好ましい。

[0022] 後述するように、リンはONO膜からコンタクトホールへ侵入する可動イオンをゲッタリングする作用を持つと考えられる。この場合、界面部はボロンを含まず、リンのみを含む絶縁膜であってもよい。ボロンは可動イオンのゲッタリングに関与しないので、界面に近い層間絶縁膜部分(後述する界面部、初期層又は第1の部分に相当)ではむしろボロンを含まない構成が好ましい。この場合、この部分のリン濃度は4.5wt%以上10.0wt%以下である。

[0023] 好ましくは、界面部(層間絶縁膜の第1の部分)と残りの部分(層間絶縁膜の第2の部分)を次の通り構成する。第1の部分は4.5wt%以上10.0wt%以下のリンを含むPSG膜であり、第2の部分はリン濃度とボロン濃度との合計が10.0wt%以下のB PSG膜である。第1の部分であるPSG膜がONO膜に接する。この場合、リンの濃度は第1の部分で一様である必要はなく、リン濃度が4.5wt%以上10.0wt%以下の範囲内で濃度勾配があっても良い。例えば、リン濃度がONO膜との界面から離れるにつれて低くなる。また、第1の部分のリン濃度は第2の部分のリン濃度と等しいかそれ以上である構成とすることもできる。リンの界面付近での可動イオンのゲッタリング作用を考慮すれば、界面側にある第1の部分のリン濃度が第2の部分よりも高いことが好ましい。また、2層構成は発明の課題を解決するための必須の要件ではなく、不純物の合計濃度が4.5%以上10.0%以下であれば、何層構成であってもよい。

[0024] リン濃度が4.5wt%以上の界面部、つまり第1の部分の膜厚は少なくとも0.02 μ m以上あることが好ましい。すなわち、この厚み以上であれば稼動イオンの影響を排除できると考えられ、良好なデータ保持特性が得られる。より特定すれば、第1の部分の膜厚は0.02 μ mから0.20 μ mの範囲内であることが好ましい。界面部の厚みは、リンのゲッタリング作用が効果的に発揮され、かつボイドが発生しない範囲内にあることが好ましい。或いは、厚みの上限は層間絶縁膜10で埋め込まれる電極間の最小間隔の1/2以下であることが好ましい。

実施例

[0025] 図3(A)は、本発明の一実施例に係る半導体装置の断面図である。図示する半導体装置はフラッシュメモリのコア部を示す。シリコンなどの半導体基板1の表面部分にウェル領域2が形成され、ウェル領域2の中にビットライン領域3が形成されている。半導体基板1のコア部全面には、ONO膜4が形成されている。ONO膜4は、図3(B)に示すように、半導体基板1側から順にトンネル絶縁膜4a、ストレージ用窒化膜4b及び酸化膜4cが積層されたONO構造を有する。この窒化膜4bがトラップされた電荷を蓄積する。ONO膜4にはコンタクトホール11が形成されている。ONO膜4上にはゲート電極5が形成され、その側部にはサイドウォール7が形成されている。また、ゲート電極5の上面は、サリサイドによる CoSi_2 領域6が形成されている。このシリサイド膜の

Coに代えて、Ti、NiまたはPtを用いてもよい。

- [0026] コンタクトホール11近傍のONO膜4上、 CoSi_2 領域6及びサイドウォール7上に、層間絶縁膜10が直接形成されている。つまり、層間絶縁膜10はONO膜4や CoSi_2 領域6に接している。層間絶縁膜10は発明を実施するための最良の形態で説明した構成を持つ。図3(A)に示す層間絶縁膜10は、CVD酸化膜やSOD (SPIN ON DI ELECTRIC) 膜であり、CVD酸化膜としては、例えばTEOS酸化膜又はHDP酸化膜である。また、層間絶縁膜10は第1の部分8と第2の部分9とからなる2層構成である。第1の部分8はPSG膜であり、第2の部分9はBPSG膜である。PSG膜8のリン濃度 (PSG膜を堆積した直後のリン濃度) は4. 5wt%以上10. 0wt%以下であり、0. 05 μm の厚みを有する。また、BPSG膜9のリン濃度 (PSG膜を堆積した直後のリン濃度) は例えば2. 9wt%であり、成膜直後は1. 15 μm 程度の厚みを持つが、その後のCMPなどの処理により、最終のデバイス形態では0. 8 μm 程度の厚みを持つ。この場合、BPSG膜9のボロン濃度は7. 1wt%以下の任意の値であるが、低すぎるとボイドが発生するので、適度なボロン濃度となるようにする。
- [0027] このように構成された層間絶縁膜10には、ONO膜4に形成されたコンタクトホール11に連続するコンタクトホール13が形成されている。コンタクトホール11と13 (これらの中には導電体12が充填されている) を介して、層間絶縁膜10上に形成された金属配線層14とビットライン領域3とが電氣的に接続されている。
- [0028] 図4は、上記本実施例の不良率と、層間絶縁膜10をBPSGで形成した比較例 (界面部のリン濃度は2. 9wt%) の不良率とを示す。比較例の膜厚は、本実施例と同様に成膜直後で1. 2 μm 、CMP処理後で0. 8 μm である。本実施例によれば、比較例よりも不良率が改善していることが分かる。この理由の一つとして、ONO膜4からコンタクトホール11の導電体12に侵入した (コンタクトに侵入した) 可動イオンを、層間絶縁膜10の第1の部分8に含まれるリンがゲッタリングすると考えられる。この際、第1の部分8がONO膜4に直接接するように形成されているため、リンによるゲッタリングがより効果的に行われると考えられる。
- [0029] 図5(a)、(b)は上記実施例に係る半導体装置の製造工程を示す図である。図5(a)は、半導体基板1上にONO膜4を生成するまでのプロセスを図示している。公知の

方法で、半導体基板1にウェル領域2を形成した後、トンネル絶縁膜121、ストレージ用窒化膜122、及び酸化膜123を順次積層させてONO構造の膜4を形成し、この積層膜の所定の箇所にフォトリソグラフィ技術によりビットライン領域3を形成するための開口部を設ける。そして、これらの開口部からイオン注入してビットライン領域3を形成する。この工程は、例えば、HF処理によりコア部および周辺回路部(図示を省略する)の絶縁膜が除去された半導体基板100の主面を熱酸化して膜厚7nmのトンネル酸化膜を形成し、このトンネル酸化膜上に10nmの膜厚のCVD窒化膜を堆積し、さらに、CVD窒化膜にCVD酸化膜を堆積してONO構造とする。また、ビットライン拡散層形成用の開口部から加速電圧50KeVでドーズ量 $1.0 \times 10^{15} \text{cm}^{-2}$ の砒素をイオン注入してビットライン領域4が形成される。なお、上記ONO膜4はコア部のみならず周辺回路部にも形成されることとなるが、このONO構造は周辺回路部には不要であるため、レジストパターニング技術により周辺回路部のONO膜4を除去する。

[0030] そして、図5(B)に示すように、ONO膜4の上にゲート電極用導電性膜を成長させ、これにレジストパターニングとエッチング処理を施してゲート電極5(ワードライン)を形成する。このゲート電極用導電性膜は、例えば、熱CVD法により成長させた厚み $0.18 \mu\text{m}$ のポリシリコン膜とする。次に、ゲート電極5の側面にサイドウォール7を形成する。そして、コバルトを用いたサリサイドプロセスを用いて CoSi_2 領域6を形成する。

[0031] 次に、TEOSあるいはHDPなどのCVD法によるシリコン酸化膜を堆積して、層間絶縁膜10を形成する。この際、リンとボロンのドーズ量を制御して、前述した構成の層間絶縁膜10を形成する。その後、層間絶縁膜10にコンタクトホール13を形成し、ONO膜4にコンタクトホール11を形成し、導電体12をコンタクトホール11及び13に充填するとともに、金属配線層14を形成する。

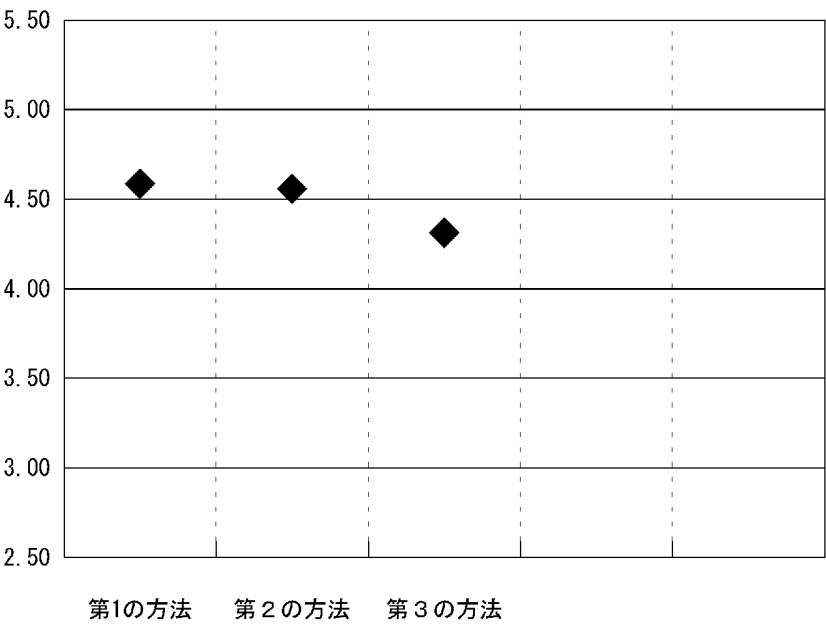
[0032] 以上、本発明の実施の形態及び実施例を説明した。本発明はこれらに限定されるものではなく、本発明の範囲内において他の実施の形態や実施例が可能である。また、本発明の半導体装置はフラッシュメモリのような半導体記憶装置のみならず、フラッシュメモリと他の半導体回路とを備えた様々なタイプの半導体装置を含むものである。

請求の範囲

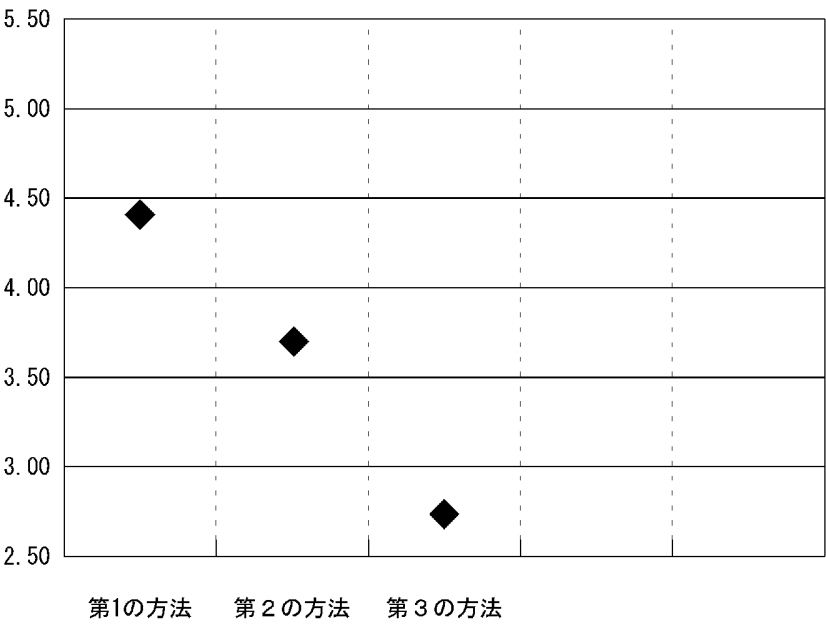
- [1] 半導体基板と、この上に形成されかつコンタクトホールが形成されたONO膜と、該ONO膜上に直接形成された層間絶縁膜とを有し、該層間絶縁膜はリンを含む半導体装置。
- [2] 前記半導体装置は前記ONO膜上に形成されたゲート電極を有し、前記層間絶縁膜は前記ゲート電極上に直接形成されている請求項1記載の半導体装置。
- [3] 前記半導体装置は前記ONO膜上に形成されたゲート電極を有し、前記層間絶縁膜は前記ゲート電極の上部に形成されたシリサイド領域に接するように形成されている請求項1記載の半導体装置。
- [4] 前記層間絶縁膜は、前記ONO膜との界面部において、4.5wt%以上のリンを含む請求項1から3のいずれか一項記載の半導体装置。
- [5] 前記層間絶縁膜は、前記ONO膜との界面部において、成膜後に4.5wt%以上かつ10.0wt%以下のリンを含む請求項1から3のいずれか一項記載の半導体装置。
- [6] 前記層間絶縁膜は、ONO膜に接する第1の部分と、該第1の部分の上に設けられた第2の部分とを有し、第1の部分のリン濃度は第2の部分のリン濃度以上である請求項1から3の何れか一項記載の半導体装置。
- [7] 前記第2の部分はボロンを含む請求項6記載の半導体装置。
- [8] 前記層間絶縁膜は酸化膜である請求項1から6のいずれか一項記載の半導体装置。
- [9] 前記層間絶縁膜はCVD酸化膜又はSOD (SPIN ON DIELECTRIC) 膜である請求項1から8のいずれか一項記載の半導体装置。
- [10] 前記層間絶縁膜はTEOS酸化膜又はHDP酸化膜のいずれかであることを特徴とする請求項1から8のいずれか一項記載の半導体装置。
- [11] 拡散領域が形成された半導体基板上にONO膜形成するステップと、該ONO膜上にリンを含む層間絶縁膜を形成するステップと、前記層間絶縁膜及びONO膜にコンタクトホールを形成し、該コンタクトホールを介して前記拡散領域とコンタクトする金属配線層を前記層間絶縁膜上に形成するステップとを有する半導体装置の製造方法。
- [12] 前記層間絶縁膜を形成するステップは、前記ONO膜との界面部において4.5wt%

以上のリンを含むように前記層間絶縁膜を形成する請求項11記載の半導体装置の製造方法。

[図1]

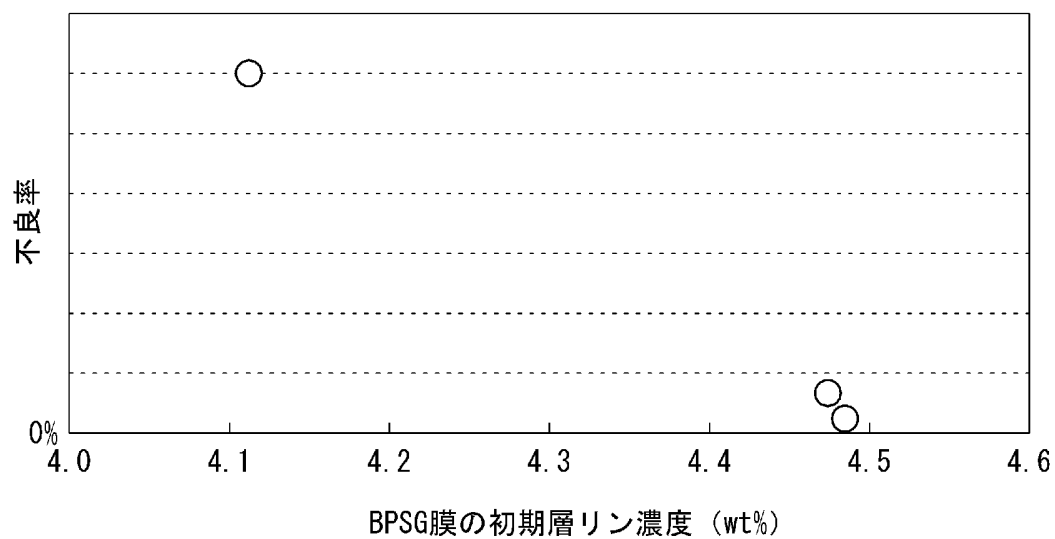


(A)

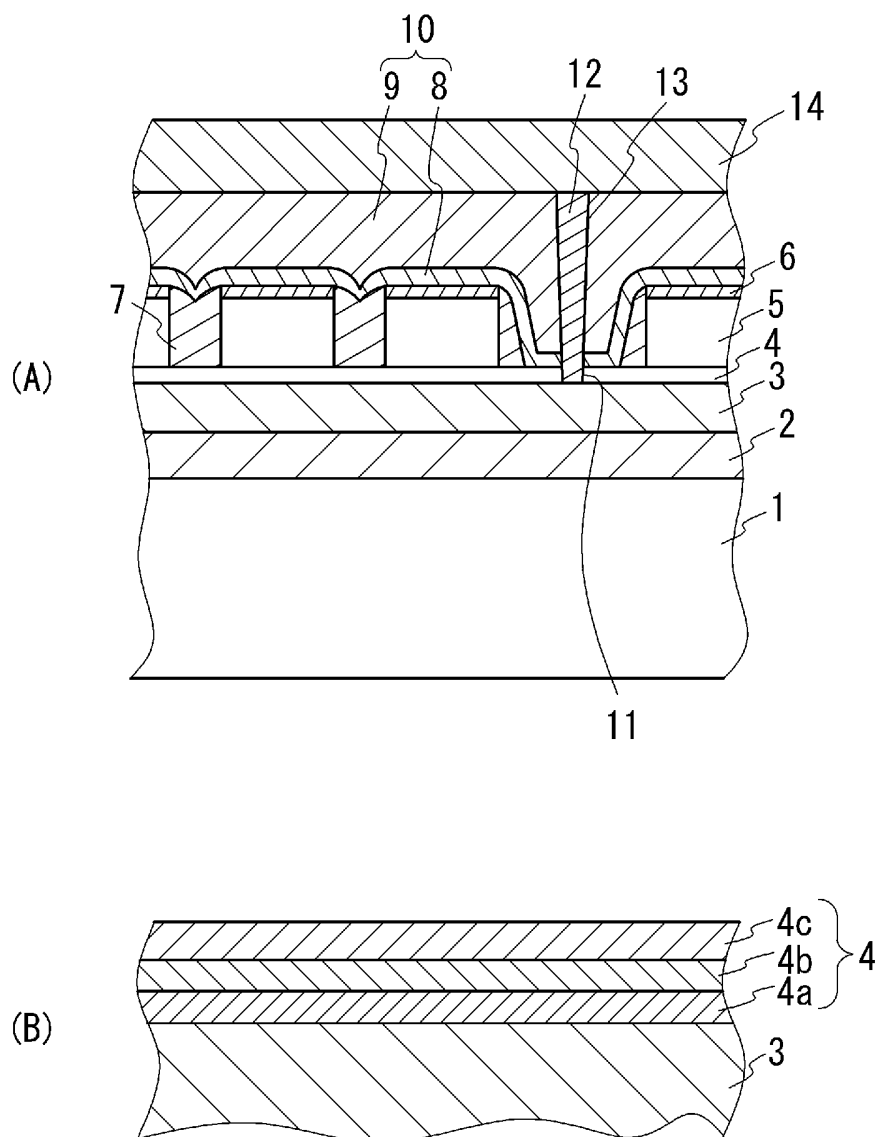


(B)

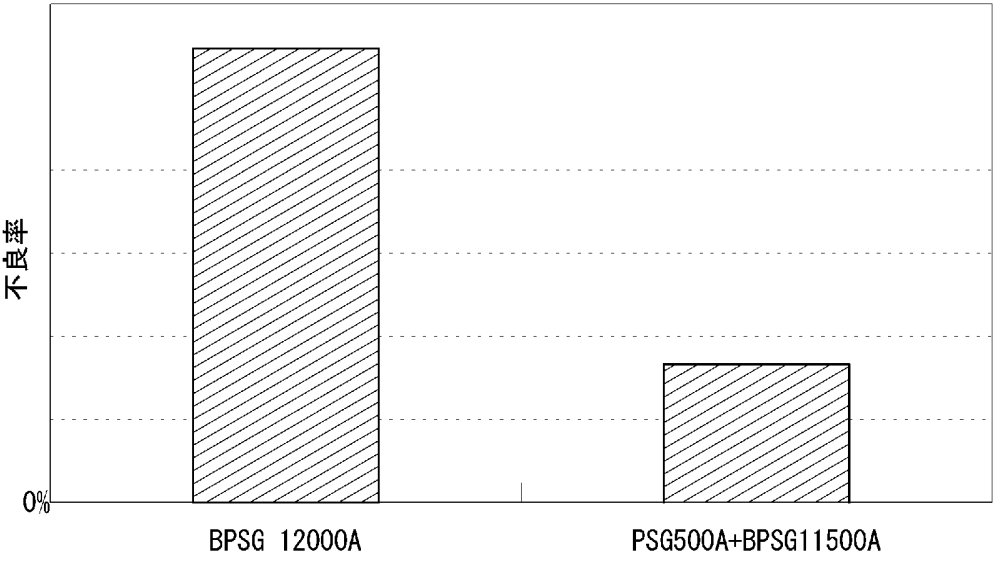
[図2]



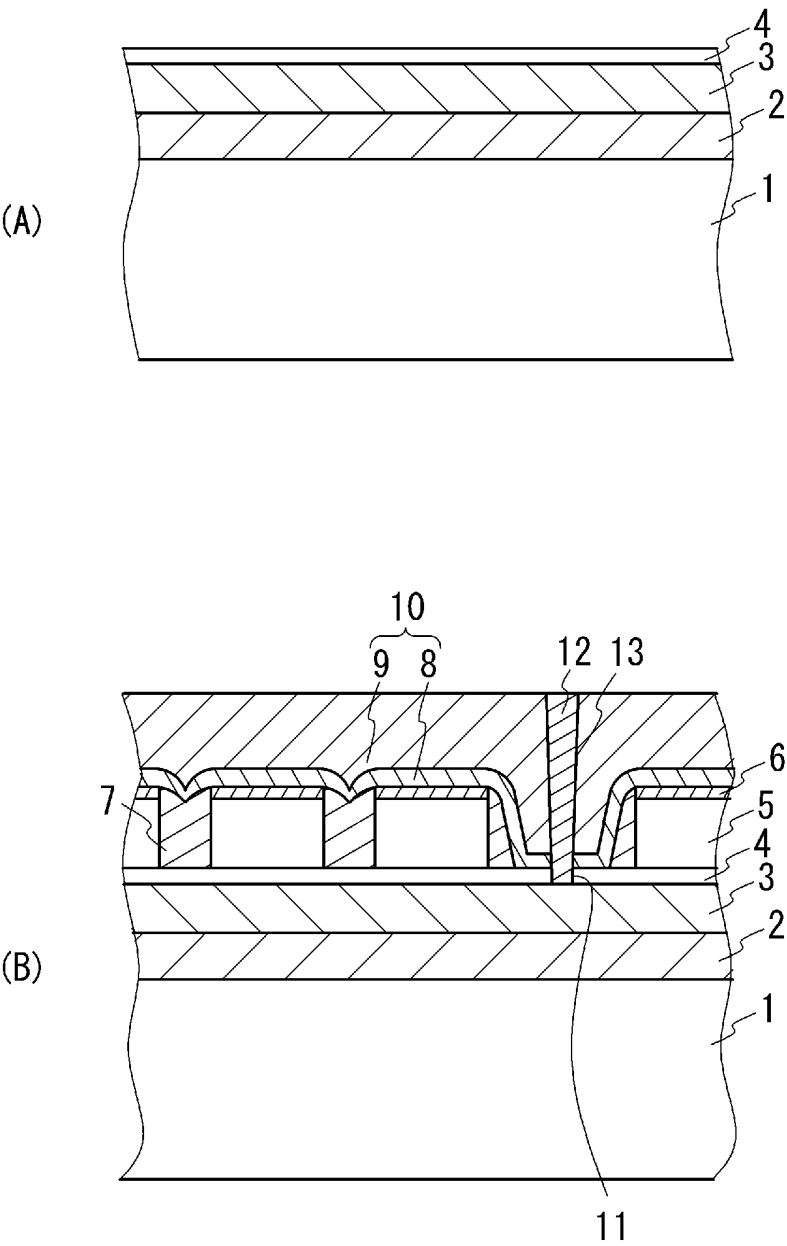
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015774

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/768, H01L21/8247, H01L29/788, H01L29/792, H01L27/115, H01L21/316

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/768, H01L21/8247, H01L29/788, H01L29/792, H01L27/115, H01L21/316

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 6-232416 A (Rohm Co., Ltd.), 19 August, 1994 (19.08.94), Par. Nos. [0027] to [0034]; Figs. 1, 4 to 10 & US 5338954 A	1, 2, 11 3-10, 12
Y	JP 7-50396 A (Sony Corp.), 21 February, 1995 (21.02.95), Par. Nos. [0038] to [0044]; Figs. 5 to 11 (Family: none)	3-10, 12
Y	JP 2002-184717 A (Matsushita Electric Industrial Co., Ltd.), 28 June, 2002 (28.06.02), Full text; Figs. 1 to 14 & US 2002/0061639 A1	3-10, 12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 January, 2005 (12.01.05)

Date of mailing of the international search report
01 February, 2005 (01.02.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015774

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-228351 A (Matsushita Electric Industrial Co., Ltd.), 12 August, 2004 (12.08.04), Full text; Figs. 1 to 5 (Family: none)	3-10,12
Y	JP 7-307339 A (SGS-Thomson Microelectronics s.r.l.), 21 November, 1995 (21.11.95), Par. No. [0006] & EP 0677869 A1 & US 5598028 A	4-10,12
Y	JP 8-321502 A (Nippon Steel Corp.), 03 December, 1996 (03.12.96), Par. No. [0030] & US 5672907 A	4-10,12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/768, H01L21/8247, H01L29/788, H01L29/792,
H01L27/115, H01L21/316

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/768, H01L21/8247, H01L29/788, H01L29/792,
H01L27/115, H01L21/316

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2005年
日本国登録実用新案公報 1994-2005年
日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 6-232416 A (ローム株式会社) 1994.08.19, 段落【0027】-段落【0034】, 第1図, 第4-10図 & US 5338954 A	1, 2, 11
Y		3-10, 12
Y	JP 7-50396 A (ソニー株式会社) 1995.02.21, 段落【0038】-段落【0044】, 第5-11図 (ファミリーなし)	3-10, 12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

12.01.2005

国際調査報告の発送日

01.2.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

長谷山 健

4M

9171

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-184717 A (松下電器産業株式会社) 2002. 06. 28, 全文, 第 1-14図 & US 2002/0061639 A1	3-10, 12
Y	JP 2004-228351 A (松下電器産業株式会社) 2004. 08. 12, 全文, 第 1-5図 (ファミリーなし)	3-10, 12
Y	JP 7-307339 A (エスジーエーストムソン マイクロエレクトロニ クス エッセ エッレ エーレ) 1995. 11. 21, 段落【0006】 & EP 0677869 A1 & US 5598028 A	4-10, 12
Y	JP 8-321502 A (新日本製鐵株式会社) 1996. 12. 03, 段落【0030】 & US 5672907 A	4-10, 12