

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 15.02.10.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 19.08.11 Bulletin 11/33.

56 Liste des documents cités dans le rapport de
recherche préliminaire : Se reporter à la fin du
présent fascicule

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR, STMICROELECTRONICS
(CROLLES 2) SAS Société par actions simplifiée — FR
et CENTRE NATIONAL DE LA RECHERCHE SCIENTI-
FIQUE Etablissement public — FR.

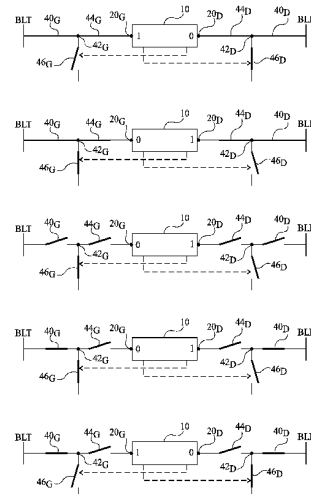
72 Inventeur(s) : ABOUZEID FADY et CLERC SYLVAIN.

73 Titulaire(s) : STMICROELECTRONICS SA Société
anonyme, STMICROELECTRONICS (CROLLES 2) SAS
Société par actions simplifiée, CENTRE NATIONAL DE
LA RECHERCHE SCIENTIFIQUE Etablissement public.

74 Mandataire(s) : CABINET BEAUMONT.

54 CELLULE DE MEMOIRE VIVE SRAM A DIX TRANSISTORS.

57 L'invention concerne un dispositif et un procédé de
commande d'un dispositif mémoire de type SRAM,
comportant: un circuit bistable et deux circuits de commu-
tation reliant respectivement deux bornes d'accès du circuit
bistable à deux lignes de bits complémentaires, chaque cir-
cuit de commutation comportant: un premier interrupteur
(40G, 40D), un deuxième interrupteur (44G, 44D) en série
entre une des lignes de bits et une desdites bornes d'accès,
et un troisième interrupteur (46G, 46D) entre le point milieu
d'un potentiel de référence, une borne de commande du
troisième interrupteur étant reliée à l'autre desdites bornes
d'accès.



CELLULE DE MÉMOIRE VIVE SRAM A DIX TRANSISTORSDomaine de l'invention

La présente invention concerne de façon générale les mémoires vives en circuit intégré de type SRAM (Static Random Access Memory).

5 L'invention concerne de telles mémoires que celles-ci soient autonomes ou embarquées dans un circuit électronique comportant d'autres fonctions tel que, par exemple, un microcontrôleur.

Exposé de l'art antérieur

10 Généralement, une cellule de mémoire vive SRAM est basée sur l'utilisation de circuits bistables en technologie CMOS. Plusieurs cellules sont agencées dans un réseau matriciel en étant reliées à des lignes de bits et des lignes de mots.

La plupart du temps ces cellules comportent six
15 transistors. Le circuit bistable est généralement composé de quatre transistors et deux transistors d'accès relient ce circuit bistable aux lignes de bits en étant commandés par une ligne de mot.

Plus récemment, on a cherché à baisser la tension
20 d'alimentation en proposant une cellule fonctionnant sous une tension d'alimentation plus faible par rapport aux niveaux

communément utilisés pour la technologie dans laquelle les cellules sont fabriquées.

Un exemple d'une telle cellule est décrit dans l'article "A 32kb 10T Subthreshold SRAM Array with Bit-
5 Interleaving and Differential Read Scheme in 90nm CMOS", de ROY K. et al., paru dans Solid-State Circuits Conference, Digest of Technical Papers. IEEE International , vol., no., pp.388-622, 3-7 Feb. 2008. Cette cellule comporte dix transistors et un étage de commutation entre le bistable et chaque transistor d'accès à
10 la ligne de bits, chacun des étages de commutation comportant un premier transistor additionnel d'accès entre le bistable et chaque transistor d'accès, et un second transistor additionnel entre le transistor d'accès et un potentiel variable en fonction de l'opération de lecture ou d'écriture. Le transistor
15 additionnel d'accès est commandé par un signal supplémentaire. Le potentiel variable est fourni par un circuit dans une technologie de transistor qui conduit à limiter le fonctionnement de la cellule aux seules faibles tensions.

Un inconvénient des différentes SRAM connues est qu'en
20 lecture, le contenu du bistable est altéré.

Résumé

Un objet d'un mode de réalisation de la présente invention est de proposer une cellule de mémoire vive à dix transistors palliant tout ou partie des inconvénients des
25 circuits connus.

Un autre objet d'un mode de réalisation de la présente invention est de proposer une solution réduisant les fuites de la cellule pendant une opération de lecture.

Pour atteindre tout ou partie de ces objets ainsi que
30 d'autres, un mode de réalisation de la présente invention prévoit un dispositif mémoire de type SRAM, comprenant :

un circuit bistable ; et

deux circuits de commutation reliant respectivement deux bornes d'accès du circuit bistable à deux lignes de bits
35 complémentaires, chaque circuit de commutation comportant :

- un premier interrupteur et un deuxième interrupteur en série entre une des lignes de bits et une desdites bornes d'accès,

5 - un troisième interrupteur entre le point milieu de ladite association en série et une borne d'application d'un potentiel de référence, une borne de commande du troisième interrupteur étant reliée à l'autre desdites bornes d'accès.

 Selon un mode de réalisation de la présente invention, la borne de commande du premier interrupteur en série est reliée
10 à une ligne de mots.

 Selon un mode de réalisation de la présente invention, la borne de commande du deuxième interrupteur en série est reliée à une ligne de commande de mots connectés en colonne.

 Selon un mode de réalisation de la présente invention,
15 un circuit bistable est composé d'un premier inverseur formé d'un premier transistor MOS d'un premier type de canal et d'un premier transistor MOS d'un second type de canal, et d'un second inverseur formé d'un second transistor MOS d'un premier type de canal et d'un second transistor MOS d'un second type de canal.

20 Selon un mode de réalisation de la présente invention, les transistors et interrupteurs sont de type CMOS.

 Selon un mode de réalisation de la présente invention, ledit potentiel de référence est fixe.

 Selon un mode de réalisation de la présente invention,
25 ledit potentiel de référence est un potentiel variable.

 On prévoit également une mémoire vive comportant un réseau matriciel de dispositifs.

 On prévoit également un procédé de commande d'un dispositif mémoire dans lequel, quelle que soit la phase de
30 fonctionnement, l'un des troisièmes interrupteurs est fermé et l'autre ouvert.

 On prévoit également un procédé selon lequel :

 pour une opération d'écriture : les premiers et deuxièmes interrupteurs sont fermés, l'un des troisièmes
35 interrupteurs étant fermé et l'autre ouvert ;

pour une opération de lecture : les premiers interrupteurs sont fermés, les deuxièmes interrupteurs sont ouverts, l'un des troisièmes interrupteurs étant fermé et l'autre ouvert ; et

5 dans une phase de maintien d'état, les premiers et deuxièmes interrupteurs sont ouverts, l'un des troisièmes interrupteurs étant fermé et l'autre ouvert.

Brève description des dessins

Ces objets, caractéristiques et avantages, ainsi que
10 d'autres seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 représente, de façon très schématique et sous forme de blocs, un exemple de cellule de mémoire vive SRAM
15 basée sur l'utilisation de circuits bistables en technologie CMOS ;

la figure 2 représente un schéma électrique détaillé d'une cellule de mémoire vive SRAM ; et

les figures 3A à 3E représentent, sous formes d'interrupteurs, l'état des transistors d'une cellule de mémoire vive
20 dans des opérations d'écriture, de maintien des données et de lecture selon un mode de mise en oeuvre de la présente invention.

Description détaillée

De même éléments ont été désignés par des mêmes références aux différentes figures qui ont été tracées sans respect d'échelle. Pour des raisons de clarté, seuls les étapes et les éléments utiles à la compréhension de l'invention ont été représentés et seront décrits.

30 L'invention sera décrite en relation avec des transistors en technologie CMOS. L'invention est toutefois applicable à toute autre technologie de transistor ou à une combinaison de différentes technologies.

La figure 1 représente sous forme de bloc une cellule
35 de mémoire vive SRAM comprenant :

- une paire de ligne de bits complémentaires BLT et BLF ;
- une ligne de mots WL ;
- une ligne de commande de mots en colonne WCL ;
- 5 - un circuit bistable 10 (CROSS COUPLED MEMORY CELL) destiné à stocker une information binaire et comprenant des première 20_G et deuxième 20_D bornes d'accès complémentaires de lecture et d'écriture ; et
- 10 - deux circuits de commutation 15_G, 15_D (SWITCH) reliant respectivement les deux bornes d'accès du circuit bistable 20_G, 20_D aux deux lignes de bits complémentaires. Les circuits 15 permettent l'accès sélectif au bistable selon l'opération d'écriture ou
- 15 de lecture à effectuer.

Les cellules décrites dans la figure 1 sont agencées dans un réseau matriciel avec des fonctions additionnelles telles que de décodage d'adresse ou d'amplification pour réaliser une mémoire vive SRAM.

- 20 La figure 2 est une représentation plus détaillée d'un mode de réalisation d'une cellule de mémoire vive SRAM. De façon usuelle, le bistable 10 est basé sur le principe de deux inverseurs couplés de façon croisée. Un inverseur dit arbitrairement de gauche est composé de deux transistors : Un
- 25 transistor PMOS 30 et un transistor NMOS 31, les grilles de commande de ces 2 transistors étant communes, et connectées à la borne d'accès 20_D. Un inverseur dit arbitrairement de droite est composé d'un transistor PMOS 32 et d'un transistor NMOS 33, les grilles de commande de ces 2 transistors étant communes, et
- 30 connectées à la borne d'accès 20_G.

Une donnée, formée de deux valeurs logiques complémentaires 1, 0 ou 0, 1 est stockée sur les deux noeuds de sortie 20_G et 20_D des inverseurs.

Selon le mode de réalisation décrit, chaque bloc de commutation 15 (15G, 15D) comporte trois interrupteurs, de préférence trois transistors :

- 5 - un premier transistor d'accès 40 (40G, 40D) connecté entre l'une des lignes de la paire de lignes de bits BLT, BLF et un noeud intermédiaire 42 (42G, 42D), la grille de commandes du transistor 40 étant connectée à la ligne de mots WL ;
- 10 - un second transistor d'accès 44 (44G, 44D) connecté entre le noeud 42 (42G, 42D) et une des bornes 20 (20G, 20D) du bistable, la grille de commande du transistor 44 étant connectée à la ligne de mots en colonne WCL ; et
- 15 - un transistor 46 (46G, 46D) de tirage (pull-down) de la valeur du noeud 42, connecté entre le noeud 42 et une borne d'application d'un potentiel de référence, la grille, ou borne de commande du transistor 46 étant connectée à la grille commune de l'inverseur opposé du bistable. Dans le mode de réalisation de
- 20 la figure 2, le potentiel de référence est fixe et est la masse.

Les figures 3A et 3B décrivent des opérations d'écriture dans une cellule de mémoire vive SRAM selon un mode de mise en oeuvre de la présente invention.

- 25 Pour écrire une donnée dans le bistable 10, on précharge tout d'abord les deux lignes de bits BLT et BLF à un potentiel haut (Vdd). On ferme (rend passant) ensuite les quatre transistors 40G, 40D, 44G, 44D, en maintenant au potentiel Vdd la ligne de mots et la ligne de mots d'écriture non visibles aux
- 30 figures 3A et 3B.

- 35 La figure 3A illustre l'écriture d'un état 1 dans le noeud 20G et d'un état 0 dans le noeud 20D. La ligne de bits BLF est tirée à la masse et la ligne de bits BLT est maintenue au potentiel Vdd. Comme les transistors 40D et 44D sont fermés, le potentiel bas de la ligne BLF est transféré sur la grille de

commande du transistor 46_G, et l'ouvre (rend bloqué). Le potentiel V_{dd} de la ligne BLT est alors transféré sur le noeud 20_G, le positionnant à l'état haut. Le potentiel haut de la ligne BLT est transféré sur la grille de commande du transistor 46_D et le ferme, tirant à la masse le noeud 42_D. Le noeud 20_D est alors positionné à l'état bas.

La figure 3B illustre l'écriture d'un état 0 dans le noeud 20_G et d'un état 1 dans le noeud 20_D. La ligne de bits BLF est maintenue au potentiel V_{dd} et la ligne de bits BLT est tirée à la masse. Comme les transistors 40_G et 44_G sont fermés, le potentiel bas de BLT est transféré sur la grille de commande du transistor 46_D, et l'ouvre. Le potentiel haut de BLF est alors transféré sur le noeud 20_D, le positionnant à l'état haut. Le potentiel haut de BLF est transféré sur la grille de commande du transistor 46_G et le ferme, tirant à la masse le noeud 42_G. Le noeud 20_G est alors positionné à l'état bas.

La figure 3C décrit les polarités appliquées à une cellule de mémoire vive SRAM pour conserver (mode Hold) les données écrites selon un mode de mise en oeuvre de la présente invention.

Pour conserver une donnée dans le bistable 10, les deux lignes de bits BLT et BLF sont tirées à V_{dd}. On ouvre ensuite les quatre transistors 40_G, 40_D, 44_G, 44_D, en maintenant à la masse la ligne de mots et la ligne de mots d'écriture non visibles à la figure 3C. Cette configuration permet d'éviter les fuites de courant du bistable vers les lignes de bits à travers les quatre transistors d'accès.

La figure 3C illustre le maintien d'un état 0 dans le noeud 20_G et d'un état 1 dans le noeud 20_D. L'état 0 du noeud 20_G est transféré sur la grille de commande du transistor 46_D, et l'ouvre, l'état 1 du noeud 20_D est transféré sur la grille de commande du transistor 46_G, et le ferme, sans effet sur la polarité des noeuds de sortie.

De manière symétrique, si on conserve un état 1 dans le noeud 20_G et un état 0 dans le noeud 20_D, l'état 1 ferme le

transistor 46_D et l'état 0 ouvre le transistor 46_G, sans changer la polarité des noeuds de sortie.

Les figures 3D et 3E décrivent des opérations de lecture dans une cellule de mémoire vive SRAM selon un mode de mise en oeuvre de la présente invention.

Pour lire une donnée dans le bistable 10, on précharge tout d'abord les deux lignes de bits BLT et BLF au potentiel Vdd. On ferme ensuite les deux transistors 40_G et 40_D en maintenant au potentiel Vdd la ligne de mots, non visible aux figures 3D et 3E. Les deux transistors 44_G, 44_D sont ouverts en tirant à la masse la ligne de mots d'écriture, non visible aux figures 3D et 3E. Cette configuration permet d'isoler le bistable et de réduire les fuites de courant au travers des transistors d'accès.

La figure 3D illustre la lecture d'un état 0 dans le noeud 20_G et d'un état 1 dans le noeud 20_D. Les lignes de bits sont déconnectées de Vdd pour arrêter la précharge. La valeur logique 0 se propage du noeud de sortie 20_G vers la grille de commande du transistor 46_D et ouvre ce transistor. La valeur de tension de la ligne BLF n'est donc pas modifiée. L'état 1 se propage du noeud de sortie 20_D vers la grille de commande du transistor 46_G et ferme ce transistor, tirant à la masse le noeud 42_G et la valeur de tension de la ligne de bits BLT. L'état complémentaire des deux transistors 46 provoque une différence de courant entre les deux lignes de bits, sans connexion directe avec les noeuds de sortie. Cette différence de courant entre les deux lignes de bits est amplifiée de façon classique dans un amplificateur, soit en courant soit en tension, situé au bas de la colonne du plan-mémoire et contenant la cellule, et la donnée ainsi lue.

La figure 3E illustre la lecture d'un état 1 dans le noeud 20_G et d'un état 0 dans le noeud 20_D. Les lignes de bits sont déconnectées du potentiel Vdd pour arrêter la précharge. L'état 1 se propage du noeud de sortie 20_G vers la grille de commande du transistor 46_D et ferme ce transistor. La tension de

la ligne BLF est donc tirée à la masse. L'état 0 se propage du noeud de sortie 20_D vers la grille de commande du transistor 46_G et ouvre ce transistor, sans modifier la tension de la ligne de bits BLT. Comme précédemment, la différence de courant entre les
5 deux lignes de bits est amplifiée pour ensuite lire la donnée, sans connexion directe avec les noeuds de sortie.

La cellule mémoire décrite dans le mode de réalisation ci-dessus présente les avantages suivants :

- elle fonctionne avec une faible tension d'alimentation par rapport aux niveaux communément utilisés pour la
10 technologie dans laquelle les cellules sont fabriquées ;
- les transistors d'accès 40 et 44 connectés en série limitent les fuites de courant ; et
- la lecture est réalisée à travers les transistors de
15 tirage 46 (46_G, 46_D), sans décharge du bistable, protégeant ainsi les données stockées.

Un autre avantage du mode de réalisation décrit est qu'il est compatible avec une variation du potentiel de référence, au prix d'une augmentation de la surface de la
20 mémoire pour générer le potentiel intermédiaire entre les potentiels V_{dd} et de masse.

Un autre avantage du mode de réalisation décrit est que les grilles de commande des transistors de tirage sont connectées aux grilles communes des inverseurs opposés. En
25 particulier cela permet d'effectuer une lecture indirecte sans intervenir sur les noeuds de sortie du bistable.

Des modes de réalisation particuliers ont été décrits. Diverses variantes et modification apparaîtront à l'homme de l'art. En particulier, bien que l'invention ait été décrite en
30 relation avec un exemple de cellule où les transistors reliés au potentiel haut sont à canal P, ceux reliés au potentiel bas sont à canal N et les interrupteurs des circuits de commutation sont à canal N, le type de canal de tout ou partie des transistors pourra être inversé pourvu d'adapter les signaux de commande.

REVENDEICATIONS

1. Dispositif mémoire de type SRAM, comprenant :
un circuit bistable (10) ; et
deux circuits de commutation (15G, 15D) reliant
respectivement deux bornes d'accès (20G, 20D) du circuit
5 bistable à deux lignes de bits complémentaires (BLT, BLF),
chaque circuit de commutation comportant :
 - des premier (40G, 40D) et deuxième interrupteurs
(44G, 44D) en série entre une des lignes de bits et une desdites
bornes d'accès,
 - 10 - un troisième interrupteur (46G, 46D) entre le point
milieu de ladite association en série et une borne d'application
d'un potentiel de référence, une borne de commande du troisième
interrupteur étant reliée à l'autre desdites bornes d'accès.
2. Dispositif selon la revendication 1, dans lequel la
15 borne de commande du premier interrupteur en série est reliée à
une ligne de mots (WL).
3. Dispositif selon la revendication 1 ou 2, dans
lequel la borne de commande du deuxième interrupteur en série
est reliée à une ligne de commande de mots connectés en colonne
20 (WCL).
4. Dispositif selon l'une quelconque des revendi-
cations précédentes, dans lequel un circuit bistable est composé
d'un premier inverseur formé d'un premier transistor MOS d'un
premier type de canal (30) et d'un premier transistor MOS d'un
25 second type de canal (31), et d'un second inverseur formé d'un
second transistor MOS d'un premier type de canal (32) et d'un
second transistor MOS d'un second type de canal (33).
5. Dispositif selon l'une quelconque des revendi-
cations précédentes, dans lequel les transistors et
30 interrupteurs sont de type CMOS.
6. Dispositif selon l'une quelconque des revendi-
cations précédentes, dans lequel ledit potentiel de référence
est fixe.

7. Dispositif selon l'une quelconque des revendications 1 à 5, dans lequel ledit potentiel de référence est un potentiel variable.

5 8. Mémoire vive comportant un réseau matriciel de dispositifs conforme à l'une quelconque des revendications précédentes.

9. Procédé de commande d'un dispositif mémoire conforme à l'une quelconque des revendications 1 à 7, dans lequel, quelle que soit la phase de fonctionnement, l'un des
10 troisièmes interrupteurs (46G, 46D) est fermé et l'autre ouvert.

10. Procédé selon la revendication 9, dans lequel :

pour une opération d'écriture : les premiers (40G, 40D) et deuxièmes (44G, 44D) interrupteurs sont fermés, l'un des troisièmes interrupteurs (46G, 46D) étant fermé et l'autre
15 ouvert ;

pour une opération de lecture : les premiers interrupteurs (40G, 40D) sont fermés, les deuxièmes interrupteurs (44G, 44D) sont ouverts, l'un des troisièmes interrupteurs (46G, 46D) étant fermé et l'autre ouvert ; et

20 dans une phase de maintien d'état, les premiers (40G, 40D) et deuxièmes (44G, 44D) interrupteurs sont ouverts, l'un des troisièmes interrupteurs (46G, 46D) étant fermé et l'autre ouvert.

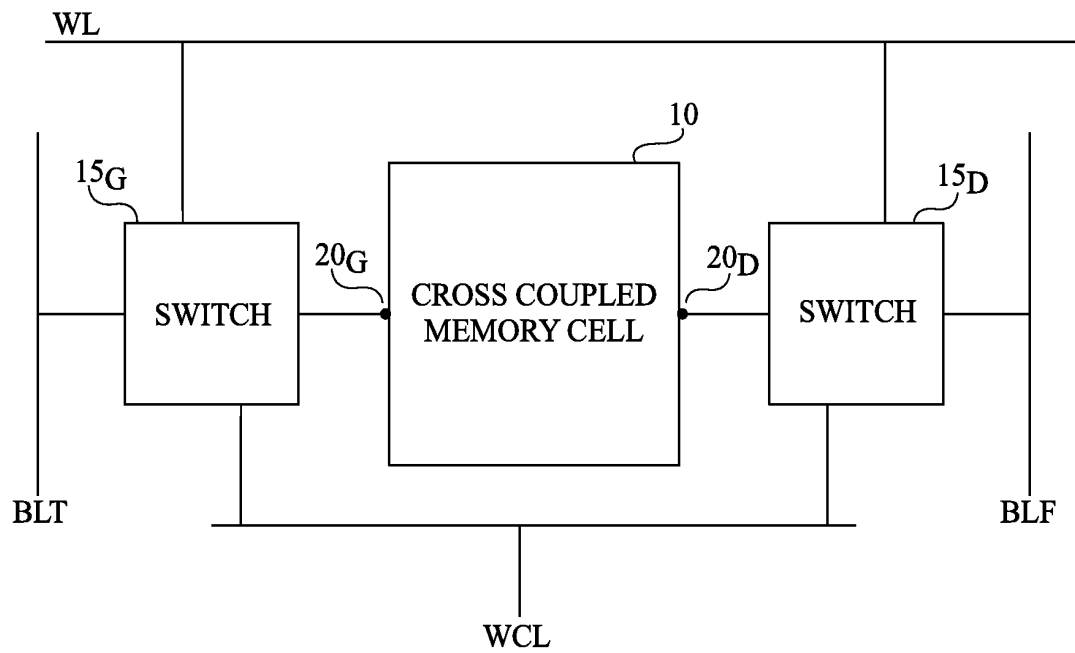


Fig 1

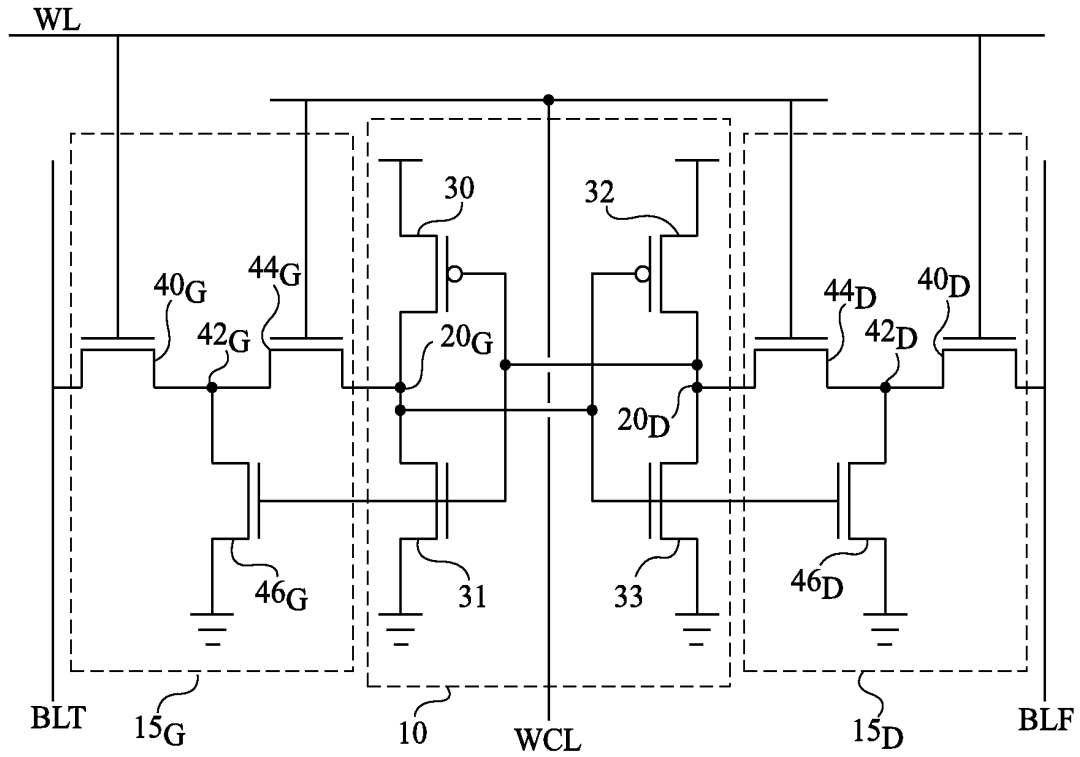
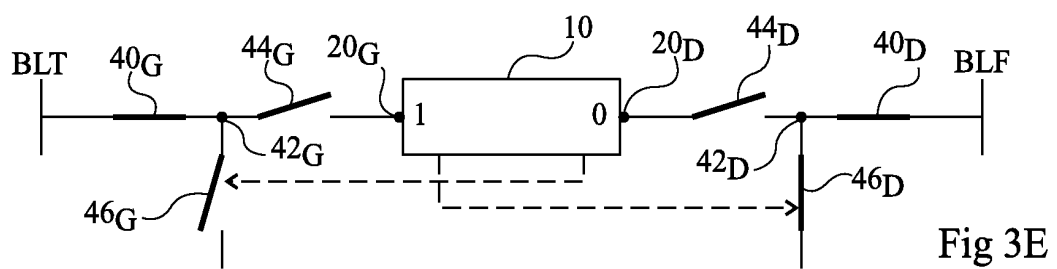
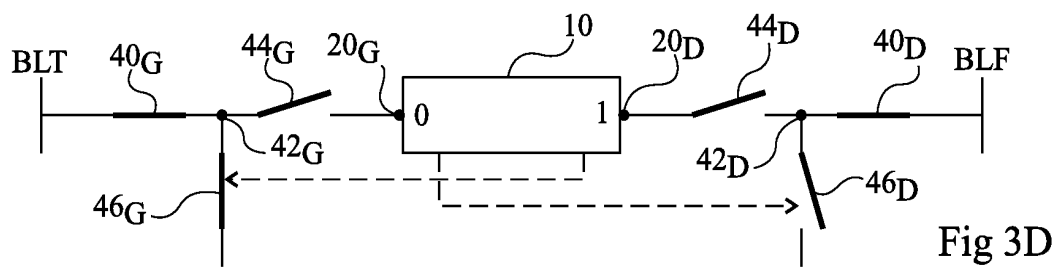
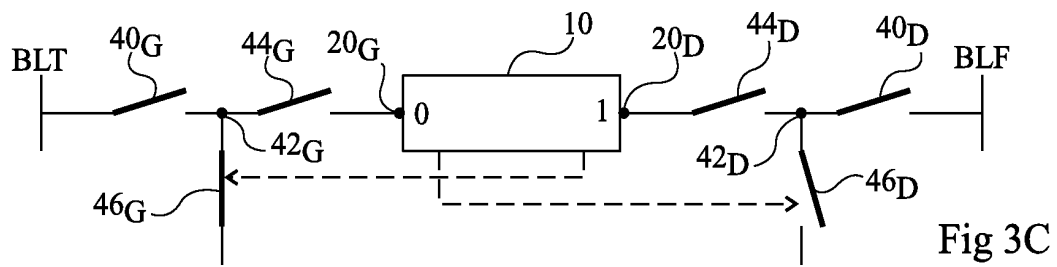
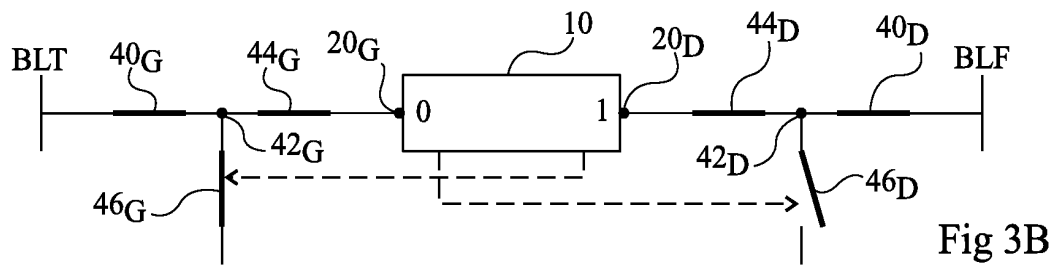
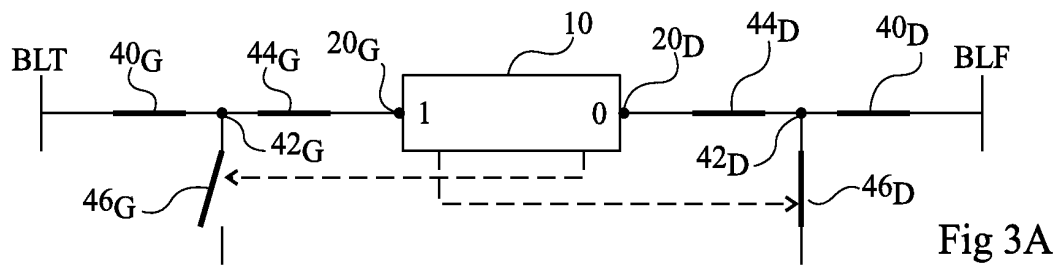


Fig 2





RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 733936
FR 1051043

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 2009/147560 A1 (JOSHI RAJIV V [US] ET AL) 11 juin 2009 (2009-06-11) * figure 3 *	1-10	G11C11/412 H01L29/786
A	US 5 828 597 A (MADAN SUDHIR K [US]) 27 octobre 1998 (1998-10-27) * figure 2 *	1-10	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC) G11C
Date d'achèvement de la recherche 21 juillet 2010		Examineur Arnault, Serge	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1051043 FA 733936

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **21-07-2010**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2009147560 A1	11-06-2009	AUCUN	
US 5828597 A	27-10-1998	US 6091626 A	18-07-2000