

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年3月22日(22.03.2018)



(10) 国際公開番号

WO 2018/051872 A1

(51) 国際特許分類:

H01L 27/11582 (2017.01) H01L 29/788 (2006.01)  
H01L 21/336 (2006.01) H01L 29/792 (2006.01)

(21) 国際出願番号: PCT/JP2017/032223

(22) 国際出願日: 2017年9月7日(07.09.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2016-180122 2016年9月15日(15.09.2016) JP

(71) 出願人: 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).

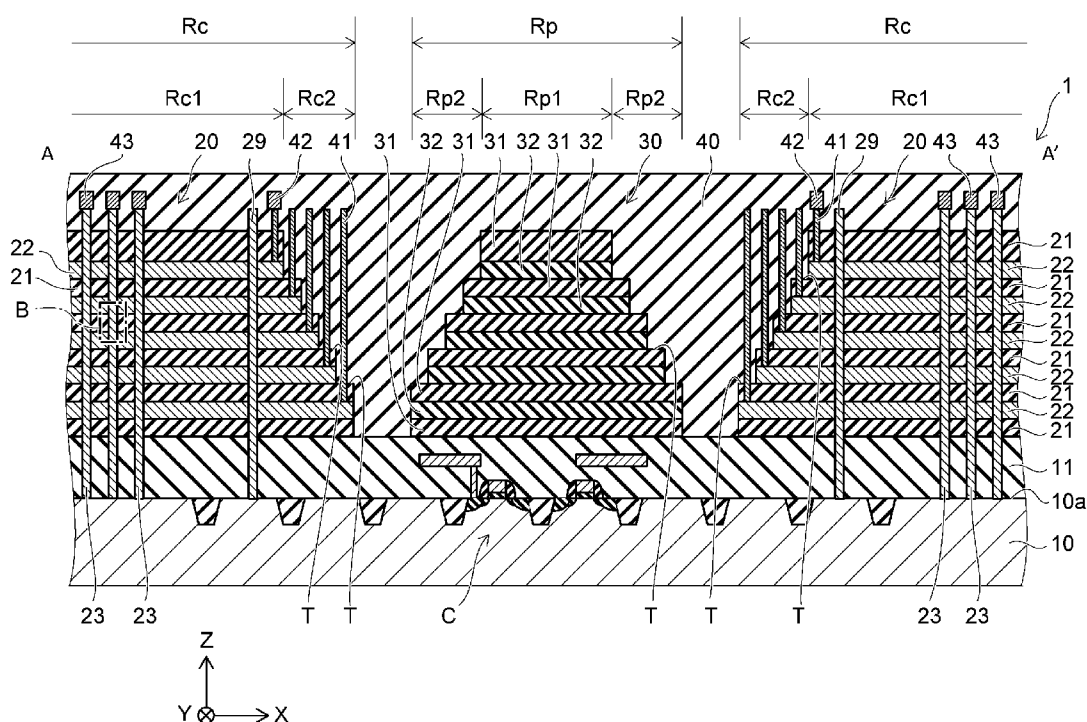
(72) 発明者: 織田 達広 (ODA, Tatsuhiko); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP). 伊藤 祥代 (ITO, Sachiyo); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP).

(74) 代理人: 日向寺 雅彦 (HYUGAJI, Masahiko); 〒2318966 神奈川県横浜市中区桜木町一丁目1番地8 日石横浜ビル Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体記憶装置及びその製造方法



(57) Abstract: The semiconductor storage device according to the present embodiment comprises a substrate, a first laminate body provided to a first region on the substrate, semiconductor pillars which extend from the first laminate body in a direction intersecting a main surface of the substrate, memory films, a second laminate body provided to a second region on the substrate, and a fourth insulation film provided between the first laminate body and the second laminate body. First insulation films and conductive films are laminated alternately in the first laminate body. The shape of

[続葉有]



KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

the edges of the first laminate body is stepped, with terraces formed at each conductive film. The memory films are provided between the conductive films and the semiconductor pillars. Second insulation films and third insulation films are laminated alternately in the second laminate body. The composition of the third insulation films differs from the composition of the second insulation films.

(57) 要約：実施形態に係る半導体記憶装置は、基板と、前記基板上の第1領域に設けられた第1積層体と、前記第1積層体内において前記基板の主面に対して交差する方向に延びる半導体ピラーと、メモリ膜と、前記基板上の第2領域に設けられた第2積層体と、前記第1積層体と前記第2積層体との間に設けられた第4絶縁膜と、を備える。前記第1積層体においては、第1絶縁膜と導電膜とが交互に積層されている。前記第1積層体の端部の形状は、前記導電膜毎にテラスが形成された階段状である。前記メモリ膜は、前記導電膜と前記半導体ピラーとの間に設けられている。前記第2積層体においては、第2絶縁膜と第3絶縁膜とが交互に積層されている。前記第3絶縁膜の組成は前記第2絶縁膜の組成とは異なる。

## 明 細 書

発明の名称：半導体記憶装置及びその製造方法

### 技術分野

[0001] 実施形態は、半導体記憶装置及びその製造方法に関する。

### 背景技術

[0002] 従来、半導体記憶装置においては、回路を微細化することにより、メモリセルの集積度を向上させてきた。しかしながら、リソグラフィ技術の限界等により、回路の微細化は限界に近づきつつある。そこで、メモリセルを3次元的に配列させることにより、メモリセルの高集積化を図る技術が提案されている。例えば、シリコン基板上に電極膜と絶縁膜を交互に積層させた積層体を設け、この積層体に上下方向に延びるシリコンピラーを貫通させ、シリコンピラーと電極膜との間に電荷蓄積部材を配置することにより、シリコンピラーと電極膜との交差部分毎にメモリセルを形成する。しかしながら、このような積層型の半導体記憶装置においては、メモリセルの集積度を向上させるために積層数を多くすると、製造が困難になるという問題がある。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開2008-258458号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] 実施形態の目的は、集積度を高めた半導体記憶装置を提供することである。

#### 課題を解決するための手段

[0005] 実施形態に係る半導体記憶装置は、基板と、前記基板上の第1領域に設けられた第1積層体と、前記第1積層体内において前記基板の主面に対して交差する方向に延びる半導体ピラーと、メモリ膜と、前記基板上の第2領域に設けられた第2積層体と、前記第1積層体と前記第2積層体との間に設けら

れた第4絶縁膜と、を備える。前記第1積層体においては、第1絶縁膜と導電膜とが交互に積層されている。前記第1積層体の端部の形状は、前記導電膜毎にテラスが形成された階段状である。前記メモリ膜は、前記導電膜と前記半導体ピラーとの間に設けられている。前記第2積層体においては、第2絶縁膜と第3絶縁膜とが交互に積層されている。前記第3絶縁膜の組成は前記第2絶縁膜の組成とは異なる。

### 図面の簡単な説明

[0006] [図1]第1の実施形態に係る半導体記憶装置を示す平面図である。

[図2]図1のA-A'線による断面を示す断面図である。

[図3]図2の領域Bを示す一部拡大断面図である。

[図4]第1の実施形態に係る半導体記憶装置の製造方法を示す斜視図である。

[図5]第1の実施形態に係る半導体記憶装置の製造方法を示す斜視図である。

[図6]第1の実施形態に係る半導体記憶装置の製造方法を示す斜視図である。

[図7]第1の実施形態に係る半導体記憶装置の製造方法を示す斜視図である。

[図8]第1の実施形態に係る半導体記憶装置の製造方法を示す斜視図である。

[図9]第1の実施形態に係る半導体記憶装置の製造方法を示す斜視図である。

[図10]比較例に係る半導体記憶装置を示す平面図である。

[図11]図10のE-E'線による断面を示す断面図である。

[図12]比較例に係る半導体記憶装置の製造方法を示す斜視図である。

[図13]比較例に係る半導体記憶装置の製造方法を示す斜視図である。

[図14]第2の実施形態に係る半導体記憶装置を示す断面図である。

[図15]第2の実施形態に係る半導体記憶装置の製造方法を示す斜視図である。

。

[図16]第2の実施形態に係る半導体記憶装置の製造方法を示す斜視図である。

。

### 発明を実施するための形態

[0007] (第1の実施形態)

先ず、第1の実施形態について説明する。

図1は、本実施形態に係る半導体記憶装置を示す平面図である。

図2は、図1のA-A'線による断面を示す断面図である。

図3は、図2の領域Bを示す一部拡大断面図である。

なお、各図は模式的なものであり、適宜誇張して描かれている。例えば、各構成要素は実際よりも少なく且つ大きく描かれている。後述する他の図についても、同様である。

本実施形態に係る半導体記憶装置は、積層型のNANDフラッシュメモリである。

[0008] 図1及び図2に示すように、本実施形態に係る半導体記憶装置1（以下、単に「装置1」ともいう）においては、シリコン基板10が設けられている。以下、本明細書においては、説明の便宜上、XYZ直交座標系を採用する。シリコン基板10の主面10aに対して平行で且つ相互に直交する2方向を「X方向」及び「Y方向」とし、主面10aに対して垂直な方向を「Z方向」とする。また、Z方向のうち一方を「上」ともいい、他方を「下」ともいうが、この表現も便宜的なものであり、重力の方向とは無関係である。

[0009] Z方向から見て、シリコン基板10の主面10aには、複数のセル領域Rcが設定されている。各セル領域Rcの形状は、例えば矩形である。セル領域Rcは相互に離隔しており、例えば、X方向及びY方向に沿ってマトリクス状に配列されている。また、セル領域Rc間及びセル領域Rcの周囲には、周辺回路領域Rpが設けられている。セル領域Rcがマトリクス状に配列されている場合、周辺回路領域Rpの形状は例えば格子状である。セル領域Rcと周辺回路領域Rpとの最短距離は、例えば、250μm以下である。セル領域Rcには、中央部Rc1及び周辺部Rc2が設定されている。周辺部Rc2は中央部Rc1を囲んでいる。周辺回路領域Rpにも、中央部Rp1及び周辺部Rp2が設定されている。中央部Rp1の形状は格子状であり、周辺部Rp2の形状は中央部Rp1の外縁に沿った枠状である。

[0010] シリコン基板10上には、シリコン酸化膜11が設けられている。本明細書において「シリコン酸化膜」とは、シリコン酸化物(SiO<sub>2</sub>)を主成分と

する膜をいい、シリコン（Si）及び酸素（O）を含有する。他の材料についても同様であり、ある部材の名称に材料名が含まれる場合は、その部材の主成分はその材料である。また、通常、シリコン酸化物は絶縁材料であるため、特段の説明が無ければ、シリコン酸化膜は絶縁膜である。他の部材についても同様であり、原則として、その部材の特性は、主成分の特性を反映している。

[0011] 周辺回路領域 $R_p$ において、シリコン基板10の主面10a及びシリコン酸化膜11内には、周辺回路Cが設けられている。周辺回路Cには、例えば、後述するメモリセルを駆動する回路であり、例えば、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）及び配線等が設けられている。一方、セル領域 $R_c$ には、主面10a及びシリコン酸化膜11内に回路は設けられていない。

[0012] セル領域 $R_c$ においては、シリコン酸化膜11上に、積層体20が設けられている。積層体20においては、シリコン酸化膜21と導電膜22とが交互に積層されている。導電膜22は導電材料、例えば金属材料、例えばタングステン（W）により形成されている。セル領域 $R_c$ の中央部 $R_{c1}$ においては、積層体20の上面は平坦である。一方、セル領域 $R_c$ の周辺部 $R_{c2}$ には、積層体20の端部が位置している。積層体20の端部の形状は、導電膜22毎にテラスTが形成された階段状である。なお、「階段状」の構造とは、水平面（テラス）と垂直面（ステップ）が交互に配置された構造をいう。本実施形態においては、テラスTはXY平面に略平行な平坦面であり、導電膜22の主面の一部である。ステップはZ方向における位置が相互に異なるテラス間をつなぐ面であって、Z方向に対して略平行な平面である。

[0013] セル領域 $R_c$ の中央部 $R_{c1}$ においては、積層体20内に、Z方向に延びるシリコンピラー23が設けられている。シリコンピラー23は積層体20を貫いており、下端はシリコン基板10に接続されている。セル領域 $R_c$ の周辺部 $R_{c2}$ には、Z方向に延び積層体20の端部を貫く支柱29が設けられている。なお、図2においては、各積層体20に1本の支柱29しか図示

していないが、図7に示すように、支柱29は、積層体20の上面に加えて、テラス毎にも複数本ずつ設けられている。

[0014] 周辺回路領域R<sub>p</sub>においては、シリコン酸化膜11上に、積層体30が設けられている。積層体30においては、シリコン酸化膜31とシリコン窒化膜32とが交互に積層されている。上述の如く、シリコン窒化膜32はシリコン窒化物(SiN)により形成されており、シリコン及び窒素(N)を含有する。周辺回路領域R<sub>p</sub>の中央部R<sub>p1</sub>においては、積層体30の上面は平坦である。一方、周辺回路領域R<sub>p</sub>の周辺部R<sub>p2</sub>には、積層体30の端部が位置している。積層体30の端部の一部は、積層体20の端部に対向している。積層体30の端部の形状は、シリコン窒化膜32毎にテラスが形成された階段状である。なお、積層体30の端部の形状は階段状ではなく、XY平面に対して傾斜し、Z方向に対しても傾斜した傾斜面であってもよい。また、例えば、積層体30内には、シリコンピラー及び支柱は設けられていない。

[0015] シリコン酸化膜11、積層体20及び積層体30上には、層間絶縁膜40が設けられている。層間絶縁膜40は、例えば、シリコン酸化物により形成されている。層間絶縁膜40内には、Z方向に延びるコンタクト41が設けられている。各コンタクト41は、積層体20のテラスにおいて、各導電膜22に接続されている。コンタクト41は支柱29に接触しないように配置されている。また、層間絶縁膜40内には、上層ワード線42が設けられており、コンタクト41の上端に接続されている。更に、層間絶縁膜40内には、X方向に延びるビット線43が設けられている。ビット線43はX方向に延び、シリコンピラー23の上端に接続されている。なお、積層体30にはコンタクト41は接続されていない。

[0016] 積層体20、及び層間絶縁膜40における積層体20の直上域に配置された部分には、X方向に延びるスリットS(図8参照)が形成されている。スリットS内には、シリコン基板10に接続された電極部材(図示せず)が設けられており、そのY方向両側には、絶縁板(図示せず)が設けられている。

。

[0017] 図3に示すように、シリコンピラー23の形状は、例えば、下端が閉塞した円筒形である。シリコンピラー23内には、例えばシリコン酸化物からなるコア部材24が設けられている。なお、コア部材24は設けられていなくてもよい。シリコンピラー23の外側面上には、トンネル絶縁膜25、電荷蓄積膜26、ブロック絶縁膜27が設けられている。トンネル絶縁膜25、電荷蓄積膜26、ブロック絶縁膜27により、メモリ膜28が形成されている。支柱29（図2参照）の構成も、シリコンピラー23及びメモリ膜28の構成と同様である。

[0018] トンネル絶縁膜25は、通常は絶縁性であるが、装置1の駆動電圧の範囲内にある所定の電圧が印加されるとトンネル電流を流す膜であり、例えば、単層のシリコン酸化膜、又は、シリコン酸化層、シリコン窒化層及びシリコン酸化層がこの順に積層されたONO膜である。電荷蓄積膜26は、電荷を蓄積する能力がある膜であり、例えばトラップサイトを含む材料からなり、例えばシリコン窒化物からなる。ブロック絶縁膜27は、装置1の駆動電圧の範囲内にある電圧が印加されても実質的に電流を流さない膜であり、例えば、シリコン酸化層及びアルミニウム酸化層からなる積層膜である。

[0019] このように、セル領域R<sub>c</sub>には、シリコン酸化膜21と導電膜22とが積層された積層体20が形成されており、周辺回路領域R<sub>p</sub>には、シリコン酸化膜31とシリコン窒化膜32とが積層された積層体30が形成されている。それぞれの周辺部の形状は階段状である。積層体20内にはシリコンピラー23及びメモリ膜28が設けられているが、積層体30内には設けられていない。積層体20において、導電膜22とシリコンピラー23との交差部分毎に、メモリ膜28を介してメモリセルが構成される。また、積層体20の導電膜22にはコンタクト41が接続されているが、積層体30には接続されていない。後述するように、積層体20と積層体30は、途中まで共通の工程によって形成されたものである。

[0020] 次に、本実施形態に係る半導体記憶装置の製造方法について説明する。

図４～図９は、本実施形態に係る半導体記憶装置の製造方法を示す斜視図である。

図４～図９は、図１の領域Ｄに相当する部分を示す。

[0021]  まず、図４に示すように、シリコン基板１０を用意する。次に、周辺回路領域Ｒ<sub>p</sub>において、シリコン基板１０の主面１０<sub>a</sub>に周辺回路Ｃ（図２参照）を形成すると共に、シリコン基板１０上の全面にシリコン酸化膜１１（図２参照）を形成する。但し、図４～図９においては、図示の便宜上、周辺回路Ｃ及びシリコン酸化膜１１を省略している。次に、シリコン酸化膜１１上に、シリコン酸化膜５１及びシリコン窒化膜５２を交互に形成して、積層体５０を形成する。

[0022]  次に、図５に示すように、積層体５０上にレジスト膜５５を形成する。レジスト膜５５は、セル領域Ｒ<sub>c</sub>及び周辺回路領域Ｒ<sub>p</sub>を覆い、それ以外の領域を露出させるようにパターニングする。本実施形態においては、レジスト膜５５は、周辺回路領域Ｒ<sub>p</sub>を覆う格子状の部分と、各格子内に１つずつ配置された矩形状の部分からなる。

[0023]  次に、レジスト膜５５をマスクとしたＲＩＥ（Reactive Ion Etching：反応性イオンエッチング）等の異方性エッチング処理と、レジスト膜５５の体積を減少させるアッシング等のスリミング処理とを、交互に繰り返す。異方性エッチング処理により、１枚のシリコン酸化膜５１及び１枚のシリコン窒化膜５２が選択的に除去される。スリミング処理により、レジスト膜５５の側面が後退し、積層体５０における新たな領域が露出する。そして、異方性エッチング処理とスリミング処理を交互に繰り返すことにより、セル領域Ｒ<sub>c</sub>の周辺部Ｒ<sub>c</sub>２及び周辺回路領域Ｒ<sub>p</sub>の周辺部Ｒ<sub>p</sub>２において、積層体５０が相互に対向した階段状に加工され、谷が形成される。

[0024]  この結果、積層体５０が、セル領域Ｒ<sub>c</sub>に配置された積層体２０と、周辺回路領域Ｒ<sub>p</sub>に配置された積層体３０とに分断される。以下、積層体２０に含まれるシリコン酸化膜５１をシリコン酸化膜２１という。また、積層体３０に含まれるシリコン酸化膜５１をシリコン酸化膜３１といい、シリコン窒

化膜 52 をシリコン窒化膜 32 という。

[0025] 次に、図 6 に示すように、全面にシリコン酸化物を堆積させて、層間絶縁膜 40 を形成する。次に、積層体 50 の上面をストップとして、層間絶縁膜 40 の上面に対して CMP (Chemical Mechanical Polishing : 化学的機械的研磨) 等の平坦化処理を施す。これにより、積層体 20 と積層体 30 の間の谷が層間絶縁膜 40 によって埋められる。このとき、シリコン酸化物からなる層間絶縁膜 40 には圧縮応力が発生する。すなわち、層間絶縁膜 40 は膨張しようとし、積層体 20 を押圧する。一方、積層体 20 に含まれるシリコン窒化膜 52 及び積層体 30 に含まれるシリコン窒化膜 32 には引張応力が発生し収縮しようとする。なお、図示の便宜上、後述する図 7 ~ 図 9 においては、層間絶縁膜 40 を省略する。

[0026] 次に、図 7 に示すように、セル領域 R<sub>c</sub> において、層間絶縁膜 40 (図 6 参照) における積層体 20 の直上域に配置された部分、及び、積層体 20 に、Z 方向に延びるホール 53 を形成する。ホール 53 は層間絶縁膜 40、積層体 20 及びシリコン酸化膜 11 (図 2 参照) を貫いて、シリコン基板 10 に到達する。次に、ホール 53 の内面上に、ブロック絶縁膜 27、電荷蓄積膜 26 及びトンネル絶縁膜 25 をこの順に形成して、メモリ膜 28 (図 3 参照) を形成する。次に、メモリ膜 28 の内面上にシリコンピラー 23 を形成し、その内部にコア部材 24 を埋め込む。このようにして、セル領域 R<sub>c</sub> の中央部 R<sub>c1</sub> にメモリセルが形成される。また、周辺部 R<sub>c2</sub> には支柱 29 が形成される。一方、周辺回路領域 R<sub>p</sub> には、シリコンピラー 23 及び支柱 29 を形成しない。

[0027] 次に、図 8 に示すように、層間絶縁膜 40 (図 6 参照) における積層体 20 の直上域に配置された部分、及び、積層体 20 に、X 方向に延びるスリット S を形成する。スリット S は積層体 20 を貫通し、シリコン基板 10 に到達する。但し、積層体 30 にはスリット S を形成しない。

[0028] 次に、図 9 に示すように、スリット S を介して、例えば熱燐酸を用いたウェットエッチングを施す。これにより、積層体 20 のシリコン窒化膜 52 が

除去されて、スペース54が形成される。このとき、積層体20のシリコン酸化膜21は実質的にエッチングされない。また、シリコン酸化物からなる層間絶縁膜40（図6参照）もエッチングされない。更に、スリットSは積層体30に到達していないため、積層体30のシリコン窒化膜32もエッチングされない。スペース54が形成された後、積層体20はシリコンピラー23及び支柱29によって支持される。

[0029] 次に、図2に示すように、スリットS（図9参照）を介してスペース54内にタングステン等の金属材料を埋め込む。これにより、スペース54内に導電膜22が形成される。次に、スリットS内からタングステンを除去する。これにより、Z方向に沿って配列された導電膜22同士が絶縁される。次に、スリットSの内側面上に絶縁板（図示せず）を形成する。次に、スリットSにおける絶縁板に挟まれた空間内に導電性材料を埋め込んで、シリコン基板10まで到達する電極部材（図示せず）を形成する。

[0030] 次に、セル領域Rcの周辺部Rc2において、層間絶縁膜40内にコンタクト41を形成し、積層体20のテラスにおいて導電膜22に接続させる。次に、上層ワード線42及びビット線43等の上部配線を形成する。次に、これらの上部配線を絶縁膜によって埋め込む。このようにして、図1～図3に示す半導体記憶装置1が製造される。

[0031] 次に、本実施形態の効果について説明する。

本実施形態においては、図5に示す工程において、積層体50を階段状に加工する際に、セル領域Rcに積層体20を形成すると共に、周辺回路領域Rpに積層体30を形成する。このため、図6に示す工程において、シリコン酸化物からなる層間絶縁膜40を埋め込んだときに、積層体30の分だけ層間絶縁膜40の体積が少なくなる。これにより、層間絶縁膜40の圧縮応力が低減する。また、積層体30にはシリコン窒化膜32が含まれており、シリコン窒化膜32は引張応力を生じるため、層間絶縁膜40の圧縮応力を相殺することができる。この結果、図9に示す工程において、積層体20からシリコン窒化膜52を除去したときに、層間絶縁膜40から押されること

により、積層体20が変形することを抑制できる。このため、本実施形態に係る半導体記憶装置1は、形状精度が高い。

[0032] また、積層体20の変形を抑制できるため、図2に示す工程において、コンタクト41を形成するときに、コンタクト41の位置がずれて支柱29と接触して短絡したり、コンタクト41が形成不良になったりすることを防止できる。

[0033] 更に、本実施形態においては、図6に示す工程において層間絶縁膜40の上面に平坦化処理を施すときに、積層体20の上面及び積層体30の上面をストッパとして用いることができる。これにより、周辺回路領域Rpにおいて層間絶縁膜40の上面が大きく凹んでしまうことを抑制できる。この結果、層間絶縁膜40の上面が平坦になり、それより上に形成する構造の形状精度が向上する。

[0034] 本実施形態に係る半導体記憶装置1は、メモリセルが3次元的に配列されているため、集積度が高い。また、メモリセルの集積度をより一層向上させるために導電膜22の積層数を増加させると、層間絶縁膜40の体積も増加して圧縮応力が強くなるが、本実施形態においては、積層体30により層間絶縁膜40の体積自体を減少させると共に、積層体30のシリコン窒化膜32によって層間絶縁膜40の圧縮応力を相殺している。このため、導電膜22の積層数を増加させても、半導体記憶装置1の製造が容易である。このように、本実施形態によれば、集積度が高く、製造が容易な半導体記憶装置を実現することができる。

[0035] (比較例)

次に、比較例について説明する。

図10は、本比較例に係る半導体記憶装置を示す平面図である。

図11は、図10のE-E'線による断面を示す断面図である。

[0036] 図10及び図11に示すように、本比較例に係る半導体記憶装置101は、前述の第1の実施形態に係る半導体記憶装置1(図1～図3参照)と比較して、積層体30が設けられておらず、積層体20間が層間絶縁膜40で埋

め込まれている点が異なっている。

[0037] 次に、本比較例に係る半導体記憶装置の製造方法について説明する。

図12及び図13は、本比較例に係る半導体記憶装置の製造方法を示す斜視図である。

先ず、図4に示すように、シリコン基板10上に積層体50を形成する。

[0038] 次に、図12に示すように、セル領域Rcのみに積層体50上にレジスト膜（図示せず）を形成する。そして、このレジスト膜に対して、異方性エッチング処理とスリミング処理を交互に繰り返す。これにより、積層体50が階段状に加工されて、積層体20が形成される。但し、本比較例では周辺回路領域Rpにはレジスト膜を形成しないため、積層体30（図5参照）は形成されない。

[0039] 次に、図13に示すように、シリコン酸化物を堆積させて、平坦化処理を施すことにより、層間絶縁膜40を形成する。このとき、積層体30が設けられていないため、積層体20間は層間絶縁膜40によって埋め込まれる。また、積層体30が設けられていないため、平坦化処理により、層間絶縁膜40の上面は不可避免的に凹状になる。

[0040] 本比較例に係る半導体記憶装置101においては、積層体30が設けられていない分だけ、積層体20間に配置される層間絶縁膜40の体積が大きい。このため、層間絶縁膜40の圧縮応力が強く、積層体20を強く押圧する。この結果、積層体20の変形が大きくなり、半導体記憶装置101の形状精度が低下する。また、シリコン窒化膜52を除去したときに、積層体20が倒壊する可能性もある。更に、積層体20の変形によって支柱29の位置がずれるため、支柱29に接触しないようにコンタクト41を形成することが困難である。

[0041] （第2の実施形態）

次に、第2の実施形態について説明する。

図14は、本実施形態に係る半導体記憶装置を示す断面図である。

[0042] 図14に示すように、本実施形態に係る半導体記憶装置2は、前述の第1

の実施形態に係る半導体記憶装置 1（図 2 参照）と比較して、積層体 30 の替わりに、積層体 60 が設けられている点が異なっている。積層体 60 においては、シリコン酸化膜 21 と導電膜 22 が交互に積層されている。すなわち、積層体 60 の層構造は、積層体 20 の層構造と同じである。

[0043] 次に、本実施形態に係る半導体記憶装置の製造方法について説明する。

図 15 及び図 16 は、本実施形態に係る半導体記憶装置の製造方法を示す斜視図である。

先ず、図 4～図 7 に示す工程を実施する。すなわち、シリコン基板 10 上に積層体 20 及び積層体 30 を形成し、層間絶縁膜 40 によって埋め込む。また、積層体 20 内にシリコンピラー 23、メモリ膜 28 及び支柱 29 を形成する。

[0044] 次に、図 15 に示すように、X 方向に延びるスリット S を形成する。スリット S には、積層体 20 と共に積層体 30 も貫通させる。

[0045] 次に、図 16 に示すように、スリット S を介して、ウェットエッチングを施す。これにより、積層体 20 のシリコン窒化膜 52 及び積層体 30 のシリコン窒化膜 32 が除去されて、積層体 20 及び積層体 30 にスペース 54 が形成される。

[0046] 次に、図 14 に示すように、スペース 54 内に金属材料を埋め込んで、積層体 20 内及び積層体 30 内に導電膜 22 を形成する。これにより、積層体 30 が積層体 60 になる。以後の工程は、前述の第 1 の実施形態と同様である。

[0047] 本実施形態によっても、周辺回路領域 R<sub>p</sub> に積層体 60 を設けることにより、層間絶縁膜 40 の体積が減少し、圧縮応力が低減する。これにより、積層体 20 が層間絶縁膜 40 に押されて変形又は倒壊することを抑制し、コンタクト 41 が支柱 29 に接触することを防止できる。

[0048] また、本実施形態によれば、積層体 20 と積層体 60 の層構造が同一であるため、層間絶縁膜 40 における積層体 20 と積層体 60 との間に配置された部分から見て、積層体 20 側と積層体 60 側との対称性が高い。この結果

、製造後の半導体記憶装置 2 は安定性が高い。

本実施形態における上記以外の構成、製造方法及び効果は、前述の第 1 の実施形態と同様である。

[0049] なお、前述の各実施形態においては、セル領域 R<sub>c</sub> のみにシリコンピラー 23 及び支柱 29 を設ける例を示したが、これには限定されない。周辺回路領域 R<sub>p</sub> の積層体 30 又は積層体 60 にも、シリコンピラー 23 又は支柱 29 の少なくとも一方を設けてもよい。

[0050] 以上説明した実施形態によれば、集積度が高く、製造が容易な半導体記憶装置を実現することができる。

[0051] 以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明及びその等価物の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

## 請求の範囲

### [請求項1]

基板と、

前記基板上の第1領域に設けられ、第1絶縁膜と導電膜とが交互に積層され、端部の形状が前記導電膜毎にテラスが形成された階段状である第1積層体と、

前記第1積層体内において前記基板の主面に対して交差する方向に延びる半導体ピラーと、

前記導電膜と前記半導体ピラーとの間に設けられたメモリ膜と、

前記基板上の第2領域に設けられ、第2絶縁膜と、組成が前記第2絶縁膜の組成とは異なる第3絶縁膜とが交互に積層された第2積層体と、

前記第1積層体と前記第2積層体との間に設けられた第4絶縁膜と

、

を備えた半導体記憶装置。

### [請求項2]

前記第2絶縁膜及び前記第4絶縁膜はシリコン及び酸素を含み、前記第3絶縁膜はシリコン及び窒素を含む請求項1記載の半導体記憶装置。

### [請求項3]

前記第4絶縁膜内において、前記基板の主面に対して交差する方向に延び、前記導電膜に電氣的に接続されたコンタクト部をさらに備えた請求項1または2に記載の半導体記憶装置。

### [請求項4]

基板と、

前記基板上の第1領域に設けられ、第1絶縁膜と第1導電膜とが交互に積層され、端部の形状が前記第1導電膜毎にテラスが形成された階段状である第1積層体と、

前記第1積層体内において、前記基板の主面に対して交差する方向に延びる半導体ピラーと、

前記第1導電膜と前記半導体ピラーとの間に設けられたメモリ膜と

、

前記基板上の第2領域に設けられ、第2絶縁膜と第2導電膜とが交互に積層された第2積層体と、

前記第1積層体と前記第2積層体との間に設けられた第4絶縁膜と、

前記第4絶縁膜内において、前記基板の主面に対して交差する方向に延び、前記第1導電膜に電氣的に接続されたコンタクト部と、

を備えた半導体記憶装置。

[請求項5] 前記第2絶縁膜又は前記第3絶縁膜は引張応力を有し、前記第4絶縁膜は圧縮応力を有する請求項1～4のいずれか1つに記載の半導体記憶装置。

[請求項6] 前記第2積層体における前記第1積層体の前記端部に対向した端部の形状は、前記基板の主面に対して傾斜した傾斜面である請求項1～5のいずれか1つに記載の半導体記憶装置。

[請求項7] 前記第2積層体における前記第1積層体の前記端部に対向した端部の形状は、前記第3絶縁膜毎にテラスが形成された階段状である請求項1～5のいずれか1つに記載の半導体記憶装置。

[請求項8] 前記第2領域において、前記基板の主面には回路が形成されている請求項1～7のいずれか1つに記載の半導体記憶装置。

[請求項9] 前記第1積層体の前記端部に設けられ、前記基板の主面に対して交差する方向に延びる支柱をさらに備えた請求項1～8のいずれか1つに記載の半導体記憶装置。

[請求項10] 前記第1積層体は複数設けられており、前記第2積層体の少なくとも一部は、前記第1積層体間に配置されている請求項1～9のいずれか1つに記載の半導体記憶装置。

[請求項11] 基板上に第1絶縁膜及び前記第1絶縁膜とは組成が異なる第2膜を交互に形成して第1積層体を形成する工程と、

前記第1積層体上に選択的にレジスト膜を形成する工程と、

前記レジスト膜をマスクとした前記第1積層体のエッチングと、前

記レジスト膜のスリミングとを、交互に繰り返すことにより、前記第1積層体を第2積層体及び第3積層体に分断する工程と、

前記第2積層体と前記第3積層体の間に第3絶縁膜を形成する工程と、

前記第2積層体に前記基板の主面に対して交差する方向に延びるホールを形成する工程と、

前記ホールの内面上にメモリ膜を形成する工程と、

前記メモリ膜の内面上に半導体ピラーを形成する工程と、

前記第2積層体にスリットを形成する工程と、

前記スリットを介して前記第2積層体内の前記第2膜を除去する工程と、

前記第2膜を除去したあとのスペース内に導電膜を形成する工程と、

、

を備えた半導体記憶装置の製造方法。

[請求項12] 前記レジスト膜を形成する工程において、前記レジスト膜を、複数の第1領域と、少なくとも一部が前記第1領域間に配置された第2領域と、に形成する請求項1記載の半導体記憶装置の製造方法。

[請求項13] 前記第2膜は引張応力を有し、前記第3絶縁膜は圧縮応力を有する請求項1または12に記載の半導体記憶装置の製造方法。

[請求項14] 前記スリットを形成する工程において、前記スリットを前記第3積層体まで到達させ、

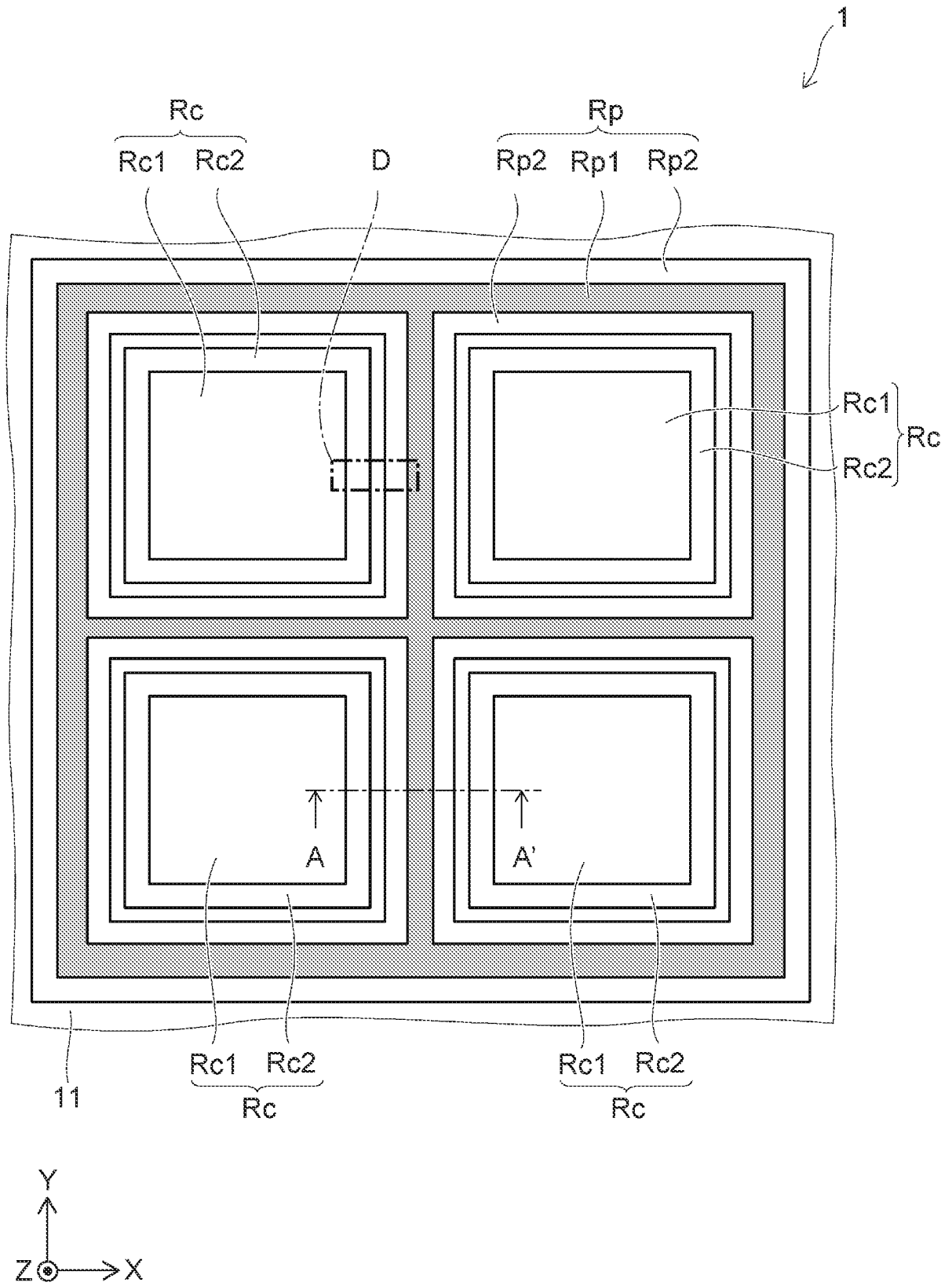
前記第2膜を除去する工程において、前記第3積層体内の前記第2膜も除去する請求項11～13のいずれか1つに記載の半導体記憶装置の製造方法。

[請求項15] 前記第3絶縁膜内に、前記導電膜に接続されるコンタクトを形成する工程をさらに備えた請求項11～14のいずれか1つに記載の半導体記憶装置の製造方法。

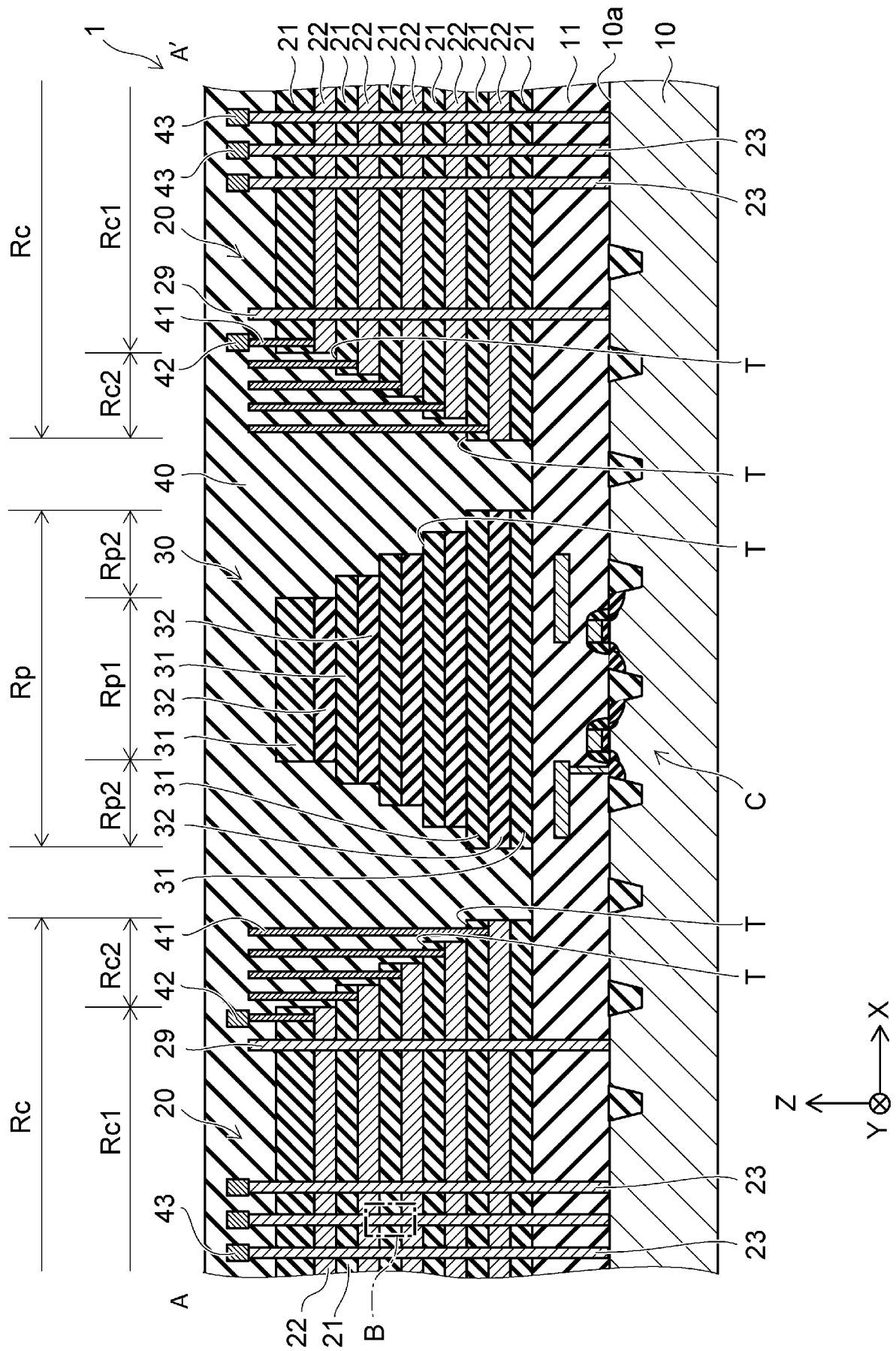
[請求項16] 前記第1絶縁膜及び前記第3絶縁膜はシリコン及び酸素を含み、

前記第 2 膜はシリコン及び窒素を含む請求項 1 1 ～ 1 5 のいずれか 1 つに記載の半導体記憶装置の製造方法。

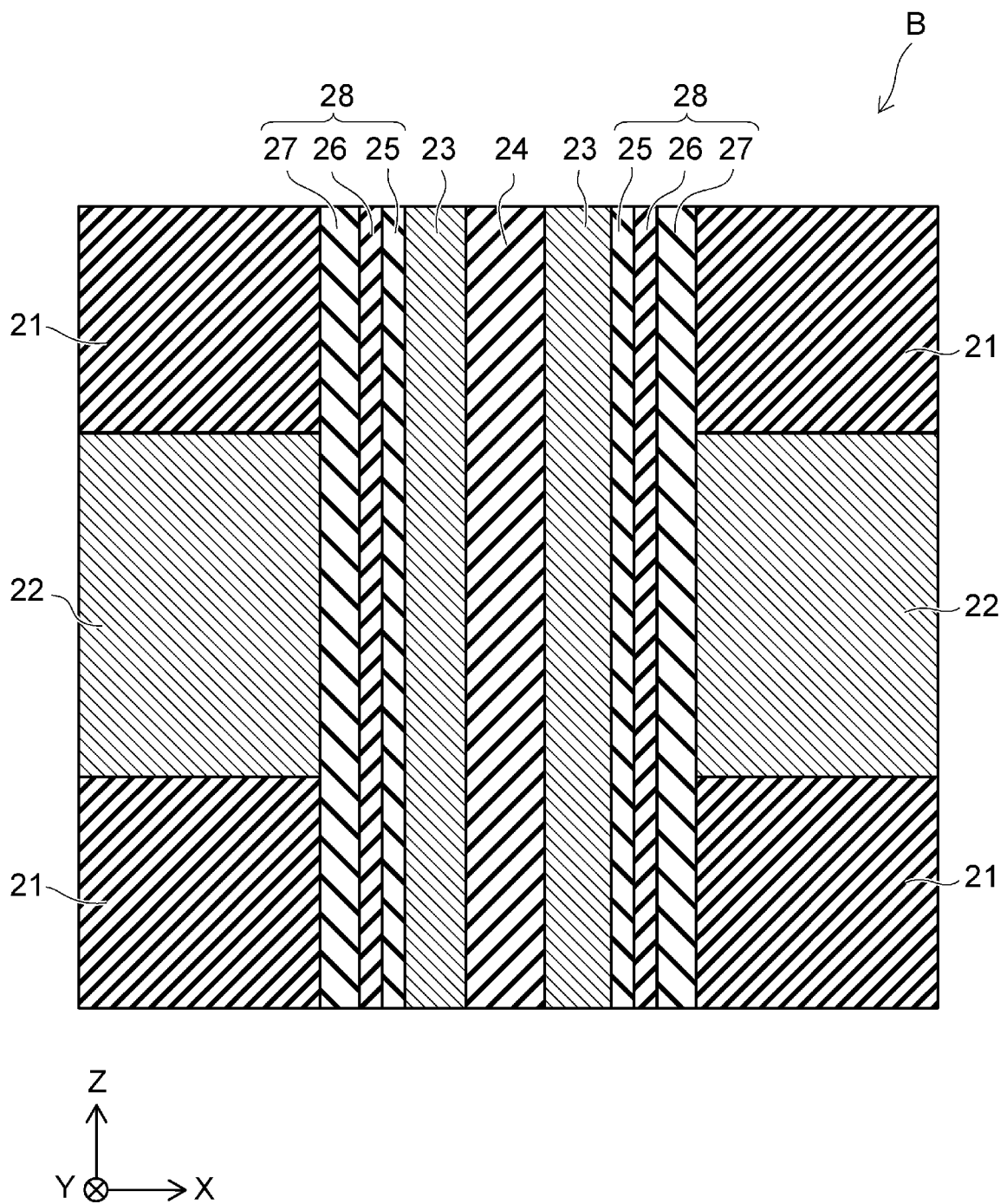
[図1]



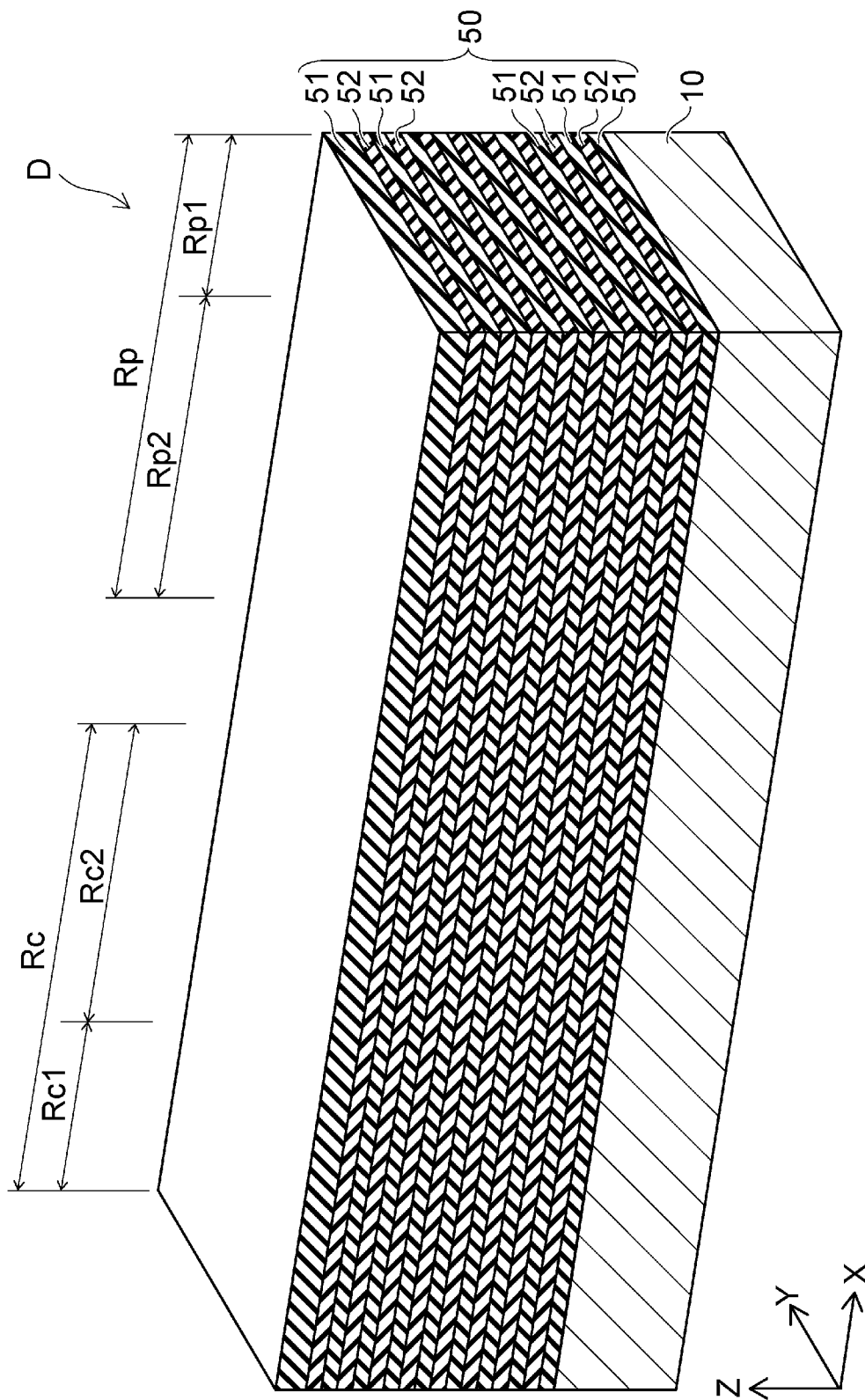
[図2]



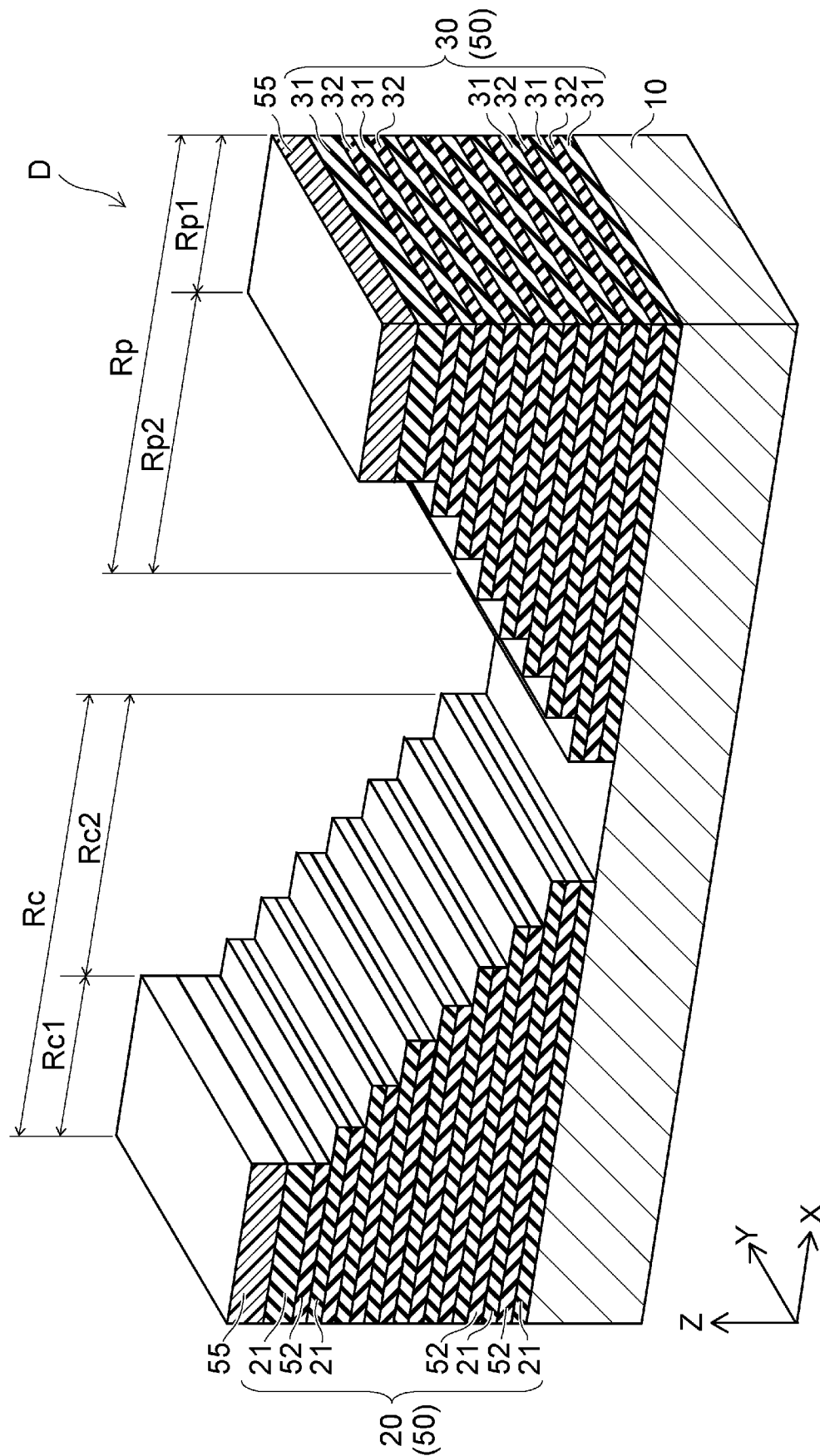
[図3]



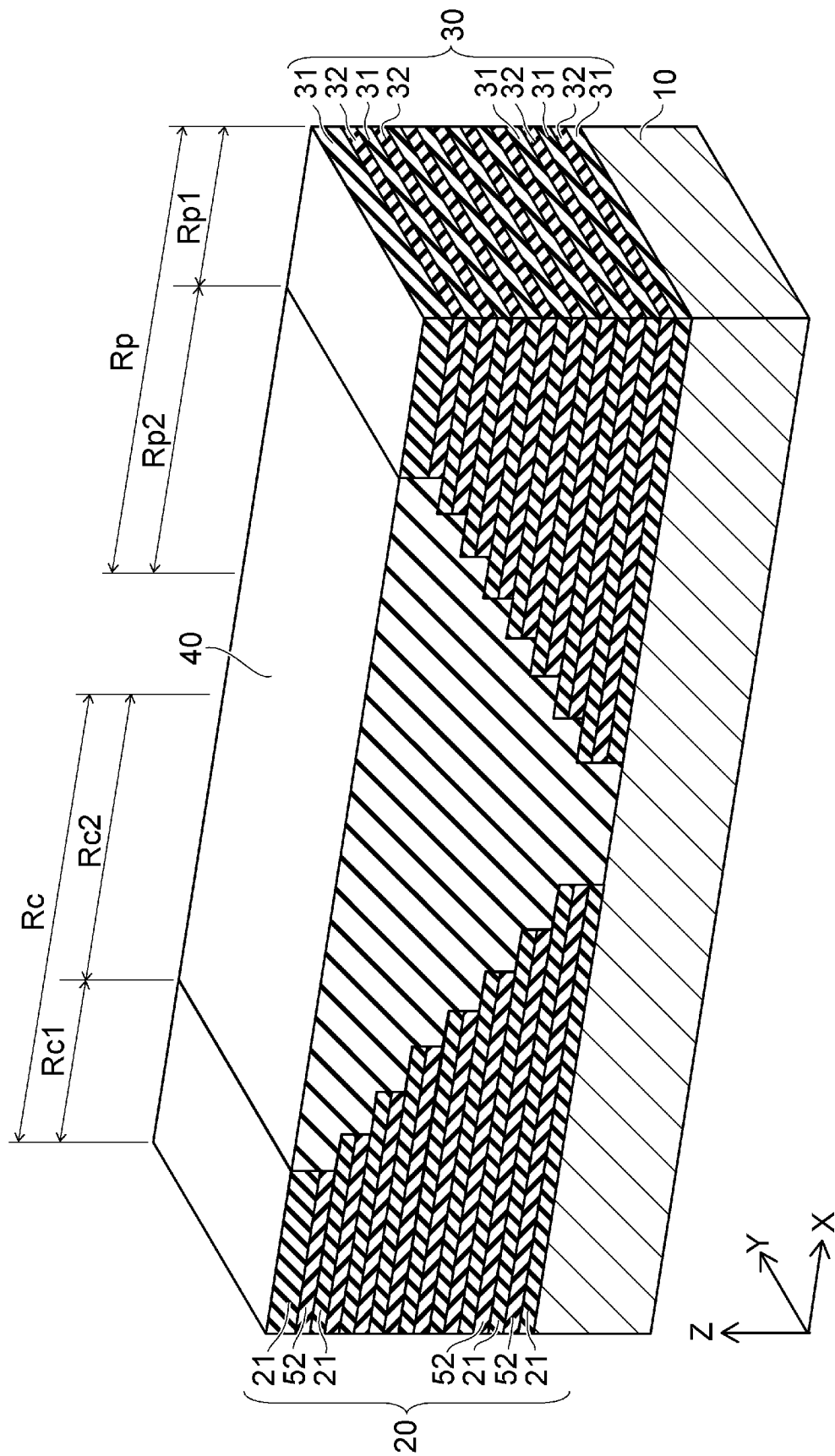
[図4]



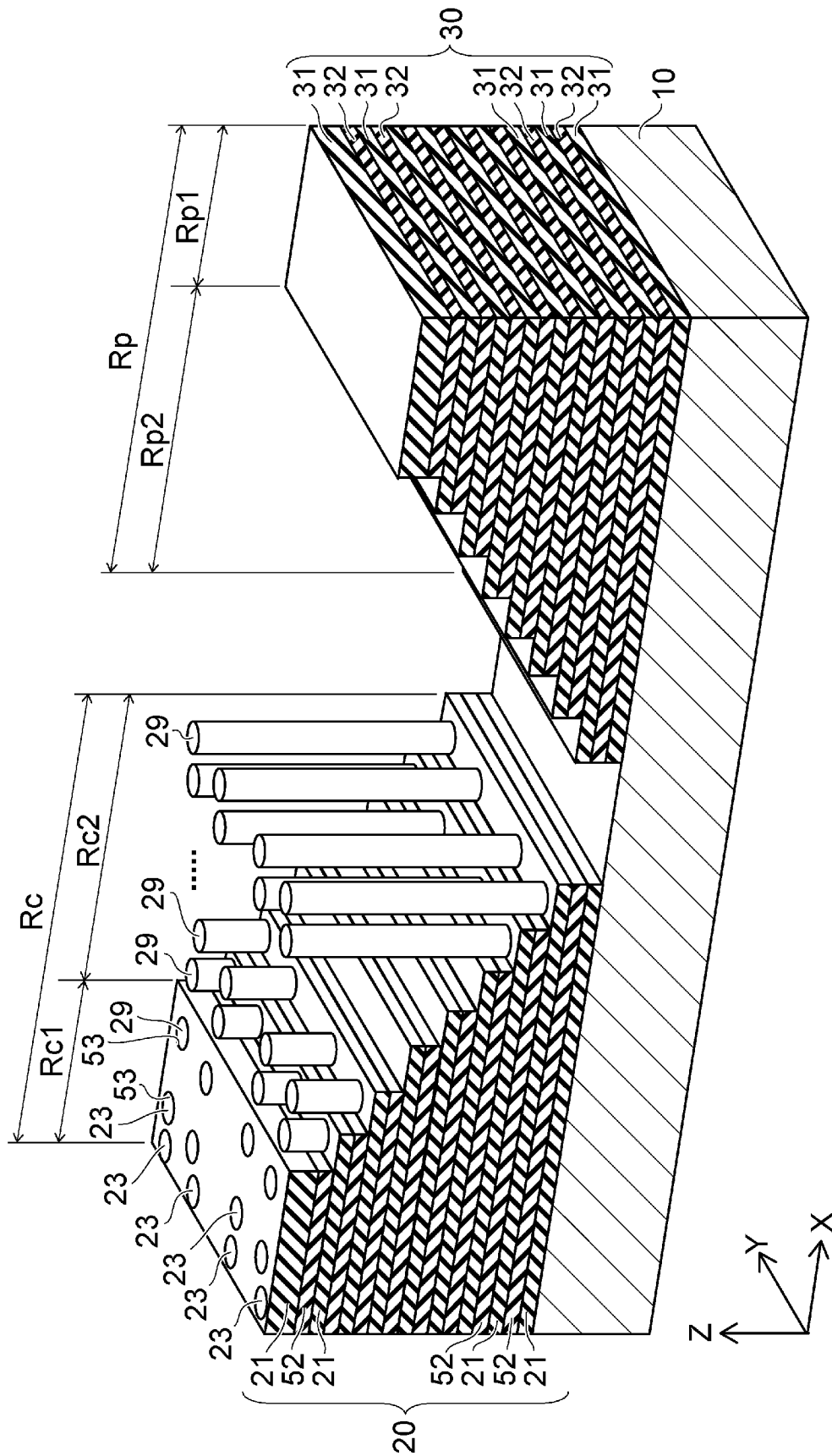
[図5]



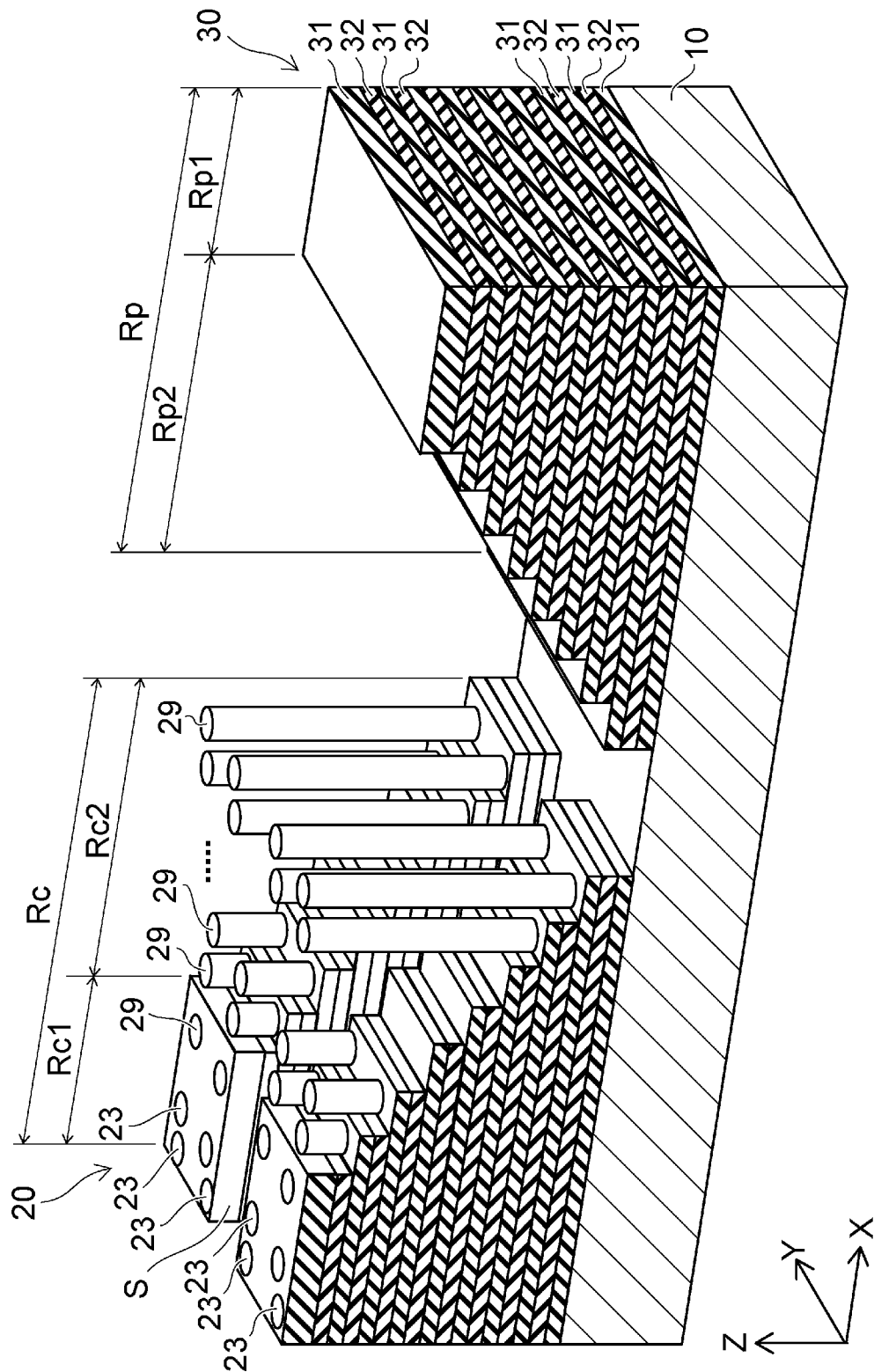
[図6]



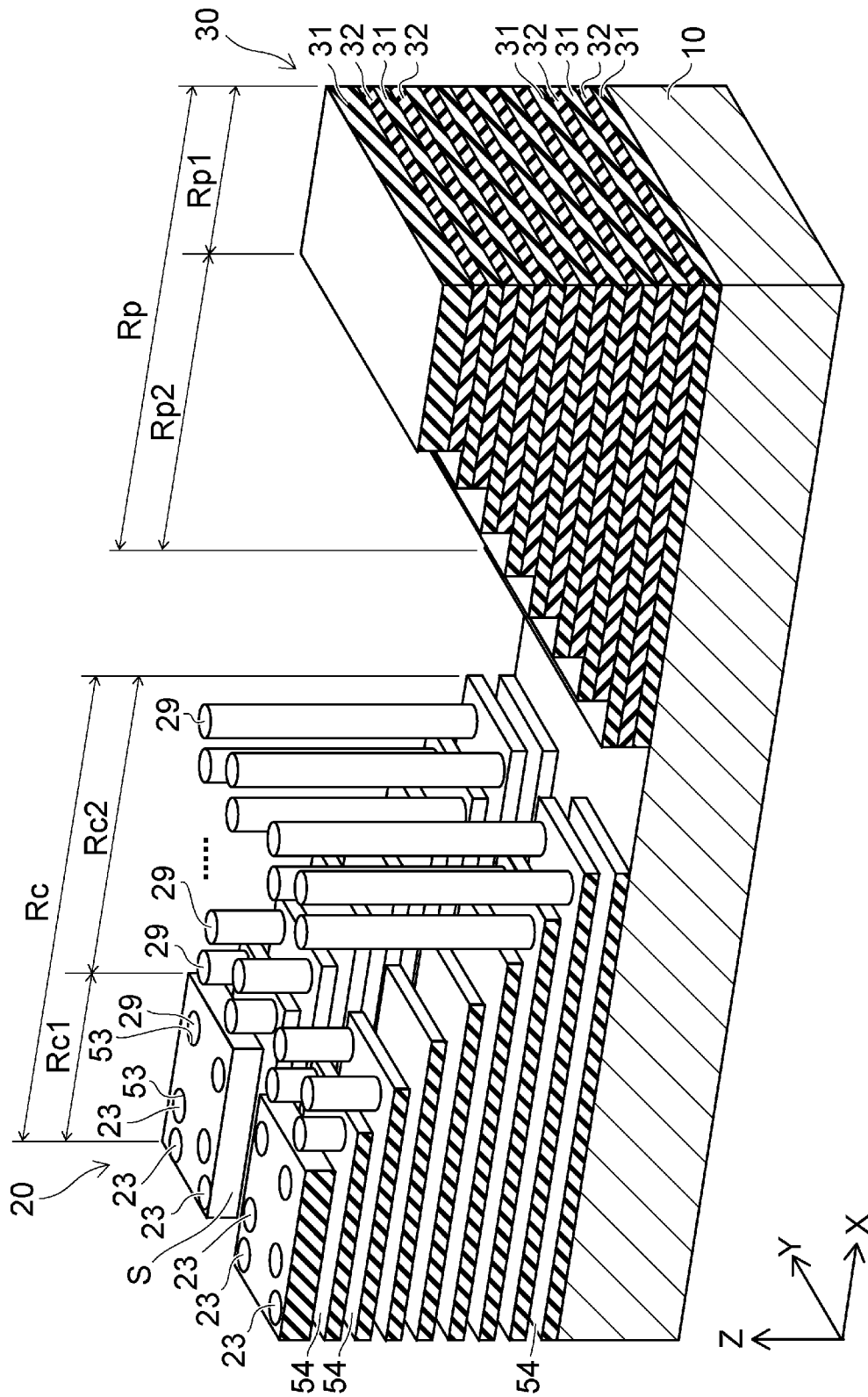
[図7]



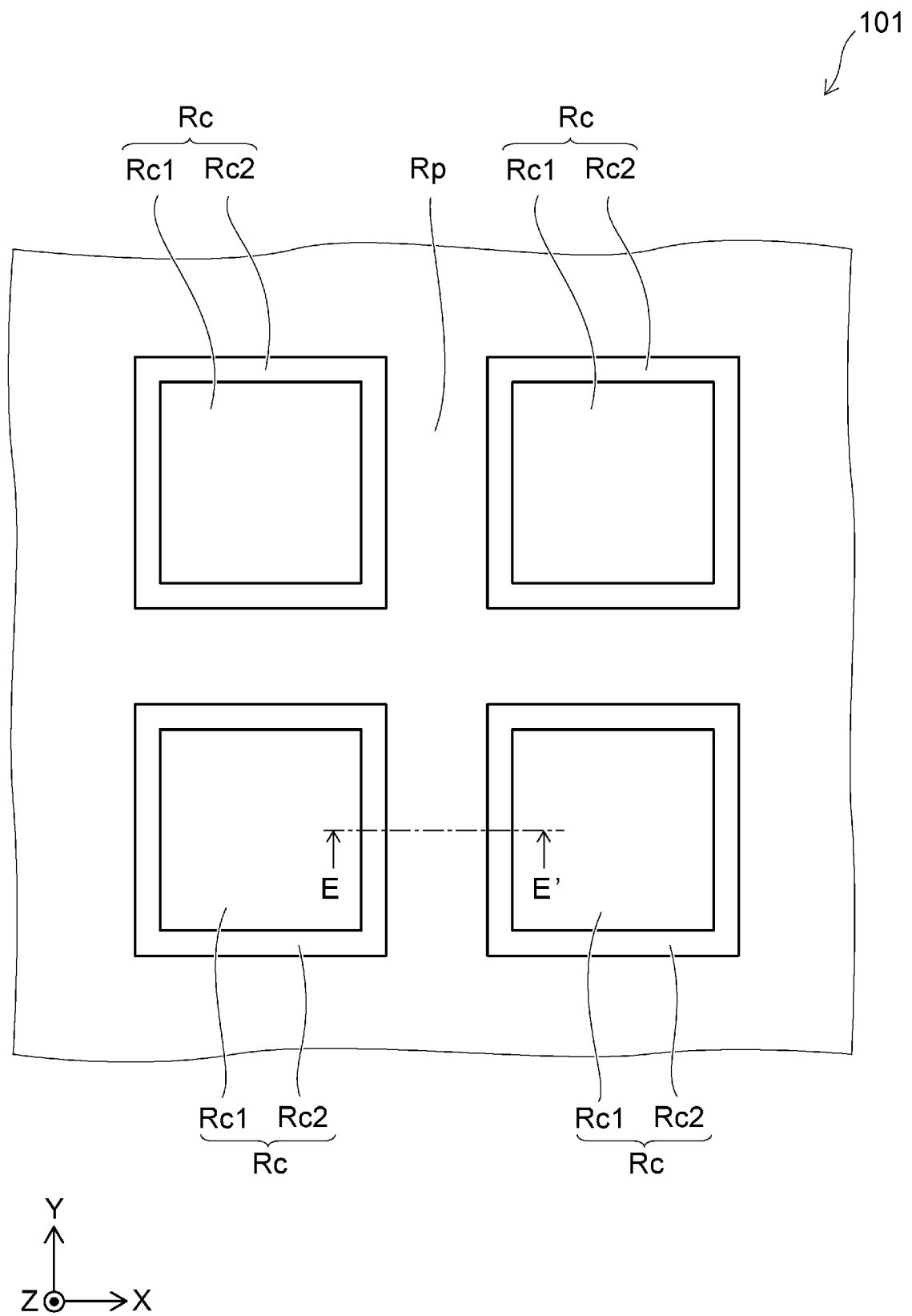
[図8]



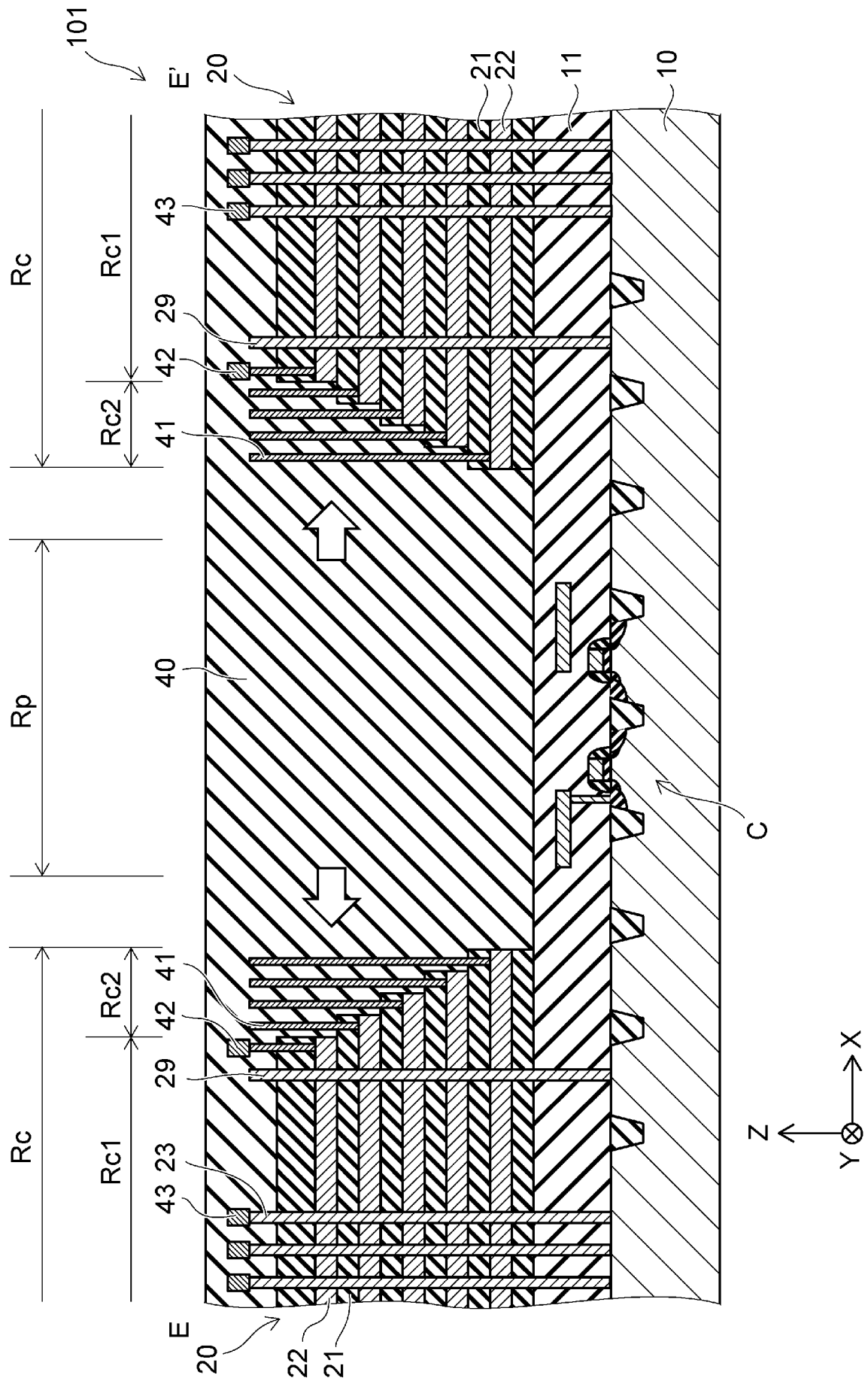
[図9]



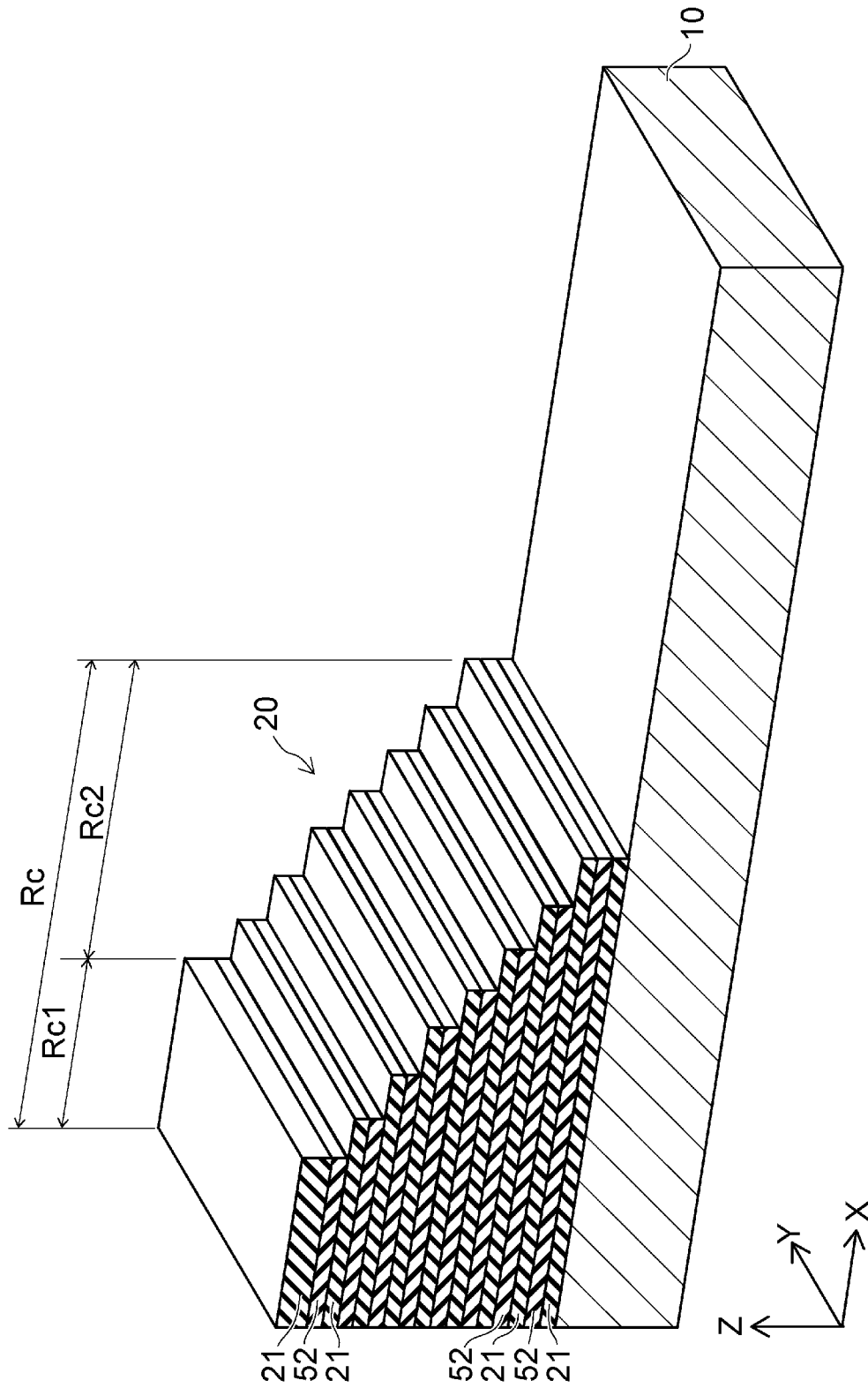
[図10]



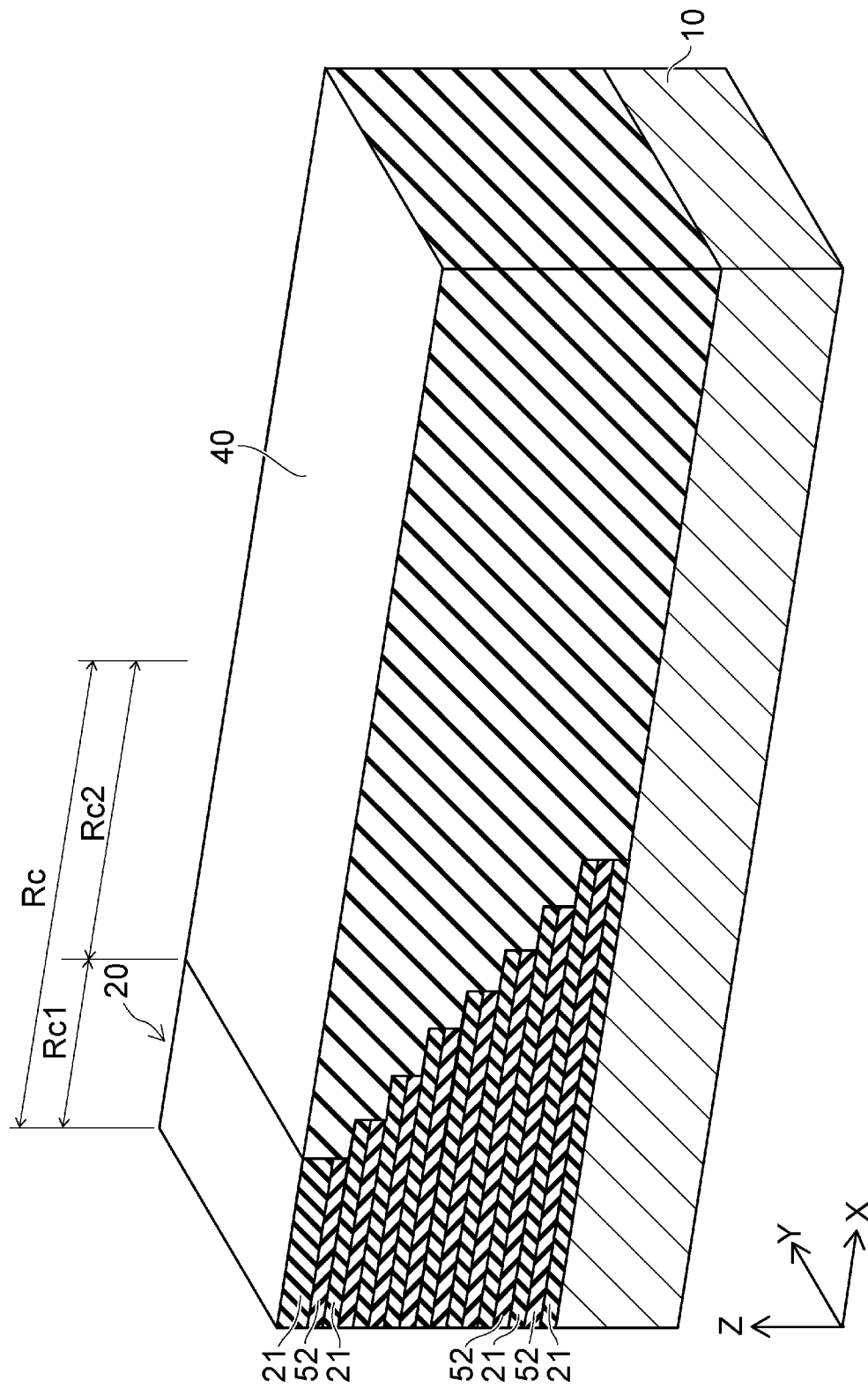
[図11]



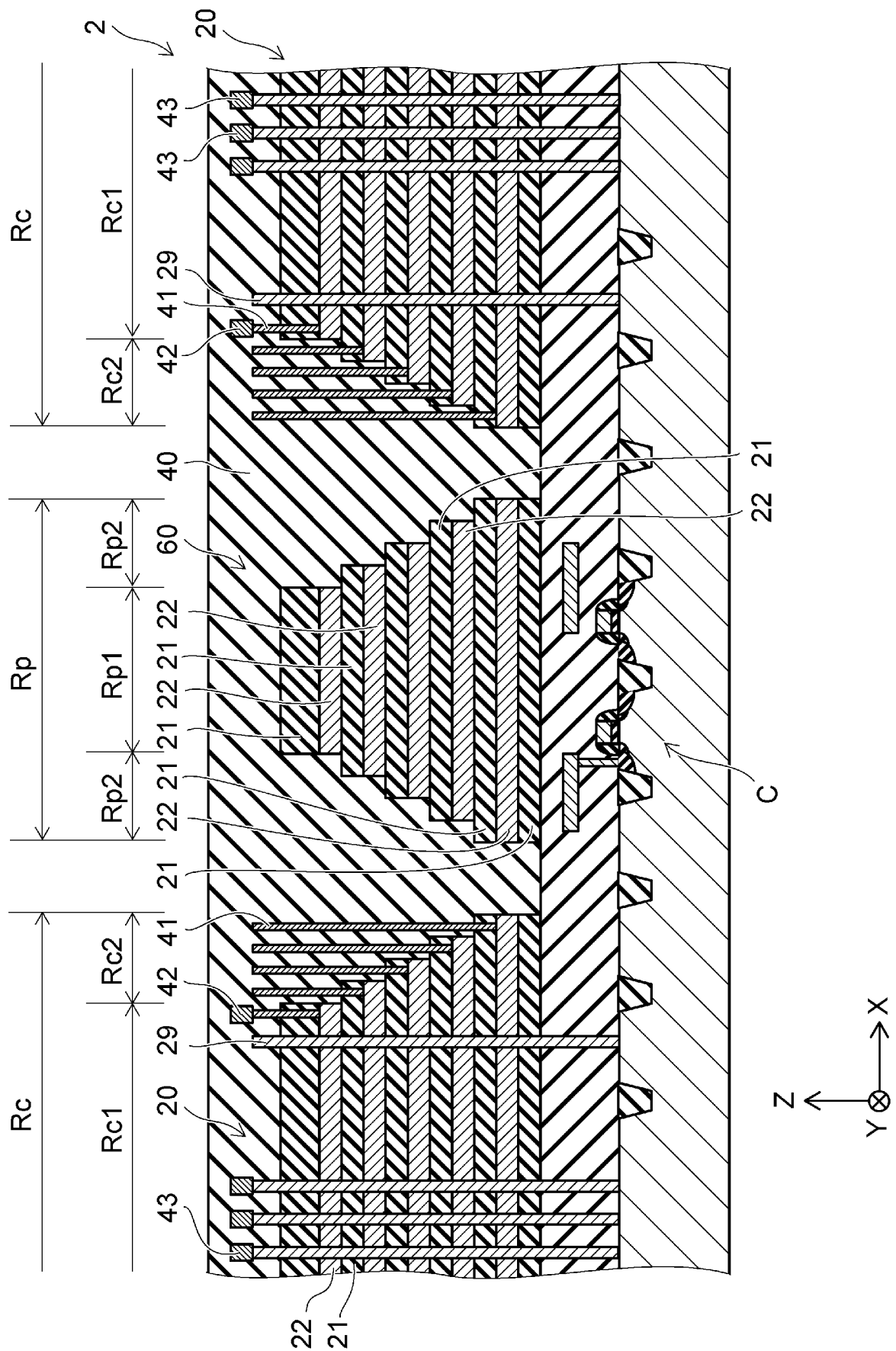
[図12]



[図13]

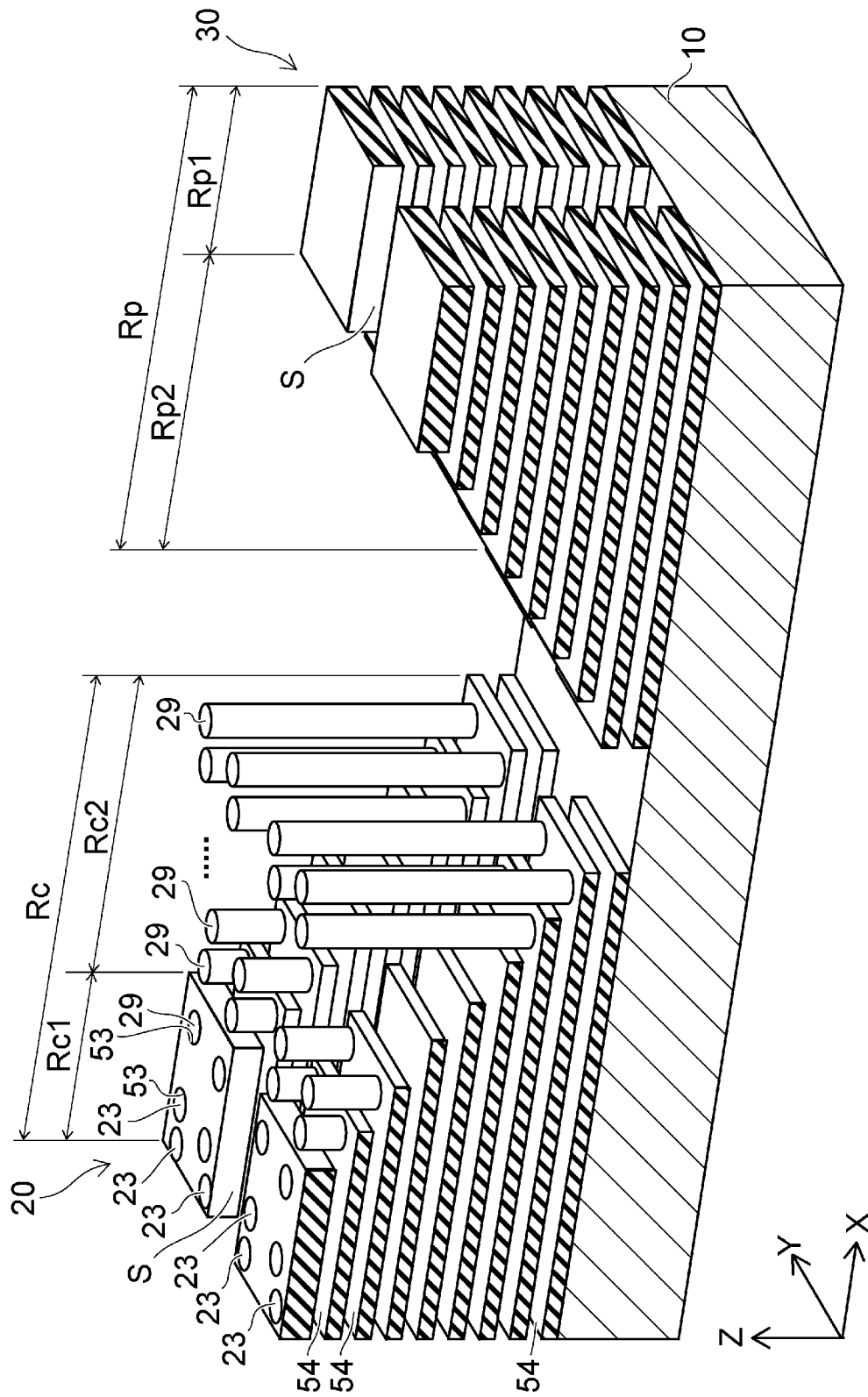


[図14]





[図16]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/032223

## A. CLASSIFICATION OF SUBJECT MATTER

H01L27/11582(2017.01)i, H01L21/336(2006.01)i, H01L29/788(2006.01)i,  
H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/11582, H01L21/336, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2017 |
| Kokai Jitsuyo Shinan Koho | 1971-2017 | Toroku Jitsuyo Shinan Koho | 1994-2017 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category*   | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                        | Relevant to claim No.                 |
|-------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------|
| X<br>Y<br>A | US 8395206 B2 (Lee et al.),<br>12 March 2013 (12.03.2013),<br>column 7, line 22 to column 13, line 26; fig. 1<br>to 12<br>& JP 2010-93269 A & KR 10-2011-0087870 A<br>& CN 101719502 A                                                                    | 1-3, 5-8<br>9, 11-13, 15,<br>16<br>14 |
| X<br>Y<br>A | JP 2010-192589 A (Toshiba Corp.),<br>02 September 2010 (02.09.2010),<br>paragraphs [0014] to [0104]; fig. 4 to 6, 18 to<br>20<br>& US 2010/0207186 A1<br>paragraphs [0033] to [0128]; fig. 4 to 6, 18 to<br>20<br>& KR 10-2010-0094386 A & TW 201032326 A | 4, 10<br>9, 12, 13, 15,<br>16<br>14   |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
23 October 2017 (23.10.17)

Date of mailing of the international search report  
07 November 2017 (07.11.17)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/032223

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                 | Relevant to claim No.                       |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------|
| Y         | JP 2016-062950 A (Toshiba Corp.),<br>25 April 2016 (25.04.2016),<br>paragraphs [0009] to [0018]; fig. 1<br>& US 2016/0079069 A1<br>paragraphs [0013] to [0024]; fig. 1             | 9                                           |
| Y         | JP 2015-177129 A (Toshiba Corp.),<br>05 October 2015 (05.10.2015),<br>paragraphs [0019] to [0032]; fig. 3 to 7<br>& US 2015/0263126 A1<br>paragraphs [0033] to [0049]; fig. 3 to 7 | 11-13, 15, 16                               |
| P, X      | US 2016/0268290 A1 (MATSUNAGA et al.),<br>15 September 2016 (15.09.2016),<br>paragraphs [0014] to [0078]; fig. 1 to 6<br>(Family: none)                                            | 1-3, 5-7,<br>10-13, 15, 16<br>4, 8, 9<br>14 |
| P, Y      |                                                                                                                                                                                    |                                             |
| P, A      |                                                                                                                                                                                    |                                             |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/11582(2017.01)i, H01L21/336(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/11582, H01L21/336, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 7 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 7 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 7 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                             | 関連する<br>請求項の番号                        |
|-----------------|-----------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------|
| X<br>Y<br>A     | US 8395206 B2 (Lee et al.) 2013.03.12,<br>第 7 欄第 22 行-第 13 欄第 26 行, 図 1-12<br>& JP 2010-93269 A<br>& KR 10-2011-0087870 A<br>& CN 101719502 A | 1-3, 5-8<br>9, 11-13, 15,<br>16<br>14 |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 1 0 . 2 0 1 7

国際調査報告の発送日

0 7 . 1 1 . 2 0 1 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

加藤 俊哉

5 F

9 5 5 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

| C (続き) . 関連すると認められる文献 |                                                                                                                                                                               |                                              |
|-----------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                             | 関連する<br>請求項の番号                               |
| X<br>Y<br>A           | JP 2010-192589 A (株式会社東芝) 2010. 09. 02,<br>[0014]-[0104], 図 4-6, 18-20<br>& US 2010/0207186 A1, [0033]-[0128], FIGS. 4-6, 18-20<br>& KR 10-2010-0094386 A<br>& TW 201032326 A | 4, 10<br>9, 12, 13, 15,<br>16<br>14          |
| Y                     | JP 2016-062950 A (株式会社東芝) 2016. 04. 25,<br>[0009]-[0018], 図 1<br>& US 2016/0079069 A1, [0013]-[0024], FIG. 1                                                                  | 9                                            |
| Y                     | JP 2015-177129 A (株式会社東芝) 2015. 10. 05,<br>[0019]-[0032], 図 3-7<br>& US 2015/0263126 A1, [0033]-[0049], FIGS. 3-7                                                             | 11-13, 15, 16                                |
| P, X<br>P, Y<br>P, A  | US 2016/0268290 A1 (MATSUNAGA et al.) 2016. 09. 15,<br>[0014]-[0078], FIGS. 1-6<br>(ファミリーなし)                                                                                  | 1-3, 5-7, 10-<br>13, 15, 16<br>4, 8, 9<br>14 |