

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6068762号  
(P6068762)

(45) 発行日 平成29年1月25日 (2017. 1. 25)

(24) 登録日 平成29年1月6日 (2017. 1. 6)

(51) Int. Cl.	F I
HO 1 L 21/363 (2006. 01)	HO 1 L 21/363
HO 1 L 21/8234 (2006. 01)	HO 1 L 27/06 1 O 2 A
HO 1 L 27/06 (2006. 01)	HO 1 L 27/08 1 O 2 E
HO 1 L 27/088 (2006. 01)	HO 1 L 27/08 1 O 2 H
HO 1 L 21/8242 (2006. 01)	HO 1 L 27/10 3 2 1
請求項の数 2 (全 59 頁) 最終頁に続く	

(21) 出願番号	特願2015-31428 (P2015-31428)	(73) 特許権者	000153878
(22) 出願日	平成27年2月20日 (2015. 2. 20)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2013-38884 (P2013-38884)		神奈川県厚木市長谷 3 9 8 番地
原出願日	平成25年2月28日 (2013. 2. 28)	(72) 発明者	野田 耕生
(65) 公開番号	特開2015-156491 (P2015-156491A)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(43) 公開日	平成27年8月27日 (2015. 8. 27)		半導体エネルギー研究所内
審査請求日	平成27年11月6日 (2015. 11. 6)	(72) 発明者	平石 鈴之介
(31) 優先権主張番号	特願2012-46295 (P2012-46295)		栃木県栃木市都賀町升塚 1 6 1 - 2 アド
(32) 優先日	平成24年3月2日 (2012. 3. 2)		バンスト フィルム デバイス インク
(33) 優先権主張国	日本国 (JP)		株式会社内
(31) 優先権主張番号	特願2012-46296 (P2012-46296)	審査官	正山 旭
(32) 優先日	平成24年3月2日 (2012. 3. 2)		
(33) 優先権主張国	日本国 (JP)		
		最終頁に続く	

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

酸化物半導体膜と、ゲート絶縁膜と、ゲート電極と、を有し、前記酸化物半導体膜は、前記ゲート絶縁膜を介して、前記ゲート電極と重なる第 1 の領域と、前記ゲート電極と重ならない第 2 の領域と、を有し、前記第 1 の領域は、スピン密度が  $9.3 \times 10^{16} \text{ spins/cm}^3$  未満であり、前記スピン密度は、電子スピン共鳴法によって計測される  $g$  (  $g$  値 ) が 1.93 付近の信号のピークから算出されたものであり、前記第 2 の領域は、前記第 1 の領域よりも抵抗が低いことを特徴とする半導体装置。

【請求項 2】

酸化物半導体膜と、ゲート絶縁膜と、ゲート電極と、を有し、前記酸化物半導体膜は、前記ゲート絶縁膜を介して、前記ゲート電極と重なる第 1 の領域と、前記ゲート電極と重ならない第 2 の領域と、を有し、前記第 1 の領域は、スピン密度が  $9.3 \times 10^{16} \text{ spins/cm}^3$  未満であり、前記スピン密度は、電子スピン共鳴法によって計測される  $g$  (  $g$  値 ) が 1.93 付近の信号のピークから算出されたものであり、

前記第 1 の領域のキャリア密度は、 $1 \times 10^{15} / \text{cm}^3$  未満であり、  
前記第 2 の領域は、前記第 1 の領域よりも抵抗が低いことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置及び半導体装置の作製方法、並びに酸化膜の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置全般をいい、例えば、トランジスタなどの半導体素子、半導体素子を含む半導体回路、表示装置などの電気光学装置、及び電子機器は全て半導体装置である。

10

【背景技術】

【0003】

液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイの多くに用いられているトランジスタは、ガラス基板上に形成されたアモルファスシリコン、単結晶シリコン又は多結晶シリコンなどのシリコン半導体によって構成されている。また、該シリコン半導体を用いたトランジスタは、集積回路 (IC) などにも利用されている。

【0004】

近年、シリコン半導体に代わって、半導体特性を示す金属酸化物をトランジスタに用いる技術が注目されている。なお、本明細書中では、半導体特性を示す金属酸化物を酸化物半導体とよぶことにする。

20

【0005】

例えば、インジウム (In)、ガリウム (Ga)、及び亜鉛 (Zn) のうち少なくとも 1 元素を含む酸化物半導体をトランジスタに用いる技術が開示されている (特許文献 1 及び特許文献 2 参照)。

【0006】

また、スパッタリング法を用いて、酸化亜鉛を主成分とする酸化物半導体を形成する際、酸素を含有したガスを供給しながら、基板側にバイアス電力を供給して形成する技術が開示されている (特許文献 3 参照)。

【先行技術文献】

【特許文献】

30

【0007】

【特許文献 1】特開 2006 - 165528 号公報

【特許文献 2】特開 2007 - 123861 号公報

【特許文献 3】特開 2008 - 108985 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜に含まれる水素 (水、水素イオン又は水酸化イオンなどを含む。) や酸素欠損は、トランジスタの電気特性の不良に繋がる。例えば、膜中に水素及び酸素欠損が含まれている酸化物半導体を用いたトランジスタは、しきい値電圧がマイナス方向に変動しやすく、ノーマリーオン特性となりやすい。なぜなら、酸化物半導体は、膜中に含まれる水素及び酸素欠損に起因して電荷が生じ、低抵抗化するためである。そして、酸化物半導体膜中の酸素欠損は低減することが難しい。例えば、酸化物半導体膜中の酸素欠損は酸化物半導体膜の形成時、又は酸化物半導体膜のエッチング工程時において、容易に生じてしまう。

40

【0009】

また、表示装置又は半導体記憶装置など様々な半導体装置において、当該半導体装置に含まれるトランジスタの電気特性が向上することで当該半導体装置の性能も向上する。例えば、より精細な表示装置を作製するためには、トランジスタの電界効果移動度の増大や、トランジスタのリーク電流の低減などを実現することが重要である。

50

## 【0010】

そこで、本発明の一態様は、酸素欠損が低減された酸化物半導体膜を用いた半導体装置及び当該半導体装置の作製方法を提供することを課題の一とする。また、本発明の一態様は、良好な電気特性を有し、高性能な半導体装置及び当該半導体装置の作製方法を提供することを課題の一とする。

## 【0011】

また、本発明の一態様として、膜中の酸素含有量が増大された酸化膜（酸化物半導体膜又は酸化絶縁膜）の作製方法を提供することを含む。具体的には、膜中の酸素含有量が増大し、酸素欠損が低減された酸化物半導体膜の作製方法を提供することを含む。そして、膜中の酸素含有量が増大した酸化絶縁膜の作製方法を提供することを含む。なお、本発明の一態様は、上記課題のうち少なくとも一を解決するものである。

10

## 【課題を解決するための手段】

## 【0012】

酸化物半導体膜と接する膜において、膜中の酸素含有量が多く、酸素の一部を放出することができる膜とすることで、当該膜から酸素を酸化物半導体膜に供給することができ、酸化物半導体膜の酸素欠損を低減することができる。それゆえ、例えば、酸化物半導体膜に接する酸化絶縁膜に含まれる酸素含有量を増加させることは重要である。

## 【0013】

本発明の一態様は、チャネル形成領域を含む半導体膜に、酸素欠損及びキャリア密度が低減した酸化物半導体膜を用いる半導体装置である。なお、本明細書において、酸素欠損が低減した酸化物半導体膜とは、電子スピン共鳴（ESR: Electron Spin Resonance）によって、酸素欠損に起因する信号が低減している酸化物半導体膜をいう。具体的には、電子スピン共鳴法によって計測される $g$ （ $g$ 値）が1.93付近の信号のピークから算出されたスピン密度が $9.3 \times 10^{16} \text{ spins/cm}^3$ 未満である酸化物半導体膜である。

20

## 【0014】

なお、電子スピン共鳴法において、 $g$ （ $g$ 値）=1.93付近に現れる対称性を有する信号は、酸素欠損に起因する信号である。また、電子スピン共鳴法において、測定した酸化物半導体膜の組成によっても、酸素欠損に起因する信号の $g$ （ $g$ 値）は変動する。例えば、測定する酸化物半導体膜をIn-Ga-Zn系酸化物とする場合、InとGaとZnとの組成が同じ原子数比である場合、当該In-Ga-Zn系酸化物の酸素欠損に起因する信号は $g$ （ $g$ 値）=1.93に現れるが、Inの組成がGaとZnとの組成に比べて多い場合、酸素欠損に起因する信号が現れる $g$ （ $g$ 値）は1.93よりも小さい値となる傾向がある。また、本明細書において、キャリア密度が低減した酸化物半導体膜とは、キャリア密度が $1 \times 10^{15} / \text{cm}^3$ 未満である酸化物半導体膜をいう。

30

## 【0015】

酸素欠損及びキャリア密度が低減した酸化物半導体膜を形成するためには、酸化物半導体膜に酸素欠損が生成しないように酸化物半導体膜を形成し、その後、電荷を生じさせる水素などを除去する。

## 【0016】

40

ここで、酸素欠損が生成しないように酸化物半導体膜を形成するためには、当該酸化物半導体膜に酸素が取り込まれるように形成する。具体的に、酸素雰囲気下で、基板側にバイアス電力を供給しながらスパッタリング法を用いて酸化物半導体膜を形成する。その後、加熱処理を行って不純物を除去すると好ましい。スパッタリング法で酸化物半導体膜を形成する際に、基板側にバイアス電力を供給することで、スパッタリング装置の処理室内で発生した酸素プラズマと基板との間に自己バイアス電圧が発生する。例えば、当該酸素プラズマ中の酸素イオンが、基板側に移動しやすくなるようにバイアス電力を供給する。すなわち、基板側が発生した酸素プラズマの電位に対して負電位となるようにバイアス電力を供給することが好ましい。例えば、基板側にバイアス電力としてRF電力を供給して自己バイアス電圧を発生させると、基板側は酸素プラズマに対して負電位となるため、当

50

該酸素プラズマ中の酸素イオン（代表的には $O^+$ や $O_2^+$ など）が基板側に移動しやすくなり、酸素イオンを取り込みながら酸化物半導体膜が形成される。また、当該自己バイアス電圧を制御することで、取り込まれる酸素イオンの量は変化させることができる。当該自己バイアス電圧を増大するにつれて、形成される酸化物半導体膜に取り込まれる酸素イオンは多くなり、酸素欠損がより低減された酸化物半導体膜を形成できる。

【0017】

具体的には、スパッタリングガスとして酸素を反応室に供給し、酸化膜（酸化物半導体膜又は酸化絶縁膜）のターゲットに電力を供給して、酸素プラズマを発生させ、基板などの被形成物側にバイアス電力を供給し、酸素プラズマ及び被形成物の間に発生する自己バイアス電圧を400V以上に制御して当該酸化膜を形成する。

10

【0018】

そして、酸化膜（酸化物半導体膜又は酸化絶縁膜）を形成した後は、加熱処理を行い、形成した膜から不純物（例えば、水素など）を除去することが好ましい。例えば、当該加熱処理は、減圧下、窒素雰囲気下、酸素雰囲気下、又は希ガス雰囲気下、且つ300以上700以下で行うことができる。加熱処理を行うことで、形成した酸化膜に含まれる水素を除去することができる。

【0019】

そこで、本発明の一態様は、酸化物半導体膜と、酸化物半導体膜に接して設けられたゲート絶縁膜と、ゲート絶縁膜を介して、酸化物半導体膜と重畳して設けられたゲート電極と、を少なくとも有し、酸化物半導体膜は、電子スピン共鳴法によって計測される $g$ （ $g$ 値）が1.93付近の信号のピークから算出されたスピン密度が $9.3 \times 10^{16} \text{ spins/cm}^3$ 未満であり、キャリア密度が $1 \times 10^{15} / \text{cm}^3$ 未満であることを特徴とする半導体装置である。また、上記においてソース電極およびドレイン電極は、酸化物半導体膜に接して設けられている。

20

【0020】

上記したように、特許文献3には、酸素を含有したガスを供給しながら、基板側にバイアス電力を供給してスパッタリング法を用いて酸化物半導体膜を形成する技術に関する記載がされている。しかしながら、特許文献3は、酸化物半導体膜の熱的安定性を高くし、トランジスタの作製工程中の加熱処理などによって酸化物半導体膜が低抵抗化することを防ぐことに主眼を置いており、本発明の一態様のように、酸素欠損を生成させないように自己バイアス電圧を制御して酸化物半導体膜を形成する記載、及び酸素欠損に起因する欠陥密度並びにキャリア密度に関する記載は見られない。

30

【0021】

例えば、自己バイアス電圧を400V以上に制御して酸化物半導体膜を形成した後、加熱処理によって水素を除去する。このようにすることで、電子スピン共鳴法で計測される $g$ （ $g$ 値）が1.93付近の信号のピークから算出されたスピン密度が $9.3 \times 10^{16} \text{ spins/cm}^3$ 未満、キャリア密度が $1 \times 10^{15} / \text{cm}^3$ 未満の酸化物半導体膜を形成することができる。従って、オフ電流が低減されたトランジスタを作製することができる。

【0022】

また、本発明の一態様であるトランジスタは、トップゲート構造に限らず、ボトムゲート構造、又はデュアルゲート構造など様々な構造のトランジスタを含む。そこで、本発明の一態様は、ゲート電極が、ゲート絶縁膜の上面に接して設けられている、又は、ゲート絶縁膜の下面に接して設けられている半導体装置である。

40

【0023】

上記において、オン電流や電界効果移動度を向上させるためには、ソース電極及びドレイン電極との接触抵抗を低減することが有効である。本発明の一態様は、チャネル形成領域及び低抵抗領域を含む酸化物半導体膜を用いたトランジスタである。なお、低抵抗領域はドーパントを注入することで形成することができる。

【0024】

50

そこで、本発明の一態様は、第1の領域と、第1の領域を挟んで設けられ、第1の領域よりも低抵抗である一対の第2の領域と、を含む酸化物半導体膜と、酸化物半導体膜上に設けられたゲート絶縁膜と、ゲート絶縁膜を介して第1の領域と重畳して設けられたゲート電極と、一対の第2の領域に接して設けられたソース電極及びドレイン電極と、を有し、第1の領域は、電子スピン共鳴法によって計測される $g$  ( $g$  値) が1.93付近の信号のピークから算出されたスピン密度が $9.3 \times 10^{16} \text{ spins/cm}^3$ 未満であり、キャリア密度が $1 \times 10^{15} / \text{cm}^3$ 未満であることを特徴とする半導体装置である。

#### 【0025】

また、低抵抗領域において、ソース電極及びドレイン電極と接する領域が最も低抵抗となるように、抵抗率が異なる領域を設けることが好ましい。抵抗率が異なる領域を設けるためには、当該低抵抗領域にドーパント濃度差を設けることで実施できる。このようにすることで、トランジスタに含まれる酸化物半導体膜に加わる電界を段階的にすることができ、ドレイン領域近傍の電界集中によってトランジスタが破壊されることを抑制することができる。

#### 【0026】

そこで、本発明の一態様は、第1の領域と、第1の領域を挟んで設けられ、第1の領域よりも低抵抗である一対の第2の領域と、第1の領域及び第2の領域を挟んで設けられ、第2の領域よりも低抵抗である一対の第3の領域と、を含む酸化物半導体膜と、酸化物半導体膜上に設けられたゲート絶縁膜と、ゲート絶縁膜を介して第1の領域と重畳して設けられたゲート電極と、一対の第2の領域と重畳し、ゲート電極の側面に接して設けられたサイドウォール絶縁膜と、一対の第3の領域に接して設けられたソース電極及びドレイン電極と、を有し、第1の領域は、電子スピン共鳴法によって計測される $g$  ( $g$  値) が1.93付近の信号のピークから算出されたスピン密度が $9.3 \times 10^{16} \text{ spins/cm}^3$ 未満であり、キャリア密度が $1 \times 10^{15} / \text{cm}^3$ 未満であることを特徴とする半導体装置である。

#### 【0027】

上記において、本発明の一態様であるトランジスタは、酸化物半導体膜として、2以上の金属元素を有する金属酸化物膜を用いることができる。また、酸化物半導体の中で、インジウムを含む酸化物半導体はキャリア移動度が高いことから、2以上金属元素を有する金属酸化物において、インジウムの組成が他の金属元素の組成より大きいほどキャリア移動度は高くなる。そこで、インジウムを含む酸化物半導体を用いることが好ましく、特に、インジウムと亜鉛の双方を含み、インジウムのほうが大きい組成を有する酸化物半導体を用いることが好ましい。このようにすることで、高いオン電流及び高い電界効果移動度を有するトランジスタを作製することができる。なお、酸化物半導体膜としては、2以上金属元素を有する金属酸化物膜の代わりに、インジウムを含む酸化物膜を用いることもできる。

#### 【発明の効果】

#### 【0028】

本発明の一態様より、酸素欠損が低減された酸化物半導体膜を用いた半導体装置を提供することができる。また、良好な電気特性を有し、高性能な半導体装置を提供することができる。

#### 【0029】

また、本発明の一態様より、膜中の酸素含有量が増大された酸化膜（酸化物半導体膜又は酸化絶縁膜）の作製方法を提供できる。具体的には、膜中の酸素含有量が増大し、酸素欠損が低減された酸化物半導体膜の作製方法を提供できる。また、膜中の酸素含有量が増大した酸化絶縁膜の作製方法を提供できる。

#### 【図面の簡単な説明】

#### 【0030】

【図1】トランジスタ一例を説明する上面図及び断面図。

【図2】スパッタリング装置を説明する断面図。

10

20

30

40

50

【図 3】トランジスタの作製方法を説明する断面図。  
 【図 4】トランジスタの作製方法を説明する断面図。  
 【図 5】トランジスタの作製方法を説明する断面図。  
 【図 6】トランジスタ一例を説明する上面図及び断面図。  
 【図 7】トランジスタの作製方法を説明する断面図。  
 【図 8】トランジスタの作製方法を説明する断面図。  
 【図 9】トランジスタ一例を説明する上面図及び断面図。  
 【図 10】トランジスタの作製方法を説明する断面図。  
 【図 11】トランジスタの作製方法を説明する断面図。  
 【図 12】トランジスタの作製方法を説明する断面図。  
 【図 13】トランジスタ一例を説明する上面図及び断面図。  
 【図 14】トランジスタの作製方法を説明する断面図。  
 【図 15】トランジスタの作製方法を説明する断面図。  
 【図 16】トランジスタ一例を説明する上面図及び断面図。  
 【図 17】トランジスタの作製方法を説明する断面図。  
 【図 18】半導体記憶装置の一例を説明する断面図、上面図及び回路図。  
 【図 19】半導体記憶装置の一例を説明する回路図。  
 【図 20】トランジスタを用いた半導体記憶装置の一例の回路図、時間と容量電位の関係を示した図。

10

【図 21】半導体記憶装置の一例を説明する回路図。  
 【図 22】CPU の具体例を示すブロック図及びその一部の回路図。  
 【図 23】アクティブマトリクス型表示装置を説明する図及び回路図。  
 【図 24】電子機器の外観図。  
 【図 25】酸化物半導体膜形成時のバイアス電力と自己バイアス電圧の関係を示した図。  
 【図 26】酸化物半導体膜形成時のバイアス電力とキャリア密度の関係を示した図。  
 【図 27】酸化物半導体膜を電子スピン共鳴法で測定した結果を示した図。  
 【発明を実施するための形態】

20

#### 【0031】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。また、以下に説明する実施の形態及び実施例において、同一部分又は同様の機能を有する部分には、同一の符号又は同一のハッチパターンを異なる図面間で共通して用い、その繰り返しの説明は省略する。

30

#### 【0032】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

#### 【0033】

また、本明細書にて用いる第 1、第 2、第 3 などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。

40

#### 【0034】

「ソース」や「ドレイン」の機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

#### 【0035】

本明細書において、フォトリソグラフィ工程を行った後にエッチング工程を行う場合は、フォトリソグラフィ工程で形成したマスクはエッチング工程後に除去するものとする。

50

## 【 0 0 3 6 】

## ( 実施の形態 1 )

本実施の形態では、本発明の一態様に係る半導体装置について、図面を用いて説明する。以下、当該半導体装置をトランジスタとして説明する。

## 【 0 0 3 7 】

## トランジスタの構成例

図 1 ( A ) 及び図 1 ( B ) に、トランジスタ 1 0 0 の上面図及び断面図を示す。図 1 ( A ) はトランジスタ 1 0 0 の上面図であり、図 1 ( B ) は、図 1 ( A ) の一点鎖線 A - B 間の断面図である。なお、図 1 ( A ) では、明瞭化のため、トランジスタ 1 0 0 の構成要素の一部 ( 例えば、基板 1 0 1 、下地絶縁膜 1 0 3 、及びゲート絶縁膜 1 1 3 など ) を省略している。

10

## 【 0 0 3 8 】

図 1 ( A ) 及び図 1 ( B ) より、トランジスタ 1 0 0 は、基板 1 0 1 上に下地絶縁膜 1 0 3 が設けられており、下地絶縁膜 1 0 3 上に酸化物半導体膜 1 0 5 が設けられており、酸化物半導体膜 1 0 5 上にゲート絶縁膜 1 1 3 が設けられており、ゲート絶縁膜 1 1 3 上にゲート電極 1 1 7 が設けられており、下地絶縁膜 1 0 3 、酸化物半導体膜 1 0 5 、ゲート絶縁膜 1 1 3 、及びゲート電極 1 1 7 上に絶縁性を有する金属酸化膜 1 2 1 が設けられており、絶縁性を有する金属酸化膜 1 2 1 上に層間絶縁膜 1 2 3 が設けられており、絶縁性を有する金属酸化膜 1 2 1 及び層間絶縁膜 1 2 3 に形成された開口 1 2 5 a 、 1 2 5 b を介して、酸化物半導体膜 1 0 5 に接するソース電極 1 2 7 a 及びドレイン電極 1 2 7 b が設けられている。なお、下地絶縁膜 1 0 3 及び層間絶縁膜 1 2 3 は、設けなくてもよい。

20

## 【 0 0 3 9 】

ゲート電極 1 1 7 は、ゲート絶縁膜 1 1 3 を介して、酸化物半導体膜 1 0 5 と重畳して設けられている。つまり、トランジスタ 1 0 0 は、ゲート電極 1 1 7 はゲート絶縁膜 1 1 3 の上面と接して設けられている ( 酸化物半導体膜 1 0 5 の上方に設けられている ) ことから、トップゲート構造のトランジスタである。また、トランジスタ 1 0 0 において、ソース電極 1 2 7 a 及びドレイン電極 1 2 7 b は、酸化物半導体膜 1 0 5 の上面と接している。

## 【 0 0 4 0 】

ゲート電極 1 1 7 はゲート配線としても機能する。ソース電極 1 2 7 a はソース配線としても機能する。ドレイン電極 1 2 7 b はドレイン配線としても機能する。

30

## 【 0 0 4 1 】

酸化物半導体膜 1 0 5 は、少なくともチャネル形成領域を含む。酸化物半導体膜 1 0 5 は、非晶質酸化物半導体膜、又は単結晶、多結晶 ( ポリクリスタルともいう。 ) 、微結晶などの結晶性を有する酸化物半導体膜である。

## 【 0 0 4 2 】

酸化物半導体膜 1 0 5 として、2 以上の金属元素を有する金属酸化物を用いることができる。また、酸化物半導体の中で、インジウムを含む酸化物半導体はキャリア移動度が高いことから、2 以上金属元素を有する金属酸化物において、インジウムの組成が他の金属元素の組成より大きいとキャリア移動度は高くなる。そこで、インジウムを含む酸化物半導体を用いることが好ましく、特に、インジウムと亜鉛の双方を含み、インジウムのほうが大きい組成を有する酸化物半導体を用いることが好ましい。このようにすることで、高いオン電流及び高い電界効果移動度を有し、良好な電気特性を有するトランジスタを作製することができる。なお、酸化物半導体膜としては、2 以上金属元素を有する金属酸化物の代わりに、インジウムを含む酸化物を用いることもできる。

40

## 【 0 0 4 3 】

酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜に含まれる水素 ( 水、水素イオン又は水酸化イオンなどを含む。 ) 及び酸素欠損は電荷を生じるため、酸化物半導体膜のキャリア密度が増大し、酸化物半導体膜を低抵抗化させる。それゆえ、水素及び酸

50

酸素欠損を含む酸化物半導体膜を有するトランジスタは、しきい値電圧がマイナス方向に変動しやすく、ノーマリーオン特性となりやすい。

【0044】

酸化物半導体膜105は、酸素欠損及びキャリア密度を低減した酸化物半導体膜である。詳細には、酸化物半導体膜105は、電子スピン共鳴(E SR: E l e c t r o n S p i n R e s o n a n c e)によって、酸素欠損に起因する信号を有していない(酸素欠損に起因するスピン密度の検出下限以下である、ということ)酸化物半導体膜であり、キャリア密度を低減した酸化物半導体膜である。酸化物半導体膜に酸素欠損があると、電子スピン共鳴法にて、 $g(g \text{ 値}) = 1.93$ 付近に対称性を有する信号が現れる。

【0045】

電子スピン共鳴法は、マイクロ波照射下で磁場を掃引し、分裂した準位のエネルギー差と、照射しているマイクロ波のエネルギーが等しくなったときに生じる共鳴吸収を観測することで、不対電子を有する欠陥などの量を測定することができる。本明細書において、対称性を有する信号とは、電子スピン共鳴法による測定を行った結果得られる信号である。例えば、薄膜において、 $g$ 値を中心とした点対称な信号である。また、電子スピン共鳴法による測定を行った結果得られる信号を積分変換した吸収曲線は、1つのピークとして表すことができ、 $g$ 値は当該ピークの頂点となる。また、当該ピークの積分値は、不対電子を有する欠陥の総量に相当する。よって、当該ピークの積分値と、あらかじめ欠陥の総量が定量されている標準試料とを比較し、試料の体積で除することで測定した試料のスピン密度を算出することができる。

【0046】

酸化物半導体膜105は、電子スピン共鳴法によって計測される $g(g \text{ 値})$ が $1.93$ 付近の信号のピークから算出されたスピン密度が $9.3 \times 10^{16} \text{ spins/cm}^3$ 未満であり、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下であり、さらに好ましくは検出下限以下であり、キャリア密度が $1 \times 10^{15} / \text{cm}^3$ 未満である。なお、キャリア密度は、ホール効果測定又はC V測定などによって計測できる。

【0047】

また、酸化物半導体膜105は、膜中に含まれる水素が低減されており、酸化物半導体膜105の水素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。なお、当該水素濃度はS I M S ( S e c o n d a r y I o n M a s s S p e c t r o m e t r y )で測定される数値である。

【0048】

従って、トランジスタ100は、良好な電気特性を有するトランジスタである。具体的には、オフ電流が低減され、しきい値電圧のマイナス方向への変動が抑制され、オン電流及び電界効果移動度が増大したトランジスタである。

【0049】

酸化物半導体膜の作製方法

ここで、酸化物半導体膜105に適用できる、酸素欠損及びキャリア密度を低減した酸化物半導体膜の作製方法について説明する。

【0050】

酸素欠損及びキャリア密度を低減した酸化物半導体膜を形成するには、当該酸化物半導体膜に酸素欠損が生成しないように形成し、その後、電荷を生じさせる水素などを除去する。換言すると、当該酸化物半導体膜に酸素が取り込まれるように形成し、その後、電荷を生じさせる水素などを除去する。酸素が取り込まれるように酸化物半導体膜を形成することから、形成された酸化物半導体膜には酸素が過剰に含まれている。このように形成することで、化学量論的組成より多くの酸素を含む酸化物半導体膜を形成できる。そこで、酸素欠損及びキャリア密度を低減した酸化物半導体膜は、化学量論的組成より多くの酸素を含む酸化物半導体膜と言い換えることができる。

【0051】

具体的には、酸素雰囲気下で、基板側にバイアス電力を供給しながらスパッタリング法

10

20

30

40

50



を用いて酸化物半導体膜を形成し、その後加熱処理をする。

【 0 0 5 2 】

まず、上記作製方法を実施できるスパッタリング装置について説明する。当該スパッタリング装置における処理室の断面図を図 2 に示す。

【 0 0 5 3 】

図 2 ( A ) に示したスパッタリング装置は、2 極型スパッタリング装置であり、図 2 ( B ) に示したスパッタリング装置は、マグネトロンスパッタリング装置である。なお、図 2 は、スパッタリング装置の一構成例であり、スパッタリング装置の構成はこれに限定されない。例えば、図 2 ( A ) 及び図 2 ( B ) に示したスパッタリング装置の電極は 2 極に限らず、3 極又は 4 極の構成であってもよい。

10

【 0 0 5 4 】

図 2 ( A ) に示したスパッタリング装置は、処理室 2 0 1 を有する。処理室 2 0 1 は、アルミニウム又はステンレスなど剛性のある材料で形成されており、処理室 2 0 1 の内部を真空排気できるように構成されている。

【 0 0 5 5 】

処理室 2 0 1 には、排気手段 2 0 2 が設けられている。排気手段 2 0 2 は、処理室 2 0 1 内を真空排気する機能と、スパッタリングガスが導入された処理室 2 0 1 内を所定の圧力に調整且つ一定に保持する機能と、を備えている。排気手段 2 0 2 は、バタフライバルブ、ストップバルブ、クライオポンプ、ターボ分子ポンプ及びドライポンプなどで構成されている。

20

【 0 0 5 6 】

処理室 2 0 1 には、ガス供給手段 2 0 4 が設けられている。ガス供給手段 2 0 4 は、処理室 2 0 1 内にプラズマを発生させるためのスパッタリングガスを供給する。なお、図示しないが、処理室 2 0 1 とガス供給手段 2 0 4 との間にはスパッタリングガスの流量を制御できるマスフローコントローラなどが設けられているものとする。

【 0 0 5 7 】

処理室 2 0 1 には、電極 2 0 3 と、電極 2 0 3 に対向する基板支持台 2 0 5 が備えられている。電極 2 0 3 と基板支持台 2 0 5 は一定の距離をおいて略平行に配置されている。

【 0 0 5 8 】

電極 2 0 3 には、ターゲット 2 0 7 を設置することができる。基板支持台 2 0 5 には基板 1 0 1 を設置することができ、基板 1 0 1 を加熱できるヒータが設けられている。当該ヒータはヒータコントローラ ( 図示せず ) に接続されており、温度制御することができる。なお、基板支持台 2 0 5 は、導電性の材料で形成されており、電極として機能する。

30

【 0 0 5 9 】

電極 2 0 3 は、電力供給手段として電源 2 1 1 が接続されており、基板支持台 2 0 5 は電力供給手段として電源 2 1 5 が接続されている。また、電極 2 0 3 及び処理室壁 2 1 7 は接地されている。

【 0 0 6 0 】

電源 2 1 1 は、直流 ( Direct Current : DC ) 電源、交流 ( Alternating Current : AC ) 電源又は高周波 ( Radio Frequency : RF ) 電源を適用でき、電極 2 0 3 に DC 電力、AC 電力又は RF 電力を加えることができる。また、電源 2 1 5 も DC 電源、AC 電源又は RF 電源を適用でき、基板支持台 2 0 5 に DC 電力、AC 電力又は RF 電力を供給することができる。なお、図示しないが、電源 2 1 1 と電極 2 0 3 の間、及び、電源 2 1 5 と基板支持台 2 0 5 の間には、マッチングボックスが設けられていてもよい。

40

【 0 0 6 1 】

図 2 ( B ) のスパッタリング装置は、図 2 ( A ) のスパッタリング装置の構成に加えてマグネット 2 1 9 が設けられた構成である。マグネット 2 1 9 は、ターゲット 2 0 7 上に磁界が発生することでターゲット 2 0 7 から叩きだされる二次電子でスパッタリングガスのイオン化を促進させることができれば、どのように設置してもよい。

50

## 【0062】

次に、図2(A)及び図2(B)に示したスパッタリング装置を用いて、酸素欠損及びキャリア密度を低減した酸化物半導体膜を形成する具体的な手順を説明する。

## 【0063】

ターゲット207は、上記列挙した、酸化物半導体膜105に適用できる材料のターゲットを用いる。ここでは、インジウムを含む酸化物半導体ターゲットとする。

## 【0064】

基板支持台205に基板101を設置し、排気手段202で処理室201内を真空排気する。そして、スパッタリングガスの酸素をガス供給手段204から処理室201に供給して、排気手段202で処理室201内の圧力(真空度)を所望の圧力となるように制御する。なお、酸素に加え、希ガスを混合させてスパッタリングガスとしてもよいが、酸化物半導体膜中により酸素を供給しやすくするため、酸素分圧は高いほうが好ましい。

10

## 【0065】

電源211を用いて電極203にDC電力、AC電力又はRF電力を供給して、放電を起こし、処理室201に酸素プラズマを発生させる。なお、酸素プラズマが生成するように処理室201の圧力および電圧を適宜制御する。

## 【0066】

このとき、電源215を用いて基板支持台205にDC電力、AC電力又はRF電力を供給し、基板101側にバイアス電力を供給して、酸素プラズマと基板101の間に自己バイアス電圧を発生させる。例えば、当該酸素プラズマ中の酸素イオンが、基板101側に移動しやすくなるようにバイアス電力を供給する。すなわち、基板101側が発生した酸素プラズマの電位に対して負電位となるようにバイアス電力を供給することが好ましい。

20

## 【0067】

例えば、基板101側にバイアス電力としてRF電力を供給して自己バイアス電圧を発生させると、基板101側は発生した酸素プラズマの電位に対して負電位となるため、酸素プラズマ中に含まれる酸素イオン(代表的には $O^+$ や $O_2^+$ など)は基板101に移動しやすくなる。つまり、酸素プラズマ中に存在する酸素イオンによってターゲット207から叩き出された原子が基板101に堆積する際に、基板101に酸素イオンも移動してくることを利用して、酸素イオンを取り込ませながら酸化物半導体膜を形成する。このように、酸素イオンを取り込ませながら酸化物半導体膜を形成することで、酸化物半導体膜の形成時に生成する酸素欠損を低減させることができる。

30

## 【0068】

また、自己バイアス電圧を制御することで、取り込まれる酸素イオンの量を変化させることができる。例えば、自己バイアス電圧を増大させると、形成される酸化物半導体膜に取り込まれる酸素イオンを多くすることができ、基板101側に供給するバイアス電力を高くすることで自己バイアス電圧を増大させることができる。具体的には、自己バイアス電圧を400V以上にして酸化物半導体膜を形成することが好ましい。

## 【0069】

また、上記のように酸素雰囲気中で形成すると、例えば、基板101に加える温度を300以上としても、形成される膜中からZnの放出が抑えられる。

40

## 【0070】

また、処理室201内の残留水分を除去しつつ水素及び水分が除去された高純度なスパッタリングガス(ここでは酸素)を導入し、上記ターゲットを用いて基板101上に酸化物半導体膜を形成する。処理室201内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室201は、例えば、水素原子、水( $H_2O$ )など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、処理室201で形成した酸化物半導体膜に含まれる不純物の濃度

50

を低減できる。

【0071】

そして、形成した酸化物半導体膜を加熱処理する。例えば、300 以上700 以下、又は基板の歪み点未満とする。当該加熱処理は減圧下、窒素雰囲気下、酸素雰囲気下、又は希ガス雰囲気下などで行うことができる。当該加熱処理によって、形成した酸化物半導体膜に含まれる水素を除去することができる。

【0072】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) 装置、LRTA (Lamp Rapid Thermal Annealing) 装置等のRTA (Rapid Thermal Annealing) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。また、本発明の一態様であるトランジスタの作製方法における加熱処理には、ここで列挙した加熱処理装置を適宜用いることができる。

【0073】

なお、加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上好ましくは7N (99.99999%) 以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0074】

また、酸化物半導体膜を加熱した後、同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）を導入してもよい。酸素ガス又は一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する酸素ガス又は一酸化二窒素ガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガス又は一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体膜を高純度化、及びi型（真性）化又は実質的にi型化することができる。

【0075】

上記した方法により、膜中に含まれる水素及び酸素欠損が低減された酸化物半導体膜を形成することができる。換言すると、高純度且つ高抵抗な酸化物半導体膜を形成することができる。具体的には、電子スピン共鳴法によって計測されるg（g値）が1.93付近の信号のピークから算出されたスピン密度が $9.3 \times 10^{16} \text{ spins/cm}^3$ 未満であり、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下であり、さらに好ましくは検出下限以下であり、キャリア密度が $1 \times 10^{15} / \text{cm}^3$ 未満である酸化物半導体膜を形成することができる。

【0076】

トランジスタの作製方法

次に、トランジスタ100の作製方法について、図面を用いて説明する。

【0077】

まず、基板101を準備し、基板101上に下地絶縁膜103を形成し、下地絶縁膜103上に酸化物半導体膜154を形成する（図3（A）参照）。

## 【0078】

基板101に大きな制限はないが、絶縁表面を有することが好ましく、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが好ましい。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板などの電子工業用に使われる各種ガラス基板を用いることができる。なお、基板としては、熱膨張係数が $25 \times 10^{-7} /$ 以上 $50 \times 10^{-7} /$ 以下（好ましくは、 $30 \times 10^{-7} /$ 以上 $40 \times 10^{-7} /$ 以下）であり、歪み点が650以上750以下（好ましくは、700以上740以下）である基板を用いることが好ましい。

## 【0079】

第5世代（1000mm×1200mm又は1300mm×1500mm）、第6世代（1500mm×1800mm）、第7世代（1870mm×2200mm）、第8世代（2200mm×2500mm）、第9世代（2400mm×2800mm）、第10世代（2880mm×3130mm）などの大型ガラス基板を用いる場合、半導体装置の作製工程における加熱処理などで生じる基板の縮みによって、微細な加工が困難になる場合がある。そのため、前述したような大型ガラス基板を基板として用いる場合、縮みの少ないものを用いることが好ましい。例えば、基板として、好ましくは450、好ましくは500の温度で1時間加熱処理を行った後の縮み量が20ppm以下、好ましくは10ppm以下、さらに好ましくは5ppm以下である大型ガラス基板を用いればよい。

## 【0080】

また、基板101として、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもできる。これらの基板上に半導体素子が設けられたものを用いてもよい。

## 【0081】

また、基板101として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上にトランジスタ100を直接作製してもよいし、他の作製基板にトランジスタ100を作製し、その後、剥離し、可撓性基板に転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタ100との間に剥離層を設けるとよい。可撓性基板としては、ポリイミド又はポリエステルなどの有機樹脂で形成された基板がある。

## 【0082】

本実施の形態において、基板101はガラス基板を用いる。

## 【0083】

下地絶縁膜103は、基板101からの水素、水分などの不純物元素が酸化物半導体膜105に拡散することを抑制する絶縁膜である。また、下地絶縁膜103は、トランジスタ100の作製工程で、加熱することによって、酸素の一部を酸化物半導体膜に供給し、酸化物半導体膜中の酸素欠損を修復できる効果を有することが好ましい。従って、下地絶縁膜103は、酸素を含む絶縁膜が好ましい。

## 【0084】

例えば、下地絶縁膜103は、酸化シリコン、酸化ガリウム、若しくは酸化アルミニウムなどの酸化絶縁膜、又は酸化窒化シリコン、酸化窒化アルミニウムなどの酸化窒化絶縁膜、若しくは窒化酸化シリコンなどの窒化酸化絶縁膜から選ばれた一の絶縁膜、又は複数積層された絶縁膜とすることができる。なお、「窒化酸化シリコン」とは、その組成として、酸素よりも窒素の含有量が多いものをいい、「酸化窒化シリコン」とは、その組成として、窒素よりも酸素の含有量が多いものをいう。

## 【0085】

下地絶縁膜103は、上記列挙した材料を用いて、化学気相成長（CVD：Chemical Vapor Deposition）法、スパッタリング法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、又はパルスレーザ堆積（PLD：Pulsed Laser Deposition）法によって形成するこ

10

20

30

40

50

とができる。

【 0 0 8 6 】

また、トランジスタ 1 0 0 の作製工程で、加熱することによって、下地絶縁膜 1 0 3 の酸素の一部を酸化物半導体膜に供給するためには、下地絶縁膜 1 0 3 は加熱することによって酸素の一部を放出する絶縁膜であることが好ましい。具体的には、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算した酸素の放出量が  $1.0 \times 10^{18} \text{ cm}^{-2}$  以上、好ましくは  $3.0 \times 10^{20} \text{ cm}^{-2}$  以上である、絶縁膜であることが好ましい。

【 0 0 8 7 】

以下、酸素の放出量を TDS 分析で酸素原子に換算して定量する方法について説明する。

10

【 0 0 8 8 】

TDS 分析したときの気体の放出量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

【 0 0 8 9 】

例えば、標準試料である所定の密度の水素を含むシリコンウェハの TDS 分析結果、及び絶縁膜の TDS 分析結果から、絶縁膜の酸素分子の放出量 ( $\text{N}_{\text{O}_2}$ ) は、数式 1 で求めることができる。ここで、TDS 分析で得られる質量数 32 で検出されるスペクトルの全

20

てが酸素分子由来と仮定する。質量数 32 のものとして  $\text{CH}_3\text{OH}$  があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 17 の酸素原子及び質量数 18 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【 0 0 9 0 】

【数 1】

$$\text{N}_{\text{O}_2} = \frac{\text{N}_{\text{H}_2}}{\text{S}_{\text{H}_2}} \times \text{S}_{\text{O}_2} \times \alpha$$

30

【 0 0 9 1 】

$\text{N}_{\text{H}_2}$  は、標準試料から脱離した水素分子を密度で換算した値である。 $\text{S}_{\text{H}_2}$  は、標準試料を TDS 分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 $\text{N}_{\text{H}_2} / \text{S}_{\text{H}_2}$  とする。 $\text{S}_{\text{O}_2}$  は、絶縁膜を TDS 分析したときのスペクトルの積分値である。 $\alpha$  は、TDS 分析におけるスペクトル強度に影響する係数である。数式 1 の詳細に関しては、特開平 6 - 2 7 5 6 9 7 公報を参照できる。なお、上記した酸素の放出量の数値は、電子科学株式会社製の昇温脱離分析装置 EMD - WA 1 0 0 0 S / W を用い、標準試料として  $1 \times 10^{16} \text{ cm}^{-2}$  の水素原子を含むシリコンウェハを用いて測定した数値である。

【 0 0 9 2 】

40

また、TDS 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の  $\alpha$  は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【 0 0 9 3 】

なお、 $\text{N}_{\text{O}_2}$  は酸素分子の放出量である。絶縁膜においては、酸素原子に換算したときの酸素の放出量は、酸素分子の放出量の 2 倍となる。

【 0 0 9 4 】

加熱することによって酸素の一部を放出する絶縁膜は、化学量論的組成より多くの酸素を含む絶縁膜があり、例えば、酸素が過剰に含まれている酸化窒化シリコン、又は酸素が

50

過剰に含まれている酸化シリコン ( $\text{SiO}_x$  ( $x > 2$ )) 膜がある。酸素が過剰に含まれている酸化シリコン ( $\text{SiO}_x$  ( $x > 2$ )) 膜とは、シリコン原子数の2倍より多い酸素原子を単位体積あたりに含むものである。単位体積あたりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

【0095】

化学量論的組成より多くの酸素を含む絶縁膜は、例えば、上記列挙した材料及び作製方法を用いて形成した絶縁膜に、イオンインプランテーション法又はイオンドーピング法を用いて酸素イオンを注入することで形成することができる。

【0096】

また、下地絶縁膜103は、基板側にバイアス電力を供給しながら行うスパッタリング法で形成してもよい。当該スパッタリング法を用いることで、下地絶縁膜103として、化学量論的組成より多くの酸素を含む絶縁膜を形成できる。以下に、その作製方法の詳細を記す。

【0097】

酸化物絶縁膜の作製方法

下地絶縁膜103として、絶縁性を有する酸化物材料を用いた酸化膜（以下、酸化物絶縁膜と記す。）を形成する場合、当該酸化物材料としては、酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム若しくは酸化アルミニウムなどの酸化物、又は酸化窒化シリコン、若しくは酸化窒化アルミニウムなどの酸化窒化物、又は窒化酸化シリコンなどの窒化酸化物を用いることができる。

【0098】

上記したスパッタリング法を用いた酸化物半導体膜の作製方法において、ターゲット207を酸化物半導体のターゲットから上記列挙した絶縁性を有する酸化物材料のターゲットに変更すればよい。

【0099】

具体的なターゲット207としては、上記酸化物材料のターゲット又はシリコンターゲットなどのような非酸化物ターゲットを用いることができる。なお、形成する酸化絶縁膜中に酸素を含有しやすくするためには、酸化物ターゲットを用いることが好ましい。

【0100】

基板101を基板支持台205に設置する工程、処理室201内を真空排気する工程、スパッタリングガスの酸素をガス供給手段204から処理室201に供給し、処理室201内の圧力を制御する工程は、上記した酸化物半導体膜の作製方法と同じであり、上記を参照できる。

【0101】

その後、電源211を用いて電極203に電力を供給し、処理室201に酸素プラズマを発生させ、酸化絶縁膜を形成する工程は、上記した酸化物半導体膜の作製方法と同じであり、上記を参照できる。

【0102】

また、このとき、電源215を用いて基板支持台205にDC電力、AC電力又はRF電力を供給し、基板101側にバイアス電力を供給して、酸素プラズマと基板101の間に自己バイアス電圧を発生させる。例えば、当該酸素プラズマ中の酸素イオンが、基板101側に移動しやすくなるようにバイアス電力を供給する。すなわち、基板101側が発生した酸素プラズマの電位に対して負電位となるようにバイアス電力を供給することが好ましい。

【0103】

例えば、基板101側にバイアス電力としてRF電力を供給して自己バイアス電圧を発生させると、基板101側は発生した酸素プラズマの電位に対して負電位となるため、酸素プラズマ中に含まれる酸素イオン（代表的には $\text{O}^+$ や $\text{O}_2^+$ など）は基板101に移動しやすくなる。つまり、酸素プラズマ中に存在する酸素イオンによってターゲット207から叩き出された原子が基板101に堆積する際に、基板101に酸素イオンも移動して

10

20

30

40

50

くことを利用して、酸素イオンを取り込ませながら酸化絶縁膜を形成する。このように、酸素イオンを取り込ませながら酸化絶縁膜を形成することで、膜中の酸素含有量が増大した下地絶縁膜 103 を形成することができる。

【0104】

また、自己バイアス電圧を制御することで、酸化絶縁膜中に取り込まれる酸素イオンの量を変化させることができる。例えば、自己バイアス電圧を増大させると、形成される酸化絶縁膜に取り込まれる酸素イオンを多くすることができ、自己バイアス電圧を増大させるためには基板 101 側に供給するバイアス電力を高くする。具体的には、自己バイアス電圧を 400 V 以上にして酸化絶縁膜を形成することが好ましい。

【0105】

また、処理室 201 内の残留水分を除去しつつ水素及び水分が除去された高純度なスパッタリングガス（ここでは酸素）を導入することが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室 201 は、例えば、水素原子、水（ $H_2O$ ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、処理室 201 で形成した酸化絶縁膜に含まれる不純物の濃度を低減できる。

【0106】

上記方法を用いて形成した酸化絶縁膜は、当該酸化絶縁膜中には酸素が過剰に含まれているといえ、化学量論的組成よりも多くの酸素を含む。

【0107】

また、下地絶縁膜 103 に含まれる水素は、トランジスタ 100 の作製工程中に酸化物半導体膜 105 に拡散し、酸化物半導体膜 105 を低抵抗化させ、トランジスタ 100 の電気特性を不良にすることがある。そこで、下地絶縁膜 103 は、水素が低減されていることが好ましい。

【0108】

下地絶縁膜 103 に含まれる水素、水分を除去するため、酸素イオンを注入する前に、減圧下、窒素雰囲気下、酸素雰囲気下、又は希ガス雰囲気下などで、300 以上 700 以下、又は基板の歪み点未満とした加熱処理を行うことが好ましい。

【0109】

また、下地絶縁膜 103 の厚さは、5 nm 以上 3000 nm 以下とすればよく、ここでは 300 nm 形成するものとする。

【0110】

本実施の形態では、下地絶縁膜 103 は、化学量論的組成よりも多くの酸素を含む絶縁膜、具体的には、酸素が過剰に含まれている酸化窒化シリコン膜を用いる。

【0111】

なお、下地絶縁膜 103 は設けなくてもよく、基板 101 に直接、酸化物半導体膜を形成してもよい。例えば、基板 101 に可撓性基板を用いた場合、可撓性基板に下地絶縁膜 103 を形成した上に酸化物半導体膜を形成してもよく、可撓性基板に直接、酸化物半導体膜を形成してもよい。

【0112】

酸化物半導体膜 154 に用いる酸化物半導体としては、2 以上の金属元素を有する金属酸化物が挙げられる。例えば、少なくともインジウムを含む酸化物半導体が好ましい。又は、少なくともインジウム（In）及び亜鉛（Zn）を含む酸化物半導体であって、当該酸化物半導体の組成が、亜鉛よりインジウムのほうが大きいものが好ましい。そして、トランジスタの電気特性のばらつきを低減させるために、当該酸化物半導体にスタビライザーとして、ガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、アルミニウム（Al）、及びジルコニウム（Zr）から選ばれる 1 以上の元素を有することが好ましい。

【0113】

なお、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウ

10

20

30

40

50

ム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

#### 【0114】

具体的には、2種類の金属を含む酸化物である In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、3種類の金属を含む酸化物である In-Ga-Zn系酸化物 (IGZOとも表記する。)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、4種類の金属を含む酸化物である In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物などを用いることができる。なお、2以上の金属元素を有する金属酸化物の代わりに、酸化インジウムを用いることができる。

10

#### 【0115】

例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、組成は、亜鉛よりインジウムのほうが大きいことが好ましい。また、InとGaとZn以外の金属元素が入っていてもよい。

20

#### 【0116】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ 、且つ、 $m$ は整数でない) で表記される材料を用いてもよい。なお、 $M$ は、Ga、Fe、Mn及びCoから選ばれた一の金属元素又は複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ 、且つ、 $n$ は整数) で表記される材料を用いてもよい。

#### 【0117】

例えば、In、Ga、Znの原子数比が  $\text{In} : \text{Ga} : \text{Zn} = a : b : c$  ( $a + b + c = 1$ ) である酸化物を用いることができる。また、In、Ga、Znの原子数比が  $\text{In} : \text{Ga} : \text{Zn} = a : b : c$  ( $a + b + c = 1$ ) である酸化物の組成において近傍の酸化物を用いることができる。なお、原子数比が  $\text{In} : \text{Ga} : \text{Zn} = A : B : C$  ( $A + B + C = 1$ ) の酸化物の組成の近傍であるとは、 $a$ 、 $b$ 、 $c$ が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$  を満たすことをいう。 $r$ としては、例えば、0.05とすればよい。他の酸化物でも同様である。

30

例えば、In-Ga-Zn系酸化物としては、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$  ( $= 1/3 : 1/3 : 1/3$ )、 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$  ( $= 2/5 : 2/5 : 1/5$ )、又は  $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$  ( $= 1/2 : 1/6 : 1/3$ ) の原子数比の In-Ga-Zn系酸化物、若しくはその組成の近傍の酸化物を用いることができる。

#### 【0118】

40

また、In-Sn-Zn系酸化物では比較的容易に高い電界効果移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低くすることにより電界効果移動度を上げることができる。

#### 【0119】

例えば、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$  ( $= 1/3 : 1/3 : 1/3$ )、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$  ( $= 1/3 : 1/6 : 1/2$ )、又は  $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$  ( $= 1/4 : 1/8 : 5/8$ ) の原子数比の In-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

#### 【0120】

また、下地絶縁膜 103 と酸化物半導体膜 154 とを大気に解放せずに連続的に形成す

50



ることが好ましい。下地絶縁膜 103 と酸化物半導体膜 154 とを大気に曝露せずに連続して形成すると、下地絶縁膜 103 表面に水素や水分などの不純物が吸着することを防止することができる。

【0121】

本実施の形態では、酸化物半導体膜 154 として IGO 膜を 20 nm 形成する。

【0122】

下地絶縁膜 103 上に上記した作製方法で酸化物半導体膜を形成すると、当該酸化物半導体膜は下地絶縁膜 103 に接した状態で加熱処理が行われることになる。この場合、下地絶縁膜 103 に含まれる酸素の一部が当該加熱処理によって脱離し当該酸化物半導体膜に供給されることで、当該酸化物半導体膜と下地絶縁膜 103 との界面準位密度を低減でき、上記した作製方法で形成した酸化物半導体膜中の酸素欠損を修復することができる。

10

【0123】

当該加熱処理は、酸化物半導体膜 154 を所望の形状に加工する前に行うことが好ましい。このようにすることで、下地絶縁膜 103 に含まれる酸素が当該加熱処理によって外部に放出されることを防止できるため好ましい。

【0124】

上記した作製方法で酸化物半導体膜を形成した後、フォトリソグラフィ工程及びエッチング工程により酸化物半導体膜 105 に加工する（図 3（B）参照）。また、酸化物半導体膜 105 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィを使用しないため、製造コストを低減できる。以降の作製工程において行うフォトリソグラフィ工程の代わりに、インクジェット法などでレジストマスクを形成することができる。

20

【0125】

なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO7N（関東化学社製）を用いてもよい。

【0126】

なお、酸化物半導体膜は、所望の形状に加工してもよいし、形状を加工せず、膜状のままでもよい。また、酸化物半導体膜を素子ごとに分離する絶縁膜からなる素子分離領域を設けてもよい。

30

【0127】

次に、下地絶縁膜 103 及び酸化物半導体膜 105 上に、ゲート絶縁膜 113 に加工される絶縁膜 156 を形成し、絶縁膜 156 上にゲート電極 117 に加工される導電膜 157 を形成する（図 3（C）参照）。

【0128】

ゲート絶縁膜 113 は、下地絶縁膜 103 と同様の構成及び方法で形成できる。ゲート絶縁膜 113 に、加熱することによって酸素の一部を放出する絶縁膜を適用することで、トランジスタ 100 の作製工程の加熱処理によって、放出する酸素を酸化物半導体膜に供給することができ、酸化物半導体膜中（特にチャネル形成領域）の酸素欠損を修復することができる。このようにすることで、良好な電気特性を有するトランジスタ 100 の作製することができる。

40

【0129】

さらに、ゲート絶縁膜 113 には、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $\text{HfSi}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、ハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、酸化ランタンなどの high-k 材料を用いることができる。このような材料を用いることでゲートリーク電流を低減できる。

【0130】

絶縁膜 156 は、5 nm 以上 200 nm 以下とする。また、オン電流及び電界効果移動

50

度を向上させるために、ゲート絶縁膜 113 に加工される絶縁膜 156 は薄く形成することが好ましい。例えば、5 nm 以上 20 nm 以下とすることが好ましく、5 nm 以上 10 nm 以下とすることがさらに好ましい。

【0131】

また、 $\mu$ 波（周波数 2.45 GHz）を用いた高密度プラズマ CVD 法は、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できる。例えば、シランガスと一酸化窒素とを原料ガスとして高密度プラズマ CVD 法により、酸化窒化シリコン膜を形成してもよい。なお、原料ガスの他に希釈ガスとしてアルゴン又は窒素を用いてもよい。

【0132】

ここでは絶縁膜 156 として、プラズマ CVD 法で形成した酸化窒化シリコン膜に、イオンインプラネーション法又はイオンドーピング法を用いて酸素イオンを注入して酸素が過剰に含まれている酸化窒化シリコン膜を形成する。なお、本実施の形態では酸素が過剰に含まれている酸化窒化シリコン膜を 20 nm 形成する。

10

【0133】

また、絶縁膜 156 は、下地絶縁膜 103 と同様の方法を用いることで、酸素が過剰に含まれている酸化窒化シリコン膜を形成することができる。

【0134】

また、絶縁膜 156 に含まれる水素は、トランジスタ 100 の作製工程中に酸化物半導体膜に拡散し、酸化物半導体膜を低抵抗化させ、トランジスタ 100 の電気特性を不良にすることがある。そこで、絶縁膜 156 は、水素が低減されていることが好ましい。そこで、下地絶縁膜 103 と同様に、絶縁膜 156 として形成した酸化窒化シリコン膜を脱水素化又は脱水化するための加熱処理を行ってもよい。当該加熱処理は、減圧下、窒素雰囲気下、酸素雰囲気下、又は希ガス雰囲気下などで、300 以上 700 以下、又は基板 101 の歪み点未満で行えばよい。なお、当該加熱処理によって、絶縁膜 156 から放出される酸素の一部が酸化物半導体膜 105 に供給される。これにより、酸化物半導体膜 105 に含まれる酸素欠損を低減させることができ、良好な電気特性を有し、高性能な半導体装置を作製することができる。

20

【0135】

ゲート電極 117 に適用可能な材料は、例えば、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム、クロム等の金属材料、又はこれらを含む合金材料で形成されている。また、ゲート電極 117 としては、導電性の金属酸化物材料を用いて形成されていてもよい。導電性の金属酸化物としては酸化インジウム ( $\text{In}_2\text{O}_3$ )、酸化スズ ( $\text{SnO}_2$ )、酸化亜鉛 ( $\text{ZnO}$ )、インジウムスズ酸化物 ( $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITO と略記する場合がある)、インジウム亜鉛酸化物 ( $\text{In}_2\text{O}_3 - \text{ZnO}$ )、又は、これらの金属酸化物材料にシリコン、又は酸化シリコンを含有させたもので形成されていてもよい。また、ゲート電極 117 としては、導電性の金属窒化物材料を用いて形成されていてもよい。

30

【0136】

また、ゲート電極 117 は、上記の材料を用いた単層構造、又は積層構造で形成することができる。例えば、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、窒化タンタル膜上にタングステン膜を積層する二層構造、窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。なお、酸化インジウム、酸化スズ又は酸化亜鉛を含む透明導電材料で形成されていてもよい。

40

【0137】

また、ゲート電極 117 とゲート絶縁膜 113 との間に、窒素を含む  $\text{In} - \text{Ga} - \text{Zn} - \text{O}$  膜や、窒素を含む  $\text{In} - \text{Sn} - \text{O}$  膜や、窒素を含む  $\text{In} - \text{Ga} - \text{O}$  膜や、窒素を含む  $\text{In} - \text{Zn} - \text{O}$  膜や、窒素を含む  $\text{Sn} - \text{O}$  膜や、窒素を含む  $\text{In} - \text{O}$  膜や、金属窒化膜（窒化インジウム膜、窒化亜鉛膜、窒化タンタル膜、窒化タングステン膜など）を設けるこ

50

とが好ましい。これらの膜は5 e V以上、好ましくは5 . 5 e V以上の仕事関数を有し、トランジスタ100の電気特性において、しきい値電圧をプラスにすることができ、トランジスタ100を所謂ノーマリーオフのトランジスタとすることができる。例えば、窒素を含むIn - Ga - Zn - O膜を用いる場合、少なくとも酸化物半導体膜105より高い窒素濃度、具体的には、窒素原子を7原子%以上のIn - Ga - Zn - O膜を用いる。

#### 【0138】

また、導電膜157は、CVD法、スパッタリング法、MBE法、PLD法、又は真空蒸着法によって形成することができる。本実施の形態では、絶縁膜156上に、導電膜157としてスパッタリング法で窒化タンタル膜を30 nm形成し、当該窒化タンタル膜上にタングステン膜を200 nm形成する。

10

#### 【0139】

次に、フォトリソグラフィ工程及びエッチング工程により、導電膜157を加工してゲート電極117を形成し、絶縁膜156を加工してゲート絶縁膜113を形成する(図3(D)参照)。ここでのエッチング工程は、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

#### 【0140】

次に、下地絶縁膜103、酸化物半導体膜105、ゲート絶縁膜113及びゲート電極117を覆って絶縁性を有する金属酸化膜121を形成し、絶縁性を有する金属酸化膜121上に層間絶縁膜123を形成する(図4(A)参照)。

#### 【0141】

絶縁性を有する金属酸化膜121は、ゲート絶縁膜113とは異なる種類の無機絶縁膜で形成されていることが好ましく、特に緻密性の高い無機絶縁膜で形成されていることが好ましい。緻密性の高い無機絶縁膜として、例えば、スパッタリング法により形成された酸化アルミニウム膜が挙げられる。酸化アルミニウム膜を高密度(膜密度3 . 2 g / cm<sup>3</sup>以上、好ましくは3 . 6 g / cm<sup>3</sup>以上)とすることによって、外気中の水分などの不純物が酸化物半導体膜105に侵入すること抑制する効果を得ることができる。また、トランジスタ100の構成要素に含まれる酸素がトランジスタ100の外部に放出されることを防止する効果を得ることができる。従って、絶縁性を有する金属酸化膜121は、トランジスタ100の作製工程中及び作製後において、水分などの酸化物半導体膜105(特にチャネル形成領域)への混入を防止するバリア膜として、さらに酸化物半導体膜105を構成する主成分材料である酸素の放出を防止するバリア膜として機能するため、良好な電気特性を有するトランジスタ100を作製することができる。なお、膜密度はラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)や、X線反射率測定法(XRR: X-Ray Reflection)によって測定することができる。

20

30

#### 【0142】

ここでは、絶縁性を有する金属酸化膜121として、スパッタリング法により酸化アルミニウム膜を形成する。また、絶縁性を有する金属酸化膜121は、5 nm以上200 nm以下、より好ましくは5 nm以上50 nm以下とするとよく、ここでは、酸化アルミニウム膜を20 nm形成する。

40

#### 【0143】

層間絶縁膜123は、下地絶縁膜103で説明した材料及び方法で形成できる。本実施の形態では、プラズマCVD法で形成した酸化窒化シリコン膜を400 nm形成する。

#### 【0144】

少なくとも絶縁性を有する金属酸化膜121を形成した後に、加熱処理を行うことが好ましい。当該加熱処理は、下地絶縁膜103上に酸化物半導体膜154を形成した後に行う加熱処理と同様にして行うことができる。当該加熱処理によって、下地絶縁膜103及びゲート絶縁膜113に含まれる酸素の一部が、下地絶縁膜103と酸化物半導体膜105(特にチャネル形成領域)の界面、ゲート絶縁膜113と酸化物半導体膜105(特にチャネル形成領域)の界面、及び酸化物半導体膜105に供給され、それぞれの界面準位

50

密度を低減し、酸化物半導体膜 105 中の酸素欠損を修復することができる。

【0145】

また、絶縁性を有する金属酸化膜 121 は、下地絶縁膜 103 及びゲート絶縁膜 113 に含まれる酸素が外部に放出されることを防止する効果を有するため、効率よく且十分に界面準位密度を低減することができ、酸素欠損を修復することができる。それゆえ、トランジスタ 100 は、トランジスタの動作などに起因して、下地絶縁膜 103 及びゲート絶縁膜 113 と酸化物半導体膜 105 との界面にキャリアが捕獲されることを抑制されており、信頼性に優れたトランジスタである。また、酸化物半導体膜 105 は、酸素欠損に起因した電子が低減されており、絶縁性を有する金属酸化膜 121 は、外気の水素、水分などの不純物が外部から侵入することを防止する効果も有することから、トランジスタ 100 は信頼性に優れたトランジスタである。なお、層間絶縁膜 123 を形成した後に当該加熱処理を行うことで、層間絶縁膜 123 に含まれる水素や水分は除去できる。

10

【0146】

次に、絶縁性を有する金属酸化膜 121 及び層間絶縁膜 123 に、フォトリソグラフィ工程及びエッチング工程を行って、酸化物半導体膜 105 に達する開口 125 a、125 b を形成する（図 4（B）参照）。当該開口 125 a、125 b に、導電膜を形成し、フォトリソグラフィ工程及びエッチング工程によって、ソース電極 127 a 及びドレイン電極 127 b を形成する（図 1（B）参照）。

【0147】

ソース電極 127 a 及びドレイン電極 127 b は、ゲート電極 117 で説明した材料及び方法で形成することができる。この他に、ソース電極 127 a 及びドレイン電極 127 b は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム、クロムを成分とする金属窒化物材料（窒化チタン、窒化モリブデン、窒化タングステン）を用いてもよい。また、アルミニウム、銅などの金属材料の下側若しくは上側の一方、又は双方にチタン、モリブデン、タングステンなどの高融点金属材料、又は当該高融点金属材料の金属窒化物材料（窒化チタン、窒化モリブデン、窒化タングステン）が設けられた積層構造としてもよい。本実施の形態では、チタン、アルミニウム及びチタンを順に積層させて、ソース電極 127 a 及びドレイン電極 127 b を形成する。

20

【0148】

また、トランジスタ起因の表面凹凸を低減するために層間絶縁膜 123 上に平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン系樹脂などの有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

30

【0149】

また、絶縁膜 156 及び導電膜 157 をゲート絶縁膜 113 及びゲート電極 117 に加工する工程において、導電膜 157 だけを加工し、絶縁膜 156 に開口を設けることで、絶縁膜 156 がゲート絶縁膜であるトランジスタを作製できる（図 5 参照）。なお、導電膜 157 だけを加工するには、絶縁膜 156 と導電膜 157 のエッチング選択比が大きいエッチング条件で加工すればよい。

40

【0150】

以上より、酸素雰囲気下で基板側にバイアス電力を供給して、自己バイアス電圧を制御しながらスパッタリング法で酸化物半導体膜を形成し、加熱処理をすることで、膜中に過剰な酸素を含み、膜中の水素及び酸素欠損を低減された酸化物半導体膜を形成することができる。当該酸化物半導体膜を用いて作製したトランジスタは、酸化物半導体膜中に含まれる水素及び酸素欠損に起因する電荷が低減されているため、少なくとも、しきい値電圧のマイナス方向への変動が抑制され、オフ電流が低減されたトランジスタである。そして、本発明の一態様より、良好な電気特性を有し、高性能な半導体装置を提供することができる。

【0151】

50

なお、本実施の形態に記載の構成、方法などは、他の実施の形態及び実施例に記載の構成、方法などと適宜、組み合わせて用いることができる。

#### 【0152】

##### (実施の形態2)

本実施の形態では、先の実施の形態で説明した半導体装置とは構造が一部異なる半導体装置について説明する。なお、本実施の形態においても半導体装置をトランジスタとして説明する。また、本実施の形態は、先の実施の形態で用いた図面(符号及びハッチングを含む。)及び説明を適宜用い、重複する説明は省略することがある。

#### 【0153】

本実施の形態で説明するトランジスタは、先の実施の形態で説明したトランジスタにおいて、酸化物半導体膜にチャネル形成領域として機能する第1の領域と、第1の領域よりも低抵抗であり、ソース領域及びドレイン領域として機能する一対の第2の領域とを有する。第1の領域及び一対の第2の領域は、ゲート電極をマスクとして用いてドーパントを注入することにより、自己整合的に形成することができる。

10

#### 【0154】

##### トランジスタの構成例

図6(A)及び図6(B)に、トランジスタ200の上面図及び断面図を示す。図6(A)は、トランジスタ200の上面図であり、図6(B)は、図6(A)の一点鎖線A-B間の断面図である。なお、図6(A)では、明瞭化のため、トランジスタ200の構成要素の一部(例えば、基板101、下地絶縁膜103、及びゲート絶縁膜113など)を省略している。

20

#### 【0155】

図6(A)及び図6(B)より、トランジスタ200は、基板101上に下地絶縁膜103が設けられており、下地絶縁膜103上に酸化物半導体膜106が設けられており、酸化物半導体膜106上にゲート絶縁膜113が設けられており、ゲート絶縁膜113上にゲート電極117が設けられており、下地絶縁膜103、酸化物半導体膜106、ゲート絶縁膜113、及びゲート電極117上に絶縁性を有する金属酸化膜121が設けられており、絶縁性を有する金属酸化膜121上に層間絶縁膜123が設けられており、絶縁性を有する金属酸化膜121及び層間絶縁膜123に形成された開口125a、125bを介して、酸化物半導体膜106に接するソース電極127a及びドレイン電極127bが設けられている。なお、下地絶縁膜103及び層間絶縁膜123は、設けなくてもよい。

30

#### 【0156】

酸化物半導体膜106は、第1の領域107と、第1の領域107を介して対向する一対の第2の領域109a、109bと、を有する。酸化物半導体膜106において、第1の領域107はドーパントを含まない領域であり、一対の第2の領域109a、109bはドーパントを含む領域である。そして、一対の第2の領域109a、109bの抵抗は、第1の領域107の抵抗よりも低い。

#### 【0157】

一対の第2の領域109a、109bに含まれるドーパント濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

40

#### 【0158】

ゲート電極117は、ゲート絶縁膜113を介して、酸化物半導体膜106の第1の領域107と対向して設けられている。ソース電極127aおよびドレイン電極127bは、一対の第2の領域109a、109bの上面に接して設けられている。従って、ゲート絶縁膜113を介してゲート電極117と重畳する第1の領域107は、チャネル形成領域として機能し、一対の第2の領域109a、109bは、ソース領域及びドレイン領域として機能する。

#### 【0159】

酸化物半導体膜106において、チャネル形成領域として機能する第1の領域107は

50

、膜中に含まれる水素及び酸素欠損が低減された、高純度且つ高抵抗な酸化物半導体膜である。具体的には、第1の領域107は、電子スピン共鳴法によって計測される $g$  ( $g$  値) が1.93付近の信号のピークから算出されたスピン密度が $9.3 \times 10^{16} \text{ spins/cm}^3$ 未満であり、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下であり、さらに好ましくは検出下限以下であり、キャリア密度が $1 \times 10^{15} / \text{cm}^3$ 未満である。

【0160】

また、第1の領域107の水素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。なお、当該水素濃度はSIMSで測定される数値である。

【0161】

トランジスタ200は、トランジスタ100と同様にトップゲート構造のトランジスタである。トランジスタ200において、酸化物半導体膜106に適用できる材料をはじめ、基板101、下地絶縁膜103、ゲート絶縁膜113、ゲート電極117、絶縁性を有する金属酸化膜121、層間絶縁膜123、ソース電極127a及びドレイン電極127bの詳細は、実施の形態1での説明と同様である。

【0162】

また、酸化物半導体を用いたトランジスタにおいては、チャネル長が短くすることでしきい値電圧の変動など電気特性劣化が現れる場合がある。そこで、トランジスタ200のように、一対の第2の領域109a、109bが第1の領域107の両端に設けられることで、酸化物半導体膜106のソース領域及びドレイン領域間に加わる電界、特にドレイン領域近傍における電界集中を緩和することができるため、当該電気特性劣化を抑制できる。また、電界集中を緩和できるため、当該電界集中によってトランジスタが破壊されることを抑制することができる。

【0163】

さらに、一対の第2の領域109a、109bは抵抗が低減されているため、ソース電極127a及びドレイン電極127bとの接触抵抗は低減されている。

【0164】

上記より、トランジスタ200は、良好な電気特性を有し、電気特性劣化を抑制されたトランジスタである。具体的には、オフ電流が低減され、オン電流及び電界効果移動度が増大したトランジスタである。さらに、トランジスタ200は、しきい値電圧のマイナス方向への変動が抑制され、且つ耐圧が向上したトランジスタである。

【0165】

トランジスタの作製方法

次に、トランジスタ200の作製方法について、図面を用いて説明する。

【0166】

基板101を準備する工程からゲート絶縁膜113及びゲート電極117を形成する工程までは、トランジスタ100の作製方法と同様にして行うことができる(図3(A)乃至図3(D)参照)。

【0167】

次に、ゲート電極117をマスクにしてドーパント159を酸化物半導体膜105に注入し、第1の領域107、及び、第1の領域107より低抵抗であり、ドーパント159を含む一対の第2の領域109a、109bを有する酸化物半導体膜106を形成する(図7(A)参照)。ドーパント159としてはホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン、ヘリウム、ネオン、アルゴン、クリプトン及びキセノンから選ばれた一種以上の元素を用いればよい。なお、注入する方法は、イオンインプラネーション法又はイオンドーピング法で行えばよい。また、酸化物半導体膜105を低抵抗化するドーパントを含む雰囲気でのプラズマ処理又は加熱処理を行うことで、当該ドーパントを酸化物半導体膜105に注入してもよい。好ましくはイオンインプラネーション法を用いる。

【0168】

ドーパント159の注入は、加速電圧、ドーズ量などの注入条件を適宜設定して行う。例えば、ドーパント159としてリンを用いて、イオンインプランテーション法でリンイオンの注入を行う場合、加速電圧30kV、ドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよく、具体的にはドーズ量を $1 \times 10^{15} \text{ ions/cm}^2$ とすればよい。

【0169】

なお、イオンインプランテーション法にて酸化物半導体膜105にドーパント159を注入した後、加熱処理を行ってもよい。当該加熱処理は、酸素雰囲気下、窒素雰囲気下、減圧下、又は大気（超乾燥エア）下において、300 以上700 以下、又は温度300 以上基板歪み点未満で行う。例えば、酸素雰囲気下において、300 以上450 以下で1時間行うことが好ましい。

10

【0170】

酸化物半導体膜106のドーパント159を含む領域が非晶質である場合、ドーパント159の注入以降のトランジスタ200の作製工程の加熱処理において、第1の領域107に含まれる水素がドーパント159を含む領域に拡散しやすくなる。これにより、第1の領域107の水素が減少し、第1の領域107は高純度化され、ドーパント159を含む領域はさらに低抵抗化する。

【0171】

また、酸化物半導体膜105が結晶性を有する酸化物半導体膜の場合、ドーパント159の注入によって、一部非晶質化することがある。その際は、当該非晶質化した領域が結晶化する温度で加熱処理を行うことで、当該非晶質化した領域の結晶性を回復させることができる。

20

【0172】

次に、下地絶縁膜103、酸化物半導体膜106、ゲート絶縁膜113及びゲート電極117を覆って絶縁性を有する金属酸化膜121を形成する。そして、絶縁性を有する金属酸化膜121上に層間絶縁膜123を形成する（図7（B）参照）。なお、絶縁性を有する金属酸化膜121及び層間絶縁膜123の形成は、トランジスタ100の作製方法と同様にして行うことができる。

【0173】

トランジスタ200の作製方法においてもトランジスタ100の作製方法と同様に、少なくとも絶縁性を有する金属酸化膜121を形成した後に、加熱処理を行うことが好ましい。当該加熱処理によって、下地絶縁膜103及びゲート絶縁膜113に含まれる酸素の一部が、下地絶縁膜103と酸化物半導体膜106（特に第1の領域107）の界面、ゲート絶縁膜113と酸化物半導体膜106（特に第1の領域107）の界面、及び酸化物半導体膜106に供給され、それぞれの界面準位密度を低減し、酸化物半導体膜106中の酸素欠損を修復することができる。

30

【0174】

また、絶縁性を有する金属酸化膜121は、下地絶縁膜103及びゲート絶縁膜113に含まれる酸素が外部に放出されることを防止する効果を有するため、効率よく且十分に当該界面準位密度を低減することができ、酸素欠損を修復することができる。それゆえ、トランジスタ200は、トランジスタの動作などに起因して、下地絶縁膜103及びゲート絶縁膜113と酸化物半導体膜106との界面にキャリアが捕獲されることを抑制されており、信頼性に優れたトランジスタである。また、酸化物半導体膜106は、酸素欠損に起因した電子が低減されており、絶縁性を有する金属酸化膜121は、外気の水素、水分などの不純物が外部から侵入することを防止する効果も有することから、トランジスタ200は信頼性に優れたトランジスタである。なお、層間絶縁膜123を形成した後に当該加熱処理を行うことで、層間絶縁膜123に含まれる水素や水分は除去される。

40

【0175】

次に、先の実施の形態と同様に、絶縁性を有する金属酸化膜121及び層間絶縁膜123に、酸化物半導体膜106の一对の第2の領域109a、109bに達する開口125

50

a、125bを形成する(図7(C)参照)。先の実施の形態と同様に、当該開口125a、125bにソース電極127a及びドレイン電極127bを形成する(図6(B)参照)。

【0176】

また、トランジスタ100と同様に、トランジスタ起因の表面凹凸を低減するために層間絶縁膜123上に平坦化絶縁膜を形成してもよい。

【0177】

また、上記作製方法において、酸化物半導体膜105にドーパント159を注入する際、酸化物半導体膜105に直接注入している。そこで、絶縁膜156をゲート絶縁膜113のように加工せず、絶縁膜156が酸化物半導体膜105を覆った状態とし、絶縁膜156を通過させて酸化物半導体膜105にドーパント159を注入することで酸化物半導体膜106を形成してもよい(図8(A)参照)。そして、絶縁膜156をゲート絶縁膜として用いてもよい(図8(B)参照)。なお、絶縁膜156を通過させてドーパント159を酸化物半導体膜105に注入した後、第1の領域107のみと重畳するように絶縁膜156を加工し、トランジスタ200を作製してもよい(図6(B)参照)。

【0178】

以上より、本発明の一態様より、良好な電気特性を有し、高性能な半導体装置を提供することができる。

【0179】

なお、本実施の形態に記載の構成、方法などは、他の実施の形態及び実施例に記載の構成、方法などと適宜、組み合わせて用いることができる。

【0180】

(実施の形態3)

本実施の形態では、先の実施の形態で説明した半導体装置とは構造が一部異なる半導体装置について説明する。なお、本実施の形態においても半導体装置をトランジスタとして説明する。また、本実施の形態は、先の実施の形態で用いた図面(符号及びハッチングを含む。)及び説明を適宜用い、重複する説明は省略することがある。

【0181】

本実施の形態で説明するトランジスタは、先の実施の形態で説明したトランジスタにおいて、酸化物半導体膜に第1の領域と、第1の領域よりも低抵抗である一対の第2の領域と、一対の第2の領域よりも低抵抗である一対の第3の領域を有する。第1の領域、一対の第2の領域及び一対の第3の領域は、ドーパントを注入する際、ゲート電極及びゲート電極の側面に接して設けられたサイドウォール絶縁膜によって自己整合的に形成される。

【0182】

トランジスタの構成例

図9(A)及び図9(B)に、トランジスタ300の上面図及び断面図を示す。図9(A)は、トランジスタ300の上面図であり、図9(B)は、図9(A)の一点鎖線A-B間の断面図である。なお、図9(A)では、明瞭化のため、トランジスタ300の構成要素の一部(例えば、基板101、下地絶縁膜103、及びゲート絶縁膜113など)を省略している。

【0183】

図9(A)及び図9(B)より、トランジスタ300は、基板101上に下地絶縁膜103が設けられており、下地絶縁膜103上に酸化物半導体膜130が設けられており、酸化物半導体膜130上にゲート絶縁膜113が設けられており、ゲート絶縁膜113上にゲート電極117が設けられており、ゲート電極117及びゲート絶縁膜113に接してサイドウォール絶縁膜119が設けられており、下地絶縁膜103、酸化物半導体膜130、ゲート絶縁膜113、サイドウォール絶縁膜119及びゲート電極117上に絶縁性を有する金属酸化膜121が設けられており、絶縁性を有する金属酸化膜121上に層間絶縁膜123が設けられており、絶縁性を有する金属酸化膜121及び層間絶縁膜123に形成された開口125a、125bを介して、酸化物半導体膜130に接するソース



電極 1 2 7 a 及びドレイン電極 1 2 7 b が設けられている。なお、下地絶縁膜 1 0 3 及び層間絶縁膜 1 2 3 は、設けなくてもよい。

【 0 1 8 4 】

酸化物半導体膜 1 3 0 は、第 1 の領域 1 3 2 と、第 1 の領域 1 3 2 を介して対向する一対の第 2 の領域 1 3 4 a、1 3 4 b と、第 1 の領域 1 3 2 及び第 2 の領域 1 3 4 a、1 3 4 b を介して対向する一対の第 3 の領域 1 3 6 a、1 3 6 b を有する。酸化物半導体膜 1 3 0 において、第 1 の領域 1 3 2 はドーパントを含まない領域であり、一対の第 2 の領域 1 3 4 a、1 3 4 b 及び一対の第 3 の領域 1 3 6 a、1 3 6 b はドーパントを含む領域である。なお、トランジスタ 3 0 0 の第 1 の領域 1 3 2 は、トランジスタ 2 0 0 の第 1 の領域 1 0 7 と同様である。

10

【 0 1 8 5 】

一対の第 2 の領域 1 3 4 a、1 3 4 b の抵抗は、第 1 の領域 1 3 2 の抵抗よりも低く、一対の第 3 の領域 1 3 6 a、1 3 6 b の抵抗は、一対の第 2 の領域 1 3 4 a、1 3 4 b よりも低い。そして、一対の第 2 の領域 1 3 4 a、1 3 4 b 及び一対の第 3 の領域 1 3 6 a、1 3 6 b に含まれるドーパント濃度は、 $5 \times 10^{18} / \text{cm}^3$  以上  $1 \times 10^{22} / \text{cm}^3$  以下であることが好ましい。

【 0 1 8 6 】

ゲート電極 1 1 7 は、ゲート絶縁膜 1 1 3 を介して、酸化物半導体膜 1 3 0 の第 1 の領域 1 3 2 と対向して設けられている。従って、ゲート絶縁膜 1 1 3 を介してゲート電極 1 1 7 と重畳する第 1 の領域 1 3 2 は、チャネル形成領域として機能する。

20

【 0 1 8 7 】

一対の第 2 の領域 1 3 4 a、1 3 4 b 及び一対の第 3 の領域 1 3 6 a、1 3 6 b において、ソース電極 1 2 7 a 及びドレイン電極 1 2 7 b と接する領域が最も低抵抗となるように、抵抗率が異なる領域を設けられている。それゆえ、ソース電極 1 2 7 a およびドレイン電極 1 2 7 b は、一対の第 3 の領域 1 3 6 a、1 3 6 b の上面に接している。従って、一対の第 3 の領域 1 3 6 a、1 3 6 b は、ソース領域及びドレイン領域として機能する。

【 0 1 8 8 】

酸化物半導体膜 1 3 0 において、チャネル形成領域として機能する第 1 の領域 1 3 2 は、膜中に含まれる水素及び酸素欠損が低減された、高純度且つ高抵抗な酸化物半導体膜である。具体的には、第 1 の領域 1 3 2 は、電子スピン共鳴法によって計測される  $g$  ( $g$  値) が 1.93 付近の信号のピークから算出されたスピン密度が  $9.3 \times 10^{16} \text{ spins} / \text{cm}^3$  未満であり、好ましくは  $5 \times 10^{16} \text{ spins} / \text{cm}^3$  以下であり、さらに好ましくは検出下限以下であり、キャリア密度が  $1 \times 10^{15} / \text{cm}^3$  未満である。

30

【 0 1 8 9 】

また、第 1 の領域 1 3 2 の水素濃度は、 $5 \times 10^{18} \text{ atoms} / \text{cm}^3$  未満、より好ましくは  $5 \times 10^{17} \text{ atoms} / \text{cm}^3$  以下である。なお、当該水素濃度は SIMS で測定される数値である。

【 0 1 9 0 】

また、酸化物半導体膜 1 3 0 においてドーパント濃度差が設けられているため、第 1 の領域 1 3 2、一対の第 2 の領域 1 3 4 a、1 3 4 b 及び一対の第 3 の領域 1 3 6 a、1 3 6 b は、抵抗率が段階的に変化している。このようにすることで、トランジスタ 3 0 0 に含まれる酸化物半導体膜 1 3 0 (特に、第 1 の領域 1 3 2) に加わるドレイン領域からの電界を段階的にすることができ、ドレイン領域近傍の電界集中を緩和することができるため、当該電界集中によって、しきい値電圧の変動やトランジスタの破壊などを抑制することができる。

40

【 0 1 9 1 】

一対の第 2 の領域 1 3 4 a、1 3 4 b 及び一対の第 3 の領域 1 3 6 a、1 3 6 b のように、抵抗率を段階的に変化させるほうが、トランジスタ 2 0 0 のように低抵抗な領域を一対設けた場合よりも、酸化物半導体膜 1 3 0 (特に、第 1 の領域 1 3 2) に加わる電界を効果的に緩和させることができる。

50

## 【 0 1 9 2 】

さらに、一対の第3の領域136a、136bは抵抗が低減されているため、ソース電極127a及びドレイン電極127bとの接触抵抗は低減されている。

## 【 0 1 9 3 】

上記より、トランジスタ300は、良好な電気特性を有し、電気特性劣化を抑制されたトランジスタである。具体的には、オフ電流が低減され、オン電流及び電界効果移動度が増大したトランジスタである。さらに、トランジスタ300は、しきい値電圧のマイナス方向への変動が抑制され、且つ耐圧が向上したトランジスタである。

## 【 0 1 9 4 】

トランジスタの作製方法

10

次に、トランジスタ300の作製方法について、図面を用いて説明する。

## 【 0 1 9 5 】

基板101を準備する工程から絶縁膜156及びゲート電極117に加工される導電膜157を形成する工程までは、トランジスタ100の作製方法と同様にして行うことができる(図3(A)乃至図3(C)参照)。

## 【 0 1 9 6 】

次に、導電膜157にフォトリソグラフィ工程及びエッチング工程を行って、ゲート電極117を形成する。後にサイドウォール絶縁膜119を形成することから、ゲート電極117のテーパ角は、ゲート電極117の底面(絶縁膜156の表面)に対して概略直角とすることが好ましい。それには、RIE(Reactive ion etching : 反応性イオンエッチング)法などの異方性エッチングにより加工することが好ましい。

20

## 【 0 1 9 7 】

次に、ゲート電極117をマスクにしてドーパント159を酸化物半導体膜105に注入し、第1の領域132と、第1の領域132より低抵抗であって且つドーパント159を含む一対の領域108a、108bとを形成する(図10(A)参照)。なお、ドーパント159に適用できる元素及び注入方法は実施の形態2と同様である。また、実施の形態2と同様にドーパント159を注入した後、加熱処理を行ってもよい。

## 【 0 1 9 8 】

次に、サイドウォール絶縁膜119を形成するために、絶縁膜156及びゲート電極117上に絶縁膜161を形成する(図10(B)参照)。

30

## 【 0 1 9 9 】

絶縁膜161をRIE法などの異方性エッチングによって加工し、ゲート電極117の側面に接するサイドウォール絶縁膜119を自己整合的に形成する(図10(C)参照)。ここで、窒化絶縁膜(例えば、窒化シリコン膜又は窒化アルミニウム膜)で形成することが好ましい。なぜなら、絶縁膜156と絶縁膜161の材料が異なっていることで、エッチング選択比を得ることができ、サイドウォール絶縁膜119に加工する際の終点を容易に検出しやすくなるからである。さらに、絶縁膜156は、サイドウォール絶縁膜119を形成する際のエッチングストッパーの役割を果たし、一対の領域108a、108bが削られてしまうことを防ぐ。なお、絶縁膜161は、下地絶縁膜103や絶縁膜156に適用可能な方法で形成できる。

40

## 【 0 2 0 0 】

次に、ゲート電極117及びサイドウォール絶縁膜119をマスクとして用いて、絶縁膜156をRIE法などの異方性エッチングにより加工することで、ゲート絶縁膜113を形成する(図10(D)参照)。ゲート絶縁膜113を形成することで、一対の領域108a、108bの一部が露出する。

## 【 0 2 0 1 】

次に、ゲート電極117及びサイドウォール絶縁膜119をマスクとして用いて、ドーパント159を一対の領域108a、108bに注入し、一対の第2の領域134a、134b及び一対の第3の領域136a、136bを形成する(図11(A)参照)。この工程により、第1の領域132、一対の第2の領域134a、134b及び一対の第3の

50

領域 136 a、136 b を有する酸化物半導体膜 130 が形成される。なお、ドーパント 159 に適用できる元素及び注入方法は実施の形態 2 と同様である。また、実施の形態 2 と同様にドーパント 159 を注入した後、加熱処理を行ってもよい。

#### 【0202】

次に、下地絶縁膜 103、酸化物半導体膜 130、ゲート絶縁膜 113 及びゲート電極 117 を覆って絶縁性を有する金属酸化膜 121 を形成する（図 11（B）参照）。そして、絶縁性を有する金属酸化膜 121 上に層間絶縁膜 123 を形成する（図 11（C）参照）。なお、絶縁性を有する金属酸化膜 121 及び層間絶縁膜 123 の形成は、トランジスタ 100 の作製方法と同様にして行うことができる。

#### 【0203】

トランジスタ 300 の作製方法においてもトランジスタ 100 の作製方法と同様に、少なくとも絶縁性を有する金属酸化膜 121 を形成した後に、加熱処理を行うことが好ましい。当該加熱処理によって、下地絶縁膜 103 及びゲート絶縁膜 113 に含まれる酸素の一部が、下地絶縁膜 103 と酸化物半導体膜 130（特に第 1 の領域 132）の界面、ゲート絶縁膜 113 と酸化物半導体膜 130（特に第 1 の領域 132）の界面、及び、酸化物半導体膜 130 に供給され、それぞれの界面準位密度を低減し、酸化物半導体膜 130 中の酸素欠損を修復することができる。

#### 【0204】

また、絶縁性を有する金属酸化膜 121 は、下地絶縁膜 103 及びゲート絶縁膜 113 に含まれる酸素が外部に放出されることを防止する効果を有するため、効率よく且十分に界面準位密度を低減することができ、酸素欠損を修復することができる。それゆえ、トランジスタ 300 は、トランジスタの動作などに起因して、下地絶縁膜 103 及びゲート絶縁膜 113 と酸化物半導体膜 130 との界面にキャリアが捕獲されることを抑制されており、信頼性に優れたトランジスタである。また、酸化物半導体膜 130 は、酸素欠損に起因した電子が低減されており、絶縁性を有する金属酸化膜 121 は、外気の水素、水分などの不純物が外部から侵入することを防止する効果も有することから、トランジスタ 300 は信頼性に優れたトランジスタである。なお、層間絶縁膜 123 を形成した後に当該加熱処理を行うことで、層間絶縁膜 123 に含まれる水素や水分は除去される。

#### 【0205】

次に、先の実施の形態と同様に、絶縁性を有する金属酸化膜 121 及び層間絶縁膜 123 に、酸化物半導体膜 130 の一対の第 3 の領域 136 a、136 b に達する開口 125 a、125 b を形成する（図 11（D）参照）。先の実施の形態と同様に、当該開口 125 a、125 b に、ソース電極 127 a 及びドレイン電極 127 b を形成する（図 9（B）参照）。

#### 【0206】

また、トランジスタ 100 と同様に、トランジスタ起因の表面凹凸を低減するために層間絶縁膜 123 上に平坦化絶縁膜を形成してもよい。

#### 【0207】

また、上記作製方法において、酸化物半導体膜 105 にドーパント 159 を注入する際、絶縁膜 156 を通過させて酸化物半導体膜 105 に注入している（図 10（A）参照）。この工程を行う前に、絶縁膜 156 をゲート絶縁膜 113 に加工し、酸化物半導体膜 105 が露出した状態で、酸化物半導体膜 105 にドーパント 159 を注入することで一対の領域 108 a、108 b を形成してもよい（図 12（A）参照）。そして、一対の領域 108 a、108 b、ゲート絶縁膜 113 及びゲート電極 117 を覆うように絶縁膜 161 を形成し、RIE のような異方性エッチングでサイドウォール絶縁膜 119 を形成してもよい（図 12（B）参照）。このようにして形成したサイドウォール絶縁膜 119 を用いたトランジスタの断面図を図 12（C）に示す。

#### 【0208】

以上より、本発明の一態様より、良好な電気特性を有し、高性能な半導体装置を提供することができる。

10

20

30

40

50

## 【 0 2 0 9 】

なお、本実施の形態に記載の構成、方法などは、他の実施の形態及び実施例に記載の構成、方法などと適宜、組み合わせて用いることができる。

## 【 0 2 1 0 】

## (実施の形態 4)

本実施の形態では、先の実施の形態で説明したトランジスタとは作製方法が一部異なるトランジスタについて説明する。従って、本実施の形態は、先の実施の形態で用いた図面(符号及びハッチングを含む。)及び説明を適宜用い、重複する説明は省略することができる。

## 【 0 2 1 1 】

## トランジスタの構成例

図 1 3 ( A ) 及び図 1 3 ( B ) に、トランジスタ 4 0 0 の上面図及び断面図を示す。図 1 3 ( A ) はトランジスタ 4 0 0 の上面図であり、図 1 3 ( B ) は、図 1 3 ( A ) の一点鎖線 A - B 間の断面図である。なお、図 1 3 ( A ) では、明瞭化のため、トランジスタ 4 0 0 の構成要素の一部(例えば、基板 1 0 1、下地絶縁膜 1 0 3、及びゲート絶縁膜 1 1 3 など)を省略している。

## 【 0 2 1 2 】

図 1 3 ( A ) 及び図 1 3 ( B ) より、トランジスタ 4 0 0 は、基板 1 0 1 上に下地絶縁膜 1 0 3 が設けられており、下地絶縁膜 1 0 3 上にソース電極 1 2 7 a 及びドレイン電極 1 2 7 b が設けられており、ソース電極 1 2 7 a 及びドレイン電極 1 2 7 b の一部に接する酸化物半導体膜 1 3 0 が下地絶縁膜 1 0 3 上に設けられており、酸化物半導体膜 1 3 0 上にゲート絶縁膜 1 1 3 が設けられており、ゲート絶縁膜 1 1 3 上にゲート電極 1 1 7 が設けられており、ゲート絶縁膜 1 1 3 及びゲート電極 1 1 7 に接してサイドウォール絶縁膜 1 1 9 が設けられており、下地絶縁膜 1 0 3、酸化物半導体膜 1 3 0、ゲート絶縁膜 1 1 3、ゲート電極 1 1 7 及びサイドウォール絶縁膜 1 1 9 上に絶縁性を有する金属酸化膜 1 2 1 が設けられており、絶縁性を有する金属酸化膜 1 2 1 上に層間絶縁膜 1 2 3 が設けられており、絶縁性を有する金属酸化膜 1 2 1 及び層間絶縁膜 1 2 3 に形成された開口 1 2 5 a、1 2 5 b を介して、ソース電極 1 2 7 a 及びドレイン電極 1 2 7 b に接するソース配線 3 2 7 a 及びドレイン配線 3 2 7 b が設けられている。なお、下地絶縁膜 1 0 3 及び層間絶縁膜 1 2 3 は、設けなくてもよい。

## 【 0 2 1 3 】

トランジスタ 4 0 0 における、基板 1 0 1、下地絶縁膜 1 0 3、酸化物半導体膜 1 3 0、ゲート絶縁膜 1 1 3、ゲート電極 1 1 7、サイドウォール絶縁膜 1 1 9、絶縁性を有する金属酸化膜 1 2 1、層間絶縁膜 1 2 3、ソース電極 1 2 7 a 及びドレイン電極 1 2 7 b の詳細は、トランジスタ 3 0 0 と同様である。

## 【 0 2 1 4 】

ソース配線 3 2 7 a 及びドレイン配線 3 2 7 b は、ソース電極 1 2 7 a 及びドレイン電極 1 2 7 b の引き回し配線として設けられており、ソース電極 1 2 7 a 及びドレイン電極 1 2 7 b と電氣的に接続されている。

## 【 0 2 1 5 】

## トランジスタの作製方法

次に、トランジスタ 4 0 0 の作製方法について、図面を用いて説明する。

## 【 0 2 1 6 】

まず、基板 1 0 1 を準備し、基板 1 0 1 上に下地絶縁膜 1 0 3 を形成し、下地絶縁膜 1 0 3 上にソース電極 1 2 7 a 及びドレイン電極 1 2 7 b を形成する(図 1 4 ( A ) 参照)。

## 【 0 2 1 7 】

基板 1 0 1 は実施の形態 1 に記載した種類の中から選択し、下地絶縁膜 1 0 3 は実施の形態 1 で説明した材料及び方法を用いて形成することができる。

## 【 0 2 1 8 】

ソース電極 127a 及びドレイン電極 127b は、実施の形態 1 で説明した材料及び方法を適宜用いて形成する。

【0219】

以降の工程は、トランジスタ 300 の作製方法と同様である。酸化物半導体膜 105 を形成し（図 14（B）参照）、絶縁膜 156 及びゲート電極 117 を形成した後、ゲート電極 117 をマスクとして用いて、ドーパント 159 を酸化物半導体膜 105 に注入して、第 1 の領域 132 及び一対の領域 108a、108b を形成し（図 14（C）参照）、絶縁膜 156 を加工してゲート絶縁膜 113 を形成し、サイドウォール絶縁膜 119 を形成し（図 14（D）参照）、ゲート電極 117 及びサイドウォール絶縁膜 119 をマスクとしてドーパント 159 を一対の領域 108a、108b に注入して、第 1 の領域 132、一対の第 2 の領域 134a、134b 及び一対の第 3 の領域 136a、136b を有する酸化物半導体膜 130 を形成し（図 15（A）参照）、絶縁性を有する金属酸化膜 121 を形成し（図 15（B）参照）、層間絶縁膜 123 を形成し、開口 125a、開口 125b を形成し（図 15（C）参照）、開口 125a、開口 125b にソース配線 327a 及びドレイン配線 327b を形成することでトランジスタ 400 を作製することができる（図 13（B）参照）。

10

【0220】

また、実施の形態 1 と同様に適宜、加熱処理を行うことができる。例えば、酸化物半導体膜 105 に加工した後や、少なくとも絶縁性を有する金属酸化膜 121 を形成した後に加熱処理を行うことが好ましい。当該加熱処理を行うことで、酸化物半導体膜の脱水素化又は脱水化が生じ、酸化物半導体膜中の酸素欠損を修復できるため、良好な電気特性を有するトランジスタ 400 を作製することができる。

20

【0221】

以上より、本発明の一態様より、良好な電気特性を有し、高性能な半導体装置を提供することができる。

【0222】

なお、本実施の形態に記載の構成、方法などは、他の実施の形態及び実施例に記載の構成、方法などと適宜、組み合わせて用いることができる。

【0223】

（実施の形態 5）

本実施の形態では、先の実施の形態で説明したトランジスタとは構造が一部異なるトランジスタについて説明する。なお、本実施の形態においても、先の実施の形態で用いた図面（符号及びハッチングを含む。）及び説明を適宜用い、重複する説明は省略することができる。

30

【0224】

トランジスタの構成例

図 16（A）及び図 16（B）に、トランジスタ 500 の上面図及び断面図を示す。図 16（A）はトランジスタ 500 の上面図であり、図 16（B）は、図 16（A）の一点鎖線 C-D 間の断面図である。なお、図 16（A）では、明瞭化のため、トランジスタ 500 の構成要素の一部（例えば、基板 501 及びゲート絶縁膜 505 など）を省略している。

40

【0225】

図 16（A）及び図 16（B）より、トランジスタ 500 は、基板 501 上にゲート電極 503 が設けられており、基板 501 及びゲート電極 503 上にゲート絶縁膜 505 が設けられており、ゲート絶縁膜 505 上に酸化物半導体膜 507 が設けられており、ゲート絶縁膜 505 及び酸化物半導体膜 507 上にソース電極 509a 及びドレイン電極 509b が設けられており、酸化物半導体膜 507、ソース電極 509a 及びドレイン電極 509b 上に保護絶縁膜 511 が設けられており、保護絶縁膜 511 上に層間絶縁膜 513 が設けられている。なお、基板 501 及びゲート電極 503 の間に下地絶縁膜を設けてもよい。

50

## 【0226】

酸化物半導体膜507は、ゲート絶縁膜505を介してゲート電極503と重畳して設けられている。酸化物半導体膜507において、ゲート電極503と重畳している領域がチャネル形成領域となる。従って、ゲート電極503はゲート絶縁膜505の下面と接する（ゲート電極503はゲート絶縁膜505より下方に設けられている）ことから、トランジスタ500はボトムゲート構造のトランジスタである。また、トランジスタ500において、ソース電極509a及びドレイン電極509bは、酸化物半導体膜507の一部を覆うようにして設けられている。

## 【0227】

また、ゲート電極503はゲート配線としても機能する。ソース電極509aはソース配線としても機能する。ドレイン電極509bはドレイン配線としても機能する。

10

## 【0228】

トランジスタ500において、基板501の詳細は先の実施の形態で説明したトランジスタの基板101の詳細と同様である。ゲート電極503の詳細はゲート電極117の詳細と同様である。ゲート絶縁膜505の詳細はゲート絶縁膜113及び絶縁膜156の詳細と同様である。酸化物半導体膜507の詳細は酸化物半導体膜105と同様である。ソース電極509a及びドレイン電極509bの詳細はソース電極127a及びドレイン電極127bと同様である。

## 【0229】

保護絶縁膜511は、加熱することによって、酸素の一部を酸化物半導体膜に供給し、酸化物半導体膜中の酸素欠損を修復できる効果を有する絶縁膜であることが好ましく、従って、酸素を含む絶縁膜が好ましい。

20

## 【0230】

例えば、酸化シリコン、酸化ガリウム、若しくは酸化アルミニウムなどの酸化絶縁膜、又は酸化窒化シリコン、酸化窒化アルミニウムなどの酸化窒化絶縁膜、若しくは窒化酸化シリコンなどの窒化酸化絶縁膜から選ばれた一の絶縁膜、又は複数が積層された絶縁膜とすることができる。トランジスタ500の作製工程で、加熱することによって酸素の一部を放出する絶縁膜を用いることが好ましい。なかでも、シリコンを有する酸化絶縁膜、酸化窒化絶縁膜又は窒化酸化絶縁膜とすることが好ましい。また、保護絶縁膜511は、CVD法、スパッタリング法、MBE法、又はPLD法などで形成できる。

30

## 【0231】

層間絶縁膜513の詳細は、先の実施の形態で説明したトランジスタの層間絶縁膜123と同様である。

## 【0232】

トランジスタの作製方法

次に、トランジスタ500の作製方法について、図面を用いて説明する。

## 【0233】

まず、基板501を準備し、基板501上にゲート電極503を形成する。本実施の形態では、スパッタリング法を用いて基板501上に30nmの窒化タンタル膜及び200nmのタングステン膜を順に積層形成した後、フォトリソグラフィ工程及びエッチング工程を行って、ゲート電極503を形成する。

40

## 【0234】

次に、ゲート電極503上にゲート絶縁膜505を形成する（図17（A）参照）。本実施の形態では、ゲート絶縁膜505として、加熱することによって酸素の一部を放出する絶縁膜、具体的には、酸素が過剰に含まれている酸化窒化シリコン膜を50nm形成する。このようにすることで、先の実施の形態で説明したトランジスタと同様に、トランジスタの作製工程の加熱処理によって、放出する酸素を酸化物半導体膜に供給することができる。従って、良好な電気特性を有するトランジスタ500の作製することができる。

## 【0235】

50

次に、ゲート絶縁膜 505 上に酸化物半導体膜 506 を形成する（図 17（B）参照）。酸化物半導体膜 506 は、先の実施の形態で説明した酸化物半導体膜 154 と同様に、基板側にバイアス電力を加えながらスパッタリング法を行って形成する。本実施の形態では、酸化物半導体膜 506 として IGZO 膜を 20 nm 形成する。

【0236】

その後、酸化物半導体膜 506 にフォトリソグラフィ工程及びエッチング工程を行って酸化物半導体膜 507 を形成する（図 17（C）参照）。

【0237】

次に、ゲート絶縁膜 505 及び酸化物半導体膜 507 の一部の上にソース電極 509a 及びドレイン電極 509b を形成する（図 17（D）参照）。本実施の形態では、先の実施の形態で説明したソース電極 127a 及びドレイン電極 127b と同様に、チタン、アルミニウム及びチタンを順に積層させて、ソース電極 509a 及びドレイン電極 509b を形成する。

【0238】

次に、酸化物半導体膜 507 の一部及びソース電極 509a 及びドレイン電極 509b 上に保護絶縁膜 511 を形成する。保護絶縁膜 511 は上記列挙した材料から選択して形成すればよい。本実施の形態では、酸化窒化シリコン膜を 30 nm 形成する。

【0239】

次に、保護絶縁膜 511 上に層間絶縁膜 513 を形成する（図 16（B）参照）。本実施の形態では、酸化窒化シリコン膜を 370 nm 形成する。

【0240】

トランジスタ 500 の作製方法において、少なくとも保護絶縁膜 511 を形成した後に加熱処理を行うことが好ましい。当該加熱処理は、酸素雰囲気下、窒素雰囲気下、減圧下、又は大気（超乾燥エア）下において、200 以上 700 以下、又は 200 以上基板歪み点未満で行う。

【0241】

また、トランジスタ 500 の作製方法において、保護絶縁膜 511 及び層間絶縁膜 513 は、ソース電極 509a 及びドレイン電極 509b を形成した後に、酸化物半導体膜 507 中の水素を除去するための加熱処理、及び酸素プラズマ処理を順に行って酸素イオンを酸化物半導体膜 507 に注入した後に形成してもよい。酸化物半導体膜 507 に酸素イオンを注入する方法は、酸素プラズマ処理の代わりに、イオンインプランテーション法、イオンドーピング法、酸素雰囲気下での加熱処理を用いてもよい。そして、トランジスタ 500 の作製方法において、保護絶縁膜 511 を形成し、層間絶縁膜 513 を形成する前に上記したいずれかの方法を用いて酸素イオンを酸化物半導体膜 507 に注入してもよい。

【0242】

以上の工程により、トランジスタ 500 を作製することができる。

【0243】

なお、ソース電極 509a 及びドレイン電極 509b を形成する前に、チャネル保護膜を形成することで、チャネルストップ型のトランジスタを作製することができる。チャネル保護膜は、酸化物半導体膜 507 に接することから、ゲート絶縁膜 505 及び保護絶縁膜 511 と同じように酸化絶縁膜で形成することが好ましい。

【0244】

以上より、ボトムゲート構造のトランジスタにおいても、水素及び酸素欠損に起因する電荷が低減された酸化物半導体膜を用いて作製することができる。つまり、ボトムゲート構造のトランジスタにおいても、しきい値電圧のマイナス方向への変動が抑制され、オフ電流が低減されたトランジスタを作製できる。従って、本発明の一態様により、良好な電気特性を有し、高性能な半導体装置を提供することができる。

【0245】

（実施の形態 6）

10

20

30

40

50

酸化物半導体膜は、例えば非単結晶を有してもよい。非単結晶は、例えば、C A A C ( C A x i s A l i g n e d C r y s t a l )、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、C A A C よりも欠陥準位密度が高い。また、微結晶は、C A A C よりも欠陥準位密度が高い。なお、C A A C を有する酸化物半導体を、C A A C - O S ( C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r ) と呼ぶ。

【0246】

酸化物半導体膜は、例えばC A A C - O S を有してもよい。C A A C - O S は、例えば、c 軸配向し、a 軸または / および b 軸はマクロに揃っていない。

【0247】

酸化物半導体膜は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満のサイズの微結晶 ( ナノ結晶ともいう。 ) を膜中に含む。または、微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満の結晶部を有する結晶 - 非晶質混相構造の酸化物半導体を有している。

【0248】

酸化物半導体膜は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

【0249】

なお、酸化物半導体膜が、C A A C - O S、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、C A A C - O S の領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、C A A C - O S の領域と、の積層構造を有してもよい。

【0250】

なお、酸化物半導体膜は、例えば、単結晶を有してもよい。

【0251】

酸化物半導体膜は、複数の結晶部を有し、当該結晶部の c 軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、C A A C - O S 膜がある。

【0252】

C A A C - O S 膜は、完全な非晶質ではない。C A A C - O S 膜は、例えば、結晶部および非晶質部を有する結晶 - 非晶質混相構造の酸化物半導体を有している。なお、当該結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 ( T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e ) による観察像では、C A A C - O S 膜に含まれる非晶質部と結晶部との境界、結晶部と結晶部との境界は明確ではない。また、T E M によって C A A C - O S 膜には明確な粒界 ( グレインバウンダリーともいう。 ) は確認できない。そのため、C A A C - O S 膜は、粒界に起因する電子移動度の低下が抑制される。

【0253】

C A A C - O S 膜に含まれる結晶部は、例えば、c 軸が C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつ a b 面に垂直な方向から見て金属原子が三角形状または六角形状に配列し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ま

10

20

30

40

50



しくは - 5 ° 以上 5 ° 以下の範囲も含まれることとする。

【 0 2 5 4 】

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【 0 2 5 5 】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部の c 軸は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

【 0 2 5 6 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 2 5 7 】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【 0 2 5 8 】

先の実施の形態で説明したトランジスタに用いる酸化物半導体膜を、C A A C - O S 膜とする場合、酸化物半導体膜表面の平坦性を高めることによって、非晶質酸化物半導体膜を用いたトランジスタより電界効果移動度が高いトランジスタを得ることができる。酸化物半導体膜表面の平坦性を高めるためには、平坦な表面上に酸化物半導体膜を形成することが好ましく、具体的には、平均面粗さ（R a）が 0 . 1 5 n m 以下、好ましくは 0 . 1 n m 以下の表面上に形成することが好ましい。

【 0 2 5 9 】

例えば、トランジスタ 1 0 0 乃至トランジスタ 4 0 0 において、酸化物半導体膜 1 5 4 を形成する前に、下地絶縁膜 1 0 3 表面の平均面粗さ（R a）が上記範囲となるように研磨処理（例えば、化学的機械研磨（C h e m i c a l M e c h a n i c a l P o l i s h i n g : C M P）法）、ドライエッチング処理、又はプラズマ処理を行うことが好ましい。トランジスタ 5 0 0 においては、ゲート絶縁膜 5 0 5 表面の平均面粗さが上記範囲となるように研磨処理、ドライエッチング処理、又はプラズマ処理をすることが好ましい。

【 0 2 6 0 】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側に R F 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、下地絶縁膜 1 0 3 の表面又はゲート絶縁膜 5 0 5 の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【 0 2 6 1 】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、下地絶縁膜 1 0 3 の表面又はゲート絶縁膜 5 0 5 の表面の凹凸状態に合わせて適宜設定すればよい。

【 0 2 6 2 】

なお、R a とは、J I S B 0 6 0 1 : 2 0 0 1（I S O 4 2 8 7 : 1 9 9 7）で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義さ

10

20

30

40

50

れる。

【0263】

【数2】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0264】

ここで、指定面とは、粗さ計測の対象となる面であり、座標（ $x_1, y_1, f(x_1, y_1)$ ）、（ $x_1, y_2, f(x_1, y_2)$ ）、（ $x_2, y_1, f(x_2, y_1)$ ）、（ $x_2, y_2, f(x_2, y_2)$ ）の4点で表される四角形の領域とし、指定面を $xy$ 平面に投影した長方形の面積を $S_0$ 、基準面の高さ（指定面の平均の高さ）を $Z_0$ とする。 $Ra$ は原子間力顕微鏡（AFM：Atomic Force Microscope）にて測定可能である。

10

【0265】

C AAC - OS膜を得る方法としては、例えば3つ挙げられる。1つ目は、成膜温度を200以上500以下として酸化物半導体膜を形成する方法である。2つ目は、膜厚が薄い酸化物半導体膜を形成した後、200以上700以下の加熱処理を行う方法である。なお、3つ目の方法は、一度、薄い膜厚で酸化物半導体膜を形成した後、200以上700以下の加熱処理を行い、その上に酸化物半導体膜を形成してC AAC - OS膜を形成させる方法である。図2に示したスパッタリング装置には基板支持台205にヒータが設けられていることから、上記方法でC AAC - OS膜を形成することができる。そして、基板側にバイアス電力を供給して自己バイアス電圧を制御しながら、上記方法で酸化物半導体膜を形成した後、加熱処理することで、膜中に含まれる水素及び酸素欠損が低減されたC AAC - OS膜を形成することができる。

20

【0266】

例えば、トランジスタ100乃至トランジスタ400の作製方法において、酸化物半導体膜を本実施の形態で説明した方法を用いて形成することで、膜中に含まれる水素及び酸素欠損が低減されたC AAC - OS膜を有するトランジスタ100乃至トランジスタ400を作製することができる。また、トランジスタ500の作製方法において、酸化物半導体膜506を本実施の形態で説明した方法を用いて形成することで、膜中に含まれる水素及び酸素欠損が低減されたC AAC - OS膜を有するトランジスタ500を作製することができる。

30

【0267】

以上より、良好な電気特性を有し、信頼性に優れたトランジスタを作製することができる。

【0268】

なお、本実施の形態に記載の構成、方法などは、他の実施の形態及び実施例に記載の構成、方法などと適宜、組み合わせて用いることができる。

40

【0269】

（実施の形態7）

本実施の形態では、本発明の一態様である半導体装置について説明する。なお、本実施の形態で説明する半導体装置の一例は、記憶素子（メモリセル）であり、先の実施の形態で用いた符号を適宜用いて説明する。

【0270】

当該半導体装置は、単結晶半導体基板に作製された第1のトランジスタと、絶縁膜を介して第1のトランジスタの上方に、半導体膜を用いて作製された第2のトランジスタ及び容量素子と、を有する。

【0271】

50

また、積層する、第1のトランジスタ及び第2のトランジスタの半導体材料、及び構造は、同一でもよいし異なってもよい。ここでは、当該半導体装置の回路に好適な材料及び構造のトランジスタをそれぞれ用いる例について説明する。

【0272】

当該第2のトランジスタとしては、先の実施の形態で説明した、いずれかのトランジスタを用いることができる。なお、当該第2のトランジスタとして用いるトランジスタの構造に応じて、第1のトランジスタ及び容量の積層関係、並びに接続関係を適宜変更する。本実施の形態では、第2のトランジスタにトランジスタ400を用いる例について説明する。

【0273】

図18は、半導体装置の構成例である。図18(A)には、当該半導体装置の断面を、図18(B)には、当該半導体装置の平面を、それぞれ示す。なお、図18(A)は、図18(B)のE1-E2及びF1-F2における断面に相当する。なお、図18(B)では、明瞭化のため、半導体装置の構成要素の一部(例えば、基板601、絶縁膜619、絶縁膜623、絶縁膜625、下地絶縁膜103、ゲート絶縁膜113、サイドウォール絶縁膜119など)を省略している。なお、図18に記載したOSとは、当該半導体装置に含まれるトランジスタに、先の実施の形態で説明したいずれかのトランジスタを適用できること示す。

【0274】

また、図18(C)には、当該半導体装置の回路図の一例を示す。図18(A)及び図18(B)に示した半導体装置に好適な材料及び構造として、下部に第1の半導体材料を用いたトランジスタ600を有し、上部に第2の半導体材料を用いたトランジスタ400及び容量素子650を有する。本実施の形態において、第1の半導体材料は酸化物半導体以外の半導体材料であり、第2の半導体材料は酸化物半導体である。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、又はガリウムヒ素などを用いることができ、単結晶半導体を用いるのが好ましい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。他に、酸化物半導体以外の半導体材料として有機半導体材料などを用いてもよい。酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0275】

図18における半導体装置の作製方法を図18(A)乃至図18(C)を用いて説明する。

【0276】

トランジスタ600は、半導体材料(例えば、シリコンなど)を含む基板601に設けられたチャネル形成領域607と、チャネル形成領域607を挟むように設けられた不純物領域602a、602bと、不純物領域602a、602bに接する金属間化合物領域603a、603bと、チャネル形成領域607上に設けられたゲート絶縁膜605と、ゲート絶縁膜605上に設けられたゲート電極617とを有する。

【0277】

半導体材料を含む基板601は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体膜が設けられた構成の基板をいうが、本明細書などにおいては、絶縁表面上にシリコン以外の材料からなる半導体膜が設けられた構成の基板も含む。つまり、「SOI基板」が有する半導体膜は、シリコン半導体膜に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁膜を介して半導体膜が設けられた構成のものも含まれるものとする。

【0278】

SOI基板の作製方法としては、鏡面研磨ウェハーに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて作る方法、水素イオン照射により形成された微小ボイドの熱処理による

10

20

30

40

50

成長を利用して半導体基板を劈開する方法や、絶縁表面上に結晶成長により単結晶半導体膜を形成する方法等を用いることができる。

【0279】

例えば、単結晶半導体基板の一つの面からイオンを添加して、単結晶半導体基板の一つの面から一定の深さに脆弱化層を形成し、単結晶半導体基板の一つの面上、又は素子基板上のどちらか一方に絶縁膜を形成する。単結晶半導体基板と素子基板を、絶縁膜を挟んで重ね合わせた状態で、脆弱化層に亀裂を生じさせ、単結晶半導体基板を脆弱化層で分離する熱処理を行い、単結晶半導体基板より半導体膜として単結晶半導体膜を素子基板上に形成する。上記方法を用いて作製されたSOI基板も好適に用いることができる。

【0280】

基板601上にはトランジスタ600を囲むように素子分離絶縁膜606が設けられている(図18(B)参照)。なお、高集積化を実現するためには、トランジスタ600にサイドウォール絶縁膜を設けない構造とすることが望ましい。一方で、トランジスタ600の電気特性を重視する場合には、ゲート電極617の側面にサイドウォール絶縁膜を設け、不純物濃度が異なる領域を含む不純物領域を設けてもよい。

【0281】

単結晶半導体基板を用いたトランジスタ600は、高速動作が可能である。このため、トランジスタ600を読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ600を覆うように絶縁膜を複数層形成する。トランジスタ400及び容量素子650の形成前の処理として、複数層の絶縁膜にCMP処理を施して、平坦化した絶縁膜619、絶縁膜623、絶縁膜625を形成し、さらに、トランジスタ400の下地絶縁膜として機能する下地絶縁膜103を形成し、同時にゲート電極617の上面を露出させる。

【0282】

絶縁膜619、絶縁膜623、絶縁膜625は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁膜619、絶縁膜623、絶縁膜625は、プラズマCVD法又はスパッタリング法等を用いて形成することができる。

【0283】

また、絶縁膜619、絶縁膜623、絶縁膜625には、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂などの有機材料を用いることができる。上記有機材料の他に、低誘電率材料(low-k材料)等を用いることができる。絶縁膜619、絶縁膜623、絶縁膜625に有機材料を用いる場合、スピコート法、印刷法などの湿式法によって形成してもよい。

【0284】

なお、絶縁膜625には窒化シリコン膜を用いて、窒素雰囲気下で450以上650以下の加熱処理を行うことが好ましい。このようにすることで、当該窒化シリコン膜に含まれる水素をトランジスタ600に供給することができ、トランジスタ600の半導体材料を水素化することができる。また、絶縁膜625に窒化シリコン膜を用いることで、トランジスタ400及び容量素子650の作製工程中に、トランジスタ600や絶縁膜619、絶縁膜623に含まれる水素が侵入することを抑制できる。

【0285】

本実施の形態では、絶縁膜619としてCVD法により膜厚50nmの酸化窒化シリコン膜を形成し、絶縁膜623としてスパッタリング法により膜厚550nmの酸化シリコン膜を形成、絶縁膜625としてCVD法により膜厚50nmの窒化シリコン膜を形成する。

【0286】

絶縁膜625上にトランジスタ400及び容量素子650を作製する。トランジスタ400は先の実施の形態での説明を参照して作製することができる(図13乃至図15参照

10

20

30

40

50

）。

【0287】

また、本実施の形態の半導体装置は、トランジスタ400の作製工程を利用して容量素子650を作製するため、容量素子650をトランジスタ400と同一平面上に形成することができる。従って、別途、容量素子650を作製する工程を省くことができるため、半導体装置の生産性を向上させることや、作製コストを低減することができる。

【0288】

容量素子650は、一方の電極としてトランジスタ400のソース電極127aを用いており、誘電体としてトランジスタ400のゲート絶縁膜113を用いており、他方の電極としてトランジスタ400のゲート電極117を用いている。なお、トランジスタ400のサイドウォール絶縁膜119を自己整合的に形成する場合、容量素子650の当該他方の電極にも、トランジスタ400のサイドウォール絶縁膜119と同様の絶縁膜が形成される。

【0289】

トランジスタ400は、チャネル長方向にチャネル形成領域として機能する第1の領域132を挟んで、第1の領域132より低抵抗領域である一对の第2の領域134a、134b及び一对の第3の領域136a、136bを有する酸化物半導体膜130を有することにより、トランジスタ400はオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

【0290】

また、一对の第2の領域134a、134b及び一对の第3の領域136a、136bは、第1の領域132（チャネル形成領域）に加わる電界を緩和させることができる。一对の第3の領域136a、136bはソース領域、及びドレイン領域として機能する。酸化物半導体膜130の中で、一对の第3領域136a、136bが最も低抵抗であり、ソース電極127a及びドレイン電極127bとの接触抵抗を低減することができる。従って、トランジスタ400はオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

【0291】

さらに、トランジスタ400及び容量素子650には、絶縁性を有する金属酸化膜121が設けられており、絶縁性を有する金属酸化膜121は外気に含まれる水素、水分などの不純物を通過させない機能を有することから、トランジスタ400及び容量素子650の信頼性が良好である。従って、本実施の形態に示す半導体装置は信頼性が良好な半導体装置である。

【0292】

また、配線627は、トランジスタ400のソース配線327a及びドレイン配線327bと同様にして形成すればよい。例えば、絶縁性を有する金属酸化膜121及び層間絶縁膜123にドレイン電極127bに達する開口を形成し、当該開口に配線627をトランジスタ400のソース配線327a及びドレイン配線327bと同様の方法で形成する。

【0293】

以上より、トランジスタ600、トランジスタ400及び容量素子650を有する半導体装置を作製することができる。トランジスタ400は、高純度化し、酸素欠損が修復された酸化物半導体膜130を有するトランジスタである。よって、トランジスタ400は、電気特性の変動が抑制されたトランジスタである。

【0294】

なお、容量素子650では、ゲート絶縁膜113により、絶縁性を十分に確保されている。例えば、さらに十分な容量を確保するために、容量素子650は、ゲート絶縁膜113を薄くすることが好ましい。さらに、本実施の形態に示した半導体装置において、容量が不要の場合は、容量素子650を設けない構成の半導体装置とすることも可能である。

【0295】

図18(C)には、上記半導体装置をメモリセルとして用いる場合の回路図の一例を示す。図18(C)において、トランジスタ400のソース電極又はドレイン電極の一方は、容量素子650の電極の一方、及び、トランジスタ600のゲート電極と電氣的に接続されている。また、第1の配線(1st Line:ソース線とも呼ぶ。)は、トランジスタ600のソース電極と電氣的に接続され、第2の配線(2nd Line:ビット線とも呼ぶ。)は、トランジスタ600のドレイン電極と電氣的に接続されている。また、第3の配線(3rd Line:第1の信号線とも呼ぶ。)は、トランジスタ400のソース電極又はドレイン電極の他方と電氣的に接続され、第4の配線(4th Line:第2の信号線とも呼ぶ。)は、トランジスタ400のゲート電極と電氣的に接続されている。そして、第5の配線(5th Line:ワード線とも呼ぶ。)は、容量素子650の電極の他方と電氣的に接続されている。

10

#### 【0296】

酸化物半導体を用いたトランジスタ400は、オフ電流が極めて小さいという特徴を有しているため、トランジスタ400をオフ状態とすることで、トランジスタ400のソース電極又はドレイン電極の一方と、容量素子650の電極の一方と、トランジスタ600のゲート電極とが電氣的に接続されたノード(以下、ノードFG)の電位を極めて長時間にわたって保持することが可能である。そして、容量素子650を有することにより、ノードFGに与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

#### 【0297】

20

半導体装置に情報を記憶させる場合(書き込み)は、まず、第4の配線の電位を、トランジスタ400がオン状態となる電位にして、トランジスタ400をオン状態とする。これにより、第3の配線の電位が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。ここでは、異なる二つの電位レベルを与える電荷(以下、ロー(Low)レベル電荷、ハイ(High)レベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ400がオフ状態となる電位にして、トランジスタ400をオフ状態とすることにより、ノードFGが浮遊状態となるため、ノードFGには所定の電荷が保持されたままの状態となる。以上のように、ノードFGに所定量の電荷を蓄積及び保持させることで、メモリセルに情報を記憶させることができる。

#### 【0298】

30

トランジスタ400のオフ電流は極めて小さいため、ノードFGに供給された電荷は長時間にわたって保持される。したがって、リフレッシュ動作が不要となるか、又は、リフレッシュ動作の頻度を極めて低くすることが可能となり、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

#### 【0299】

記憶された情報を読み出す場合(読み出し)は、第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、ノードFGに保持された電荷量に応じて、トランジスタ600は異なる状態をとる。一般に、トランジスタ600をnチャネル型とすると、ノードFGにHighレベル電荷が保持されている場合のトランジスタ600の見かけのしきい値 $V_{th\_H}$ は、ノードFGにLowレベル電荷が保持されている場合のトランジスタ600の見かけのしきい値 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値とは、トランジスタ600を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の間の電位 $V_0$ とすることにより、ノードFGに保持された電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0$ ( $> V_{th\_H}$ )となれば、トランジスタ600は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0$ ( $< V_{th\_L}$ )となっても、トランジスタ600は「オフ状態」のままである。このため、第5の配線の電位を制御して、トランジスタ600のオン状態又はオフ状態を読み出す(第2

40

50

の配線の電位を読み出す)ことで、記憶された情報を読み出すことができる。

【0300】

また、記憶させた情報を書き換える場合においては、上記の書き込みによって所定量の電荷を保持したノードFGに、新たな電位を供給することで、ノードFGに新たな情報に係る電荷を保持させる。具体的には、第4の配線の電位を、トランジスタ400がオン状態となる電位にして、トランジスタ400をオン状態とする。これにより、第3の配線の電位(新たな情報に係る電位)が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。その後、第4の配線の電位をトランジスタ400がオフ状態となる電位にして、トランジスタ400をオフ状態とすることにより、ノードFGには、新たな情報に係る電荷が保持された状態となる。すなわち、ノードFGに第1の書き込みによって所定量の電荷が保持された状態で、第1の書き込みと同様の動作(第2の書き込み)を行うことで、記憶させた情報を上書きすることが可能である。

10

【0301】

本実施の形態で示すトランジスタ400は、高純度化され、酸素欠損が修復された酸化物半導体膜130を用いることで、トランジスタ400のオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、電力の供給がない場合であっても、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0302】

以上より、先の実施の形態で説明したいずれかのトランジスタを用いることで高性能な半導体装置を提供することができる。

20

【0303】

なお、本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0304】

(実施の形態8)

本実施の形態では、実施の形態7で説明した半導体装置の応用例について、図19を用いて説明する。

【0305】

図19(A)及び図19(B)は、図18(A)乃至図18(C)に示した記憶素子(以下、メモリセル660とも記載する。)を複数用いて形成される半導体装置の回路図である。図19(A)は、メモリセル660が直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図19(B)は、メモリセル660が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

30

【0306】

図19(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、複数本の第2信号線S2、複数本のワード線WL、複数のメモリセル660を有する。図19(A)では、ソース線SL及びビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SL及びビット線BLを複数本有する構成としてもよい。

【0307】

各メモリセル660において、トランジスタ600のゲート電極と、トランジスタ400のソース電極又はドレイン電極の一方と、容量素子650の電極の一方とは、電気的に接続されている。また、第1信号線S1とトランジスタ400のソース電極又はドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ400のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子650の電極の他方は電気的に接続されている。

40

【0308】

また、メモリセル660が有するトランジスタ600のソース電極は、隣接するメモリセル660のトランジスタ600のドレイン電極と電気的に接続され、メモリセル660が有するトランジスタ600のドレイン電極は、隣接するメモリセル660のトランジス

50

タ 6 0 0 のソース電極と電氣的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル 6 6 0 が有するトランジスタ 6 0 0 のドレイン電極は、ビット線と電氣的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル 6 6 0 が有するトランジスタ 6 0 0 のソース電極は、ソース線と電氣的に接続される。

#### 【 0 3 0 9 】

図 1 9 ( A ) に示す半導体装置では、行ごとの書き込み動作及び読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第 2 の信号線 S 2 にトランジスタ 4 0 0 がオン状態となる電位を与え、書き込みを行う行のトランジスタ 4 0 0 をオン状態にする。これにより、指定した行のトランジスタ 6 0 0 のゲート電極に第 1 の信号線 S 1 の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

10

#### 【 0 3 1 0 】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線 W L に、トランジスタ 6 0 0 のゲート電極に与えられた電荷によらず、トランジスタ 6 0 0 がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ 6 0 0 をオン状態とする。それから、読み出しを行う行のワード線 W L に、トランジスタ 6 0 0 のゲート電極が有する電荷によって、トランジスタ 6 0 0 のオン状態又はオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線 S L に定電位を与え、ビット線 B L に接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線 S L - ビット線 B L 間の複数のトランジスタ 6 0 0 は、読み出しを行う行を除いてオン状態となっているため、ソース線 S L - ビット線 B L 間のコンダクタンスは、読み出しを行う行のトランジスタ 6 0 0 の状態（オン状態又はオフ状態）によって決定される。読み出しを行う行のトランジスタ 6 0 0 のゲート電極が有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線 B L の電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

20

#### 【 0 3 1 1 】

図 1 9 ( B ) に示す半導体装置は、ソース線 S L 、ビット線 B L 、第 1 信号線 S 1 、第 2 信号線 S 2 、及びワード線 W L をそれぞれ複数本有し、複数のメモリセル 6 6 0 を有する。各トランジスタ 6 0 0 のゲート電極と、トランジスタ 4 0 0 のソース電極又はドレイン電極の一方と、容量素子 6 5 0 の電極の一方とは、電氣的に接続されている。また、ソース線 S L とトランジスタ 6 0 0 のソース電極とは、電氣的に接続され、ビット線 B L とトランジスタ 6 0 0 のドレイン電極とは、電氣的に接続されている。また、第 1 信号線 S 1 とトランジスタ 4 0 0 のソース電極又はドレイン電極の他方とは、電氣的に接続され、第 2 信号線 S 2 と、トランジスタ 4 0 0 のゲート電極とは、電氣的に接続されている。そして、ワード線 W L と、容量素子 6 5 0 の電極の他方は電氣的に接続されている。

30

#### 【 0 3 1 2 】

図 1 9 ( B ) に示す半導体装置では、行ごとの書き込み動作及び読み出し動作を行う。書き込み動作は、上述の図 1 9 ( A ) に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線 W L に、トランジスタ 6 0 0 のゲート電極に与えられた電荷によらず、トランジスタ 6 0 0 がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ 6 0 0 をオフ状態とする。それから、読み出しを行う行のワード線 W L に、トランジスタ 6 0 0 のゲート電極が有する電荷によって、トランジスタ 6 0 0 のオン状態又はオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線 S L に定電位を与え、ビット線 B L に接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線 S L - ビット線 B L 間のコンダクタンスは、読み出しを行う行のトランジスタ 6 0 0 の状態（オン状態又はオフ状態）によって決定される。つまり、読み出しを行う行のトランジスタ 6 0 0 のゲート電極が有する電荷によって、ビット線 B L の電位は異なる値をとることになる。ピッ

40

50



ト線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【0313】

上記においては、各メモリセル660に保持させる情報量を1ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。トランジスタ600のゲート電極に与える電位を3以上用意して、各メモリセル660が保持する情報量を増加させてもよい。例えば、トランジスタ600のゲート電極にあたえる電位を4種類とする場合には、各メモリセルに2ビットの情報を保持させることができる。

【0314】

なお、本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせる用いることができる。

10

【0315】

(実施の形態9)

本実施の形態では、先の実施の形態のいずれかで説明したトランジスタを適用した半導体装置について図20を用いて説明する。なお、本実施の形態においても、半導体装置の一例として記憶素子(メモリセル)を示し、先の実施の形態に示した構成と異なる構成の記憶素子について説明する。

【0316】

本実施の形態で説明する記憶素子の回路図を図20(A)に示す。

【0317】

20

図20(A)に示したメモリセルは、ビット線BLと、ワード線WLと、センスアンプS Ampと、トランジスタTrと、キャパシタCと、を有する。

【0318】

キャパシタCに保持された電圧の時間変化は、トランジスタTrのオフ電流によって図20(B)に示すように徐々に低減していくことが知られている。当初V0からV1まで充電された電圧は、時間が経過するとdata1を読み出す限界点であるVAまで低減する。この期間を保持期間T<sub>1</sub>とする。即ち、2値メモリセルの場合、保持期間T<sub>1</sub>の間にリフレッシュをする必要がある。

【0319】

先の実施の形態のいずれかで説明したトランジスタは、高純度化され、酸素欠損が修復された酸化物半導体膜を用いたトランジスタであり、電気特性の変動が抑制され、オフ電流が十分に低減されている。そのため、トランジスタTrに先の実施の形態のいずれかで説明したトランジスタを適用することで保持期間T<sub>1</sub>を長くすることができる。即ち、リフレッシュ期間を長くすることが可能となるため、消費電力を低減することができる。例えば、オフ電流が $1 \times 10^{-21}$  A以下、好ましくは $1 \times 10^{-24}$  A以下となった酸化物半導体膜を用いたトランジスタで本実施の形態で説明するメモリセルを構成すると、電力を供給せずに数日間から数十年間に渡ってデータを保持することが可能となる。

30

【0320】

また、先の実施の形態のいずれかで説明したトランジスタは、オン電流及び電界効果移動度が高いことから高速動作、高速応答が可能なメモリセルを作製することができる。

40

【0321】

以上より、先の実施の形態で説明したいずれかのトランジスタを用いることで高性能な半導体装置を提供することができる。

【0322】

なお、本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0323】

(実施の形態10)

本実施の形態では、先の実施の形態のいずれかで説明したトランジスタを適用した半導体装置について、図21を参照して説明する。

50

## 【0324】

図21(A)には、いわゆるDRAM(Dynamic Random Access Memory)に相当する構成の半導体装置の一例を示す。図21(A)に示すメモリセルアレイ1120は、複数のメモリセル1130がマトリクス状に配列された構成を有している。また、メモリセルアレイ1120は、m本の第1の配線、及びn本の第2の配線を有する。なお、本実施の形態においては、第1の配線をワード線WLとよび、第2の配線をビット線BLとよぶ。

## 【0325】

メモリセル1130は、トランジスタ1131と、容量素子1132と、から構成されている。トランジスタ1131のゲート電極は、第1の配線(ワード線WL)と接続されている。また、トランジスタ1131のソース電極又はドレイン電極の一方は、第2の配線(ビット線BL)と接続されており、トランジスタ1131のソース電極又はドレイン電極の他方は、容量素子の電極の一方と接続されている。また、容量素子の電極の他方は容量線CLと接続され、一定の電位が与えられている。トランジスタ1131には、先の実施の形態に示すいずれかのトランジスタが適用される。

10

## 【0326】

先の実施の形態のいずれかで説明したトランジスタは、高純度化され、酸素欠損が修復された酸化物半導体膜を用いたトランジスタであり、電気特性の変動が抑制され、オフ電流が十分に低減されている。このようなトランジスタを用いることにより、いわゆるDRAMとして認識されている図21(A)に示す半導体装置を実質的な不揮発性メモリとして使用することが可能になる。

20

## 【0327】

図21(B)には、いわゆるSRAM(Static Random Access Memory)に相当する構成の半導体装置の一例を示す。図21(B)に示すメモリセルアレイ1140は、複数のメモリセル1150がマトリクス状に配列された構成とすることができる。また、メモリセルアレイ1140は、第1の配線(ワード線WL)、第2の配線(ビット線BL)及び第3の配線(反転ビット線BLB)、電源電位線VDD、及び接地電位線VSSを有する。

## 【0328】

メモリセル1150は、第1のトランジスタ1151、第2のトランジスタ1152、第3のトランジスタ1153、第4のトランジスタ1154、第5のトランジスタ1155、及び第6のトランジスタ1156を有している。第1のトランジスタ1151と第2のトランジスタ1152は、選択トランジスタとして機能する。また、第3のトランジスタ1153と第4のトランジスタ1154のうち、一方はnチャネル型トランジスタ(ここでは、第4のトランジスタ1154)であり、他方はpチャネル型トランジスタ(ここでは、第3のトランジスタ1153)である。つまり、第3のトランジスタ1153と第4のトランジスタ1154によってCMOS回路が構成されている。同様に、第5のトランジスタ1155と第6のトランジスタ1156によってCMOS回路が構成されている。

30

## 【0329】

第1のトランジスタ1151、第2のトランジスタ1152、第4のトランジスタ1154、第6のトランジスタ1156は、nチャネル型のトランジスタであり、先の実施の形態において示したトランジスタを適用することができる。第3のトランジスタ1153と第5のトランジスタ1155は、pチャネル型のトランジスタであり、酸化物半導体以外の材料(例えば、単結晶シリコンなど)をチャネル形成領域に用いる。

40

## 【0330】

そして、先の実施の形態のいずれかで説明したトランジスタは、オン電流及び電界効果移動度が高いことから高速動作、高速応答が可能な半導体装置を作製することができる。

## 【0331】

以上より、先の実施の形態で説明したいずれかのトランジスタを用いることで高性能な

50

半導体装置を提供することができる。

【0332】

本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせ用いることができる。

【0333】

(実施の形態11)

先の実施の形態のいずれかで説明したトランジスタを少なくとも一部に用いてCPU (Central Processing Unit) を構成することができる。

【0334】

図22(A)は、CPUの具体的な構成を示すブロック図である。図22(A)に示すCPUは、基板1190上に、演算回路(ALU: Arithmetic logic unit)1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、及びROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199及びROM I/F1189は、別チップに設けても良い。勿論、図22(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0335】

Bus I/F1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0336】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0337】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

【0338】

図22(A)に示すCPUでは、レジスタ1196に、記憶素子が設けられている。レジスタ1196の記憶素子には、先の実施の形態に記載されている記憶素子を用いることができる。

【0339】

図22(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有する記憶素子において、論理(値)を反転させる論理素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。論理(値)を反転させる論理素子によるデータの保持が選択されている場合、レジスタ1196内の記憶素

子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内の記憶素子への電源電圧の供給を停止することができる。

【0340】

電源停止に関しては、図 22 (B) 又は図 22 (C) に示すように、記憶素子群と、電源電位  $V_{dd}$  又は電源電位  $V_{ss}$  の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 22 (B) 及び図 22 (C) の回路の説明を行う。

【0341】

図 22 (B) 及び図 22 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に、酸化物半導体をチャネル形成領域に用いたトランジスタを含む記憶回路の構成の一例を示す。

【0342】

図 22 (B) に示す記憶装置は、スイッチング素子 1141 と、記憶素子 1142 を複数有する記憶素子群 1143 とを有している。具体的に、各記憶素子 1142 には、先の実施の形態に記載されている記憶素子を用いることができる。記憶素子群 1143 が有する各記憶素子 1142 には、スイッチング素子 1141 を介して、ハイレベルの電源電位  $V_{dd}$  が供給されている。さらに、記憶素子群 1143 が有する各記憶素子 1142 には、信号  $IN$  の電位と、ローレベルの電源電位  $V_{ss}$  の電位が与えられている。

【0343】

図 22 (B) では、スイッチング素子 1141 として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号  $SigA$  によりスイッチングが制御される。

【0344】

なお、図 22 (B) では、スイッチング素子 1141 がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していても良い。スイッチング素子 1141 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【0345】

また、図 22 (B) では、スイッチング素子 1141 により、記憶素子群 1143 が有する各記憶素子 1142 への、ハイレベルの電源電位  $V_{dd}$  の供給が制御されているが、スイッチング素子 1141 により、ローレベルの電源電位  $V_{ss}$  の供給が制御されていても良い。

【0346】

また、図 22 (C) には、記憶素子群 1143 が有する各記憶素子 1142 に、スイッチング素子 1141 を介して、ローレベルの電源電位  $V_{ss}$  が供給されている、記憶装置の一例を示す。スイッチング素子 1141 により、記憶素子群 1143 が有する各記憶素子 1142 への、ローレベルの電源電位  $V_{ss}$  の供給を制御することができる。

【0347】

記憶素子群と、電源電位  $V_{dd}$  又は電源電位  $V_{ss}$  の与えられているノード間に、スイッチング素子を設け、一時的に CPU の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPU の動作を停止することができ、それにより消費電力を低減することができる。

【0348】

ここでは、CPU を例に挙げて説明したが、DSP (Digital Signal Processor)、カスタム LSI、FPGA (Field Programmable Gate Array) 等の LSI にも応用可能である。

10

20

30

40

50

## 【 0 3 4 9 】

本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせ用いることができる。

## 【 0 3 5 0 】

( 実施の形態 1 2 )

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置するトランジスタを作製する例について以下に説明する。

## 【 0 3 5 1 】

画素部に配置するトランジスタは、先の実施の形態のいずれかで説明したトランジスタの作製方法に従って形成する。また、先の実施の形態のいずれかで説明したトランジスタは n チャンネル型とすることが容易なので、駆動回路のうち、n チャンネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成することができる。

10

## 【 0 3 5 2 】

先の実施の形態のいずれかで説明したトランジスタは、高純度化され、酸素欠損が修復された酸化物半導体膜を用いたトランジスタであり、電気特性の変動が抑制され、オフ電流が十分に低減されている。また、当該トランジスタは、オン電流及び電界効果移動度が高い。そのため、画素部や駆動回路に先の実施の形態のいずれかで説明したトランジスタを用いることにより、高性能で高信頼性な表示装置を提供することができる。

20

## 【 0 3 5 3 】

アクティブマトリクス型表示装置の一例を図 2 3 ( A ) に示す。表示装置の基板 7 0 0 上には、画素部 7 0 1、第 1 の走査線駆動回路 7 0 2、第 2 の走査線駆動回路 7 0 3、信号線駆動回路 7 0 4 を有する。画素部 7 0 1 には、複数の信号線が信号線駆動回路 7 0 4 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 7 0 2、及び第 2 の走査線駆動回路 7 0 3 から延伸して配置されている。なお、走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板 7 0 0 は F P C ( F l e x i b l e P r i n t e d C i r c u i t ) 等の接続部を介して、タイミング制御回路 ( コントローラ、制御 I C ともいう ) に接続されている。

## 【 0 3 5 4 】

図 2 3 ( A ) では、第 1 の走査線駆動回路 7 0 2、第 2 の走査線駆動回路 7 0 3、信号線駆動回路 7 0 4 は、画素部 7 0 1 と同じ基板 7 0 0 上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 7 0 0 外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板 7 0 0 上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

30

## 【 0 3 5 5 】

また、画素部の回路構成の一例を図 2 3 ( B ) に示す。ここでは、V A 型液晶表示パネルの画素構造を示す。

## 【 0 3 5 6 】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にトランジスタが接続されている。各トランジスタは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

40

## 【 0 3 5 7 】

トランジスタ 7 1 6 のゲート配線 7 1 2 と、トランジスタ 7 1 7 のゲート配線 7 1 3 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース配線又はドレイン配線 7 1 4 は、トランジスタ 7 1 6 とトランジスタ 7 1 7 で共通に用いられている。トランジスタ 7 1 6 とトランジスタ 7 1 7 は、先の実施の形態のいずれかで説明したトランジスタを適宜用いることができる。これにより、高性能な液晶表示パネルを提供することができる。

50

## 【0358】

トランジスタ716と電氣的に接続する第1の画素電極と、トランジスタ717と電氣的に接続する第2の画素電極の形状は異なっており、スリットによって分離されている。V字型に広がる第1の画素電極の外側を囲むように第2の画素電極が形成されている。第1の画素電極と第2の画素電極に印加する電圧のタイミングを、トランジスタ716及びトランジスタ717により異ならせることで、液晶の配向を制御している。トランジスタ716はゲート配線712と接続し、トランジスタ717はゲート配線713と接続している。ゲート配線712とゲート配線713は異なるゲート信号を与えることで、トランジスタ716とトランジスタ717の動作タイミングを異ならせることができる。

## 【0359】

また、容量配線710と、誘電体として機能するゲート絶縁膜と、第1の画素電極又は第2の画素電極と電氣的に接続する容量電極とで保持容量を形成する。

## 【0360】

第1の画素電極と液晶層と対向電極が重なり合うことで、第1の液晶素子718が形成されている。また、第2の画素電極と液晶層と対向電極が重なり合うことで、第2の液晶素子719が形成されている。また、一画素に第1の液晶素子718と第2の液晶素子719が設けられたマルチドメイン構造である。

## 【0361】

なお、図23(B)に示す画素構成は、これに限定されない。例えば、図23(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、又は論理回路などを追加してもよい。

## 【0362】

また、画素部の回路構成の一例を図23(C)に示す。ここでは、有機EL素子を用いた表示パネルの画素構造を示す。

## 【0363】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子及び正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子及び正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

## 【0364】

図23(C)は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

## 【0365】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体膜を用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

## 【0366】

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724及び容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極が走査線726に接続され、第1電極(ソース電極及びドレイン電極の一方)が信号線725に接続され、第2電極(ソース電極及びドレイン電極の他方)が駆動用トランジスタ722のゲート電極に接続されている。駆動用トランジスタ722は、ゲート電極が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極(画素電極)に接続されている。発光素子724の第2電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電氣的に接続される。

## 【0367】

スイッチング用トランジスタ721及び駆動用トランジスタ722は先の実施の形態のいずれかで説明したトランジスタを適宜用いることができる。これにより、信頼性の高い

10

20

30

40

50

有機EL素子を用いた表示パネルを提供することができる。

【0368】

なお、発光素子724の第2電極（共通電極728）には低電源電位が設定されている。なお、低電源電位とは、電源線727に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていてもよい。この高電源電位と低電源電位との電位差を発光素子724に印加して、発光素子724に電流を流して発光素子724を発光させるため、高電源電位と低電源電位との電位差が発光素子724の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0369】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用して省略することも可能である。駆動用トランジスタ722のゲート容量については、チャネル形成領域とゲート電極との間で容量が形成されていてもよい。

【0370】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ722のゲート電極には、駆動用トランジスタ722が十分なオン状態又はオフ状態の二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ722は線形領域で動作させる。駆動用トランジスタ722は線形領域で動作させるため、電源線727の電圧よりも高い電圧を駆動用トランジスタ722のゲート電極にかける。なお、信号線725には、電源線電圧と駆動用トランジスタ722の $V_{th}$ との和である電圧以上の電圧をかける。

【0371】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図23(C)と同じ画素構成を用いることができる。

【0372】

アナログ階調駆動を行う場合、駆動用トランジスタ722のゲート電極に発光素子724の順方向電圧と、駆動用トランジスタ722の $V_{th}$ との和である電圧以上の電圧をかける。発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ722が飽和領域で動作するようなビデオ信号を入力することで、発光素子724に電流を流すことができる。駆動用トランジスタ722を飽和領域で動作させるため、電源線727の電位は、駆動用トランジスタ722のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子724にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0373】

なお、図23(C)に示す画素構成は、これに限定されない。例えば、図23(C)に示す画素に新たにスイッチ、抵抗素子、容量素子、センサ、トランジスタ又は論理回路などを追加してもよい。

【0374】

以上、本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0375】

（実施の形態13）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した半導体装置を具備する電子機器の例について説明する。

【0376】

図24(A)は、携帯型の情報端末の一例であり、本体1001、筐体1002、表示

10

20

30

40

50

部 1 0 0 3 a、1 0 0 3 b などによって構成されている。表示部 1 0 0 3 b はタッチパネルとなっており、表示部 1 0 0 3 b に表示されるキーボードボタン 1 0 0 4 を触れることで画面操作や、文字入力を行うことができる。勿論、表示部 1 0 0 3 a をタッチパネルとして構成してもよい。先の実施の形態のいずれかで説明したトランジスタをスイッチング素子に用いて作製した液晶パネルや有機発光パネルを表示部に適用することにより、高性能な携帯型の情報端末を作製できる。例えば、低消費電力且つ高信頼性な携帯型の情報端末を作製できる。

#### 【 0 3 7 7 】

図 2 4 ( A ) は、様々な情報 ( 静止画、動画、テキスト画像など ) を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア ( プログラム ) によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子 ( イヤホン端子、U S B 端子など )、記録媒体挿入部などを備える構成としてもよい。

10

#### 【 0 3 7 8 】

また、図 2 4 ( A ) に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

#### 【 0 3 7 9 】

図 2 4 ( B ) は、携帯音楽プレイヤーの一例であり、本体 1 0 2 1 には表示部 1 0 2 3 と、耳に装着するための固定部 1 0 2 2 と、スピーカー、操作ボタン 1 0 2 4、外部メモリスロット 1 0 2 5 等が設けられている。先の実施の形態のいずれかで説明したトランジスタをスイッチング素子に用いて作製した液晶パネルや有機発光パネルを表示部に適用することにより、高性能な携帯音楽プレイヤーを作製できる。例えば、低消費電力且つ高信頼性な携帯音楽プレイヤーを作製できる。

20

#### 【 0 3 8 0 】

さらに、図 2 4 ( B ) に示す携帯音楽プレイヤーにアンテナやマイク機能や無線機能を持たせ、携帯電話と連携させれば、乗用車などを運転しながらワイヤレスによるハンズフリーでの会話も可能である。

#### 【 0 3 8 1 】

図 2 4 ( C ) は、携帯電話の一例であり、筐体 1 0 3 0 及び筐体 1 0 3 1 の二つの筐体で構成されている。筐体 1 0 3 1 には、表示パネル 1 0 3 2、スピーカー 1 0 3 3、マイクロフォン 1 0 3 4、ポインティングデバイス 1 0 3 6、カメラ用レンズ 1 0 3 7、外部接続端子 1 0 3 8 などを備えている。また、筐体 1 0 3 0 には、携帯型情報端末の充電を行う太陽電池セル 1 0 4 0、外部メモリスロット 1 0 4 1 などを備えている。また、アンテナは筐体 1 0 3 1 内部に内蔵されている。先の実施の形態のいずれかで説明したトランジスタをスイッチング素子に用いて作製した液晶パネルや有機発光パネルを表示パネルに適用することにより、高性能な携帯電話を作製できる。例えば、低消費電力且つ高信頼性な携帯電話を作製できる。

30

#### 【 0 3 8 2 】

また、表示パネル 1 0 3 2 はタッチパネルを備えており、図 2 4 ( C ) には映像表示されている複数の操作キー 1 0 3 5 を点線で示している。なお、太陽電池セル 1 0 4 0 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

40

#### 【 0 3 8 3 】

表示パネル 1 0 3 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 1 0 3 2 と同一面上にカメラ用レンズ 1 0 3 7 を備えているため、テレビ電話が可能である。スピーカー 1 0 3 3 及びマイクロフォン 1 0 3 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 1 0 3 0 と筐体 1 0 3 1 は、スライドし、図 2 4 ( C ) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

#### 【 0 3 8 4 】

50



外部接続端子 1038 は A C アダプタ及び U S B ケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット 1041 に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

#### 【0385】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

#### 【0386】

図 24 (D) は、テレビジョン装置の一例であり、筐体 1051 に表示部 1053 が組み込まれている。当該テレビジョン装置は、表示部 1053 により、映像を表示することが可能である。また、ここでは、C P U を内蔵したスタンド 1055 により筐体 1051 を支持した構成を示している。先の実施の形態のいずれかで説明したトランジスタをスイッチング素子に用いて作製した液晶パネルや有機発光パネルを表示部に適用することにより、高性能なテレビジョン装置を作製できる。例えば、低消費電力且つ高信頼性なテレビジョン装置を作製できる。

10

#### 【0387】

テレビジョン装置の操作は、筐体 1051 が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

#### 【0388】

20

なお、テレビジョン装置は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

#### 【0389】

また、テレビジョン装置は、外部接続端子 1054 や、記憶媒体再生録画部 1052、外部メモリスロットを備えている。外部接続端子 1054 は、U S B ケーブルなどの各種ケーブルと接続可能であり、パーソナルコンピュータなどとのデータ通信が可能である。記憶媒体再生録画部 1052 では、ディスク状の記録媒体を挿入し、記録媒体に記憶されているデータの読み出し、記録媒体への書き込みが可能である。また、外部メモリスロットに差し込まれた外部メモリ 1056 にデータ保存されている画像や映像などを表示部 1053 に映し出すことも可能である。

30

#### 【0390】

また、先の実施の形態で示した記憶装置を外部メモリ 1056 や C P U に適用することにより、消費電力が十分に低減された信頼性の高いテレビジョン装置とすることができる。

#### 【0391】

以上、本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせ用いることができる。

#### 【実施例 1】

40

#### 【0392】

本実施例では、本発明の一態様である半導体装置に適用できる酸化物半導体膜の物性について説明する。

#### 【0393】

まず、物性の評価を行った試料の作製方法について説明する。当該作製方法は、基板側にバイアス電力を加えながらスパッタリング法で酸化物半導体膜を形成する工程と、形成した酸化物半導体膜を加熱処理する工程を有する。なお、本実施例では、マグネトロンスパッタリング装置を用いたので、当該作製方法は図 2 (B) を適宜参照して説明する。

#### 【0394】

本実施例で形成する酸化物半導体膜は、原子数比が  $I n : G a : Z n = 3 : 1 : 2$  であ

50

る In - Ga - Zn 系酸化物とした。そこで、ターゲット 207 を原子数比が In : Ga : Zn = 3 : 1 : 2 である In - Ga - Zn 系酸化物ターゲットとした。

【0395】

基板支持台 205 に基板（石英基板）を設置し、ガス供給手段 204 より処理室 201 に酸素ガスを供給し、処理室 201 の圧力を 0.4 Pa に調整した。処理室 201 に供給した酸素ガスは 30 sccm とした。

【0396】

次いで、電源 211 によって RF 電力を電極 203 に加えて、処理室 201 内に酸素プラズマを発生させ、基板支持台 205 に設置した基板にターゲット 207 の酸化物半導体膜を堆積させた。このとき、電源 215 によって RF 電力を、基板支持台 205（基板側）にバイアス電力を供給して酸化物半導体膜を 100 nm 形成した。つまり、自己バイアス電圧（V<sub>dc</sub>）を制御しながら、基板に酸化物半導体膜を 100 nm 形成した。なお、酸化物半導体膜を形成する際、基板温度は室温とし、電極 203 に加えた RF 電力は 200 W とした。

【0397】

また、本実施例では、スパッタリング法で酸化物半導体膜を形成する際に、基板側に加えるバイアス電力を、0 W、100 W、200 W の 3 条件とした。比較例である、バイアス電力を 0 W として作製される試料を試料 A とし、バイアス電力を 100 W として作製される試料を試料 B とし、バイアス電力を 200 W として作製される試料を試料 C とした。

【0398】

次いで、形成した酸化物半導体膜を加熱処理し、物性を評価する試料を作製した。当該加熱処理は酸素雰囲気下又は窒素雰囲気下で 1 時間行い、加熱処理の温度は 650 とした。

【0399】

なお、基板側に加える RF 電力（バイアス電力）と基板側に印加される自己バイアス電圧との間には図 25 に示した関係を有する。それゆえ、バイアス電力を 100 W とした試料 B は、概ね 290 V の自己バイアス電圧が印加された試料といえ、バイアス電力を 200 W とした試料 C は、概ね 440 V の自己バイアス電圧が印加された試料といえる。なお、自己バイアス電圧は、基板の電位と接地電位との電位差を測定した。

【0400】

次いで、酸素雰囲気下又は窒素雰囲気下で 650 の加熱処理をした試料 A、試料 B、及び試料 C について、ホール効果測定によってキャリア密度測定を行った。キャリア密度測定の結果を図 26 に示す。図 26 において、横軸は基板側に印加された自己バイアス電圧（V<sub>dc</sub>）[V] を示し、縦軸は測定したキャリア密度 [cm<sup>-3</sup>] を示す。

【0401】

図 26 より、比較例であり、自己バイアス電圧が 0 V である試料 A のキャリア密度は、 $4.6 \times 10^{16} \text{ cm}^{-3}$  であった。一方、概ね 290 V の自己バイアス電圧が印加された試料 B のキャリア密度は、 $8.5 \times 10^{15} \text{ cm}^{-3}$  であった。概ね 440 V の自己バイアス電圧が印加された試料 C のキャリア密度は、 $2.9 \times 10^{14} \text{ cm}^{-3}$  であった。

【0402】

また、図 26 に示した試料 B 及び試料 C の結果より、試料 B の条件から試料 C の条件にすることでキャリア密度が直線的に低下するとすれば、自己バイアス電圧を 400 V 以上に制御して酸化物半導体膜を形成し、加熱処理を行うことでキャリア密度を  $1 \times 10^{15} \text{ cm}^{-3}$  未満とすることができるといえる。換言すると、基板側に供給するバイアス電力を 200 W 以上（図 25 参照）として酸化物半導体膜を形成し、加熱処理を行うことでキャリア密度を  $1 \times 10^{15} \text{ cm}^{-3}$  未満とすることができるといえる。

【0403】

次に、試料 A、試料 B、及び試料 C の同様の作製工程を用い、加熱処理の温度を 650 から 450 に変更して作製した試料を試料 D、試料 E、及び試料 F を作製した。つまり、試料 D は自己バイアス電圧を 0 V として作製した試料であり、試料 E は自己バイアス

10

20

30

40

50

電圧を概ね 290 V として作製した試料であり、試料 F は自己バイアス電圧を概ね 440 V として作製した試料である。

【0404】

試料 A 乃至試料 F について、電子スピン共鳴法を用いて酸素欠損に起因する信号のスピン密度を測定した。測定した結果を図 27 に示す。図 27 において、横軸は g 値を示し、縦軸に当該信号の強度を示している。

【0405】

図 27 (A) は、450 で加熱処理をした試料 D、試料 E、及び試料 F の結果であり、図 27 (B) は、650 で加熱処理をした試料 A、試料 B、及び試料 C の結果である。図 27 (A) より、基板側にバイアス電力を加えない (0 W) 試料 D では、g (g 値) = 1.93 付近に対称性を有する信号が観察された。当該信号は酸化物半導体膜の酸素欠損に起因する信号である。当該信号を積分変換した吸収曲線におけるピークの積分値と、あらかじめ欠陥の総量が定量されている標準試料とを比較することで、当該信号におけるスピン密度を算出した。当該スピン密度は  $9.3 \times 10^{16} \text{ spins/cm}^3$  であった。

10

【0406】

なお、本実施例では、試料 A 乃至試料 F の酸化物半導体膜として、原子数比が In : Ga : Zn = 3 : 1 : 2 である In - Ga - Zn 系酸化物としているため、当該酸化物半導体膜における In の組成は、Ga と Zn との組成に比べて多い。それゆえ、試料 A 乃至試料 F の酸化物半導体膜の酸素欠損に起因する信号の g (g 値) は 1.93 よりも小さい値となっている。

20

【0407】

例えば、試料 A 乃至試料 F の酸化物半導体膜として、原子数比が In : Ga : Zn = 1 : 1 : 1 である In - Ga - Zn 系酸化物を用いた場合、酸素欠損に起因する信号の g (g 値) は、1.93 の位置に現れると考察できる。

【0408】

一方、基板側に 100 W のバイアス電力を加えた (概ね 290 V の V<sub>dc</sub> が印加された) 試料 E、及び基板側に 200 W のバイアス電力を加えた (概ね 440 V の V<sub>dc</sub> が印加された) 試料 F には、g (g 値) = 1.93 付近に対称性を有する信号は観察されなかった。従って、基板側にバイアス電力を供給し酸素プラズマ中で基板側に印加される自己バイアス電圧を制御しながら、酸化物半導体膜を形成することで、酸素を取り込みながら酸化物半導体膜を形成することができ、酸素欠損が低減された酸化物半導体膜を形成できると確認できた。

30

【0409】

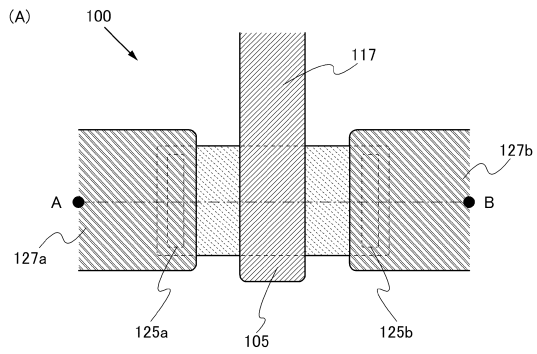
また、図 27 (B) より、650 で加熱処理をした試料 A、試料 B、及び試料 C には、g (g 値) = 1.93 付近に対称性を有する信号が観察されなかった。つまり、試料 A、試料 B、及び試料 C において、当該信号のスピン密度は検出下限以下であった。

【0410】

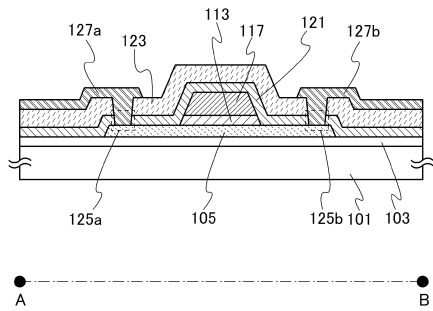
以上より、酸素雰囲気下でスパッタリング法により酸化物半導体膜を形成する際、基板側に印加される自己バイアス電圧を制御して形成した後、加熱処理を行うことで、酸素欠損が低減された酸化物半導体膜を形成することができる。このようにすることで、例えば、電子スピン共鳴法によって計測される g (g 値) が 1.93 付近の信号のピークから算出されたスピン密度が  $9.3 \times 10^{16} \text{ spins/cm}^3$  未満であり、好ましくは  $5 \times 10^{16} \text{ spins/cm}^3$  以下であり、さらに好ましくは検出下限以下であって、且つキャリア密度が  $1 \times 10^{15} / \text{cm}^3$  未満である酸化物半導体膜を形成することができる。そして、この方法で形成した酸化物半導体膜を用いることで、高性能な半導体装置を作製することができる。

40

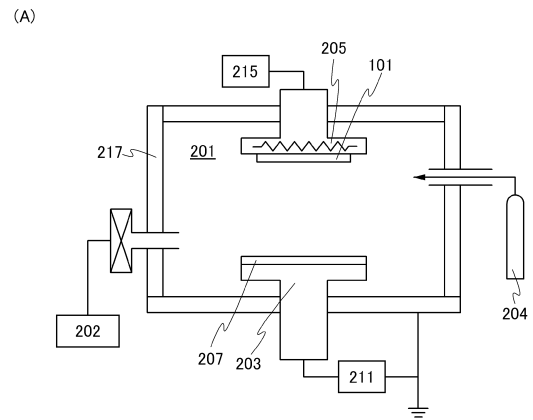
【図 1】



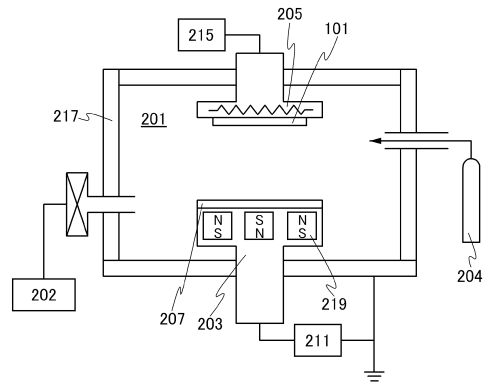
(B)



【図 2】

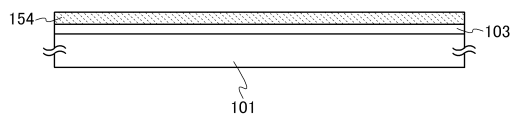


(B)

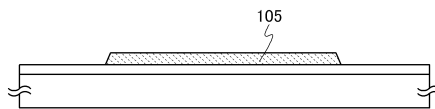


【図 3】

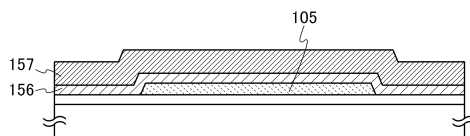
(A)



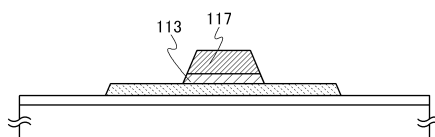
(B)



(C)

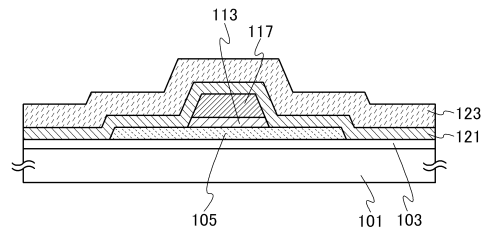


(D)

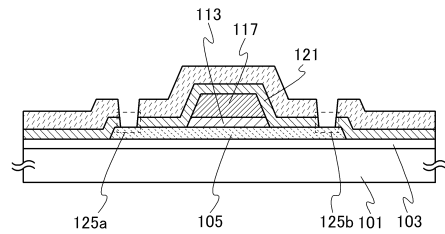


【図 4】

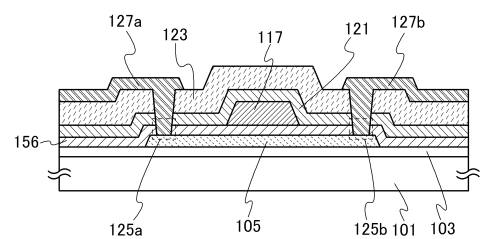
(A)



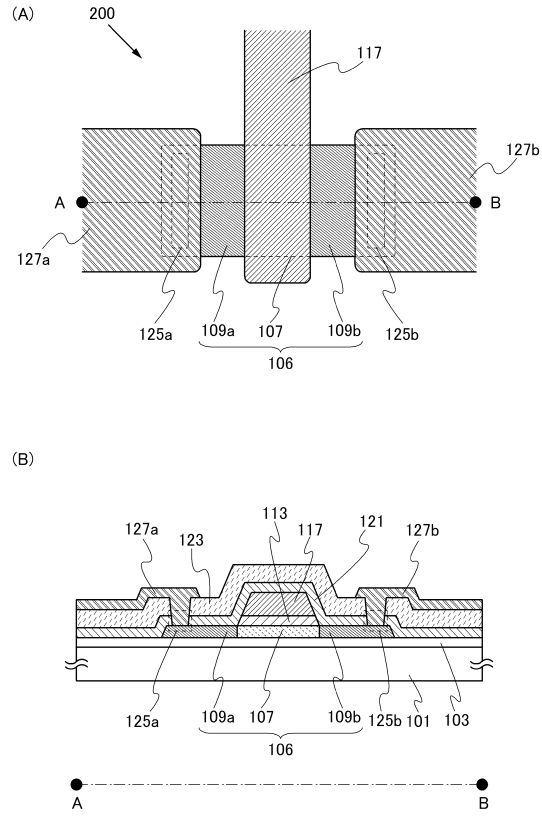
(B)



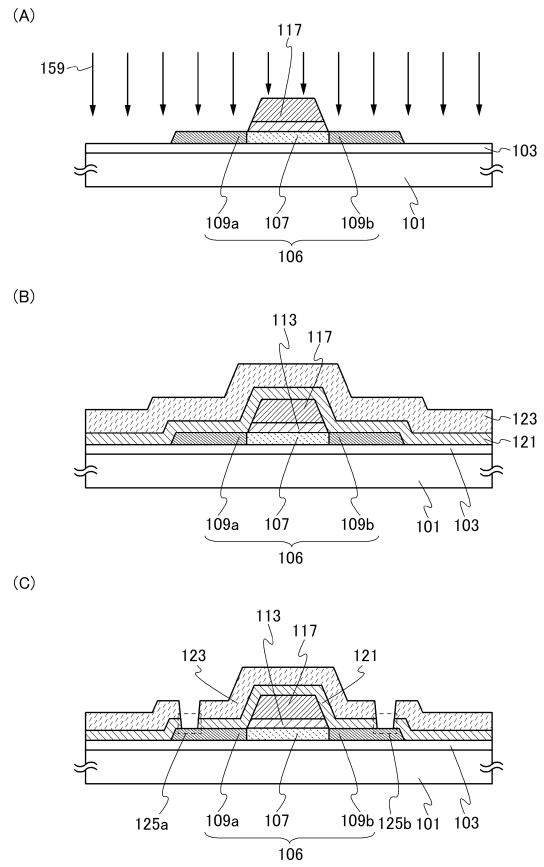
【図 5】



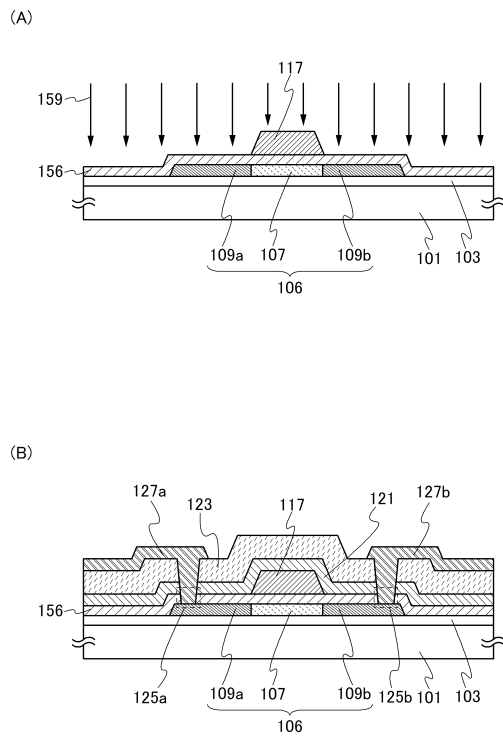
【図 6】



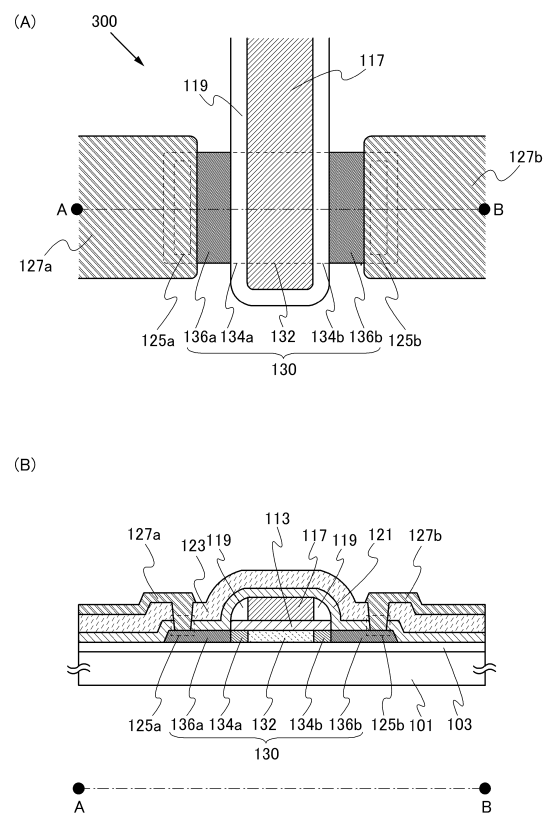
【図 7】



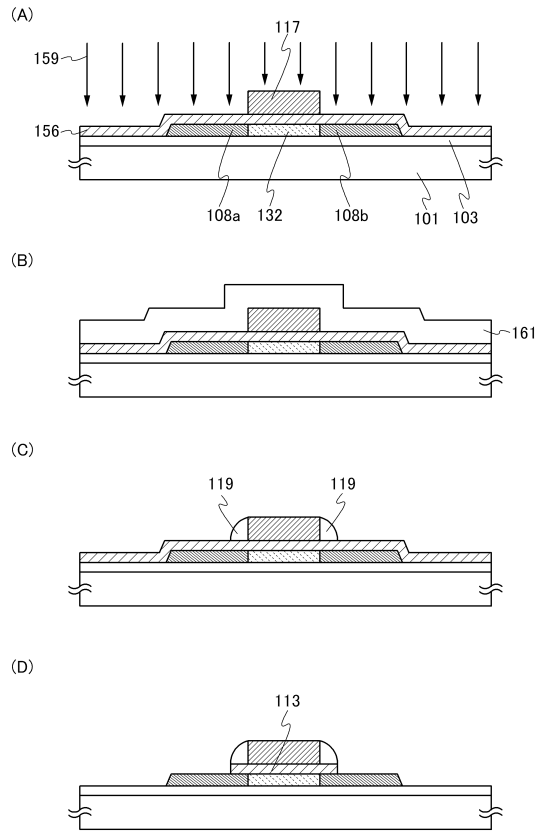
【図 8】



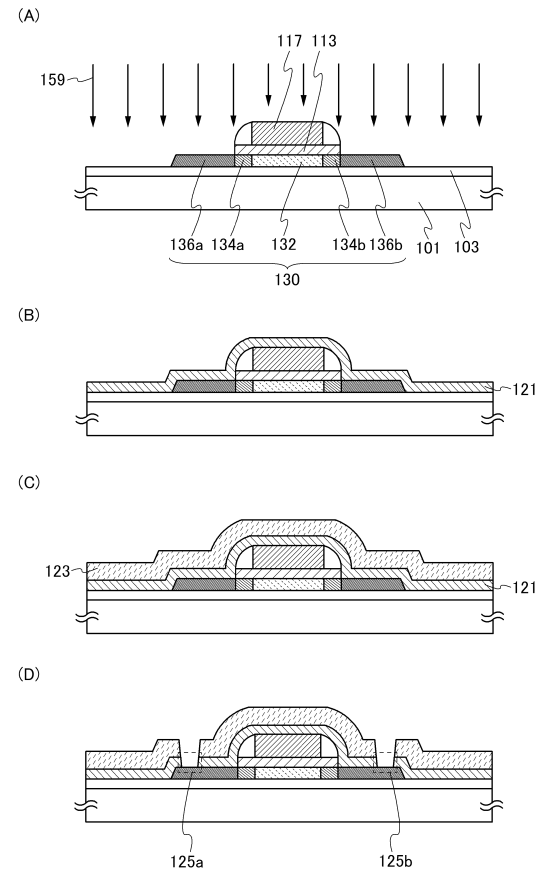
【図 9】



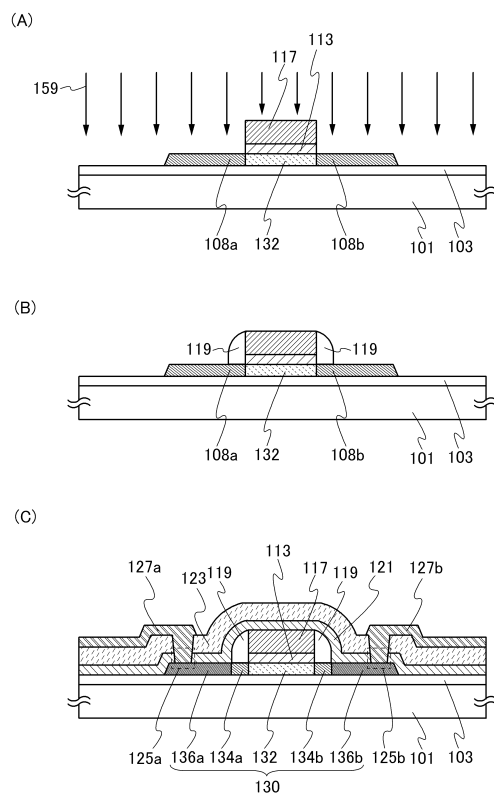
【図 10】



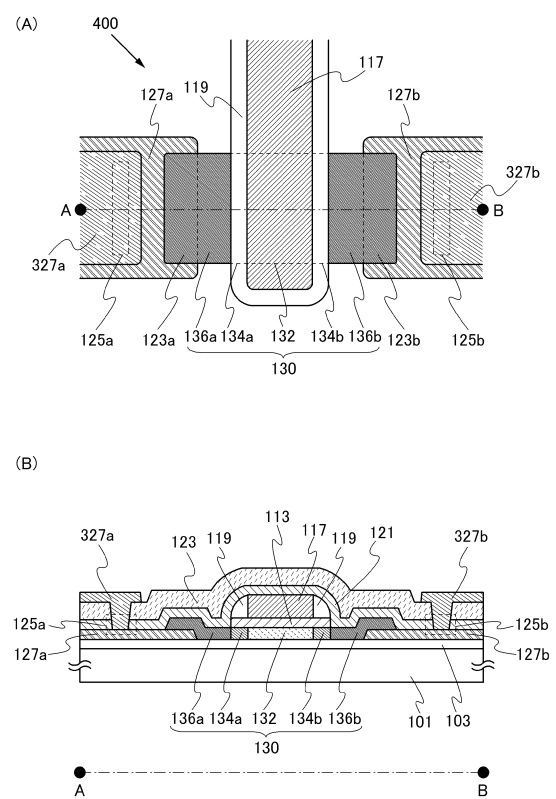
【図 11】



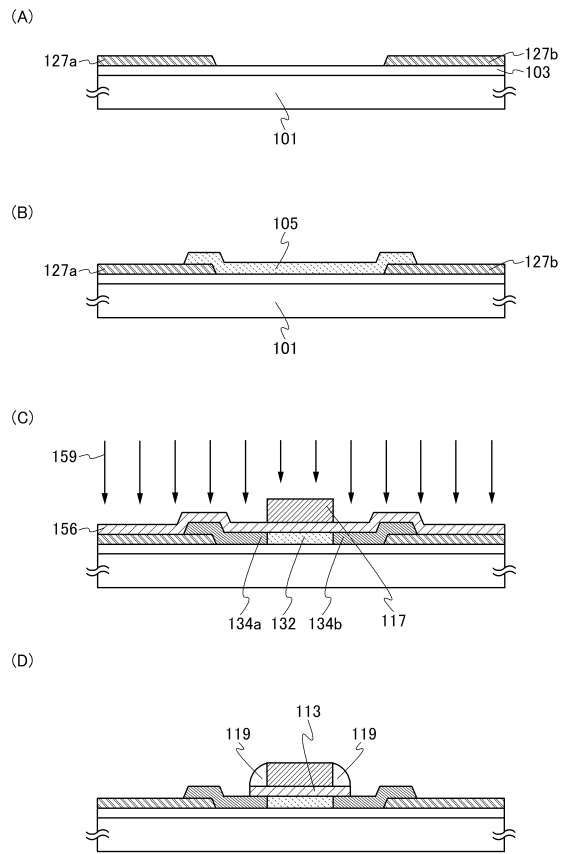
【図 12】



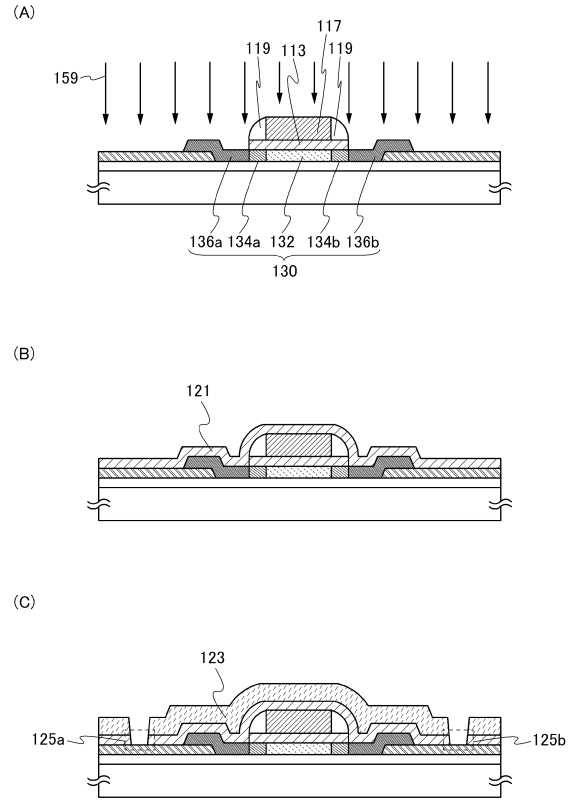
【図 13】



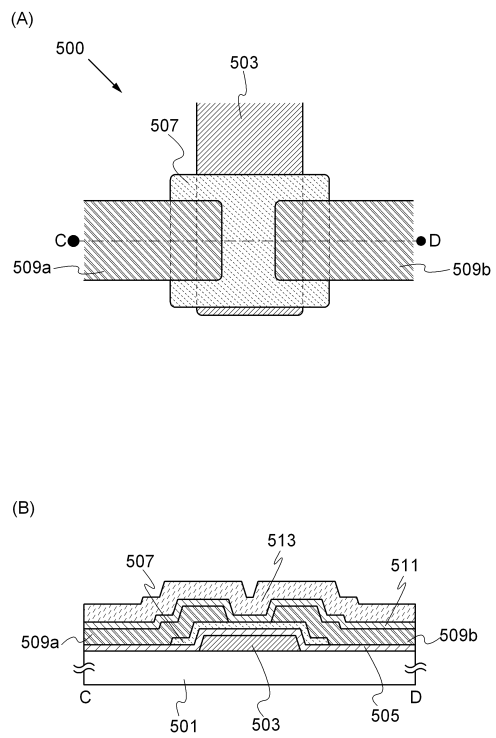
【図 14】



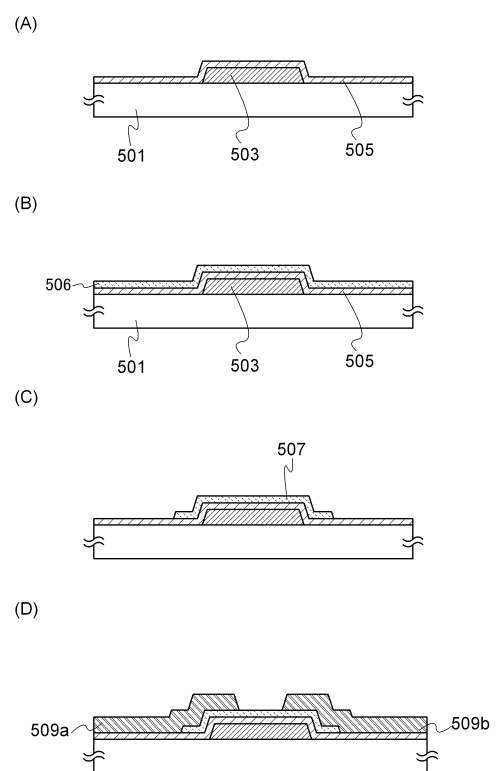
【図 15】



【図 16】

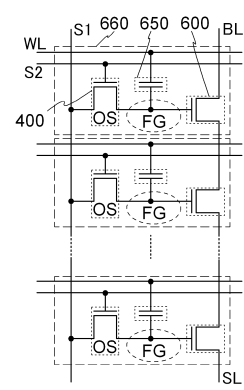
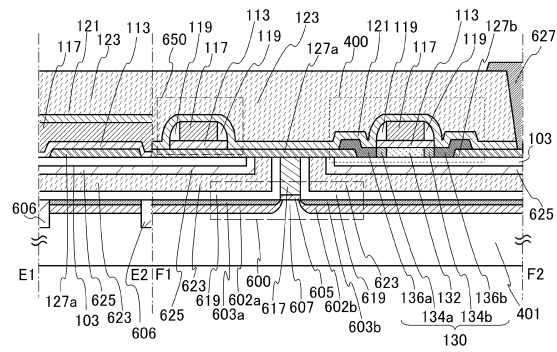


【図 17】

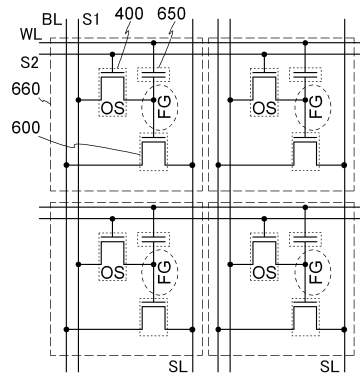
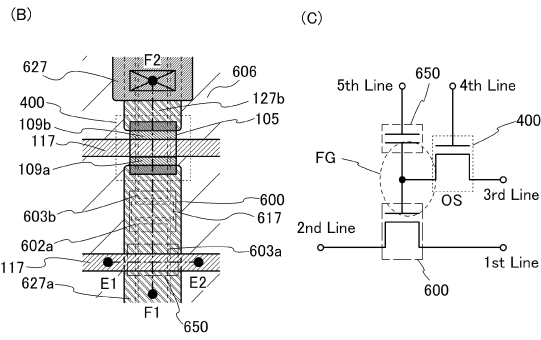


【 図 1 9 】

(A)

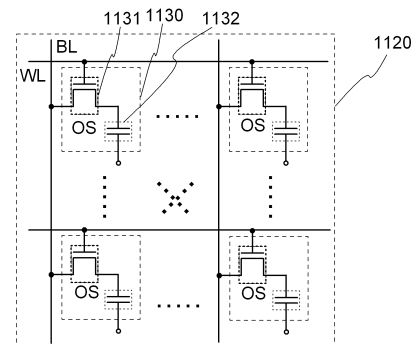
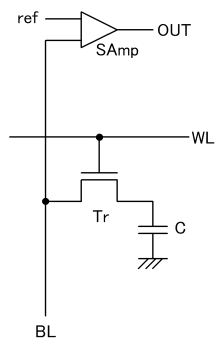


(B)

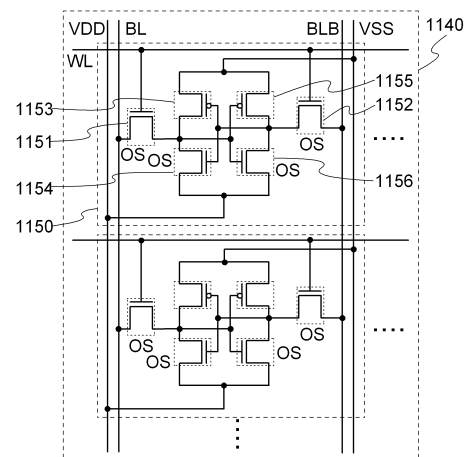
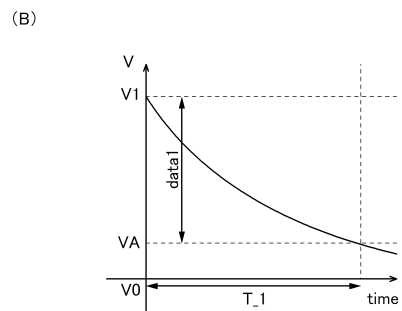


【 図 2 1 】

(A)

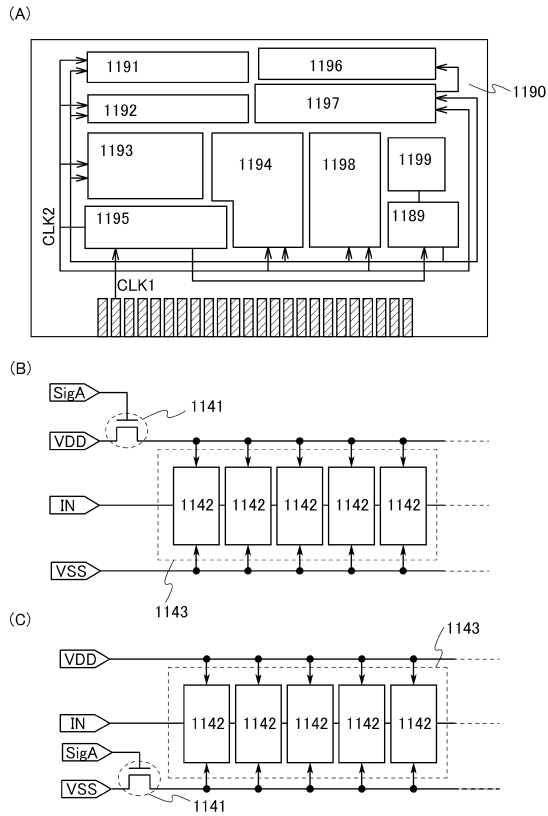


(B)

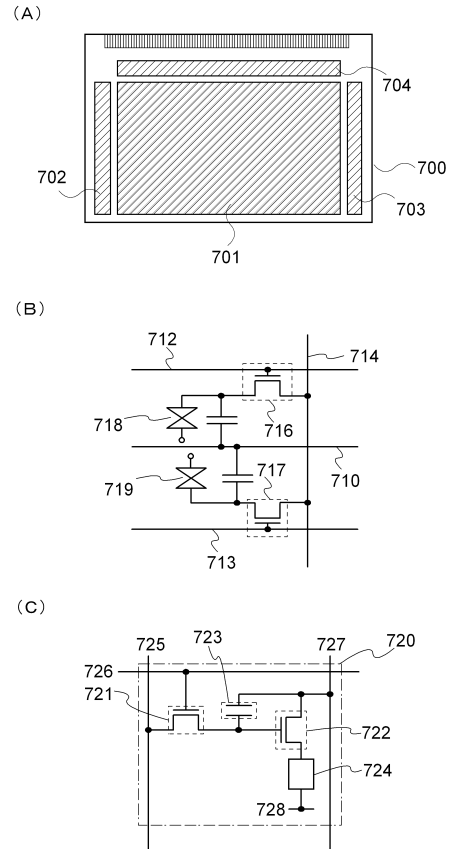




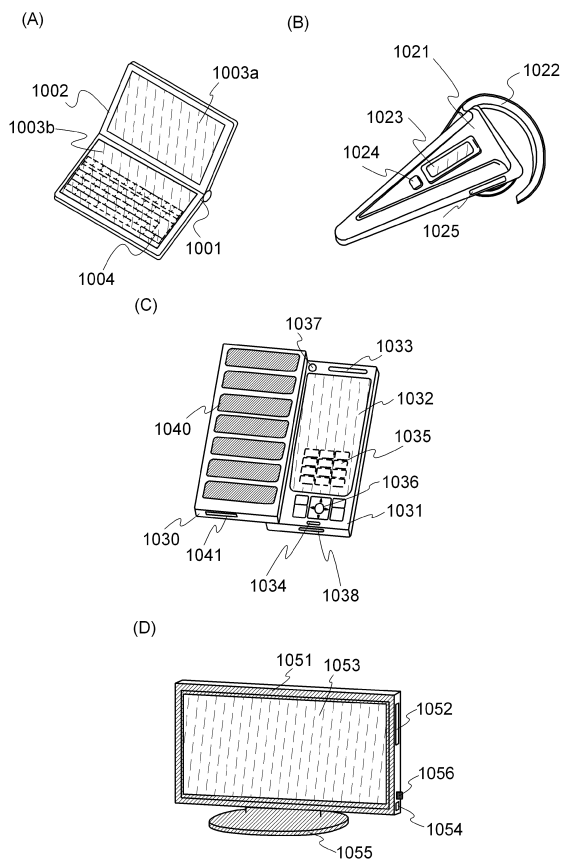
【図 2 2】



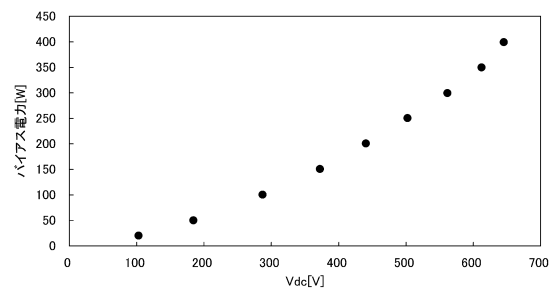
【図 2 3】



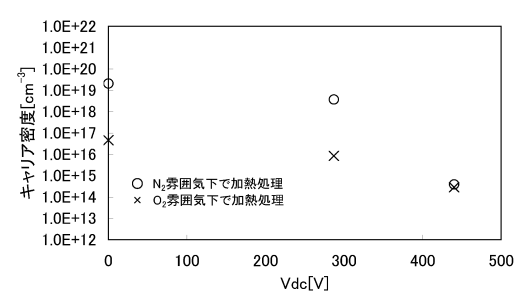
【図 2 4】



【図 2 5】

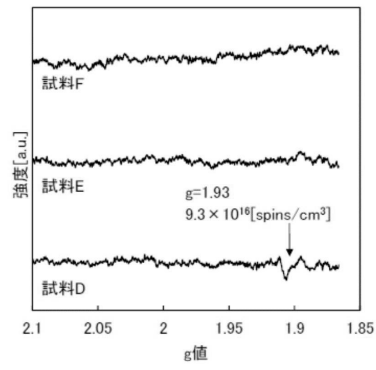


【図 2 6】

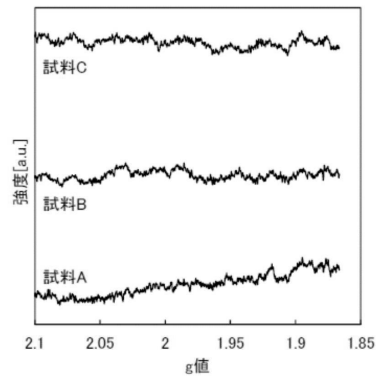


## 【図 27】

(A)



(B)



## フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>27/108</i>	<i>(2006.01)</i>	H 0 1 L	27/10 6 2 1 Z
			H 0 1 L	27/10 6 5 1
			H 0 1 L	27/10 6 7 1 C
			H 0 1 L	27/10 6 7 1 Z

(56)参考文献 特開2012-009838(JP,A)  
 特表2011-501877(JP,A)  
 米国特許出願公開第2009/0081826(US,A1)  
 特開2011-119720(JP,A)  
 特開平11-330476(JP,A)  
 特開2003-249447(JP,A)  
 特開2010-016298(JP,A)  
 特開2013-102171(JP,A)  
 米国特許第05500102(US,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 1 / 3 6 3
H 0 1 L	2 1 / 8 2 3 4
H 0 1 L	2 1 / 8 2 4 2
H 0 1 L	2 7 / 0 6
H 0 1 L	2 7 / 0 8 8
H 0 1 L	2 7 / 1 0 8