



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I497673 B

(45)公告日：中華民國 104 (2015) 年 08 月 21 日

(21)申請案號：099130515

(22)申請日：中華民國 99 (2010) 年 09 月 09 日

(51)Int. Cl. : *H01L23/52 (2006.01)**H01L21/768 (2006.01)*

(30)優先權：2009/09/16 美國

12/560,878

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：楊智超 YANG, CHIH-CHAO (US)；艾德爾史汀 丹尼爾 C EDELSTEIN, DANIEL C. (US)；野上毅 NOGAMI, TAKESHI (JP)；羅森吉 史帝芬 M ROSSNAGEL, STEPHEN M. (US)

(74)代理人：陳長文

(56)參考文獻：

TW 200629519A

TW 200910523A

JP 2006-24754A

審查人員：吳尚樺

申請專利範圍項數：17 項 圖式數：7 共 26 頁

(54)名稱

用於窄互相連接開口之大晶粒尺寸傳導結構

LARGE GRAIN SIZE CONDUCTIVE STRUCTURE FOR NARROW INTERCONNECT OPENINGS

(57)摘要

本發明提供一種具有縮減電阻之互相連接結構及一種形成此互相連接結構之方法。該互相連接結構包括一介電材料，該介電材料中包括至少一開口。該至少一開口填充有一選用之障壁(barrier)擴散層、一晶粒生長促進層、一聚結電鍍晶種層、一選用之第二電鍍晶種層、一傳導結構。包括一含金屬傳導材料(通常為 Cu)之該傳導結構具有一竹節微結構及一大於 0.05 微米之平均晶粒尺寸。在一些實施例中，該傳導結構包括具有一(111)晶體定向之傳導晶粒。

An interconnect structure having reduced electrical resistance and a method of forming such an interconnect structure are provided. The interconnect structure includes a dielectric material including at least one opening therein. The at least one opening is filled with an optional barrier diffusion layer, a grain growth promotion layer, an agglomerated plating seed layer, an optional second plating seed layer a conductive structure. The conductive structure which includes a metal-containing conductive material, typically Cu, has a bamboo microstructure and an average grain size of larger than 0.05 microns. In some embodiments, the conductive structure includes conductive grains that have a (111) crystal orientation.

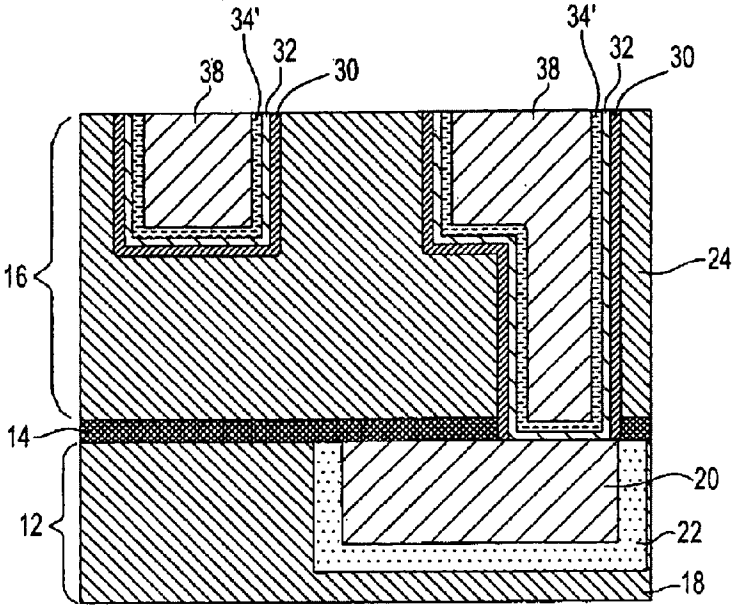


圖7A

- 12 . . . 下部互相連接階層
- 14 . . . 介電罩蓋層
- 16 . . . 上部互相連接階層
- 18 . . . 第一介電材料
- 20 . . . 傳導特徵
- 22 . . . 障壁層
- 24 . . . 第二介電材料
- 30 . . . 擴散障壁/障壁層
- 32 . . . 晶粒生長促進層(GGPL)
- 34' . . . 聚結電鍍晶種層
- 38 . . . 傳導結構

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99130515

※申請日： 99.9.9

※IPC 分類：H01L 23/52 (2006.01)

一、發明名稱：(中文/英文)

H01L 23/52 (2006.01)

用於窄互相連接開口之大晶粒尺寸傳導結構

LARGE GRAIN SIZE CONDUCTIVE STRUCTURE FOR NARROW  
INTERCONNECT OPENINGS

## 二、中文發明摘要：

本發明提供一種具有縮減電阻之互相連接結構及一種形成此互相連接結構之方法。該互相連接結構包括一介電材料，該介電材料中包括至少一開口。該至少一開口填充有一選用之障壁(barrier)擴散層、一晶粒生長促進層、一聚結電鍍晶種層、一選用之第二電鍍晶種層、一傳導結構。包括一含金屬傳導材料(通常為Cu)之該傳導結構具有一竹節微結構及一大於0.05微米之平均晶粒尺寸。在一些實施例中，該傳導結構包括具有一(111)晶體定向之傳導晶粒。

## 三、英文發明摘要：

An interconnect structure having reduced electrical resistance and a method of forming such an interconnect structure are provided. The interconnect structure includes a dielectric material including at least one opening therein. The at least one opening is filled with an optional barrier diffusion layer, a grain growth promotion layer, an agglomerated plating seed layer, an optional second plating seed layer a conductive structure. The conductive structure which includes a metal-containing conductive material, typically Cu, has a bamboo microstructure and an average grain size of larger than 0.05 microns. In some embodiments, the conductive structure includes conductive grains that have a (111) crystal orientation.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(7A)圖。

(二)本代表圖之元件符號簡單說明：

|     |               |
|-----|---------------|
| 12  | 下部互相連接階層      |
| 14  | 介電罩蓋層         |
| 16  | 上部互相連接階層      |
| 18  | 第一介電材料        |
| 20  | 傳導特徵          |
| 22  | 障壁層           |
| 24  | 第二介電材料        |
| 30  | 擴散障壁/障壁層      |
| 32  | 晶粒生長促進層(GGPL) |
| 34' | 聚結電鍍晶種層       |
| 38  | 傳導結構          |

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種半導體結構及一種製造該半導體結構之方法。更特定言之，本發明係關於一種具有單鑲嵌類型或雙鑲嵌類型之互相連接結構，其中使用大晶粒尺寸之傳導結構來縮減傳導線路及/或通道(尤其為具有低於75奈米之特徵尺寸的窄傳導線路及/或通道)之電阻率。

### 【先前技術】

通常，半導體裝置包括形成被製造於半導體基板上之積體電路的複數個電路。通常將對信號路徑之複合網路進行路徑選擇以連接分佈於基板之表面上的電路元件。跨越該裝置對此等信號進行有效的路徑選擇需要形成多階層(multilevel)架構或多層(multilayered)架構，諸如單鑲嵌佈線結構或雙鑲嵌佈線結構。該佈線結構通常包括銅(Cu)，因為與以鋁(Al)為基礎之互相連接相比較，以Cu為基礎之互相連接能在複合半導體晶片上之大量電晶體之間提供較高速度之信號傳輸。

在典型互相連接結構內，金屬通道垂直於半導體基板延伸且金屬線路平行於半導體基板延伸。在現今的IC產品晶片中藉由在介電常數小於二氧化矽之介電常數的介電材料中嵌埋金屬線路及金屬通道(例如，傳導特徵)來達成信號速度之進一步增強及鄰近金屬線路中之信號(被稱為「串擾」)之縮減。

先前技術之互相連接結構之一主要問題在於：歸因於傳

導區域內部之大量電遷移路徑，傳導區域內之傳導材料具有低的抗電遷移性。大量路徑據信為傳導材料之微結構及平均晶粒尺寸所導致的結果。如熟習此項技術者所知，電遷移主要係藉由以下各者驅動：(1)在傳導材料與介電罩蓋之間的界面擴散；及(2)沿著傳導材料之晶界的體擴散。歸因於對此等裝置所作之按比例調整，預期在未來半導體技術中之電遷移問題會增大。

### 【發明內容】

本發明中所解決之一問題為針對傳導線路及通道所展現之高電阻率。隨著傳導線路及/或通道之特徵尺寸下降至低於75奈米，此問題成為顯著問題。高電阻率之大分率可歸因於諸如銅(Cu)特徵之傳導特徵中的小晶粒尺寸(大約0.02微米或低於0.02微米)。晶界散射可導致傳導金屬中之電阻增加。在傳導特徵內傳導材料之小晶粒尺寸係由在形成傳導特徵時所使用之先前製程技術所導致。由於來自超覆層(overburden)之晶界運動不會下延至小特徵中，故在極小特徵中看不到在大尺寸產生中所觀察到的晶粒生長。

根據本發明之一態樣，提供一種形成一互相連接結構之方法，該方法實質上縮減(且在一些情況下消除)藉由先前技術之互相連接結構展現之高電阻。在本發明之一實施例中，該方法包括在一介電材料中形成至少一開口。此後，在該至少一開口內形成一晶粒生長促進層。在形成該晶粒生長促進層之後，在該晶粒生長促進層之曝露表面上形成一聚結電鍍晶種層。藉由沈積及一後續第一退火來形成該

聚結電鍍晶種層。在導致一沈積電鍍晶種層聚結於該至少一開口內之條件下執行該第一退火。該聚結之極大部分發生在該至少一開口內部，而非在該結構之頂部水平表面上。在該第一退火之後，在該至少一開口內形成一傳導結構。藉由沈積一含金屬傳導材料且接著進行一導致該含金屬傳導材料之晶粒生長的後續第二退火來形成該傳導結構。

在一實施例中，在該至少一開口內形成該晶粒生長促進層之前，在該至少一開口內形成一擴散障壁。在另一實施例中，在該形成該聚結電鍍晶種層之該步驟與該形成該傳導結構之該步驟之間，可在該至少一開口內形成另一電鍍晶種層。

上文所描述之該方法在該至少一開口內產生一傳導結構，該傳導結構具有一竹節微結構(bamboo microstructure)及一大於0.05微米之平均晶粒尺寸。在一些實施例中，該至少一開口內之該傳導結構包括具有一(111)晶體定向之晶粒。

在本發明之另一態樣中，提供一種具有縮減電阻之互相連接結構。該互相連接結構包括一介電材料，該介電材料在其中包括至少一開口。該至少一開口填充有一晶粒生長促進層、一位於該晶粒生長促進層之上部表面上的聚結電鍍晶種層，及一位於該聚結電鍍晶種層之上部表面之上的傳導結構。包括一含金屬傳導材料(通常為Cu)之該傳導結構具有一竹節微結構及一大於0.05微米之平均晶粒尺寸。

在一些實施例中，該傳導結構包括具有一(111)晶體定向之晶粒。

在本發明之一些實施例中，在該至少一開口內存在一擴散障壁。該擴散障壁位於包括該至少一開口的該介電材料之曝露側壁與該晶粒生長促進層之間。在本發明之一另外實施例中，另一電鍍晶種層位於該聚結電鍍晶種層與該傳導結構之間。

### 【實施方式】

在以下描述中，闡述諸如特定結構、組件、材料、尺寸、處理步驟及技術之許多特定細節，以便提供對本發明之一些態樣之理解。然而，一般熟習此項技術者應瞭解，可在無此等特定細節的情況下實踐本發明。在其他情況下，尚未詳細地描述熟知結構或處理步驟，以便避免使本發明模糊。

應理解，當一如層、區域或基板之元件被稱為「在另一元件上」或「在另一元件上方」時，該元件可直接在該另一元件上或亦可存在介入元件。相反地，當一元件被稱為「直接在另一元件上」或「直接在另一元件上方」時，不存在介入元件。亦應理解，當一元件被稱為「在另一元件下方」或「在另一元件下」時，該元件可直接在該另一元件下方或直接在該另一元件下，或可存在介入元件。相反地，當一元件被稱為「直接在另一元件下方」或「直接在另一元件下」時，不存在介入元件。

現將藉由參考伴隨本申請案之以下論述及圖式來更詳細

地描述本發明之實施例。在下文中更詳細地所參考的本申請案之圖式係出於說明性目的而被提供，且因而，其未按比例繪製。

首先參看圖1，其說明可用於本發明之一些實施例中的初始互相連接結構10。具體言之，圖1所示之初始互相連接結構10包括多階層互相連接，其包括藉由介電罩蓋層14部分地分離之下部互相連接階層12及上部互相連接階層16。下部互相連接階層12(其可位於包括一或多個半導體裝置之半導體基板之上)包含具有至少一傳導特徵(亦即，傳導區域)20之第一介電材料18，至少一傳導特徵20係藉由障壁層22而與第一介電材料18分離。上部互相連接階層16包含第二介電材料24，第二介電材料24具有位於其中之至少一開口。在圖1中展示兩個開口；參考數字26表示針對單鑲嵌結構之線路開口，且參考數字28A及28B分別表示針對雙鑲嵌結構之通道開口及線路開口。儘管圖1說明一獨立線路開口以及一針對通道及線路之開口，但本發明亦涵蓋僅存在線路開口的狀況，或存在針對組合式通道及線路之開口的狀況。該至少一開口之特徵尺寸可變化。在一些實施例中，該至少一開口之特徵尺寸低於75奈米。

可利用在此項技術中所熟知之標準互相連接處理來製造圖1所示之初始互相連接結構10。舉例而言，可藉由將第一介電材料18塗佈至基板(未圖示)之表面來形成初始互相連接結構10。未圖示之基板可包括半導體材料、絕緣材料、傳導材料或其任何組合。當基板包含半導體材料時，

可使用諸如 Si、SiGe、SiGeC、SiC、Ge 合金、GaAs、InAs、InP 及其他 III/V 或 II/VI 合成半導體之任何半導體。除了此等所列出類型之半導體材料以外，本發明亦涵蓋半導體基板為諸如 Si/SiGe、Si/SiC、絕緣體上覆矽(SOI)或絕緣體上覆矽鍍(SGOI)之層結構半導體的狀況。

當基板為絕緣材料時，絕緣材料可為有機絕緣體、無機絕緣體或其包括多層之組合。當基板為傳導材料時，基板可包括(例如)多晶矽、元素金屬、元素金屬之合金、金屬矽化物、金屬氮化物或其包括多層之組合。當基板包含半導體材料時，可在其上製造諸如互補金氧半導體(CMOS)裝置之一或多個半導體裝置。

下部互相連接階層 12 之第一介電材料 18 可包括任何階層間或階層內互相連接介電質，其包括無機介電質或有機介電質。第一介電材料 18 可為多孔的或無孔的。可用作第一介電材料 18 的適當介電質之一些實例包括(但不限於)： $\text{SiO}_2$ ；倍半氧矽烷；摻 C 氧化物(亦即，有機矽酸鹽)，其包括 Si、C、O 及 H 原子；熱固性聚伸芳基醚；或其多層。術語「聚伸芳基」在本申請案中用以表示由諸如氧、硫、碲、亞碲、羰基及其類似物之鍵、稠環或惰性鍵聯基團鍵聯在一起的芳基部分或經惰性取代之芳基部分。

第一介電材料 18 通常具有約 4.0 或低於 4.0 之介電常數，約 2.8 或低於 2.8 之介電常數較為典型。與具有高於 4.0 之介電常數的介電材料相比較，此等介電質通常具有較低之寄生串擾。第一介電材料 18 之厚度可取決於所使用之介電材

料以及在下部互相連接階層12內介電質之確切數目而變化。通常，且對於正常互相連接結構，第一介電材料18具有200奈米至450奈米之厚度。

下部互相連接階層12亦具有嵌埋於第一介電材料18中(亦即，位於第一介電材料18內)之至少一傳導特徵20。傳導特徵20包含藉由障壁層22而與第一介電材料18分離之傳導區域。可藉由以下各者形成傳導特徵20：微影(亦即，將光阻塗佈至第一介電材料18之表面、將光阻曝露至所要輻射圖案，且利用習知抗蝕劑顯影劑來顯影曝露抗蝕劑)；在第一介電材料18中蝕刻(乾式蝕刻或濕式蝕刻)開口；及用障壁層22填充該經蝕刻區域，且接著用形成傳導區域之傳導材料填充經蝕刻區域。通常藉由諸如原子層沈積(ALD)、化學氣相沈積(CVD)、電漿增強化學氣相沈積(PECVD)、物理氣相沈積(PVD)、濺鍍、化學溶液沈積或電鍍之沈積製程來形成障壁層22，其可包含Ta、Ta<sub>N</sub>、Ti、Ti<sub>N</sub>、Ru、Ru<sub>N</sub>、W、W<sub>N</sub>，或可充當障壁以防止傳導材料擴散通過之任何其他材料。

障壁層22之厚度可取決於沈積製程之確切方式以及所使用之材料而變化。通常，障壁層22具有4奈米至40奈米之厚度，7奈米至20奈米之厚度較為典型。

在形成障壁層22之後，用形成傳導區域之傳導材料填充第一介電材料18內的開口之剩餘區域。在形成傳導區域時所使用之傳導材料包括(例如)多晶矽、傳導金屬、包含至少一傳導金屬之合金、傳導金屬矽化物或其組合。較佳

地，可在形成傳導區域時所使用之傳導材料為含金屬傳導材料，諸如Cu、W或Al，Cu或Cu合金(諸如AlCu)在本發明之一些實施例中係較佳的。可利用包括(但不限於)CVD、PECVD、濺鍍、化學溶液沈積或電鍍之習知沈積製程將傳導材料填充至第一介電材料18中之剩餘開口。在沈積之後，可使用諸如化學機械拋光法(CMP)之習知平坦化製程來提供一結構，在該結構中，障壁層22及傳導特徵20各自具有與第一介電材料18之上部表面實質上共平面的上部表面。

儘管未特別說明，但可使用下文中所描述之發明性方法來提供傳導特徵20，其傳導結構具有竹節微結構及大於0.05微米之平均晶粒尺寸。貫穿本申請案，術語「平均晶粒尺寸」用以表示傳導結構之傳導材料的平均晶粒尺寸。平均晶粒尺寸係利用標準技術加以量測，諸如藉由將經拋光且經蝕刻之樣品置放於顯微鏡下且對在特定面積內部晶粒之數目進行計數，該等技術已為熟習此項技術者所熟知。接著，基於已知放大率、晶粒之數目及所檢查之面積來計算微結構內部之平均晶粒尺寸。

在形成至少一傳導特徵20之後，可利用諸如CVD、PECVD、化學溶液沈積或蒸鍍之習知沈積製程而在下部互相連接階層12之表面上形成介電罩蓋層14。在一些實施例中，省略介電罩蓋層14。介電罩蓋層14包括任何適當介電罩蓋材料，諸如SiC、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>、摻碳氧化物、摻氮及氫碳化矽SiC(N,H)或其多層。罩蓋層14之厚度可取決於

用以形成罩蓋層 14 之技術以及構成該層之材料而變化。通常，罩蓋層 14 具有 15 奈米至 55 奈米之厚度，25 奈米至 45 奈米之厚度係較典型的。

上部互相連接階層 16 係藉由以下方式形成：將第二介電材料 24 塗佈於介電罩蓋層 14 (若存在) 之上部曝露表面；或當不存在介電罩蓋層 14 時，將第二介電材料 24 直接塗佈於下部互相連接階層 12 之頂部上。第二介電材料 24 可包含與下部互相連接階層 12 之第一介電材料 18 之介電材料相同或不同(較佳地相同)的介電材料。針對第一介電材料 18 之處理技術及厚度範圍在此處亦適用於第二介電材料 24。利用微影(如上文所描述)及蝕刻將至少一開口形成至第二介電材料 24 中。蝕刻可包含乾式蝕刻製程、濕式化學蝕刻製程或其組合。術語「乾式蝕刻」在本文中用以表示諸如反應性離子蝕刻、離子束蝕刻、電漿蝕刻或雷射切除之蝕刻技術。在圖 1 中展示兩個開口；參考數字 26 表示針對單鑲嵌結構之線路開口，且參考數字 28A 及 28B 分別表示針對雙鑲嵌結構之通道開口及線路開口。再次強調，本發明涵蓋僅包括開口 26 或開口 28A 及 28B 之結構。

在形成通道開口 28A 及線路開口 28B 的情況下，蝕刻步驟亦移除位於傳導特徵 20 之頂部上的介電罩蓋層 14 之部分，以在互相連接階層 12 與互相連接階層 16 之間進行電接觸。

可藉由在第二介電材料 24 之所有曝露表面(包括在開口內之壁表面)上形成一選用之擴散障壁 30 而提供具有擴散障壁

性質之該選用之擴散障壁 30。舉例而言，圖 2 中展示包括選用之障壁層 30 之所得結構。選用之擴散障壁 30 包含與障壁層 22 之材料相同或不同的材料。因此，選用之擴散障壁 30 可包含 Ta、Ta<sub>N</sub>、Ti、Ti<sub>N</sub>、Ru、Ru<sub>N</sub>、W、W<sub>N</sub>，或可充當障壁以防止傳導材料擴散通過之任何其他材料。亦涵蓋形成多層堆疊擴散障壁的此等材料之組合。可利用諸如原子層沈積(ALD)、化學氣相沈積(CVD)、電漿增強化學氣相沈積(PECVD)、物理氣相沈積(PVD)、濺鍍、化學溶液沈積或電鍍之沈積製程來形成選用之擴散障壁 30。

當存在選用之擴散障壁時，選用之擴散障壁 30 之厚度可取決於在該障壁內材料層之數目、在形成該障壁時所使用之技術以及該擴散障壁本身之材料而變化。通常，選用之擴散障壁 30 具有 4 奈米至 40 奈米之厚度，7 奈米至 20 奈米之厚度係較典型的。

圖 3 展示在選用之擴散障壁 30 之頂部上形成晶粒生長促進層(GGPL)32 之後的圖 2 之結構。在不存在選用之擴散障壁 30 之實施例中，將在第二介電材料 24 之曝露表面上(包括在該等開口中之每一者中)形成 GGPL 32。GGPL 32 包含有助於形成具有大於 0.05 微米之平均晶粒尺寸之傳導材料的任何材料，通常為金屬或金屬合金。用於 GGPL 32 之適當材料之實例包括(但不限於)Ru、Co、Ir、Rh、Mo、Re、Hf、Nb 及其合金。在一些實施例中，較佳地將 Ru、Ir、Co 或 Rh 用作 GGPL 32。

可藉由包括(例如)化學氣相沈積(CVD)、電漿增強化學

氣相沈積(PECVD)、原子層沈積(ALD)及物理氣相沈積(PVD)之習知沈積製程來形成GGPL 32。GGPL 32之厚度可取決於許多因素而變化，包括(例如)GGPL 32之組成材料及在形成GGPL 32時所使用之技術。通常，GGPL 32具有0.5奈米至10奈米之厚度，小於6奈米之厚度係甚至較典型的。該形成該晶粒生長促進層GGPL 32發生在一為400°C或低於400°C之沈積溫度下。

在不希望受到任何理論約束的情況下，據信，GGPL 32有助於藉由GGPL 32與稍後沈積之電鍍晶種層/含金屬傳導材料之間的低界面能來形成具有竹節微結構及大於0.05微米之平均晶粒尺寸的傳導結構。

圖4展示在形成電鍍晶種層34之後所形成的所得結構。電鍍晶種層34有助於使隨後形成之含金屬傳導材料在至少一開口內生長。電鍍晶種層34可包含傳導金屬或金屬合金，諸如在形成待在下文中更詳細地描述之傳導結構38時所使用之傳導金屬或金屬合金。通常，且當傳導結構38包括Cu作為含金屬傳導材料時，電鍍晶種層34包含Cu、CuAl、CuIr、CuTa、CuRh，或其他Cu合金，亦即，含Cu合金。

可藉由包括(例如)ALD、CVD、PECVD、PVD、化學溶液沈積及其他類似沈積製程之習知沈積製程來形成電鍍晶種層34。電鍍晶種層34之厚度可變化，且其在為熟習此項技術者所熟知之範圍內。通常，電鍍晶種層34具有2奈米至80奈米之厚度。

在本發明之一些實施例中，在30°C或低於30°C之沈積溫

度下形成電鍍晶種層34，20°C至-30°C之沈積溫度係較佳的。此等低溫沈積避免了在至少一開口內之後續傳導材料聚結。

圖5展示在使圖4所示之結構經受第一退火之後所形成的結構。在導致電鍍晶種層34之實質聚結的條件下執行第一退火。在圖5中，藉由此第一退火形成之聚結電鍍晶種層表示為34'。儘管圖5將聚結電鍍晶種層34'描繪為連續層，但聚結電鍍晶種層34'可為不連續的，在該層內包括中斷。當聚結電鍍晶種層34'為不連續時，可曝露下伏擴散障壁或第二介電材料之部分。觀察到，電鍍晶種層34之聚結之極大部分發生在至少一開口內，而非在互相連接結構之水平表面上。

在不希望受到任何理論約束的情況下，據信，聚結電鍍晶種層34'具有在至少一開口內部之相當大的金屬晶粒。此等大金屬晶粒為用於稍後沈積之含金屬傳導材料之晶粒生長的晶種微晶(seed crystallite)。因為此等大金屬晶粒(例如，晶種微晶)已經存在於至少一開口內，所以可在傳導材料沈積後之退火期間獲得具有大晶粒尺寸之傳導結構。

通常在200°C至400°C之溫度下執行導致電鍍晶種層34之實質聚結的第一退火，250°C至300°C之溫度係較典型的。在一實施例中，在諸如H<sub>2</sub>、N<sub>2</sub>或其混合物之還原氛圍中執行第一退火。在另一實施例中，在真空下執行第一退火。執行第一退火持續導致在至少一開口內電鍍晶種層34之充分聚結之時段。通常，執行退火持續100分鐘或低於100分

鐘之時段，30分鐘或低於30分鐘之時段係較典型的。

在本發明之一些實施例中，可在聚結電鍍晶種層34'之頂部上形成另一電鍍晶種層(未圖示)。該另一電鍍晶種層可包含與電鍍晶種層34之電鍍晶種材料相同或不同的電鍍晶種材料。通常，該另一電鍍晶種層(未圖示)包含與電鍍晶種層34之電鍍晶種材料相同的電鍍晶種材料。可利用上文關於電鍍晶種層34所提及之之沈積技術來形成該另一電鍍晶種層。又，該另一電鍍晶種層可具有在上文針對電鍍晶種層34所提及之範圍內的厚度。該另一電鍍晶種層係用以確保在傳導結構之後續形成期間不曝露下伏擴散障壁或第二介電材料之任何部分。

圖6展示在至少一開口內形成傳導結構38之後的結構。圖6所示之互相連接結構表示本發明之一可能實施例，而圖7A及7B所示之互相連接結構表示本發明之其他可能實施例。在圖6中，展示封閉式通道底部互相連接結構。在圖7A中，傳導結構38形成於敞開式通道底部結構內。藉由在沈積其他元件之前利用離子轟擊或另一類似方向性蝕刻製程而自通道28A之底部移除選用之擴散障壁30來形成敞開式通道互相連接結構。在圖7B中，展示錨定式通道底部互相連接結構。藉由利用選擇性蝕刻製程首先將凹座蝕刻至傳導特徵20中來形成錨定式通道底部互相連接結構。接著形成選用之擴散障壁30，且藉由利用該等上述技術中之一者而自通道及凹座之底部部分選擇性地移除選用之擴散障壁30。接著如本文中所描述來形成其他元件，亦即，

GGPL 32、聚結電鍍晶種層34'及傳導結構38。

在該等所說明結構中之每一者中，傳導結構38可包含與傳導特徵20之含金屬傳導材料相同或不同(較佳地相同)的含金屬傳導材料；應注意，在形成傳導結構38時所使用之傳導材料不包括多晶矽。較佳地，將Cu、Al、W或其合金用作傳導結構38之含金屬傳導材料，Cu或AlCu係最佳的。利用與上文在形成傳導特徵20時所描述之沈積製程相同的沈積製程來形成傳導結構38之含金屬傳導材料。在至少一開口內沈積含金屬傳導材料之後，執行導致形成傳導結構38之第二退火。通常在80°C至300°C之溫度下執行在形成傳導結構38時所使用之第二退火，100°C至200°C之溫度係較典型的。通常在諸如N<sub>2</sub>、He及Ar之惰性環境中執行第二退火。第二退火之持續時間可變化。通常，且藉由一實例，執行第二退火持續60分鐘或低於60分鐘之時段。

如此形成之傳導結構38包括如上文所提及之含金屬傳導材料。傳導結構38進一步具有竹節微結構及大於0.05微米之平均晶粒尺寸。在一實施例中，傳導結構38之平均晶粒尺寸為0.05微米至0.5微米。在另一實施例中，傳導結構38之平均晶粒尺寸為0.08微米至0.2微米。在一些實施例中，傳導結構38包括具有(111)晶體定向之傳導晶粒。術語「竹節微結構」在本文中用以表示傳導結構38之傳導材料包含全部大於互相連接之橫截面尺寸的晶粒。竹節微結構不同於近竹節微結構(near bamboo microstructure)，近竹節微結構為沿著互相連接結構之長度的竹節微結構與多晶微結

構之混合物。

在沈積傳導材料之後，可使互相連接結構經受平坦化。可發生在第二退火之前或之後的平坦化製程移除存在於上部互相連接階層16之上部水平表面之上的選用之擴散障壁30、GGPL 32、聚結電鍍晶種層34'及傳導結構38。

本申請案之方法適用於形成諸如互相連接結構之任一互相連接階層或所有互相連接階層中之傳導特徵的傳導結構。可使用相同的基本處理步驟來形成諸如場效電晶體之其他半導體結構，在場效電晶體中，傳導材料為具有發明性微結構及平均晶粒尺寸之閘極電極。

在互相連接結構內傳導結構38之晶粒尺寸及形態之效應包括以下各者：(i)傳導結構38之相對較大晶粒尺寸提供與其他形態相比較具有低數目個晶界、具有低電子散射效應(比先前技術之電子散射效應低大約10%至30%)且具有相對較低電阻(比先前技術之電阻低大約10%至30%)之傳導結構38。由於此等性質，本發明之互相連接結構展現比習知互相連接結構之效能更佳的效能。(ii)竹節微結構在傳導結構內部提供較少電遷移路徑、提供高抗電遷移性，且可承受(大於6 mA/ $\mu\text{m}^2$ 之)電流密度，且因此提供更佳電路可靠性。

雖然已關於本發明之較佳實施例而特定地展示及描述了本發明，但熟習此項技術者應理解，在不脫離本發明之精神及範疇的情況下，可進行形式及細節之前述及其他改變。因此，本發明不意欲限於所描述及說明之確切形式及

細節，而屬於附加申請專利範圍之範疇。

### 【圖式簡單說明】

圖1為說明根據本發明之一實施例之經歷初始階段的互相連接結構的圖像表示(經由橫截面圖)，在該等初始階段中，至少一開口提供於介電材料中。

圖2為說明在至少一開口內形成選用之擴散障壁之後的圖1之互相連接結構的圖像表示(經由橫截面圖)。

圖3為說明在至少一開口內形成晶粒生長促進層之後的圖2之互相連接結構的圖像表示(經由橫截面圖)。

圖4為說明在形成電鍍晶種層之後的圖3之互相連接結構的圖像表示(經由橫截面圖)。

圖5為說明在執行使電鍍晶種層聚結之第一退火之後的圖4之互相連接結構的圖像表示(經由橫截面圖)。

圖6為說明在至少一開口內形成傳導結構之後的圖5之互相連接結構的圖像表示(經由橫截面圖)。在所說明之結構中，一封閉式通道底部圖示於右側。

圖7A及圖7B為描繪可在本發明中形成之替代互相連接結構的圖像表示(經由橫截面圖)；圖7A包括具有敞開式通道底部結構之互相連接結構，而圖7B包括具有錨定式通道底部結構之互相連接結構。

### 【主要元件符號說明】

|    |          |
|----|----------|
| 10 | 初始互相連接結構 |
| 12 | 下部互相連接階層 |
| 14 | 介電罩蓋層    |

|     |                |
|-----|----------------|
| 16  | 上部互相連接階層       |
| 18  | 第一介電材料         |
| 20  | 傳導特徵           |
| 22  | 障壁層            |
| 24  | 第二介電材料         |
| 26  | 針對單鑲嵌結構之線路開口   |
| 28A | 針對雙鑲嵌結構之通道開口   |
| 28B | 針對雙鑲嵌結構之線路開口   |
| 30  | 擴散障壁/障壁層       |
| 32  | 晶粒生長促進層 (GGPL) |
| 34  | 電鍍晶種層          |
| 34' | 聚結電鍍晶種層        |
| 38  | 傳導結構           |

## 七、申請專利範圍：

1. 一種互相連接結構，其包含：
  - 一介電材料，其在其中包括至少一開口；
  - 一晶粒生長促進層，其位於該至少一開口內；
  - 一聚結電鍍晶種層，其位於該晶粒生長促進層之上部表面之上；及
  - 一傳導結構，其位於該至少一開口內及該聚結電鍍晶種層之上部表面之頂部上，該傳導結構包含一含金屬傳導材料，該含金屬傳導材料具有一竹節微結構、一大於 0.05 微米之平均晶粒尺寸，及具有一(111)晶體定向之傳導晶粒。
2. 如請求項 1 之互相連接結構，其中該介電材料為以下各者中之一者： $\text{SiO}_2$ ；倍半氧矽烷；摻 C 氧化物，其包括 Si、C、O 及 H 原子；或熱固性聚伸芳基醚。
3. 如請求項 1 之互相連接結構，其中該至少一開口為一線路開口、一通道開口、一組合式線路開口及通道開口，或其組合。
4. 如請求項 1 之互相連接結構，其中該晶粒生長促進層包含 Ru、Co、Ir、Rh、Mo、Re、Hf、Nb 或其合金。
5. 如請求項 1 之互相連接結構，其中該晶粒生長促進層具有一為 0.5 奈米至 10 奈米之厚度。
6. 如請求項 1 之互相連接結構，其進一步包含一位於該晶粒生長促進層下方之擴散障壁，該擴散障壁包含 Ta、Ta<sub>2</sub>N<sub>5</sub>、Ti、TiN、Ru、RuN、W、WN，或可充當一障壁

以防止傳導材料擴散通過之任何其他材料。

7. 如請求項1之互相連接結構，其中該聚結電鍍晶種層包含Cu或一含Cu合金。

8. 一種互相連接結構，其包含：

一介電材料，其在其中包括至少一開口；

一晶粒生長促進層，其位於該至少一開口內；

一聚結電鍍晶種層，其位於該晶粒生長促進層之上部表面之上；及

一傳導結構，其位於該至少一開口內及該聚結電鍍晶種層之上部表面之頂部上，該傳導結構包含一含金屬傳導材料，該含金屬傳導材料具有一竹節微結構及一大於0.05微米之平均晶粒尺寸，其中另一電鍍晶種層位於該聚結電鍍晶種層與該傳導結構之間。

9. 如請求項1之互相連接結構，其中該傳導結構之該含金屬傳導材料包括一傳導金屬、包含至少一傳導金屬之一合金，或一傳導金屬矽化物。

10. 如請求項9之互相連接結構，其中該含金屬傳導材料為一選自由Cu、Al、W及AlCu組成之群組的傳導金屬。

11. 如請求項1之互相連接結構，其中該傳導結構是一含銅傳導結構。

12. 一種形成一互相連接結構之方法，其包含：

在一介電材料中形成至少一開口；

在該至少一開口內形成一晶粒生長促進層；

在該至少一開口內形成一聚結電鍍晶種層；及

- 在該至少一開口內於該聚結電鍍晶種層之頂部上形成一傳導結構，該傳導結構包括一含金屬傳導材料，該含金屬傳導材料具有一竹節微結構、一大於0.05微米之平均晶粒尺寸，及具有一(111)晶體定向之傳導晶粒。
13. 如請求項12之方法，其中該形成該晶粒生長促進層發生在一為400°C或低於400°C之沈積溫度下。
14. 如請求項12之方法，其中該形成該聚結電鍍晶種層包含：沈積一電鍍晶種層；及使該電鍍晶種層經受一退火。
15. 一種形成一互相連接結構之方法，其包含：
- 在一介電材料中形成至少一開口；
- 在該至少一開口內形成一晶粒生長促進層；
- 在該至少一開口內形成一聚結電鍍晶種層；
- 在該聚結電鍍晶種層之頂部上形成另一電鍍晶種層；
- 及在該至少一開口內於該聚結電鍍晶種層之頂部上形成一傳導結構，該傳導結構包括一含金屬傳導材料，該含金屬傳導材料具有一竹節微結構及一大於0.05微米之平均晶粒尺寸。
16. 如請求項15之方法，其中該形成該傳導結構包含：在該至少一開口內沈積該含金屬傳導材料；及使該含金屬傳導材料退火。
17. 如請求項15之方法，其中該傳導結構是一含銅傳導結構。

八、圖式：

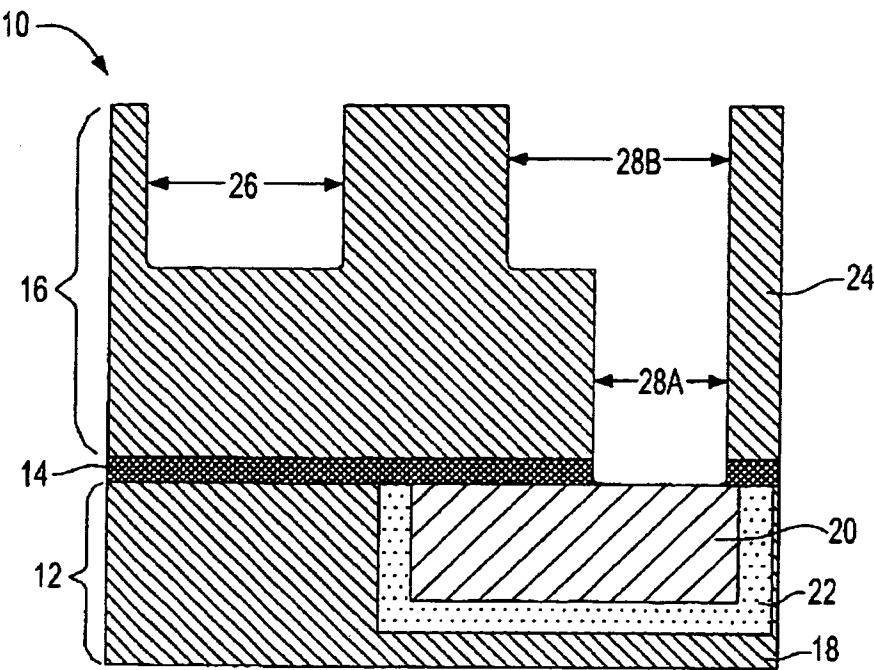


圖 1

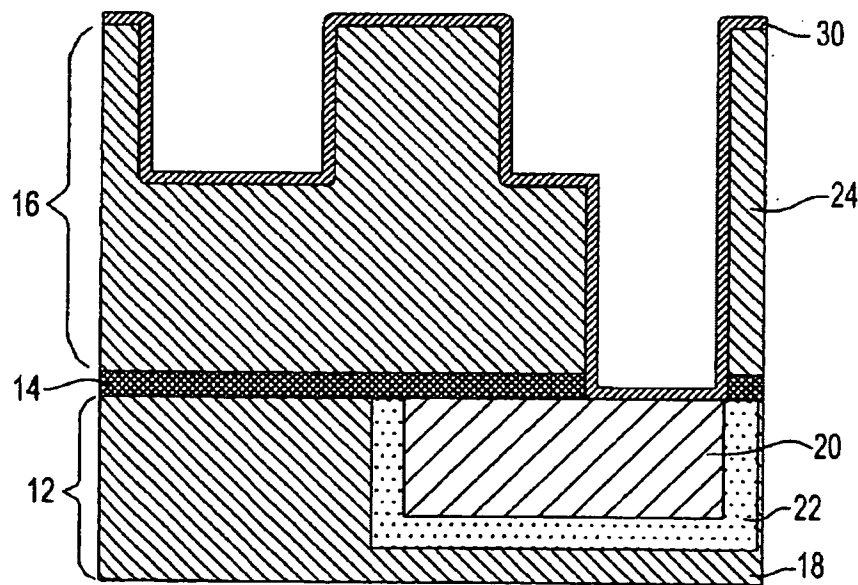


圖 2

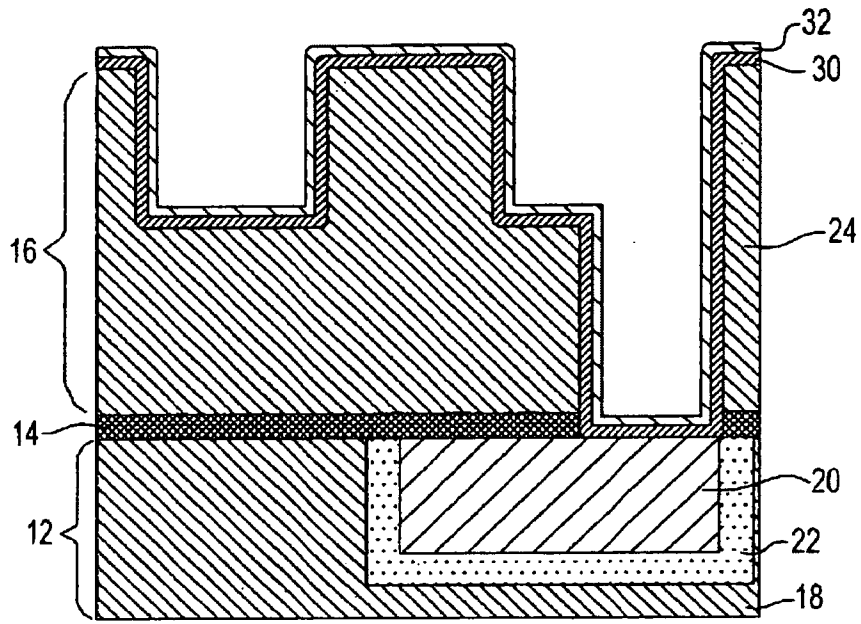


圖 3

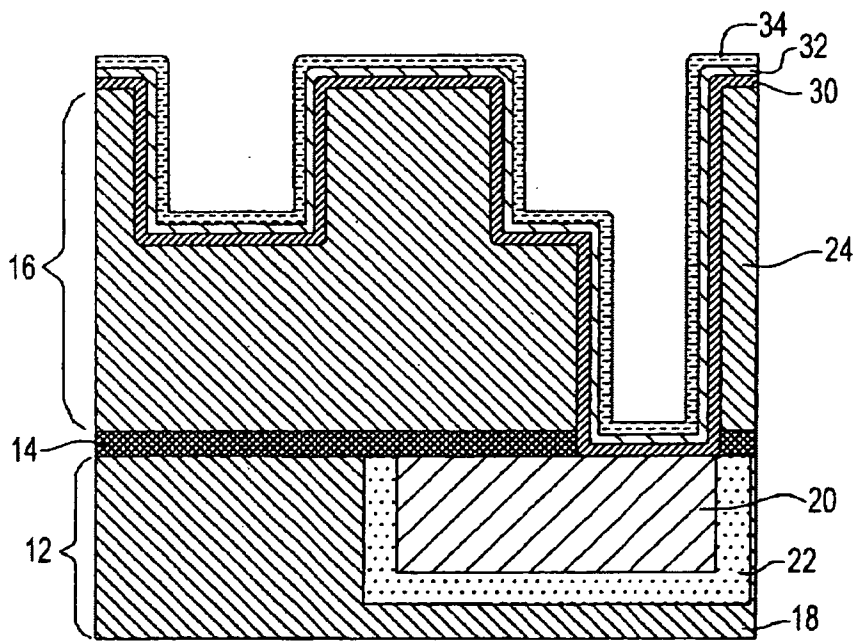


圖 4

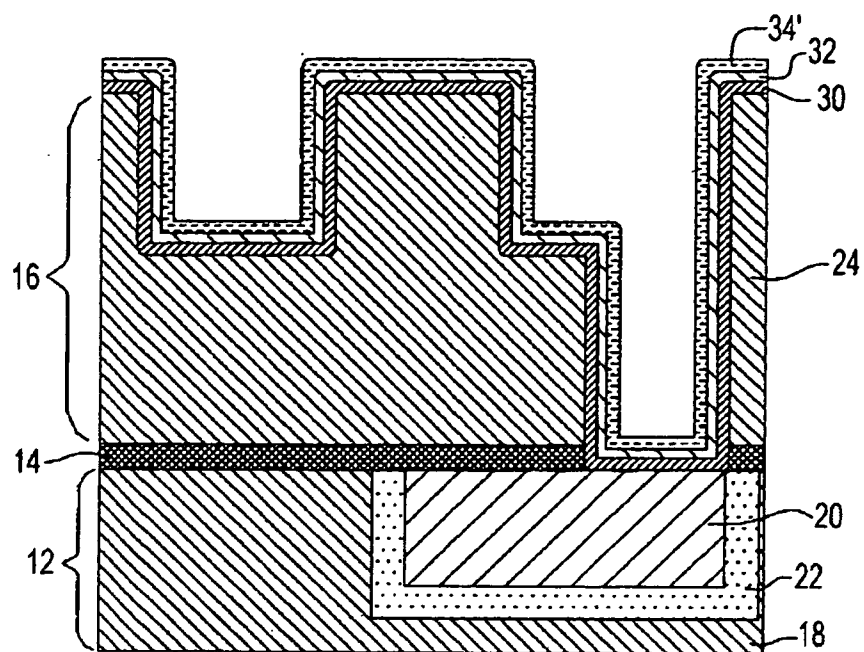


圖5

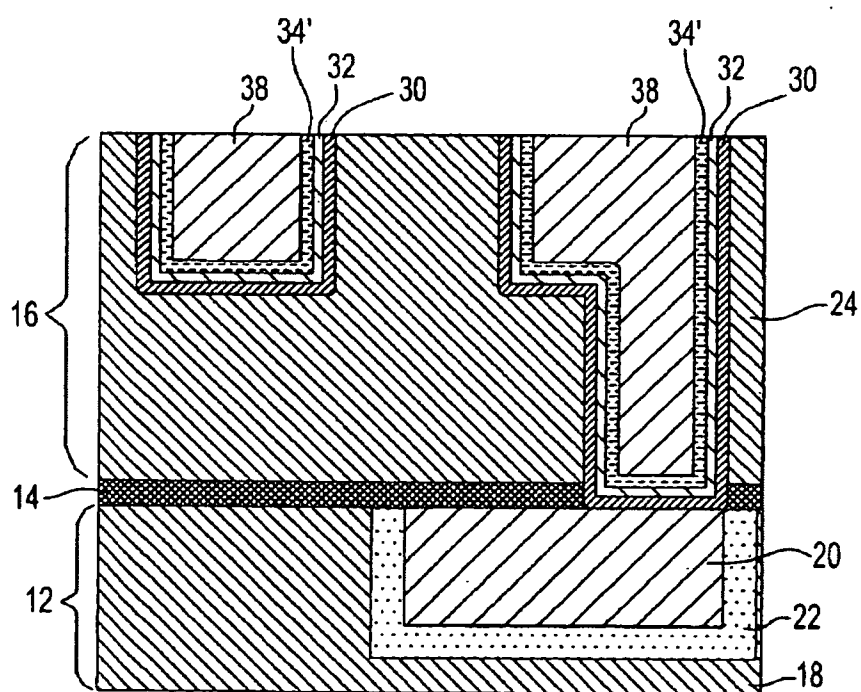


圖6

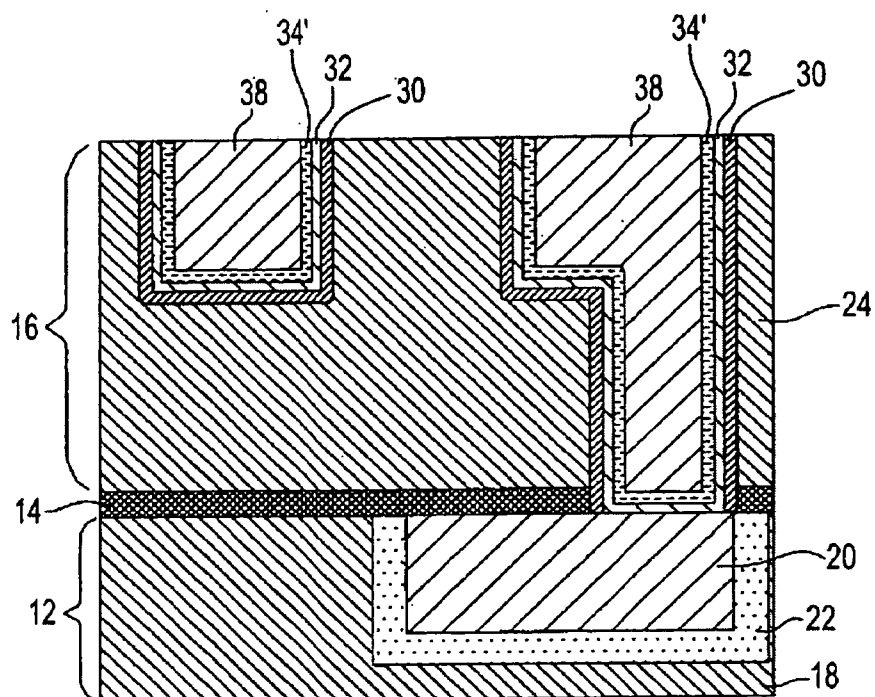


圖 7A

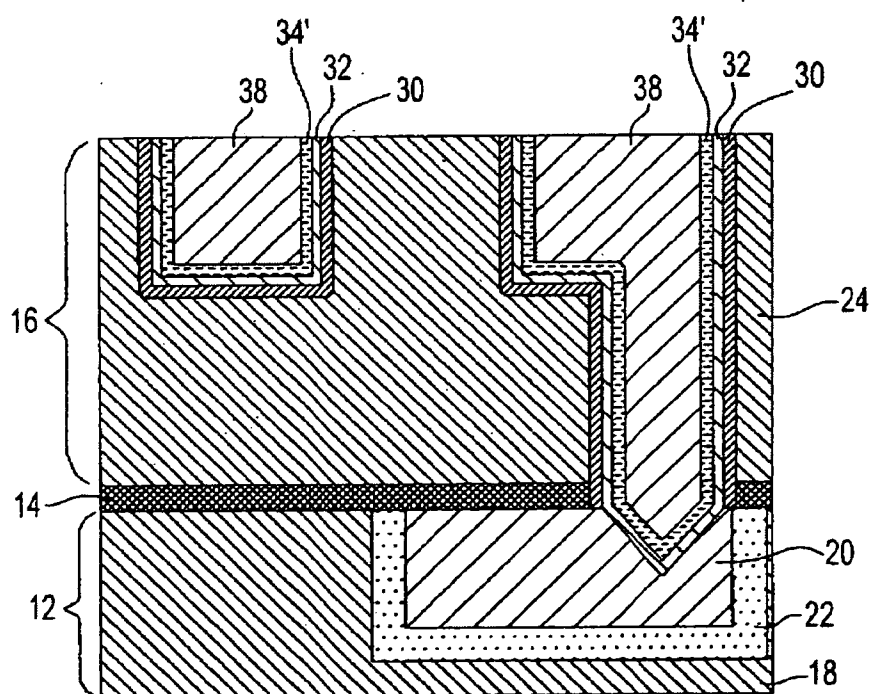


圖 7B