



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

215417
(11) (B1)

(22) Přihlášeno 26 06 80
(21) (PV 4580-80)

(51) Int. Cl.³
B 23 Q 15/00
G 05 B 19/18
G 05 D 3/00

(40) Zveřejněno 31 08 81
(45) Vydáno 01 01 85

(75)

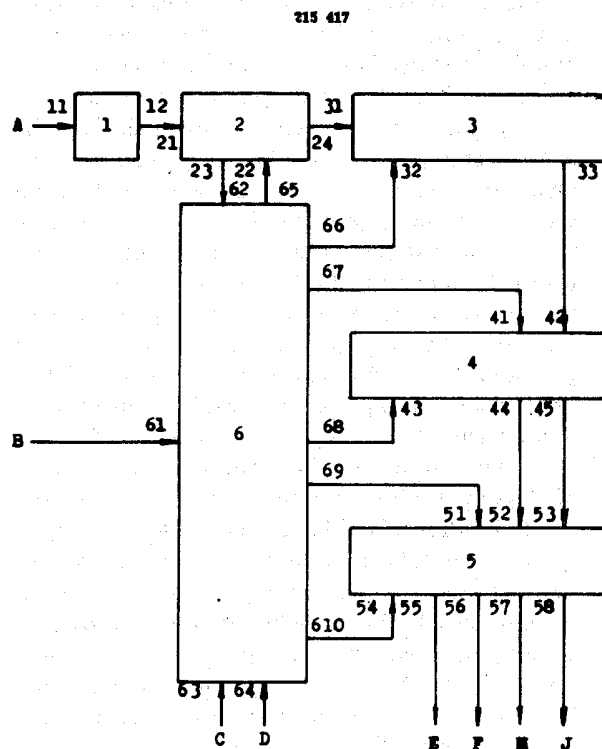
Autor vynálezu

LANG PRAVDOMIL ing., Jesenice u Prahy, ZEMAN LUBOŠ ing., KRAUS
JOSEF ing., ZELENÝ JAROMÍR ing. CSc., Praha

(54) Zapojení obvodu pro závitování

Vynález se týká číslicového řízení obráběcích strojů a řeší snímání polohy inkrementálního rotačního čidla a přenos údaje do počítače. Pulsy z rotačního čidla se ve tvarovači napětově a tvarově upraví, v detekčním bloku se rozliší charakter pulsů a tím i směr otáčení čidla. Ve vratném čítači se pulsy buď přičítají nebo odečítají v závislosti na směru otáčení čidla. Paměť buď načítanou hodnotu propouští na vstup hradlovacího bloku nebo na žádost z počítače si načítanou hodnotu pamatuje. Na žádost z počítače připouští hradlovací blok na datovou sběrnici počítačící údaje z paměti. Řadič řídí činnost všech bloků v obvodu.

Vynález se využije v systémech pro řízení obráběcích strojů. Předmět je definován v jednom bodě, popis je doplněn dvěma obrázky.



Obr. 1

Vynález se týká zapojení obvodu pro závitování u systému číslicového řízení obráběcích strojů.

Jednou z důležitých funkcí číslicového řídicího systému je řezání závitů. Při řízení souřadnice v tomto režimu je základním problémem svázání otáček vřetene, nebo rotující součásti s pohybem obráběcího nástroje. Otáčky vřetene se snímají inkrementálním rotačním čidlem, které zadává do systému odměřovací impulsy, jejichž počet a frekvence je úměrná úhlu natočení a rychlosti otáčení. Po každém odměřovacím impulsu se v systému provede jeden interpolační výpočet. V závislosti na žádaném stoupání závitů se pak následně vysílají posuvové dráhové impulsy. Uvedený způsob klade vysoké nároky na rychlost provedení interpolačního algoritmu. V případě použití minipočítače jako ústřední části číslicového řídicího systému vykazuje tudíž tento způsob značná omezení.

Tyto nevýhody odstraňuje zapojení obvodu pro závitování v systému číslicového řízení obráběcích strojů podle vynálezu. Jeho podstata spočívá v tom, že čítací vstupy vratného čítače jsou spojeny s čítacími výstupy detekčního bloku, jehož signální vstupy jsou spojeny se signálními výstupy tvarovače. Signální vstupy tvarovače jsou spojeny se signálními vstupy zapojení. Hodinové vstupy zapojení jsou spojeny s hodinovými vstupy řadiče, jehož funkční vstupy jsou spojeny s funkčními výstupy detekčního bloku. Řídicí vstupy detekčního bloku jsou spojeny s řídicími výstupy řadiče, jehož nulovací výstupy jsou spojeny s nulovacími vstupy vratného čítače. Stavové výstupy vratného čítače jsou spojeny se stavovými vstupy paměti, jejíž nulový vstup je spojen s nulovým výstupem řadiče. Ovládací výstup řadiče je spojen s ovládacím vstupem paměti, jejíž nulový výstup je spojen s nulovým vstupem hradlovacího bloku. Vstup F-bitu hradlovacího bloku je spojen s výstupem F-bitu řadiče, jehož vstup C-bitu je spojen se vstupem C-bitu zapojení. Výběrový vstup zapojení je spojen s výběrovým vstupem řadiče, jehož hradlovací výstup je spojen s hradlovacím vstupem hradlovacího bloku. Výběrový výstup hradlovacího bloku je spojen s výběrovým výstupem zapojení. Výstup F-bitu zapojení je spojen s výstupem F-bitu hradlovacího bloku, jehož nulový výstup je spojen s nulovým výstupem zapojení. Stavové výstupy zapojení jsou spojeny se stavovými výstupy hradlovacího bloku, jehož stavové vstupy jsou spojeny se stavovými výstupy paměti. Zapojení obvodu pro závitování v systému numerického řízení obráběcích strojů podle vynálezu má řadu výhod, z nichž za nejdůležitější lze považovat to, že podstatnou měrou snižuje nároky na rychlost výpočtů v centrální výpočetní jednotce a to i při zachování původních požadovaných přesností. Tento blok jednoduchým a přehledným způsobem vyhodnocuje a v daných časových intervalech integruje snímací impulsy a po kvantech je přenáší do centrální výpočetní jednotky. Blok je řešen číslicovým způsobem a umožňuje zpracování impulsů a při změně směru otáčení a absolutní

přesnosti, tedy beze ztrát vyhodnocených impulsů.

Zapojení obvodu pro závitování v systému číslicového řízení obráběcích strojů podle vynálezu je znázorněno v blokovém schématu na výkresu obr. 1, obr. 2 znázorňuje průběh signálů na signálních vstupech detekčního bloku.

Jednotlivé bloky zapojení lze charakterizovat takto: Tvarovač 1 je vytvořen z tranzistorů a pasivních obvodů a upravuje napěťové vstupy z inkrementálního rotačního čidla a zlepšuje jejich náběžné a sestupní hrany.

Detekční blok 2 je z integrovaných obvodů, zapojených jako posuvné registry a přijímá vytvářené signály z inkrementálního rotačního čidla a provádí jejich analýzu. V závislosti na výsledku rozboru detekuje směr otáčení čidla a vydává příslušné posuvové pulsy do vratného čítače 3 při každé změně vstupního signálu. Při průchodu rotačního čidla nulovou polohou předává tuto informaci řadiči 6 k dalšímu zpracování. Je realizován třemi dvoustupňovými posuvnými registry a příslušnou logickou kombinací sítí.

Vratný čítač 3 je integrovaný obvod typu reverzibilního čítače, který přijímá dopředné a vratné čítací impulsy z detekčního bloku 2 a nulovací impulsy z řadiče 6. Stav jednotlivých stupňů čítače je vyslán do paměti 4.

Paměť 4 je náratová paměť, která přijímá údaje o stavu jednotlivých stupňů vratného čítače 3 a údaj o detekci průchodu nulovou polohou čidla. Dojde-li k vyhodnocení žádosti o přenos do počítače, vydá řadič 6 povel k zapamatování okamžitého stavu v paměti 4. Její obsah je předáván do hradlovacího bloku 5.

Hradlovací blok 5 je vytvořen ze součtových a součinnových negovaných hradel a je svými výstupy připojen na datový bus počítače a v případě vyhodnocení signálu na výběrovém vstupu 64 řadiče 6 přijme příkaz a propustí na výstupy obsah paměti 4 a hlášení o výběru. Navíc též odhradluje cestu pro průchod F-bitu.

Řadič 6 je sekvenční logický obvod vytvořený z D-klopných obvodů a hradel a je řízen hodinovými vstupy B. Jeho činnost spočívá v tom, že taktuje posuvné registry a propouští pulsy přes čítací výstupy 24 v detekčním bloku 2, vyhodnocuje požadavek na nulování vratného čítače 3 při přechodu čidla nulovou polohou a provádí ho a v závislosti na hodnotě výběrového vstupu D a vstupu C-bitu C vydává signály na nulovací výstupy 66, ovládací výstup 68 a hradlovací výstup 610.

Jednotlivé bloky obvodu pro závitování jsou zapojeny následujícím způsobem: Čítací vstupy 31 vratného čítače 3 jsou spojeny s čítacími výstupy 24 detekčního bloku 2, jehož signální vstupy 21 jsou spojeny se signálními výstupy 12 tvarovače 1. Signální vstupy 11 tvarovače 1 jsou spojeny se signálními vstupy A zapojení. Hodinové vstupy B zapojení jsou spojeny s hodinovými vstupy 61 řadiče 6, jehož funkční vstupy 62 jsou spojeny

s funkčními výstupy 23 detekčního bloku 2. Řídící vstupy 22 detekčního bloku 2 jsou spojeny s řídicími výstupy 65 řadiče 6, jehož nulovací výstupy 66 jsou spojeny s nulovacími vstupy 32 vratného čítače 3. Stavové výstupy 33 vratného čítače 3 jsou spojeny se stavovými vstupy 42 paměti 4, jejíž nulový vstup 41 je spojen s nulovým výstupem 67 řadiče 6. Ovládací výstup 68 řadiče 6 je spojen s ovládacím vstupem 43 paměti 4, jejíž nulový výstup 44 je spojen s nulovým vstupem 52 hradlovacího bloku 5. Vstup 51 F-bitu hradlovacího bloku 5 je spojen s výstupem 69 F-bitu řadiče 6, jehož vstup 63 C-bitu je spojen se vstupem C C-bitu zapojení. Výběrový vstup D zapojení je spojen s výběrovým vstupem 64 řadiče 6, jehož hradlovací výstup 610 je spojen s hradlovacím vstupem 54 hradlovacího bloku 5. Výběrový výstup 55 hradlovacího bloku 5 je spojen s výběrovým výstupem E zapojení. Výstup FF-bitu zapojení je spojen s výstupem 56 F-bitu hradlovacího bloku 5, jehož nulový výstup 57 je spojen s nulovým výstupem H zapojení. Stavové výstupy J zapojení jsou spojeny se stavovými výstupy 58 hradlovacího bloku 5, jehož stavové vstupy 53 jsou spojeny se stavovými výstupy 45 paměti 4.

Obvod pro závitování pracuje takto: Z inkrementálního rotačního čidla přicházejí přes signální vstupy A zapojení a signální vstupy 11 tvarovače 1 a dále přes signální výstupy 12 tvarovače 1 a signální vstupy 21 do detekčního bloku 2 průběhy označené jako první signál V, druhý signál G a třetí signál K (obr. 2). První signál V a druhý signál G slouží pro detekci směru otáčení a tvorbu inkrementů. Třetí signál K přichází vždy pouze jedenkrát za celou otáčku inkrementálního čidla a detekuje jeho průchod nulovou polohou. Uvedené signály se vzorkují v detekčním bloku 2. Při každé změně prvního signálu V nebo druhého signálu G se v detekčním bloku 2 generuje v závislosti na zjištěném směru otáčení dopředný nebo zpětný impuls z čítacích výstupů 24 detekčního bloku 2. Tento impuls se přivádí na čítací vstupy 31 vratného čítače 3. Při průchodu čidla nulovou polohou se vytváří nulovací impuls, kterým se přes nulovací výstupy 66 řadiče 6 a nulovací vstupy 32 vynuluje vratný čítač 3. Zároveň dojde k nastavení nulového výstupu 67 řadiče 6 a tím i k nastavení nulového vstupu 41 paměti 4. Stav vratného čítače 3 se přes jeho stavové výstupy 33 přivádí na stavové vstupy 42 do paměti 4. Signály s řídicími výstupy 65 řadiče 6 se přes řídicí vstupy 22

detekčního bloku 2 řídí jeho činnost. Z funkčních výstupů 23 detekčního bloku 2 se na funkční vstupy 62 řadiče 6 přenáší informace nezbytné ke správné činnosti řadiče 6.

Činnost celého obvodu taktuje řadič 6, který je řízen signály z hodinových vstupů B zapojení přiváděnými na hodinové vstupy 61 řadiče 6. Signály z hodinových vstupů B zapojení jsou vytvořeny třemi průběhy s hodnotami binárního kódu o frekvencích f , $2 \cdot f$, $4 \cdot f$, přičemž musí být dodržena podmínka, že $f/4 >$ frekvence nejrychlejšího možného průběhu prvního signálu V, resp. druhého signálu G přiváděného z čidla.

Spolupracující počítač má možnost kdykoliv převzít hodnotu vratného čítače 3 ze stavového výstupu 33 a hodnotu nulového výstupu 67 z řadiče 6. Činnost obvodu při předávání je následující: Počítač vyšle signál na výběrový vstup D zapojení a tento signál přechází na výběrový vstup 64 řadiče 6. Reakcí řadiče 6 je vydání signálu na hradlovací výstup 610 řadiče 6, který se přivádí na hradlovací vstup 54 hradlovacího bloku 5. Tento signál způsobí vybavení výběrového výstupu 55 a výběrového výstupu E zapojení. Dále pak odhradluje cestu pro stavové výstupy 45 z paměti 4 přivedené na jeho stavové vstupy 53 a cestu pro nulový výstup 44 z paměti 4, přivedený na nulový vstup 52 hradlovacího bloku 5. Navíc též způsobí odhradlování cesty pro výstup 69 F-bitu z řadiče 6 přivedeného na vstup 51 F-bitu hradlovacího bloku 5. Vlastní žádost nyní uskuteční počítač vydáním signálu na vstup C C-bitu zapojení, kterážto žádost přechází na vstup 63 C-bitu řadiče 6. Řadič 6 provede zápis do paměti 4 svým ovládacím výstupem 68 přes ovládací vstup 43 paměti 4. Dále řadič 6 vynuluje obsah vratného čítače 3 přes jeho nulovací výstupy 66 a vydá F-bit na výstup 69 F-bitu, který projde přes hradlovací blok 5 na jeho výstup 56 F-bitu a dále na výstup FF-bitu zapojení. Reakcí počítače na příchod F-bitu je převzetí hodnoty čítače, která ze stavových výstupů 58 hradlovacího bloku 5 přechází na stavové výstupy J zapojení a převzetí signálu z nulového výstupu 57 hradlovacího bloku 5 přechází na nulový výstup H zapojení. Po uskutečnění přenosu počítač zruší signály na výběrovém vstupu D zapojení a vstupu C C-bitu zapojení. Reakcí obvodu je složení signálů z výběrového výstupu E zapojení a z výstupu FF-bitu zapojení.

Vynálezu se využije u systému číslicově řízených obráběcích strojů při závitování.

PŘEDMĚT VYNÁLEZU

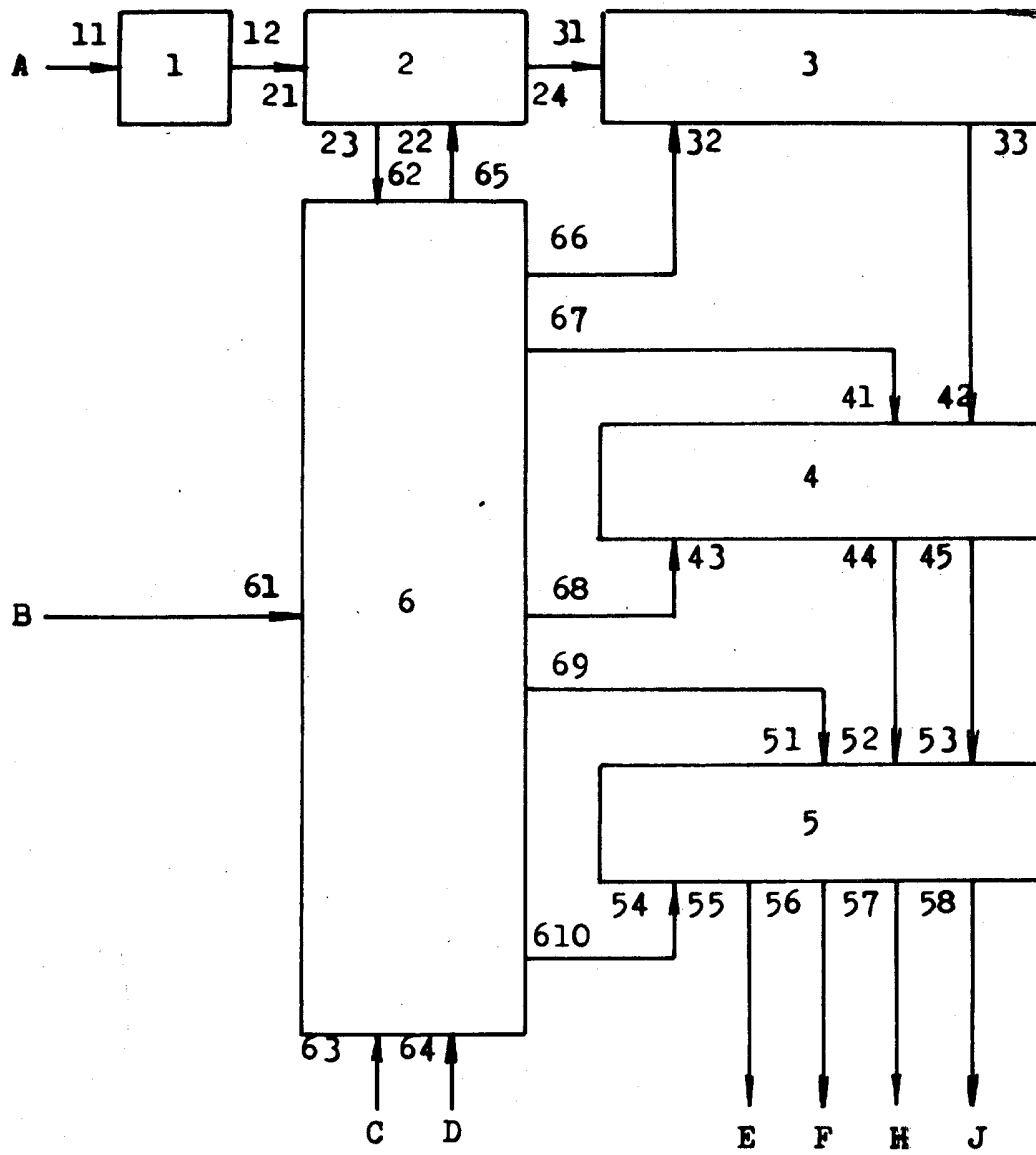
Zapojení obvodu pro závitování v systému numerického řízení obráběcích strojů, které je vytvořeno z tvarovače, detekčního bloku, vratného čítače, paměti, hradlovacího bloku a řadiče, vyznačující se tím, že čítací vstupy (31) vratného čítače (3) jsou spojeny s čítacími výstupy (24) detekčního bloku (2), jehož signální vstupy (21) jsou spojeny

se signálními výstupy (12) tvarovače (1), jehož signální vstupy (11) jsou spojeny se signálními vstupy (A) zapojení, jehož hodinové vstupy (B) jsou spojeny s hodinovými vstupy (61) řadiče (6), jehož funkčními vstupy (62) jsou spojeny s funkčními výstupy (23) detekčního bloku (2), jehož řídicí vstupy (22) jsou spojeny s řídicími výstupy

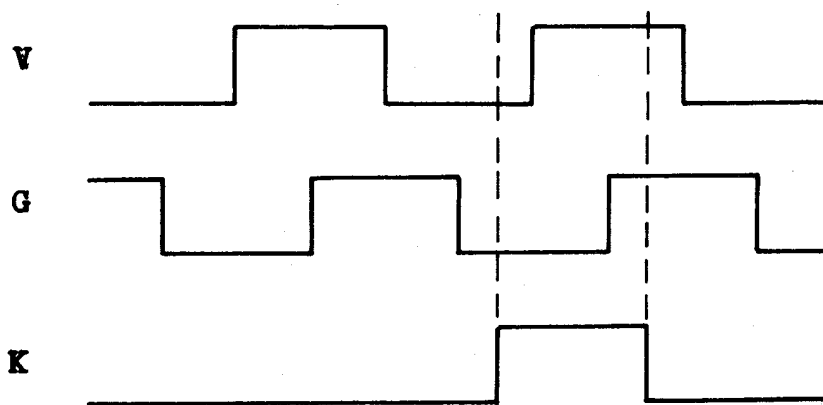
(65) řadiče (6), jehož nulovací výstupy (66) jsou spojeny s nulovacími vstupy (32) vratného čítače (3), jehož stavové výstupy (33) jsou spojeny se stavovými vstupy (42) paměti (4), jejíž nulový vstup (41) je spojen s nulovým výstupem (67) řadiče (6), jehož ovládací výstup (68) je spojen s ovládacím vstupem (43) paměti (4), jejíž nulový výstup (44) je spojen s nulovým vstupem (52) hradlovacího bloku (5), jehož vstup (51) F-bitu je spojen s výstupem (69) F-bitu řadiče (6), jehož vstup (63) C-bitu je spojen se vstupem (C) C-bitu zapojení, jehož výběrový vstup (D) je spojen

s výběrovým vstupem (64) řadiče (6), jehož hradlovací výstup (610) je spojen s hradlovacím vstupem (54) hradlovacího bloku (5), jehož výběrový výstup (55) je spojen s výběrovým výstupem (E) zapojení, jehož výstup (F) F-bitu je spojen s výstupem (56) F-bitu hradlovacího bloku (5), jehož nulový výstup (57) je spojen s nulovým výstupem (H) zapojení, jehož stavové výstupy (J) jsou spojeny se stavovými výstupy (58) hradlovacího bloku (5), jehož stavové vstupy (53) jsou spojeny se stavovými výstupy (45) paměti (4).

1 výkres



Obr. 1



Obr. 2