(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
G11C 29/00

(45) 공고일자 2003년05월09일
(11) 등록번호 10-0374733
(24) 등록일자 2003년02월20일

(21) 출원번호 10-1998-0012016
(22) 출원일자 1998년04월06일

(65) 공개번호 특1998-0081112
(43) 공개일자 1998년11월25일

(30) 우선권주장 08/834,960 1997년04월07일 미국(US)

(73) 특허권자
모토로라 인코포레이티드
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303

(72) 발명자
죤스톤 토마스 케빈
미국, 텍사스 78759,오스틴 하이리지 드라이브 4202

아트웰 윌리엄 다운 쥬니어
미국, 텍사스 78669, 스파이스우드 박스 44엠 알티 1

티플 데이빗 러셀
미국, 텍사스 78735, 오스틴 크리크스 에지 파크웨이 2714

(74) 대리인
이병호

심사관 : 김세영

(54) 퓨즈가없는메모리복구시스템및메모리선택방법

요약

메모리의 리던던트 열들(redundant rows)을 통해 메모리 수정을 수행하는 시스템 및 방법은 종래의 퓨즈들 대신에 리던던트 열 선택을 위해 메모리 소자들(208,210)을 사용한다. 온 칩(on-chip) 테스트 제어기(110)는 웨이퍼 프로브(probe)에서, 제조후의 최종 테스트에서, 또는 메모리 칩 패키징 및/또는 최종 사용자들에게 최종 판매가 된 후에, 메모리 열들(106)들을 테스트할 수 있다. 이러한 테스팅이 어느 때라도 메모리 어레이에 있는 결함있는 메모리 열들을 식별한다면, 전기적으로 프로그램 가능한 메모리 소자들(208,210)은 내부적으로 재프로그램되어(internally re-programmed) 리던던트 메모리 열들을 포함하고 있는 새로운 메모리 구성을 만들게 된다.
이러한 새로운 메모리 구조는 메모리 어레이내의 활성 메모리로부터 새롭게 검출된 그리고 이전에 검출되어진 결함있는 메모리 열들을 제거하기 위해 인에이블링된다.

대표도

도 1

명세서

도면의 간단한 설명

도1은 본 발명에 따라 설계된 메모리 시스템을 도시한 블록도.

도2는 본 발명에 따르며, 도1에 도시된 대체(replacement) 열 회로를 도시한 회로도.
도3은 본 발명에 따르며, 도1에 도시된 메모리 장치를 테스트 하는 방법을 도시한 흐름도.
도면의 주요부분에 대한 간단한 설명
1-10 : 주메모리 열들 102 : 디코더
100 : 메모리 시스템 112 : 감지 증폭기
110 : 테스트 제어기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리 집적회로 제조에 관한 것으로서, 특히 리던던트 메모리 셀들을 이용하는 메모리 어레이들의 퓨즈가 없는 복구에 관한 것이다.
리던던트 메모리 어레이 열들이나 리던던트 메모리 어레이 행들, 또는 상기 두 개 모두를 사용하는 복구 가능한 메모리 어레이들을 제공하기 위해서 상당한 노 력이 투자되어 온 것과 같이, 메모리 시스템의 결함들은 중요하다.
이러한 리던던트/스패어(redundant/spare) 메모리 라인들(행 또는 열)은, 제조후 테스팅이 주메모리 어레이 구조내에 결함이 있다고 지시하지 않는다면, 메모리 어레이내에서의 사용에 대하여 활성화되지 않는다. 주메모리 어레이 구조내에서 결함이 검출될 때에, 리던던트 메모리 어레이 열 또는 행은 결함을 포함하고 있는 행 또는 열을 대체된다. 최종적 결과는, 결함이 있는 메모리 라인(즉, 열 또는 행)을 대체하기 위해서 리던던트 라인을 활성화함으로서, 메모리 어레이는 완전히 기능하며 주 어레이 내의 결함이 회피된다는 것이다. 이러한 리던던트(redundant) 구조들을 포함하고 있는 메모리 시스템의 최종 수율(yield)은, 한 개의 결함로 인해 전체 메모리 시스템이 고장나게 되는 메모리 시스템에 비하여 현저하게 개선된다.
기존의 리던던트 구조들은 두 가지 광역형(broad type)의 리던던트 아키텍처들 중 하나에 속한다: (1)캐시/태그(cache/tag) 아키텍처와 (2)퓨즈 기반의(fuse-based) 아키텍처들이다.
캐시/태그 아키텍처에서, 작은 어레이의 메모리 라인들과 대응 어드레스 태그들은 메모리 어레이를 갖는 한칩 상(on-chip)에 위치된다. 테스팅 중에 결함들이 발견되면, 캐시 라인들의 각각은 태그들을 통해 매핑(mapping)이 되어, 문제가 된 메모리 라인들을 대체시킨다. 매핑은 결함 라인(들)의 태그 또는 어드레스를 하나 이상의 캐시된(cached) 대체 라인(replacement line)(들)과 연관된 태그들로 저장함으로써 이루어진다. 결함이 있는 주 어레이 어드레스의 후속 액세스들은 캐시된 대체 라인들내에 메모리 셀들을 사용한다. 이러한 해결책은 융통성이 있으며, 모듈 식(modular)이지만, 그것은 각각의 메모리 액세스에 대하여 각 저장된 태그와 각 입력 어드레스 간에 비교 동작을 필요로 된다. 이러한 비교는 통상적으로 메모리 시스템의 액세스 시간에 부정적인 영향을 끼친다.
또한, 캐시/태그 아키텍처들은 일반적으로 복잡한 구조들이며, 실행하기 위해서는 상당한 공간이 필요하며, 과도한 전력을 소모한다.
퓨즈 기반의 아키텍처에서, 대체 열(replacement row)은 결점이 있는 메모리 열과 관련된 퓨즈(fuse)를 블로잉(blowing)함으로써 선택된다. 일단 퓨즈가 블로잉되면, 결점이 있는(defective) 어드레스는 (1) 리던던트 메모리 열에 직접으로, 또는 (2) 메모리 어레이내의 다음 기능 메모리 열로 다시 매핑된다. 두 번째의 경우에서는, 모든 다른 후속 메모리 열(결점이 없음)이 그 다음의 후속 메모리로 다시 매핑된다. 이러한 형태의 리던던시(redundancy)는 '푸시-다운(push-down)' 아키텍처라고 알려져 있다. 그 이유는 결함(fault)이 모든 메모리 열 포인터들을 증가시켜, (열+1)을 지시하도록 함으로써 교정이 되기 때문이다. 메모리 어레이내의 마지막 열은 메모리 어레이내의 리던던트 열을 지시한다.
상기 개략된 퓨즈 기반의 전략들은 퓨즈 형성을 지원하는 과정 필요로 한다. 이러한 과정들은 일반적인 집적회로 과정들보다 더욱 복잡할 수 있다. 퓨즈들은 일반적으로 (폴리실리콘의 제2 레벨과 같은) 물질의 하부 전도층내에 형성된다. 그러므로, 복잡한 에칭과정은, 퓨즈를 레이저 동작에 노출시키기 위해서, 패시베이션, 층간 유전체들, 질화층들, 에칭 및 폴리칭 저지 층 등등을 관통하여 에칭하는 데 사용된다. 퓨즈 개구를 형성하는 이러한 에치들(etches)은 복잡하며, 수율에 부정 적인 영향을 끼친다. 게다가, 퓨즈를 블로잉하는 과정은 테스트 후에 추가의 어셈블리/레이저(assembly/laser) 단계를 요구한다. 레이저로 퓨즈를 블로잉하는 과정은 다이(die) 표면 상과 퓨즈 개구내에 입자 잔여물을 남기면서 퓨즈를 증발시킨다.
이러한 잔여물은 때때로 전도성을 가지며, 이것은 전기적인 단락회로들 또는 누설(leakage) 경로들을 야기한다. 또한 퓨즈에 의한 복구(fused repair)는 다이를 패키징 하기전에, 수행되어야만 하고, 공장에서 수행되어야 하고, 메모리 시스템의 수명(life)에서 있어서, 원상태로 되거나 나중에 사용될 수 있다. 그러므로, 일단 퓨즈가 블로잉되었다면, 그것은 결코 '언블로운(unblown)' 되지 않는다. 게다가, 일단 IC가 패키징되면, IC 패키징에 걸쳐 레이저 복구 동작이 수행될 수 없으며, 최종 사용자 복구는 불가능하며, 이것은 IC 수명에 부정적인 영향을 끼친다.

발명이 이루고자 하는 기술적 과제

그러므로, 퓨즈 기반의 복구보다 더욱 다양한 응용성이 있고 안전하며, 캐시 기반의 복구보다 더욱 영역을 효과적으로 이용할 수 있고 덜 복잡한 메모리 복구 리던던시 시스템의 필요성이 존재한다.

발명의 구성 및 작용

일반적으로, 여기에서 제시된 방법과 장치는 퓨즈에 근거하지도 않고 캐시에 근거하지도 않는 시스템을 사용하여, 리던던트 메모리 어레이 열들(rows)과/또는 행들(columns)을 이용하는 메모리 복구를 실현시킨다. 캐시 기반 시스템과는 달리, 여기에 기재된 시스템은 메모리 액세스 시간들을 지연시키는 부가적인 비교동작들 을 필요로 하지 않는다. 또한, 여기에 기재된 방법은 고성능 마이크로프로세서 설계와 고성능/고밀도 메모리 칩들에 있어서 매우 중요한 표면 영역 오버헤드(overhead)를 현저하게 감소시키는 CAM들을 요구하지 않는다. 퓨즈 기반의 해결책과는 달리, 본 과정은 더 간단하며, 퓨즈 개구들을 형성하기 위한 복잡한 에칭을 요구하지 않는다.
레이저 블로잉 동작으로 인해 퓨즈 잔여물(fuse residue)이 존재하지 않는다. 단지 한 번 변경될 수 있고, '언블로운' 되지 않는 퓨즈와는 달리, 본 시스템은 완전히 프로그램 가능하므로, 리던던트 열 선택을 통한 메모리 복구는 한번 보다 많이 수행될 수 있다. 게다가, 추가 복구 또는 새로운 리던던트 열의 활성화(row activation)가 패키징 후에 그리고, 그 부분이 최종 사용자에 의해서 사용된 후 여러해동안 실행될 수 있으며, 그로 인해 최종 사용자가 메모리 제품으로부터 보다 적은 '다운 시간(down time)과 보다 유용한 수명을 얻을 수 있게 된다.
일반적으로, 각 열(또는 행, 왜냐하면 열과 행은 여기서 서로 교환가능하기 때문)은 열 선택 회로와 연관된다. 각 열 선택회로는 전기적으로 프로그램 가능한 메모리 소자를 포함하고 있다. 만약 이러한 메모리 소자가 제1 논리 값(논리 1)으로 프로그래밍되면, 정상적인 주메모리 어레이는 액세스/인에이블 된다. 만약 에러가 어레이의 열(N)내에 발견된다면, 열(N)과 연관되어 있는 메모리 소자는 주기적으로 제2 논리 값(논리 0)으로 기록되며, 이것은 리던던트 열이 결함있는 열(N)을 대체시키거나 또는 '푸시-다운(push-down)방법을 이용하여 어레이를 푸시 다운할 수 있도록 한다. 전기적으로 소거가능한 메모리 소자들은 나중에 더 많거나 또는 더 적은 리던던트 메모리 열/행들을 포함하고 있는 새로운 메모리 구성으로 재프로그램될 수 있다.
일반적으로, 본 발명은 도1-3을 참조하여 이해될 수 있다.
도1은 본 발명에 따라 구성된 메모리 시스템(100)을 도시한 블록도이다. 메모리 시스템(100)은 메모리의 열 결함시에 리던던트 메모리 열을 작동시키는 새로운 회로를 포함하고 있다.
본 발명의 한 양태에 따르면, 시스템을 제조하기 위해서 어느 퓨즈도 필요하지 않다. 퓨즈의 생략의 주된 장점은 퓨즈들과 관련된 어떤 과정들도 상기 가르침에서 생략되므로, 시간을 절약하고 수율(yield)을 개선시킨다는 것이다. 메모리 시스템을 오염시킬 수 있는, 퓨즈들을 블로잉 함으로써 나오는 잔여물이 존재하지 않는다. 그리고, 본 시스템은 퓨즈와는 달리, 어느 때라도, 심지어 IC패키징 후에라도, 재구성되거나 재프로그래밍될 수 있다.
본 발명의 다른 양태에 따르면, 메모리 열들은, 블록으로 그룹을 이루거나 또는 서로에 관하여 모듈로-인터리브(modulo-interleave) 형식으로 그룹을 이루는 시퀀셜 체인(sequential chains)들로 그룹을 이룬다. 메모리 어레이는 셀들의 주20개 메모리 열들을 포함하고 있다고 가정하자. 이러한 주메모리의 20개 열들은 어레이내의 위치에 의해 1에서 20(위에서 아래로, 왼쪽에서 오른쪽으로, 등)으로 랭크로 순서가 매겨질 수(rank-ordered)(즉, 순차적으로 번호가 매겨짐) 있다. 블록으로 그룹을 이루는 아키텍처 대 모듈로 또는 인터리브된 아키텍처는 이 예가 되는 20개 열 메모리 아키텍처를 이용하여 아래에 상세히 기술될 것이다.
한 개의 블록으로 그룹을 이루는 실시예에서, 열들(1-10)은 제1 시퀀셜 푸시다운(sequential push down) 체인내에서 순차적으로 체인이 되어 있으며, 열들(11-20)은 제2 시퀀셜 푸시 다운 체인내에서 순차적으로 체인이 되어 있다. 각각의 시퀀셜 체인은 셀들의 적어도 하나의 관련 리던던트 열을 가지고 있다. 그러므로, 열들(1-10)의 제1 시퀀셜 체인은 메모리의 적어도 한 개의 리던던트 열(제1 리던던트 열)과 결합되거나 또는 관련되고, 열(11-20)의 제2 연속 체인은 메모리의 적어도 한 개의 다른 리던던트 열(제2 리던던트 열)과 결합되거나 또는 접속될 것이다.
만약 결함이 주메모리 열(1-10)들 중에서 한 열내에서 발견된다면, 각 열 (1-10)과 결합된 전기적으로 소거가능한 소자들은, 제1 리던던트 열은 인에이블하고 결함있는 열은 디스에이블링하기 위해, 푸시다운 과정을 수행하도록 프로그램 된다. 만약, 결함이 주메모리 열(11-20)들 중에서 한 열내에서 발견된다면, 각 열 (11-20)과 관련된 전기적으로 소거가능한 소자들은, 제2 리던던트 열은 인에이블하는 반면에 결함있는 열은 바이패싱/디스에이블링(bypassing/disenabling)하기 위해, 푸시다운 과정을 수행하도록 프로그램 된다. 만약, 제1 및 제2 리던던트 열들만이 아키텍처내에 제공된다면, 블록으로 그룹을 이룬 열들(1-10)내의 두 개의 결함있는 주메모리 열들은 수리될 수 없으며(단지 한 개의 리던던트 열, 즉 제1 리던던트 열만이 열들(1-10)을 위해 사용가능하다.), 그 부분은 '수리불능'으로 인식되고 스크랩(scrapp)될 것이다.
또다른 블록으로 그룹지어진 실시예에서는, 5 개의 리던던트 열들이 아키텍처내에 제공될 수 있다. 주메모리 열들(1-4)은 제1 리던던트 열과 연관될 수 있다. 주메모리 열(5-8)은 제2 리던던트 열과 연관된다. 주메모리 열들(9-12)은 제3 리던던트 열과 연관된다. 주메모리 열들(13-16)은 제4 리던던트 열과 연관된다. 주메모리 열들(17-20)은 제5 리던던트 열과 연관된다. 이러한 5 개의 블록 아키텍처는, 4 개의 열들로 이루어진 어떤 그룹도 대체가 필요한 결함있는 열을 한 개보다 많이 포함하고 있지 않는 한, 최대 5 개까지의 열들이 그 부분을 스크래핑하지 않으면서 보정될 수 있다.
메모리 셀들의 크기가 감소함에 따라, 한 개의 인접한 물리적인 결함으로 인해, 다수의 물리적으로 인접해 있는 열들이 손상되거나 또는 결함이 생기는 경우가 있다는 것이 실험을 통해 밝혀졌다. 이러한 상황들에서, 상술한 그룹을 이루는 방법은 보통 최적의 방법이 아니다. 만약 두 개 이상의 인접한 열들에서 결함이 발생할 것 같으면, 그룹으로 된 매모리 열들의 인터리빙된 시퀀셜 체인들을 형성하는데 모듈로 또는 인터리빙된 열 그루핑(grouping) 체계가 사용되

어야 한다. 도1에 도식적으로 상세화되어 있으며, 이후에 자세히 논의되는 될 것은 바로 이러한 인터리빙된 아키텍처이다.

다시, 메모리 어레이가 셀들의 20개의 주메모리 열들을 포함하고 있다고 가정하자. 주메모리의 이러한 20개의 열들은 어레이내의 위치에 의해 1에서 20(위에서 아래로, 왼쪽에서 오른쪽으로, 등)으로 랭크로 순서가 매겨질 수(rank-ordered)(즉, 순차적으로 번호가 매겨짐) 있다. 한 개의 인터리빙된 실시예에서는, 도1에 도시한 바와 같이, 열들로 이루어진 두 개의 시퀀셜 체인들이 만들어져 있다. 한 시퀀셜 체인은 홀수의 메모리 열들(예컨대, 열 1,3,5,..19) 모두를 제1 시 퀀셜 체인으로 그룹을 이루기 위해 사용되며, 제2 시퀀셜 체인은 짝수의 메모리 열들(열 2,4,6,..20) 모두를 함께 그룹을 이루기 위해 사용된다. 각 체인(짝수의 열 체인과 홀수의 열 체인 모두)은 적어도 한 개의 리던던트 메모리 열과 연관되거나 또는 순차적으로 연결되어 있다. 인터리빙된 그룹마다 오직 한 개의 리던던트 열을 가지고 있는 아키텍처에서는, 한 개의 홀수 열과 짝수 열은 실패할 수 있으며 그 부분의 스크랩핑을 야기하지 않고 완전히 복구될 수도 있다. 이 체계에서는, 두 개의 물리적으로 인접한 열들은 기능하지 않고 보정될 수 있는 반면에 두개 이상의 물리적으로 인접한 열들의 보정은 상술한 블록으로 그룹이 이루어진 아키텍처에서는 가능하지 않을 수 있다. 보다 높은 아키텍처 레벨 상에서의 블록 그룹들의 메모리 열들과 블록들 내의 인터리브 그룹들의 아키텍처 또한 몇가지 아키텍처들에서 가능하며 바람직하다.

다른 인터리빙된 실시예에서는, 메모리 20개의 열들이 4 개의 인터리빙된 시퀀셜 체인들로 그룹을 이룰수 있으며, 이들 4 개의 체인들 각각은 4개의 리던던트 메모리 어레이 열들 중 한 개와 결합된다. 이 실시예에서, 열들(1,5,9,13,17)은 메모리 어레이에서 제1 리던던트 열을 공유한다. 열들(2,6,10,14,18)은 메모리 어레이에서 제2 리던던트 열을 공유한다. 열들(3,7,11,15,19)은 메모리 어레이에서 제3 리던던트 열을 공유한다. 마지막으로, 열들(4,8,12,16,20)은 메모리 어레이내의 제 4 리던던트 열을 공유한다. 이러한 구성에서, 메모리의 최대 4개의 열들이 주메모리 내에서 결함을 가질 수 있으며, 기능적인 IC(functional IC)가 되도록 여전히 수리된다. 이러한 4개의 열들은 메모리 어레이내에서 물리적으로 서로 인접해 있으 며, 상술한 블록으로 순서가 매겨진 접근과는 달리, 완전히 수리가능하다. 일반적으로, 주메모리의 N개의 열들은 한 개 이상의 주메모리의 M개의 시퀀셜 체인들로 그룹을 이룰 수 있다. 여기서 각 시퀀셜 체인은 하나 이상의 리던던트 열들 및 대략 N/M 주 메모리 셀들을 포함한다. (N,M은 유한한, 양의 정수들이다.)

게다가, 메모리 어레이내의 다수의 리던던트 단어 라인들은 비용, 표면영역,및 종래의 캐시 기반의 리던던시 아키텍처들과 관련된 복잡성이 없이, 한 개의 메모리 시스템내의 주메모리 열들의 각 시퀀셜 체인에 대해 전용될 수 있다.

본 발명의 제3 양태에 따르면, 메모리 시스템의 테스팅은, 컴퓨터의 시스템을 작동하는 (1) 제조후에 바로, 메모리 시스템 제조업자에 의해 또는 (2)최종 사용자(컴퓨터/시스템 구입자)에 의해, 수행될 수도 있고, 또는 메모리 시스템의 수명 동안의 어느 시점에서 메모리 시스템 자체에 의해 수행될 수도 있다. 이러한 융통성은 제조후 수년후에라도 발생할 수 있는 결함들을 조절하므로, 퓨즈 기반의 해결책들 보다 더욱 효과적으로 리던던트 메모리 용량을 사용할 수 있게 된다.

도1을 계속 참조하면, 메모리 시스템(100)은 디코더(102)의 입력에서 ADDRESS BUS에 있는 어드레스 신호를 수신한다. 디코더(102)는 N 개의 다른 디코드 신호 쌍들 ($DECODE0/\overline{DECODE0}$ 에서 $DECODEN/\overline{DECODEN}$) 의 출력들을 발생한다(N은 정수). 몇몇의 특별한 목적의 아키텍처들은 고유의 어드레스마다 한 개이상의 메모리 위치를 인에이블할 수 있지만, 디코드 신호들의 각 N+1 쌍은 어드레스 버스(ADDRESS BUS)로부터의 고유 어드레스에 의해서만 인에이블된다. 이러한 N+1개의 차동 디코드 신호 쌍들은 N+1개의 대체 열 선택회로들(104_0 - 104_N)에 접속되어 있다. N+1개의 대체 열 선택회로들(104_0 - 104_N)의 각각은 선택(SELECT) 신호와 대안적 선택(ALT SELECT) 신호를 발생시킨다. SELECT 신호들의 i번째 신호는(i는 0에서 N까지의 어느 값) 도1에 도시한 바와 같이 N+1개의 메모리 열들(106_0 - 106_N)의 i번째 열에 접속되어 있다. 다른 말로 표현하면, 선택회로(104_3)는 워드라인(106_3)(메모리 열(106_3)으로도 불리움)에 접속되어 있다. 게다가, i번째의 대안적 선택 신호는 (i+M)번째 메모리 열(106_0 - 106_N)에 접속되어 있으며, 이 때에, M은 메모리 시스템(100)의 인터리브 인자이다(interleave factor)이고, M은 N보다 일반적으로 더 작다. 도2에서는, 인터리브 인자 2가 사용되므로, 도1내의 소자들(104)간에 이루어진 접속들 마다와 같이 모든 홀수의 메모리 열들은 제1 시퀀셜 체인내에 있으며, 모든 짝수의 메모리는 제2 시퀀셜 체인내에 있게 된다. N+1개의 대안적 선택 신호들 중에서 최종 M개의 신호들은 M개의 스페어(spare) 열들(108_{N+1} - 108_{N+M})중의 다른 한 열에 접속되어 있다. 다른 말로 표현하면, 최소한 M개의 리던던트 메모리 열들이 M개의 시퀀셜 체인들을 지원하기 위해서 사용된다. 그러나, 예컨대, 시퀀셜 체인당 두 개 이상의 리던던트 메모리 열들을 지원하기 위해서, 더 많은 논리가 도2의 회로에 추가되어질 수 있다. (예 : 리던던트 열들의 총 수는 L*M이고, 여기서 각각의 시퀀셜 체인에 할당된 L개의 리던던트 열들이 존재하는 경우에, L은 0보다 큰 유한한 양의 정수이다.)

N+1개의 대체 열선택 회로들(104_0 - 104_N)에 대해서 설명을 계속하자면, 각 선택회로 (104_0 - 104_N)는 또한 푸시 다운 인(PUSH DOWN IN) 입력을 수신하고, 푸시 다운 아웃(PUSH DOWN OUT) 출력을 발생한다. 제1 M개의 PUSH DOWN IN 입력들은 도1에 도시된 접지(GND)로 표시된 전압 전원(voltage supply)에 접속되어 있으며, 그 이유는 열들의 시퀀셜 체인의 시작점에 이전의 메모리 열들이 존재하지 않기 때문이다. 반대로, 시퀀셜 체인내에 이전의 열들이 있을 때(선택회로가 체인내에서 제 2 또는 후속 선택회로일 때)는, PUSH DOWN IN 입력들 중 i번째 입력은 (i-M)번째 PUSH DOWN OUT 출력에 접속되어 있다. 마지막 M개의 PUSH DOWN OUT 출력들은 테스트 제어기(110)에 접속되어 있으며, 그 이유는 시퀀셜 체인의 마지막 부분에 후속 소자들이 존재하지 않기 때문이다. (도1에는 구체적으로 도시되어 있지 않지만) 회로들(104)로부터 테스트 제어기에 공급된 이러한 M개의 라인들은 유용하다. 그 이유는 테스트 제어기가 이러한 M개의 피드백 신호들을 통해, 푸시 다운 동작이 각각의 특정 시퀀셜 체인내에서 적절히 발생하는지 여부를 결정하기 때문이다.

테스트 제어기(110)는 또한 테스트 버스(TEST BUS)를 N+1 개의 대체 열 회로들(104_0 - 104_N)에 공급한다. T

EST BUS는 폴트(FAULT) 신호, 인게이지(ENGAGE) 신호와 리셋(RESET) 신호를 포함한다. 폴트 신호는, 시퀀셜 체인내에서 '푸시 다운' 동작을 인에이블링하고 적어도 한 개의 리던던트 열을 인에이블링하기 위하여, 회로들(104)(도2의 소자 2000 참조)중 적어도 한 회로내에서 메모리 소자들에 선택적으로 기록하는데 사용된다. ENGAGE 신호는, 메모리 구조가 완전히 기능하도록 하는 데 필요한 바와 같이 열들(106)과 열들(108)의 구성을 물리적으로 선택적으로 인에이블시키기 위해서, 회로들(104)내에서 폴트 신호들을 사용함으로써 발생하는 '푸시 다운' 변화들을 메모리 어레이에 인가시킨다. 리셋 신호는 회로(104)(도2 참조)내의 모든 메모리 소자들을 클리어(clear) 시킨다. 테스트 버스는 도2를 참조하여 아래에 더욱 상세히 서술되어 있다.

테스트 제어기(110)는 감지 증폭기(112)와 메모리 제어기(114)에 양방향 (bi-directionally)으로 접속되어 있다. 감지 증폭기(112)는 다수의 비트 라인들에 의해 메모리 열들(106_0 - 106_N)과 스페어 열들(108_{N+1} - 108_{N+M})에 접속되어 있다. 감지 증폭기(112)는, 데이터 버스를 통해 외부 환경에 접속되어 있는 멀티플렉서(116)로 선택된 메모리 열을 출력시킨다. 메모리 제어기(114)는 제어 버스를 통해 외부와 양방향으로 접속되어 있다. 그리고 도시된 바와 같이 디코더(102)에 접속되어 있다.

도시된 실시예에서, 인터리브 인자, 즉 M은 2가 된다. M=2일 때에는, 도1에 있는 푸시 다운 인(PUSH DOWN IN) 단자들과 푸시 다운 아웃(PUSH DOWN OUT) 단자들이 접속되어, 짝수의 랭크순위가 매겨진(even rank-ordered) 메모리 열들 모두 및 짝수의 랭크 순위가 매겨진 선택 회로들(예 : 도1에 도시된 0,2,4,...,18로 첨자가 매겨져 있는 소자들(104,106)) 모두는 도1의 스페어/리던던트 워드라인(1)과 결합되는 제1 시퀀셜 체인으로 형성된다. 도1에서 M=2일 때에, 소자들(104)의 푸시 다운 인 단자들과 푸시 다운 아웃 단자들은 접속되어 있어, 모든 홀수로 랭크 순위가 매겨진 메모리 열들과 모든 짝수로 순위를 매겨진 선택회로들은(예 : 도1에 도시된 1,3,5,9...19로 숫자가 매겨져 있는 소자들(104,106)) 도1의 스페어/리던던트 워드라인(2)과 결합되는 제2 연속체인으로 형성된다.

그러므로, 인터리브 인자(M)는 대체 열선택 회로(104)의 시퀀셜 체인들이 메모리(100) 시스템내에 얼마만큼 존재하는지를 정의하고 있다. 도1에 도시한 바와 같이, 대체 열 회로들중 두 개의 시퀀셜 체인들이 형성되어 짝수 순서의(even ordered) 체인과 홀수 순서의(odd ordered) 체인으로 배열되어 있다. 그러나, 인터리브 인자(M)는 1과 같거나 또는 더 큰 어떤 수가 될 수 있다는 것을 알아야 한다. 인터리브 인자(M)는 또한 스페어/리던던트 열들(108_{N+1} - 108_{N+M})의 수를 결정한다. 각각의 시퀀셜 체인은 통상적으로 한 개의 결합된 리던던트 열(108)을 가지게 되므로, 체인당 단지 한 개의 결함있는 열이 복구될 수 있다. 그러나, 추가 결합 논리(402)가, 선택(SELECT), 및 대안적 선택(ALT SELECT) 1 내지 대안적 선택 K를 고려하기 위해 도 2에 추가될 수 있으며, 여기서 K는 1보다 큰 정수이다. 즉, 도2의 상기 논리(402)는 각 선택회로가 한 개의 열에 의해 '푸시 다운' 할 뿐 아니라 두 개 이상의 열들에 의해서도 푸시 다운할 수 있도록 증대될 수 있다.

메모리 시스템(100)의 동작은 그 모드의 동작들을 두 부분으로 분리함으로써, 쉽게 설명되어진다: (1) 정상적인 판독/기록 데이터 전달(normal read/write data transfer) 그리고 (2) 테스트 모드 동작.

정상적인 판독/입력 데이터 전달에서는, 어드레스가 어드레스 버스(ADDRESS BUS)를 통해 디코더(102)로 제공된다. 디코더(102)는 원하는 메모리 어드레스와 관련된 메모리 열과 대응하는 차동 디코드 신호쌍($DECODE0/\overline{DECODE0}$. $DECODEN/\overline{DECODEN}$)들 중 한 쌍을 어서팅(assert)한다. 디코드 신호들은 그 후 N개의 가능한 메모리 열들(106_0 - 106_N)중 한 열 또는 선택회로(104)에 의해 구성된 M개의 스페어 열들(108_{N+1} - 108_{N+M})중 한 열로 라우트된다. 디코드 신호들이 라우트되는 특정한 메모리 열 또는 스페어/리던던트 열은 도2와 관련하여 다음에 자세히 서술되어 있다.

정상적인 판독/입력 동작 동안에는, 한 개의 메모리 열 또는 스페어 열이 도 1에 있는 다수의 비트 라인들에 의해, DATA BUS를 통해, 감지 증폭기(112), 그리고 나서 멀티플렉서(116), 및 궁극적으로는 데이터 버스(DATA BUS)를 경유하여 외부 장치에 접속되어 있다. 판독 데이터 전달에서, 한 개의 메모리 열 또는 스페어 열내에 기억된 데이터는 감지 증폭기(112)에 의해 감지되며, 멀티플렉서(116)를 통해 외부장치로 출력된다. 기록 유형의 데이터의 전달시에는, 데이터 버스 상에 제공된 데이터가 멀티플렉서(116)에 의해 감지 증폭기(112)로 라우트되며, 감지증폭기에서는 데이터가 디코더(102)로부터 나온 디코더 신호들에 의해 선택된 메모리 열들 또는 스페어 열들 중 특정한 한 열로 입력된다. 이러한 새로운 값은 상기 특정한 메모리 소자 위치내에 임의의 이미 존재하는 값에 우선한다. 메모리 제어기(114)는 제어 버스(CONTROL BUS)를 통해 수신된 제어신호들에 응답하여, 판독 및 기록 데이터 전달의 특정한 세부 사항들을 제어한다.

동작의 테스트 모드시에는, 테스트 제어기(110), 마이크로프로세서, 온-칩 CPU, 마이크로 제어기 등과 같은 외부 테스터, 또는 내장된 자체 테스트 (BIST) 구조는 디코더(102)와 감지 증폭기(112)가 메모리 열들(106_0 - 106_N)의 판독, 기록과 저장 기능을 체계적으로 테스트하도록 한다. 이러한 테스트들은 0000, 1111, 0101, 1010, 0011, 1100 등과 같은 다양한 테스트 패턴들을 메모리 어레이 위치들에 기록 및 판독하는 단계를 포함하고 있다. 또한, 판독들 및 기록들은, 설계 또는 제조결함이 될 수 있는 여러 가지 결함들을 제거하기 위해 공지된 특정한 순서에 의해 수행된다. 테스트 제어기(110)가 어떤 메모리 열들(106_0 -106_N)도 이상이 없다는 것을 판단했다면, 테스트 제어기(110)는 대체 열 선택회로들(104_0 -104_N)이 N+1개의 차동 디코드 신호 쌍들($DECODE0/\overline{DECODE0}$ 내지 $DECODEN/\overline{DECODEN}$)을 직접적으로 메모리 열들(106_0 -106_N)에 각각 매핑시킬 수 있도록 야기한다. 즉, 열들(106)을 포함하고 있는 주메모리 어레이내에 아무 결함도 발견되지 않는다면, 리던던트 열들(108)이 이번에는 선택회로들(104)내에서 메모리 요소 기록 동작들에 의해 활성화되지 않는다.(도2 참조)

반대로, 만약, 테스트 제어기(110)가 메모리 열들(106_0 - 106_N)들 중 한 개 이상이 결함이 있다고 판단한다면, 테스트 제어기(110)는 대체 열 회로들(104_0 -104_N)이 N+1개의 차동 디코드 신호 쌍들($DECODE0/\overline{DECODE0}$

- $DECODEN/\overline{DECODEN}$)중 하나 이상을 결함이 있는 메모리 열로부터 떨어뜨려 스페어/리던던트 열들(108 $_{N+1}$ - 108 $_{N+M}$)중 한 개 이상의 열에 다시 매핑(remap)시키도록 한다. 구체적으로는, 대체 열 선택회로들(104 $_0$ -104 $_N$)의 각 세트가 상기 차동 디코드 신호 쌍들($DECODE0/\overline{DECODE0}$ - $DECODEN/\overline{DECODEN}$)중 특정한 한 개를 결함이 있는 메모리 열로부터 떨어뜨려 '푸시-다운'방식으로 그 다음 메모리 열로 이동시킨다. (표 1,2를 참조). 본질적으로, 만약, 선택회로가 이러한 특정한 시퀀셜 체인의 마지막에 위치해 있다면, 동일한 시퀀셜 체인내에서, 아래첨자의 랭크순위로 매겨진 결함있는 열과 다음의 결함있는 열 모두에 할당되어 있는 각각의 대체 열 선택회로들(104 $_0$ -104 $_N$)은 자신의 각 차동 디코드 신호 쌍들($DECODE0/\overline{DECODE0}$ - $DECODEN/\overline{DECODEN}$)을 다음의 후속 메모리 열(106 $_0$ - 106 $_N$)이나 또는 리던던트 열로 이동시킨다. 결함이 있는 메모리 열(106 $_0$ - 106 $_N$)의 경우에는, 시퀀셜 체인내의 $DECODE0/\overline{DECODE0}$ - $DECODEN/\overline{DECODEN}$ 중 최종적인 차동 디코드 신호쌍이 스페어 열들(108 $_{N+1}$ - 108 $_{N+M}$)중 한 개로 이동될 것이다. 상술한 바와 같이, 대체 열 선택회로(104 $_0$ -104 $_N$)는 독립적이고, 회로들의 인터리빙된 시퀀셜 체인들을 형성한다.

그러므로, 차동 디코드 신호 쌍들($DECODE0/\overline{DECODE0}$ - $DECODEN/\overline{DECODEN}$) 중에서 한 쌍이 하나씩 이동할 때에, 디코드(DECODE) 신호들은 인터리빙된 아키텍처에서 M개의 메모리 열들만큼 실제적으로 이동된다. 설명을 위해서, 도1은 두 개의 시퀀셜 체인들을 도시하고 있다. 한 개의 시퀀셜 체인은 짝수 첨자의 소자들(104)(열들 104 $_0$,104 $_2$,...,104 $_{18}$) 모두를 포함하고 있으며, 또다른 시퀀셜 체인은 홀수 첨자의 소자들(104)(열들 104 $_1$,104 $_3$,...,104 $_{19}$)모두를 포함하고 있다. 처음에, 모든 선택회로들(104 $_i$)은 도2의 선택(SELECT) 신호들을 통해 메모리 열들(106 $_i$)(i=0,...,19)을 선택한다. (전체 주 어레이가 선택되고 변하지 않는다.) 그러므로, 다음의 표는 메모리 어레이의 구성을 나타내고 있다.

(표1)

랭크순위로 매겨진 홀수 시퀀셜 체인내의 선택 회로들	제 1 행내의 선택 회로에 의해 선택된 메모리 열
104_1	106_1
104_3	106_3
104_5	106_5
104_7	106_7
104_9	106_9
104_{11}	106_{11}
104_{13}	106_{13}
104_{15}	106_{15}
104_{17}	106_{17}
104_{19}	106_{19}

상기 표1에 있는 선택회로(104 $_7$)에 의해 액세스된 메모리 열(106 $_7$)은 테스트 제어기(110)에 의해 검출된 결함을 가지고 있다고 가정한다. 이 경우에, 선택회로(104 $_7$)와 홀수 번호의 체인내의 후속 선택회로들(선택회로들 : 104 $_9$, 104 $_{11}$,...,104 $_{19}$) 모두는 i+M번째 소자들을 선택하도록 프로그래밍될 것이므로, 다음의 선택과정이 발생하게 될 것이다.

(표2)

랭크순위로 매겨진 참조번호에 의한 선택 회로들	제 1 행내의 선택 회로에 의해 선택된 메모리 열
104_1	106_1
104_3	106_3
104_5	106_5
104_7	106_9
104_9	106_{11}
104_{11}	106_{13}
104_{13}	106_{15}
104_{15}	106_{17}
104_{17}	106_{19}
104_{19}	(스페어 워드라인) 108_{N+M}

표2에서 결함이 있는 메모리 열(106_7)은 회피되고 리던던트 열(108)이 선호된다는 것을 유의하라. 표2에서, 선택된 회로들은, 선택회로들(104_1 - 104_5)이 어서팅된(asserted) 선택 신호들을 통해 메모리 열들에 액세스하는 반면에, 선택회로들(104_7 - 104_{19})은 어서팅된 대안적 선택(ALT SELECT) 신호들을 통해 메모 리 열들을 액세스도록 프로그래밍되고, 그로 인해 결함있는 열(106_7)을 건너뛰게(bypass) 된다. 표2는 이러한 방법이 '푸시 다운' 접근법으로 불려지는 이유를 확실히 보여주고 있다. 시퀀셜 체인내의 마지막 열이 리던던트 열(108)을 선택하도록 강제될 때까지, 결함이 발생하고 있는 열로부터 모든 후속 기능 열들은 디코딩 과정에서 '푸시 다운'된다

당업자들은, 본 발명의 인터리빙된 측면이 물리적으로 인접한 결함있는 열들을 상기 도시된 짝수/홀수 푸시 다운 체계를 통해 적은 비용과 복잡성을 가지고 복구될 수 있도록 허용한다는 것을 쉽게 이해할 것이다. 메모리 시스템(100)의 설계자는, 결함있는 열들을 복구할 수 있는 이익 대 스페어 열(108_{N+1} - 108_{N+M})을 추가함으로서 다이 크기가 증가되는 불이익을 강화시키는 수율의 절충에 근거하여, 인터리빙 인자(M)를 선택한다. 클리너(cleaner) 과정은 감소된 인터리빙 인자(M)를 야기한다.

도2는 도1에 이미 도시된 한 개의 대체 열선택 회로(104)를 도시한 회로도이다. 회로(104)는 메모리 소자(400)와 결합회로(402)를 포함하고 있다. 대체 열회로(104)는 어서팅된 선택 신호 또는 어서팅된 대안적 선택 신호 중에서 한 신호를 발생시킬 것이다. 제1 논리상태가 메모리 소자(400)에 저장되어 있다면, 선택 신호가 어서팅되며, 제2 논리상태가 메모리 소자(400)에 저장되어 있다면, 대안적 선택 신호가 표시된다. 제1 논리 상태는 디폴트 상태이며, 이 상태에서 선택회로(104)는 결함으로 인해 '푸시 다운' 동작이 실행되도록 강제되지 않는다. 제2 논리상태는 회로(104)가 '푸시 다운'동작을 수행하도록 강제될 때 메모리 소자(400)내에 저장된다.

n형 트랜지스터(200)의 제1 전류 전극과 n형 트랜지스터(202)의 제1 전류 전극은 결합회로(402)로부터 선택 신호와 대안적 선택 신호를 각각 발생시킨다. 트랜지스터들(200,202)의 제2 전류 전극은 도1의 디코더(102)로부터 입력 $\overline{DECODE}$ 에 각각 접속되어 있다. 게이트들(200,202)의 제어전극들 각각은 NAND 게이트(204)의 출력과 인버터(206)의 출력에 접속되어 있다. 인버터(206)의 입력은 결합회로(402)내에서 NAND 게이트(204)의 출력에 접속되어 있다. NAND 게이트(204)의 제1 입력은 제어신호 인게이지(ENGAGE)를 수신한다. 인게이지(ENGAGE) 신호는, 테스트와 푸시 다운 과정동안 메모리 소자(400)내에 저장된 논리 값을 도1의 메모리 어레이에 인가하는 것을 일시적으로 방지하는데 사용된다.

일반적으로, 메모리 소자(400)는 정적 랜덤 액세스 메모리(SRAM : satatic random access memory) 셀 설계시에 사용되거나 또는 키퍼회로(keeper circuit)로 불려지는 원형결합된 인버터들을 포함하고 있다. SRAM 메모리 소자들을 대체되어 사용하는 것은 커패시터 및 트랜지스터를 포함하는 DRAM 소자들, EEPROM 장치, 플래시 장치(flash device), EPROM 장치, 비휘발성 강전(ferroelectric) 셀이다. SRAM 셀은 다른 논리 장치들과의 집적이 쉽기 때문에, 다른 셀들보다 더 선호된다. 도2에 도시한 바와 같은 회로(400)에 대해 SRAM 저장 구조를 사용할 때, NAND 게이트(204)의 제2 입력은 인버터(208)의 저장된 논리 값 출력을 수신한다. 인버터(208)의 출력은 또한 n형 트랜지스터(212)의 제1 전류 전극과 인버터(210)의 입력에 접속되어 있다. 인버터(210)의 출력은 인버터(208)의 입력에 접속되어 있다. 인버터들(208,210)은 정보의 단일 안정 비트(stable bit)를 순환적으로(circularly) 저장함으로써, 메모리 소자를 형성하게 된다.

트랜지스터(212)의 제어전극은 제어신호 리셋(RESET)에 접속되어 있으며, 트랜지스터(212)의 제2 전류 전극은 전압공급 접지(GND)에 접속되어 있다. 리셋 신호는 메모리 열들(106,108)의 재프로그램 또는 재구성(recorfiguring)을 가능하게 하기 위해 메모리 소자(400)를 디폴트 상태로 RESET 시키는데 사용된다. (도1 참조). 인버터(208)의 출력은 제어신호 푸시 다운 아웃(PUSH DOWN OUT)을 발생시키며, 상기 제어 신호는 또다른 회로(104)의 푸시 다운 인(PUSH DOWN IN) 신호와 직렬로 접속되었을 때에, 상술한 시퀀셜 체인들을 만드는데 사용된다.

인버터(208)의 입력은 n형 트랜지스터(214)의 제1 전류 전극과 n형 트랜지스터(216)의 제1 전류 전극에 접속되어 있다. 제어전극과 트랜지스터(214)의 제2 전류 전극은 제어신호 푸시 다운 인과 전압 공급 접지(GND)에 각각 접속되

어 있다. 트랜지스터(216)의 제어전극과 제2 전류 전극은 제어신호 폴트(FAULT)와 n형 트랜지스터(218)의 제1 전류전극에 각각 접속되어 있다. 트랜지스터(218)의 제어전극과 제2 전류 전극은 디코드(DECODE) 신호와 전압 공급 접지(GND)에 각각 접속되어 있다.

대체 열선택 회로(104)의 동작은 신호들 인게이지, 리셋 및 디폴트(ENGAGE, RESET, FAULT)에 대해 편리하게 서술되어 있다. 인게이지(ENGAGE) 신호가 논리 로우 값에 대응할 때에는, 대체 열 회로(104)는 입력 디코드 신호를 출력 선택 신호 에 직접 매핑시킨다. 메모리 시스템(100)을 테스트하기 위한 준비에서, 리셋 신호는 소정의 리셋값 또는 디폴트 값을 원형결합된 인버터(208,210)들에 의해 형성된 메모리 소자내에 기록하도록 어서팅될 것이다. 이러한 소정의 값(인버터(208)의 출력에서는 '0')은, 동작의 나중 모드들에서 리던던트 열회로(104)가 자신의 입력 디코드 신호를 자신의 출력 선택 신호에 직접적으로 매핑하도록 야기한다.

도1을 참조하여 상술한 바와 같이, 테스트 제어기(110)와 같은 지적 액터(intelligent actor)는 판독, 기록 및 저장 능력들에 대해, 각 메모리 열(106_0-106_N)을 테스트한다. 만약, 메모리 열들(106_0-106_N)중 특정한 한 열이 결함있을 때에는, 테스트 제어기(110)가 결함이 있는 메모리 열의 어드레스(상기 어드레스는 테스트를 위해 어서팅된 동일한 정적 어드레스가 될 것임)와 폴트(FAULT) 신호를 동시에 어서팅한다. 결함이 있는 열과 결합된 디코드 신호들과 폴트 신호의 이중 어서팅은 메모리 소자(400)내에 기억된 논리상태를 플립(flip)하게 된다.

게다가, 인버터(208)의 출력은, 푸시 다운 인(PUSH DOWN IN) 신호들과 푸시 다운 아웃(PUSH DOWN OUT) 신호들의 적절히 인터리빙된 결합 또는 블록 결합을 통해 동일한 시퀀셜 체인내에 존재하는, 후속 회로들(104)내의 모든 후속 메모리 소자들(400)쪽으로 리플(ripple)하게 될 것이다. 푸시 다운 아웃 신호는 메모리 소자(400)의 상태변화를 시퀀셜 체인내의 각각의 후속 대체 열회로(104)의 푸시 다운 인 입력에 전파한다. 이러한 후속 회로들(104)에서, 푸시 다운 인 입력들이 결함있는 열과 결합된 선택회로내에서, 폴트 신호와 디코드 신호를 동시에 어서팅하 는 것과 동일한 효과를 가지게 될 것이다. (표1과 2 참조)

테스팅이 완료되고 논리 값들이 도1의 모든 회로들(104)에 대해 소자들(400)내에 설정될 때에, 테스트 제어기(110)는, 인버터(208,210)에 의해 형성된 메모리 소자내에 저장된 논리 상태들을 트랜지스터(200,202)의 제어전극들에 전달하는, 인게이지 신호를 출력한다. 상술한 바와 같이, 이러한 동작은 결합회로(402)내에서, 디코드 신호를 선택 신호의 출력으로부터 대안적 선택 신호 출력으로 재매핑시킨다. (표1,2 참조)

도 3은 도1에 도시된 메모리 장치(100)를 테스팅하는 방법(300)을 도시한 흐름도이다. 방법(300)은 시작 단계(302)에서 시작된다. 다음 단계(304)에서, 테스트 제어기(110)는 통상적으로 각 메모리 열내에 어떤 비트 패턴들을 기록하고 메모리 열로부터 비트 패턴을 판독함으로써 각 메모리 열(106_0 - 106_N)을 테스트한다. 메모리 열(106_0 - 106_N)중 특정한 한 열이 단계(306)를 통해 결함을 포함한다고 판단된다면, 테스트 제어기(110)는 단계(308)에서 인게이지 신호가 어서팅되고 있는지 여부를 판단한다. 인게이지 신호의 어서팅은 메모리 열(106_0 - 106_N)들 중에서 결함이 있는 것들을 맵 아웃(map out)시키기 위한 시도가 메모리 시스템(100)에 의해 이미 이루어졌다는 것을 나타낸다. 이 경우에, 더 이상의 복구들은 가능하지 않으며, 복구를 추가적으로 행하기 위해서는, 리셋 신호가 어서팅되어야하며 테스팅은 처음부터 시작되어야 한다. 그러므로, 인게이지 신호가 어서팅된다면, 테스트 제어기(110)는 단계(314)를 통해 메모리 장치가 사용 불가능하다는 것을 선언한다. 마지막으로, 방법(300)은 종료 단계(315)에서 종결한다.

만약, 인게이지 신호가 단계(308)에서 어서팅되지 않는다면, 테스트 제어기(110)는 단계(310)를 통해 폴트 신호와 결함이 있는 메모리 열(106_0 - 106_N)의 어드레스를 동시에 어서팅된다. 도2를 참조하여, 상술한 바와 같이, 결함이 있는 어드레스와 폴트 신호의 이러한 동시 어서팅(assertion)은 '결함-표시'(fault-indicative)' 논리 값을 메모리 소자(400)에 기록한다. 테스트 제어기(110)는 단계(312)에서 각 시퀀셜 체인내의 결함들의 수를 추적한다. 임의의 시퀀셜 체인에 사용 가능한 리던던트 메모리 열들의 수가 상기 시퀀셜 체인내의 추가 결함 열들을 복구시킬수 없을 정도의 불능을 가져오도록 완전히 소모되지는 않는다고 보증하기 위해 트래킹(tracking)이 필요하다. 단계(314)에서, 테스트 제어기(110)가 바로 이전의 에러가 메모리 열들(106_0 - 106_N)의 특정한 시퀀셜 체인내의 제1 에러인지를 판단한다. 만약 에러가 특정한 세트내의 제1 에러가 아니고(즉, 제2 에러), 시퀀셜 체인당 단지 한 개의 메모리 열이 있다면, 테스트 제어기(110)는 체인내에서 제일 먼저 발견된 결함 외에는 더 이상 복구할 수 없다. 결과적으로, 테스트 제어기(110)는 단계(314)를 통해 추가의 리던던트 열들이 부족하므로, 메모리 장치가 사용불능이라고 선언한다. 마지막으로, 방법(300)은 정지 단계(315)에서 종료한다.

대신에, 만약, 에러/결함이 특정한 체인내의 제1 에러이면, 테스트 제어기(110)는 에러를 복구시킬 수 있다. 이 경우에서는, 테스트 제어기(110)는 단 계(316)로 계속된다. 방법(300)은 또한, 이전에 테스트된 메모리 열(106_0 - 106_N)들이 단계(306)에서 그 테스트를 통과했다는 것을 판단한 후에, 단계(316)로 계속된다. 단계(316)에서는, 테스트 제어기(110)가 어떤 메모리 열(106_0 - 106_N)이 테스트중에 있는지를 표시하는 내부 포인터를 진행/증가(advance/increment)시킨다. 단계(318)에서는, 테스트 제어기(110)가 각 메모리 열(106_0 - 106_N)을 테스트했는지 여부를 판단한다. 만약 테스트 제어기(110)가 각 메모리 열(106_0 - 106_N)을 테스트하지 않았다면, 테스트 제어기(110)는 단계(304)로 돌아가, 모든 메모리 열들이 완전히 테스트될 때까지, 각 메모리 열(106_0 - 106_N)을 계속 테스트한다.

테스트 제어기(110)가 각 메모리 열(106_0 - 106_N)을 테스트했다면, 테스트 제어기(110)는 단계(320)를 통해 에러/결함이 메모리 시스템(100)내에서 검출되었는지를 여부를 판단한다. 만약 이전의 에러가 메모리 시스템(100)내에서 검출되지 않았다면, 테스트 제어기(110)는 단계(322)에서 메모리 시스템이 사용가능하다고 선언한다. 방법(300)은 정지 단계(315)에서 종료한다. 만약 이전의 에러가 메모리 시스템(100)내에서 검출되어 리던던트 메모리가 단계(310)에서 인에이블된 '푸시 다운' 동작들을 통해 선택된다면, 테스트 제어기(110)는, 단계(324)에서 인게이지(ENGAGE) 신호를 어서팅하고 단계(324)내에 있는 단계(304)에서 메모리 시스템(100)을 테스트하기 위해서 돌아감으로써,

스페어 열(108 $_{N+1}$ - 108 $_{N+M}$)을 테스트한다.

발명의 효과

본 발명의 한 실시예에서는, 방법(300)이 테스트 제어기(110)에 의해서 실현된다. 방법(300)은 공장 테스터, 메모리 시스템(100)을 포함하고 있는 데이터 처리 시스템 상에서 운용되는 동작 시스템, 메모리 어레이가 내장되어 있는 일반적 목적의 CPU 또는 다른 제어수단에 의해 수행될 수 있다는 것을 알아야 한다. 게다가, 방법(300)은 메모리 시스템(100)이 제조된 후 즉시, 메모리 시스템(100)에 전원이 공급될 때마다, 또는 심지어 메모리 어레이 패키징후 사용자가 몇년간 사용한 후의 어느 적절한 인터벌(interval)에서 실행될 수 있다.
본 발명이 특정 실시예들을 참조하여 도시되고 기술되었지만, 추가적인 수정과 개선사항들은 종래의 기술자들에 의해 이루어지게 될 것이다. 예를 들면, 본 발명은 리던던트 열들에 추가되거나 또는 그 대신에 리던던트 행들을 제공하도록 수정될 수 있다. 여기에 기재된 메모리 소자는 선택 값을 저장하기 위해서 사용되는 어떤 소자가 될 수 있다. 여기에 기재된 모듈로 인터리빙은 많은 다른 방법들에 의해 수행될 수 있다. 그러므로, 본 발명은 특정한 실시예에만 한정되어 있는 것이 아니고, 본 발명의 취지와 범위를 벗어나지 않는 모든 변형들을 커버하기 위해 첨부된 청구항들에 기재되어 있다는 것을 알아야 한다.

(57) 청구의 범위

청구항 1.

메모리 시스템에 있어서;
제1 메모리 소자(400)와 제1 결합회로(402)를 갖는 제1 선택회로(104 $_{0}$)로서, 상기 제1 메모리 소자는 제1 제어신호에 의해 제어되는 입력과 상기 제1 결합회로에 접속된 제1 출력과 제2 출력을 가지며, 상기 제 1 메모리 소자: (1) 상기 제1 결합회로를 통한 사용을 위해 메모리 어레이내의 메모리 셀들(106 $_{0}$)의 제 1 라인을 인에이블하는 제1 논리 상태를 포함하도록 기록되며, (2) 상기 제1 결합회로를 통한 사용을 위해 메모리 어레이내의 메모리 셀들(108)의 대안적인(alternative) 라인을 인에이블하는 제2 논리 상태를 포함하도록 기록되는, 상기 제 1 선택 회로(104 $_{0}$)와;
상기 메모리 시스템내의 상기 제1 선택회로와 인접해 있으며, 제2 메모리 소자(400)와 제2 결합회로(402)를 갖는 제2 선택회로(104 $_{1}$)로서, 상기 제2 메모리 소자는 상기 제1 제어신호에 의해 제어되는 입력과 상기 제2 결합회로에 접속된 제1 출력과 제2 출력을 가지며, 상기 제 2 메모리 소자는: (1) 상기 제2 결합회로를 통한 사용을 위해 메모리 어래이내의 메모리 셀들(106 $_{1}$)의 제 1 라인을 인에이블하는 제1 논리 상태를 포함하도록 기록되며, (2) 상기 제2 결합회로를 통한 사용을 위해 메모리 어레이내의 메모리 셀들(108)의 대안적 라인을 인에이블하는 제2 논리 상태 를 포함하도록 기록되는, 상기 제2 선택 회로(104 $_{1}$)와;,
상기 메모리 시스템내의 상기 제2 선택회로와 인접해 있으며, 제3 메모리 소자(400)와 제3 결합회로(402)를 갖는 제3 선택회로(104 $_{2}$)로서, 상기 제3 메모리 소자는 상기 제1 제어신호에 의해 제어되는 입력과 상기 제3 결합회로에 접속된 제1 출력과 제2 출력을 가지며, 상기 제 3 메모리 소자는: (1) 상기 제3 결합회로를 통한 사용을 위해 메모리 어레이내의 메모리 셀들(106 $_{2}$)의 제 1 라인을 인에이블하는 제1 논리 상태를 포함하도록 기록되며, (2) 상기 제3 결합회로를 통한 사용을 위해 메모리 어레이내의 메모리 셀들(108)의 대안적 라인을 인에이블하는 제2 논리 상태를 포함하도록 기록되는, 상기 제3 선택 회로(104 $_{2}$)와;,
상기 메모리 시스템내의 상기 제2 선택회로와 인접해 있으며, 제4 메모리 소자(400)와 제4 결합회로(402)를 갖는 제4 선택회로(104 $_{3}$)로서, 상기 제4 메모리 소자는 상기 제1 제어신호에 의해 제어되는 입력과 상기 제4 결합회로에 접속된 제1 출력과 제2 출력을 가지며, 상기 제 4 메모리 소자는: (1) 상기 제4 결합회로를 통한 사용을 위해 메모리 어레이내의 메모리 셀들(106 $_{3}$)의 제 1 라인을 인에이블하는 제1 논리 상태를 포함하도록 기록되며, (2) 상기 제4 결합회로를 통한 사용을 위해 메모리 어레이내의 메모리 셀들(108)의 대안적 라인을 인에이블하는 제2 논리 상태를 포함하도록 기록되는, 상기 제4 선택 회로(104 $_{3}$)를 포함하는, 메모리 시스템.

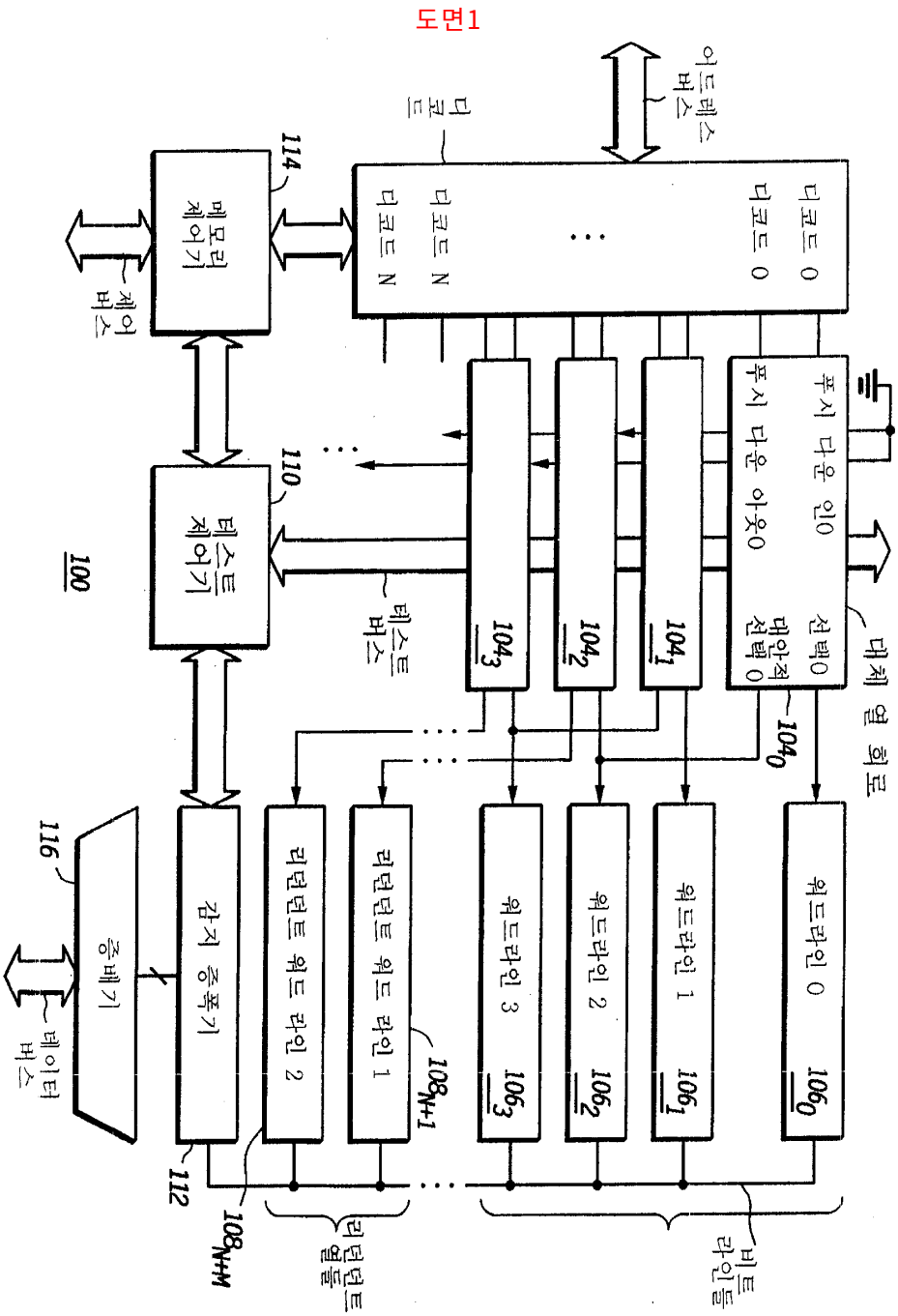
청구항 2.

메모리 시스템의 메모리 어레이내에서 메모리를 선택하는 방법에 있어서:
(a) 메모리(104)의 라인들을 갖는 메모리 어레이를 제공하는 단계로서, 상기 메모리 어레이는 상기 메모리 어레이내의 메모리내의 비기능적 라인들을 기능적으로 대체하기 위해 제공되는 메모리의 리던던트 라인들(108)을 갖는, 메모리 어레이 제공 단계와;
(b) 상기 메모리 어레이내의 메모리의 비기능적 라인들을 기능적으로 대체하기 위해 메모리의 특정 리던던트 라인들을 인에이블(enable) 또는 디스에이블(disable) 하도록 선택적으로 프로그래밍되는, 전기적으로 프로그램 가능한 메모리 소자들(400)의 어레이를 제공하는 단계와;
(c) 상기 메모리 어레이내의 메모리의 각 라인을 테스트하기 위해, 상기 메모리 어레이와 온-칩 상태로 있는 테스트 제어기(110)를 사용하는 단계와;
(d) 상기 테스트 제어기에 의해 수행된 테스트 동작을 통해 상기 메모리 어레이내의 메모리의 비기능적 라인을 식별하는 단계(도3)와;
(e) 상기 전기적으로 프로그램 가능한 메모리 소자들의 어레이내의 상기 전기적으로 프로그램 가능한 메모리 소자들중 적어도 하나의 상태를 변화시키기 위해, 메모리의 상기 비기능적 라인과 연관되는 디코드 제어 신호과 결함 제어 신호를 동시에 어서팅하는(asserting) 단계로서, 상기 전기적으로 프로그램 가능한 메모리 소자들중 상기 적어도 하

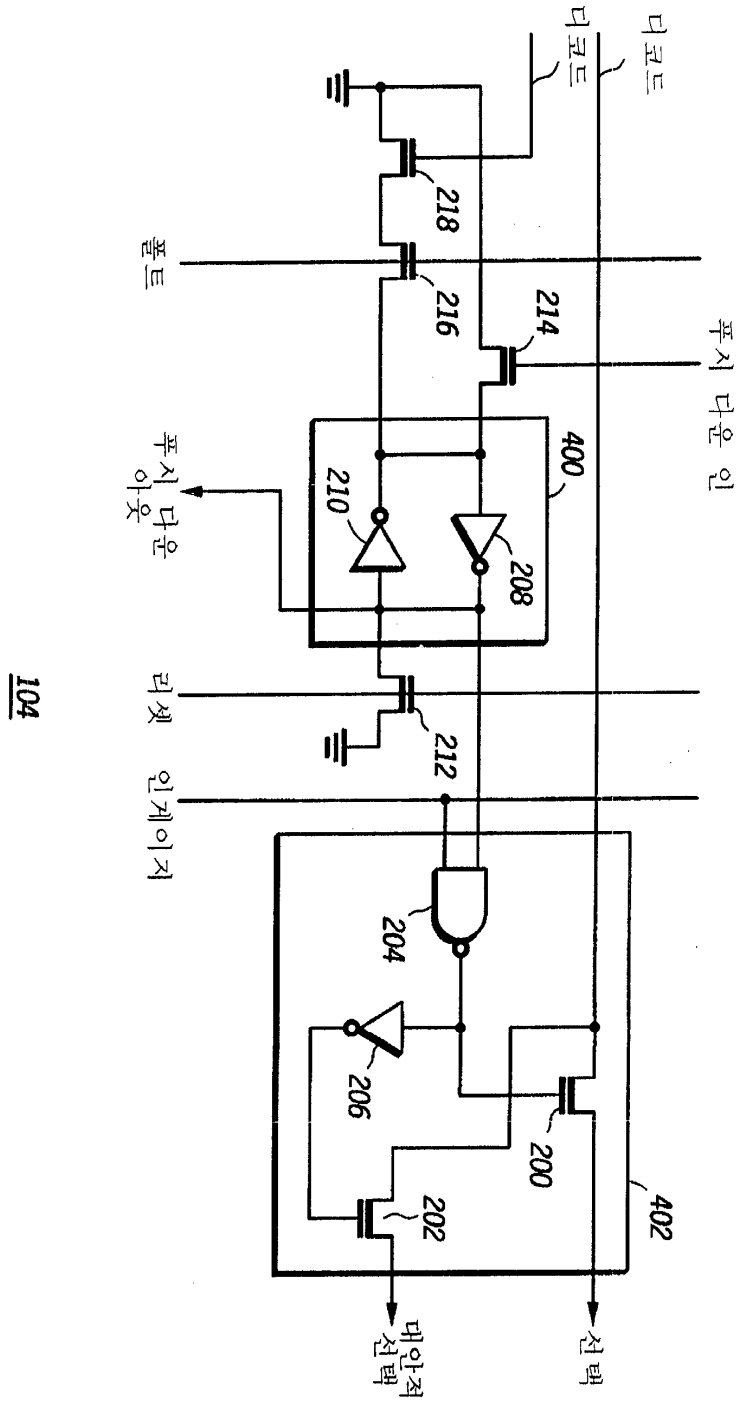
나는 메모리의 상기 비기능적 라인을 디스에이블하고 인게이지(engage) 제어신호의 어서팅에 응답하여 메모리의 특정 리던던트 라인을 인에이블하는, 상기 어서팅 단계를 포함하는, 메모리 선택 방법.

도면

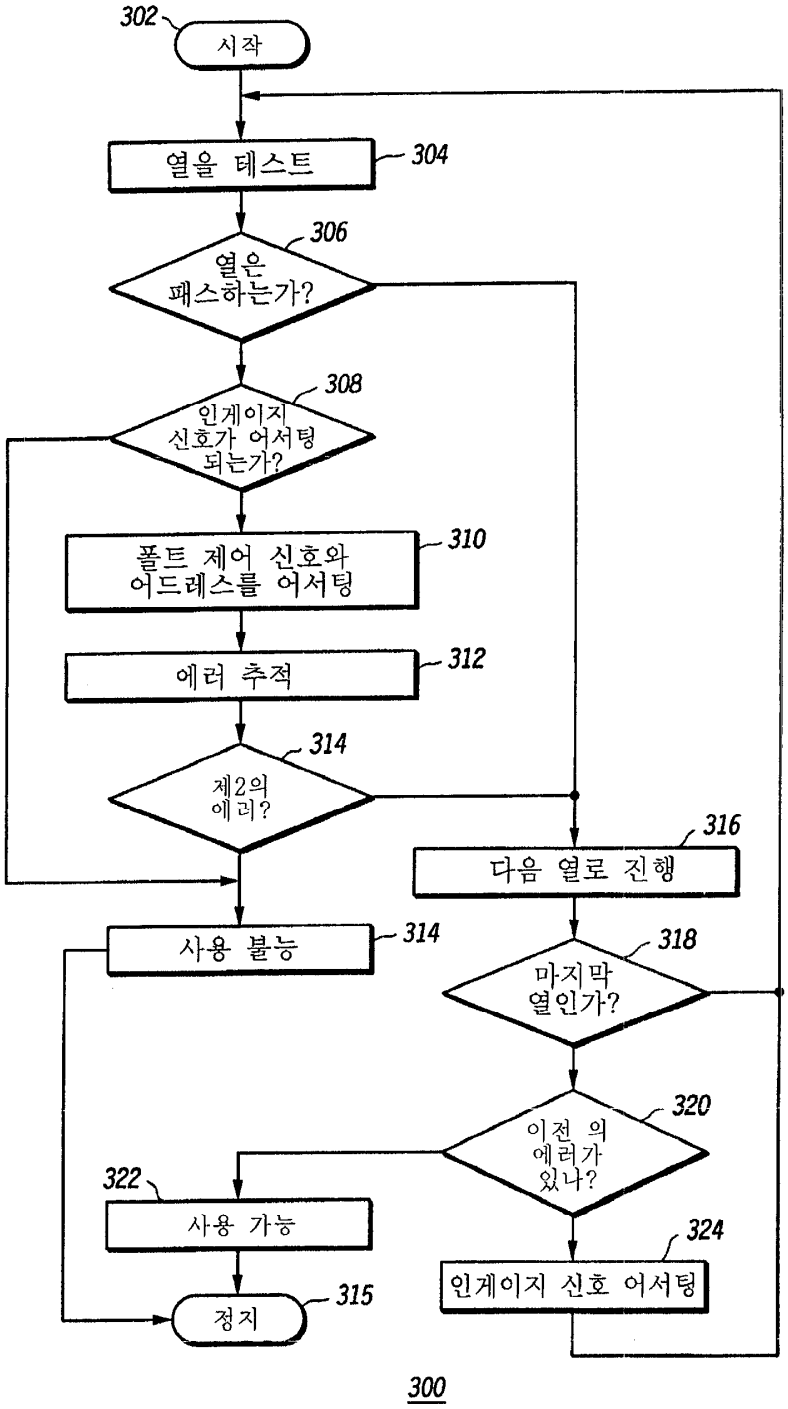
도면1



도면2


104
디코드
디코드
218
폴트
216
214
푸시 다운 인
400
푸시 다운 아웃
210
208
리셋
212
인게이지
204
206
200
202
402
대안적 선택
선택

도면3


302
시작
열을 테스트
304
306
열은 패스하는가?
308
인게이지 신호가 어서팅 되는가?
310
폴트 제어 신호와 어드레스를 어서팅
312
에러 추적
314
제2의 에러?
316
다음 열로 진행
사용 불능
314
318
마지막 열인가?
320
이전 의 에러가 있나?
322
사용 가능
324
인게이지 신호 어서팅
315
정지
300