



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월14일
(11) 등록번호 10-1049383
(24) 등록일자 2011년07월08일

(51) Int. Cl.
H01L 21/3065 (2006.01) H01L 21/82 (2006.01)
(21) 출원번호 10-2009-0060270
(22) 출원일자 2009년07월02일
심사청구일자 2009년07월02일
(65) 공개번호 10-2010-0004879
(43) 공개일자 2010년01월13일
(30) 우선권주장 JP-P-2008-175720 2008년07월04일 일본(JP)
(56) 선행기술조사문헌 KR100805695 B1*
KR1020070105827 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
르네사스 일렉트로닉스 가부시키가이샤
일본 가나가와켄 가와사끼시 나카하라쿠 시모누마
베 1753
(72) 발명자
구니토우 마사오
일본 가나가와켄 가와사끼시 나카하라쿠 시모누마
베 1753 엔이썬 일렉트로닉스 가부시키가이샤 나
이
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 9 항

심사관 : 박귀만

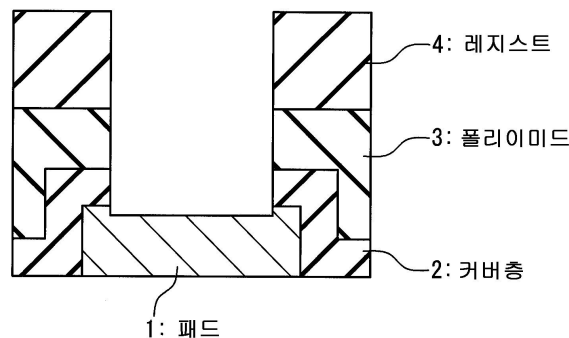
(54) 반도체 장치의 제조 방법

(57) 요약

패드 영역 상에서의 퇴적물의 생성을 억제할 수 있는, 반도체 장치의 제조 방법을 제공한다.

패드 영역을 갖는 배선층군(配線層群)을 형성하는 단계와, 상기 배선층군이 피복되도록 절연성 커버층을 형성하는 단계와, 상기 패드 영역이 노출되도록 상기 커버층을 플라즈마 에칭에 의해 제거하는 단계를 구비하고, 상기 패드 영역은, 알루미늄에 의해 형성되고, 상기 플라즈마 에칭에 의해 제거하는 단계는, 탄소 라디칼 및 불소 라디칼을 발생시키는 CF 계열 가스를 사용하여 상기 패드 영역을 노출시키는 단계와, 상기 노출시키는 단계 후에, 염소 라디칼 또는 염소 이온을 발생시키는 Cl₂ 계열 가스를 사용하여 상기 패드 영역의 표면에 생성된 퇴적물을 제거하는 단계를 구비한다.

대표도 - 도9a



특허청구의 범위

청구항 1

패드 영역을 갖는 배선층군(配線層群)을 형성하는 단계와,
 상기 배선층군이 피복되도록 절연성 커버층을 형성하는 단계와,
 상기 패드 영역이 노출되도록 상기 커버층을 플라즈마 에칭에 의해 제거하는 단계를 구비하고,
 상기 패드 영역은, 알루미늄에 의해 형성되고,
 상기 플라즈마 에칭에 의해 제거하는 단계는,
 탄소 라디칼 및 불소 라디칼을 발생시키는 CF 계 가스를 사용하여 상기 패드 영역을 노출시키는 단계와,
 상기 노출시키는 단계 후에, 염소 라디칼 또는 염소 이온을 발생시키는 Cl₂ 계 가스를 사용하여 상기 패드 영역의 표면에 생성된 퇴적물을 제거하는 단계를 구비하고,
 추가로,
 상기 커버층을 형성하는 단계 후에, 상기 커버층 상에 수지제의 절연 보호층을 형성하는 단계와,
 상기 플라즈마 에칭하는 단계 전에, 상기 패드 영역의 상방에 있어서 상기 절연 보호층을 제거하는 단계를 구비하는, 반도체 장치의 제조 방법.

청구항 2

제 1 항에 있어서,
 상기 Cl₂ 계 가스는, Cl₂ 가스, BCl₃ 가스, SiCl₄ 가스 및 CCl₄ 가스로 이루어지는 집합에서 선택되는 적어도 1 개의 가스를 함유하는, 반도체 장치의 제조 방법.

청구항 3

제 1 항에 있어서,
 상기 CF 계 가스는, CF₄ 가스, CHF₃ 가스 및 N₂ 가스를 함유하는 혼합 가스인, 반도체 장치의 제조 방법.

청구항 4

제 1 항에 있어서,
 상기 커버층은, 산소 원자와 실리콘 원자를 함유하는 화합물로 이루어지는 산화실리콘계의 막에 의해 형성되는, 반도체 장치의 제조 방법.

청구항 5

제 4 항에 있어서,
 상기 산화실리콘계의 막은 SiON 막인, 반도체 장치의 제조 방법.

청구항 6

삭제

청구항 7

제 1 항에 있어서,
 상기 절연 보호층은 폴리이미드 수지를 함유하는, 반도체 장치의 제조 방법.

청구항 8

제 1 항에 있어서,
상기 배선층군을 형성하는 단계는,
하층 노출부를 갖는 하부 배선층을 형성하는 단계와,
상기 하부 배선층 상에, 층간 절연막을 개재하여, 상기 패드 영역을 갖는 상부 배선층을 형성하는 단계를 구비하고,
상기 패드 영역을 노출시키는 단계는, 상기 패드 영역과 상기 하층 노출부의 쌍방이 노출되도록, 상기 커버층 및 상기 층간 절연막을 에칭하는 단계를 포함하는, 반도체 장치의 제조 방법.

청구항 9

제 8 항에 있어서,
상기 하층 노출부는 퓨즈 소자 부분인, 반도체 장치의 제조 방법.

청구항 10

제 8 항 또는 제 9 항에 있어서,
상기 층간 절연막은 SiON 막을 포함하는, 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 반도체 장치의 제조 방법에 관한 것으로, 특히 알루미늄제의 패드 영역을 갖는 반도체 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 기관 (예를 들어 실리콘 기관) 상에 반도체 집적 회로가 형성된 반도체 장치가 알려져 있다. 반도체 장치는, 반도체 칩으로서 제조된다. 반도체 장치를 제조하는 경우, 먼저 기관으로서 반도체 웨이퍼가 준비된다. 그리고, 그 반도체 웨이퍼 상에 반도체 집적 회로가 형성된다. 그 반도체 집적 회로는 배선층을 포함한다. 반도체 집적 회로가 형성된 후, 반도체 웨이퍼는 복수의 반도체 칩으로 절단되어서 분리된다.

[0003] 도 1 에는, 반도체 웨이퍼를 나타내는 상면도와, 그 반도체 웨이퍼 상에 형성된 복수의 반도체 칩 중 1 개를 나타내는 확대도가 예시되어 있다.

[0004] 도 1 의 확대도에 도시되는 바와 같이, 복수의 반도체 칩 각각에는, 그 표면에 패드 영역이 형성된다. 패드 영역은, 배선층 중 일부이다. 패드 영역은, 각 칩의 배선층을 칩 밖의 장치 (이하, 외부 장치) 와 전기적으로 접속시키기 위해 형성된다.

[0005] 도 2 는, 각 칩의 표면 부분을 나타내는 단면도이다. 각 칩의 표면 부분에는, 패드 영역 이외에 커버층과 절연 수지층 (예를 들어, 폴리이미드) 이 형성되어 있다. 커버층으로는, 예를 들어, SiON 막 등의 산화실리콘계의 막 (산소 원자와 실리콘 원자를 함유하는 화합물로 이루어지는 막) 이 사용된다. 커버층 및 절연 수지층은, 각 칩 내의 반도체 집적 회로를 보호하기 위해 형성되어 있다. 각 칩의 표면 부분에 있어서, 패드 영역 이외의 부분은 커버층 및 절연 수지층에 의해 덮여져 있다. 한편, 패드 영역 상에서는, 커버층 및 절연 수지층에 개구가 형성되어 있어, 패드 영역이 노출되어 있다.

[0006] 도 2 에 나타난 반도체 장치의 제조 방법에 대해 설명한다.

[0007] 먼저, 기관 (도시 생략) 상에 패드 영역을 포함하는 배선층이 형성된다. 그 배선층을 피복하도록, 커버층, 폴리이미드 (절연 수지층) 및 레지스트가 이 순서로 적층된다. 또한, 패드 영역의 상부에 있어서, 레지스트에 개구가 형성된다. 그리고, 레지스트를 마스크로 하여 폴리이미드가 제거된다. 도 3a 에는 폴리이미드가 제거된 상태를 나타내는 단면도가 도시되어 있다. 또한, 도 3b 는 패드 영역의 상면도이다.

[0008] 그 후, 폴리이미드를 마스크로 하여 패드 영역이 노출되도록, 커버층이 에칭된다. 커버층은, 통상적으로 플라즈마 에칭에 의해 에칭된다. 커버층으로서 산화실리콘계의 막이 사용되는 경우, 에칭 가스로는 CF 계 가스 (탄소 라디칼과 불소 라디칼을 발생시키는 가스) 가 사용된다.

[0009] 도 4a 는 커버층이 에칭된 후의 상태를 나타내는 단면도이다. 또한, 도 4b 는 그 상면도이다. 커버층을 에칭한 후에, 패드 영역 상에 퇴적물 등이 남는 경우가 있다. 패드 영역 상에 퇴적물이 남아 있으면, 패드를 외부 장치와 양호한 신뢰성으로 접속시키는 것이 곤란해진다. 따라서, 패드 영역 상에 퇴적물이 남지 않도록, 커버층을 에칭하는 것이 요망된다.

[0010] 관련 기술로서, 특허 문헌 1 (일본 공개특허공보 평9-115878 호) 을 들 수 있다. 특허 문헌 1 에는, 도전 재료층 상의 유기 고분자계 절연막에, 도전 재료층에 면하는 접속공을 개구시키는 플라즈마 에칭 방법에 있어서, 그 유기 고분자계 절연막을 CF 계 가스, 및 산화계 화학종을 발생시킬 수 있는 가스 중 적어도 1 종의 가스와, 염소계 화학종을 발생시킬 수 있는 가스를 함유하는 에칭 가스를 사용하여 패터닝하는 것을 특징으로 하는 플라즈마 에칭 방법이 기재되어 있다.

[0011] 특허 문헌 1: 일본 공개특허공보 평9-115878 호

발명의 내용

해결 하고자하는 과제

[0012] 각 칩 내에 형성되는 배선층의 재료로서, 알루미늄이 채용되는 경우가 있다. 이 경우, 패드 영역에도 알루미늄이 사용된다.

[0013] 알루미늄을 패드 영역에 사용한 경우, CF 계 가스를 사용하여 커버층을 에칭하면, 노출된 패드 영역의 알루미늄과 CF 계 가스 유래의 불소 라디칼이 반응하여 AlF_3 이 생성된다. 즉, 퇴적물로서 AlF_3 이 생성된다.

[0014] 생성된 AlF_3 은, 대기 중의 수분 (H_2O) 등과 반응하여 수산화알루미늄 $Al(OH)_3$ 을 생성시키는 경우가 있다. 구체적으로는, 하기 식 1 에 의해 수산화알루미늄 $Al(OH)_3$ 가 생성된다.

[0015] (식 1) ; $AlF_3 + 3H_2O \rightarrow Al(OH)_3 + 3HF$

[0016] 또한, 식 1 에 의해 부생성물 (副生成物) 로서 발생되는 HF 는, 하기 식 2 에 의해 다시 AlF_3 을 생성시킨다.

[0017] (식 2) ; $3HF + Al \rightarrow AlF_3 + 3/2H_2$

[0018] 식 2 에 의해 생성된 AlF_3 은, 다시 식 1 의 반응을 촉진시킨다. 즉, $Al(OH)_3$ 의 생성이 촉진된다.

[0019] 패드 영역 상에 생성된 $Al(OH)_3$ 은, 패드 영역과 외부 장치의 전기적인 접속을 방해한다.

[0020] 또한, 생성된 $Al(OH)_3$ 은 패드 영역이 변색되는 원인도 되어, 외관 상으로도 바람직하지 않다. 반도체 장치의 제조 과정에서는, 커버층이 에칭된 후에 웨이퍼 테스트가 실시된다. 웨이퍼 테스트시에는, 각 칩의 전기적 특성을 조사하기 위해, 바늘이 패드 영역에 접촉된다. 이 때, 도 5a 및 도 5b 에 도시되는 바와 같이, 패드 영역 상에 바늘 자국이 남는다. $Al(OH)_3$ 의 생성이 촉진되면, 도 6a 및 도 6b 에 도시되는 바와 같이, 바늘 자국의 주위에 $Al(OH)_3$ 에 의한 변색부가 형성된다.

[0021] AlF_3 의 생성을 억제하기 위해, 커버층을 에칭한 후에 수세 (水洗) 공정이나 베이킹 (가열) 공정을 실시하는 것을 생각할 수 있다. 그러나, 수세 공정을 실시한 경우, 수세 시간에 따라서는 패드 영역에서 알루미늄이 용출되는 경우가 있다. 또한, 베이킹 공정을 실시한 경우, 베이킹 시간에 따라서는 패드 영역 상에 알루미늄 산화막이 생성되는 경우가 있다.

[0022] 또한, $Al(OH)_3$ 의 생성을 억제하기 위해, 수분이 적은 환경하에서 반도체 장치 (칩 또는 웨이퍼) 를 보관하는 것을 생각할 수 있다. 수분이 적은 환경하에서 보관하기 위해, 반도체 장치를 포장하는 포장 부재로서 특별한 부재 (예를 들어, 프로토스 및 알루미늄 드라이 팩) 를 준비하는 것 등을 생각할 수 있다. 그러나, 특별한 부재를 준비하는 것은 제조 비용 증가의 원인이 된다.

[0023] 따라서, 본 발명의 목적은, 패드 영역 상에서의 퇴적물의 생성을 억제할 수 있는, 반도체 장치의 제조 방법을 제공하는 것에 있다.

과제 해결수단

[0024] 본 발명에 관련된 반도체 장치의 제조 방법은, 패드 영역을 갖는 배선층군을 형성하는 단계와, 그 배선층군을 피복하도록 절연성 커버층을 형성하는 단계와, 패드 영역이 노출되도록 커버층을 플라즈마 에칭에 의해 제거하는 단계를 구비한다. 패드 영역은, 알루미늄에 의해 형성된다. 플라즈마 에칭에 의해 제거하는 단계는, 탄소 라디칼 및 불소 라디칼을 발생시키는 CF 계 가스를 사용하여 패드 영역을 노출시키는 단계와, 그 노출시키는 단계 후에, 염소 라디칼 또는 염소 이온을 발생시키는 Cl₂ 계 가스를 사용하여 패드 영역의 표면에 생성된 퇴적물을 제거하는 단계를 구비한다.

[0025] 이 발명에 의하면, CF 계 가스를 사용한 플라즈마 에칭에 의해 커버층을 양호한 정밀도로 에칭할 수 있다. CF 계 가스를 사용함으로써, 패드 영역이 노출되었을 때에, 패드 영역 상에 퇴적물로서 AlF₃ 이 생성된다. 생성된 AlF₃ 은, Cl₂ 계 가스를 사용함으로써 에칭된다. AlF₃ 이 Cl₂ 계 가스에 의해 제거되므로, Al(OH)₃ 이 생성되지도 않고, 패드 영역과 외부 장치의 전기적 접속이 방해받지도 않는다.

효 과

[0026] 본 발명에 의하면, 패드 영역 상에서의 퇴적물의 생성을 억제할 수 있는, 반도체 장치의 제조 방법이 제공된다.

발명의 실시를 위한 구체적인 내용

[0027] 이하에, 첨부 도면을 참조하여 본 발명의 실시형태에 관련된 반도체 장치의 제조 방법을 설명한다.

[0028] (제 1 실시형태)

[0029] 먼저, 반도체 웨이퍼를 준비한다. 반도체 웨이퍼 상에, 배선층군을 포함하는 반도체 집적 회로를 형성한다. 배선층군에는, 알루미늄에 의한 배선 패턴이 포함된다. 또한, 배선층군의 일부에는 패드 영역 (1) 이 형성된다. 그 후, 배선층군이 피복되도록 절연성 커버층 (2) 이 형성된다. 추가로, 커버층 (2) 상에 절연 수지층 (3) 으로서 폴리이미드막이 형성된다. 커버층 (2) 은, 산화실리콘계의 막 (산소 원자와 실리콘 원자를 함유하는 화합물로 이루어지는 막) 에 의해 형성되는 것으로 한다. 커버층 (2) 으로서, 구체적으로는 SiON 막을 들 수 있다. 그 후, 절연 수지층 (3) 을 패터닝하기 위해, 수지제의 레지스트 (4) 가 절연 수지층 (3) 상에 형성된다. 레지스트 (4) 를 마스크로 하여 패드 영역 (1) 상의 절연 수지층 (3) 이 패터닝된다.

[0030] 도 7a 에는, 절연 수지층 (3) 이 제거된 상태에 있어서의, 반도체 웨이퍼의 표면 부분의 단면도가 도시되어 있다. 또한, 도 7b 에는 도 7a 의 상태에 있어서의 상면도가 도시되어 있다. 절연 수지층 (3) 이 제거됨으로써, 패드 영역 (1) 의 커버층 (2) 이 노출된다.

[0031] 다음으로, 도 8a 에 도시되는 바와 같이, 절연 수지층 (3) 및 레지스트 (4) 를 마스크로 하여 커버층 (2) 을 에칭한다. 도 8b 는 패드 영역 (1) 부분의 상면도이다. 커버층 (2) 이 에칭됨으로써, 패드 영역 (1) 이 노출된다.

[0032] 커버층 (2) 은, 플라즈마 에칭에 의해 에칭된다. 에칭 가스로는, CF 계 가스가 사용된다.

[0033] CF 계 가스는, 탄소 라디칼과 불소 라디칼을 발생시키는 가스이다. CF 계 가스로서, 구체적으로는 CF₄, CHF₃ 및 N₂ 가스를 함유하는 혼합 가스가 예시된다. CF 계 가스는, 산화실리콘계의 막인 커버층 (2) 을 에칭할 때에 바람직하게 사용된다. CF 계 가스 유래의 탄소 라디칼은, 커버층 (2) 의 산소 원자와 반응한다. CF 계 가스 유래의 불소 라디칼은, 커버층 (2) 의 실리콘 원자와 반응한다. 이로써, 커버층 (2) 이 제거된다.

[0034] 여기서, 노출된 패드 영역 (1) 은 CF 계 가스에 노출되게 된다. 이미 서술한 바와 같이, 노출된 패드 영역 (1) 의 알루미늄과 CF 계 가스 유래의 불소 라디칼이 반응하여, 퇴적물 (5) 로서 AlF₃ 이 생성된다.

[0035] CF 계 가스를 사용한 플라즈마 에칭이 종료된 후에, 퇴적물 (5) 을 제거하기 위해 Cl₂ 계 가스를 사용한 플라즈

마 에칭이 실시된다.

- [0036] Cl_2 계 가스는, 염소 라디칼 또는 염소 이온을 발생시키는 가스이다. Cl_2 계 가스 유래의 염소 라디칼 또는 염소 이온은, AlF_3 과 반응하여 AlCl_3 을 생성시킨다. AlCl_3 은 승화성이 높아, 승화에 의해 패드 영역 (1) 표면으로부터 제거된다. 이로써, 패드 영역 (1) 상으로부터 퇴적물 (5) 이 제거된다. 도 9a 에는 퇴적물 (5) 이 제거된 후의 반도체 웨이퍼 표면 부분을 나타내는 단면도가 도시되어 있고, 도 9b 에는 그 상면도가 도시되어 있다.
- [0037] Cl_2 계 가스로서, 구체적으로는 Cl_2 가스, BCl_3 가스, SiCl_4 가스 및 CCl_4 가스로 이루어지는 집합에서 선택되는 적어도 1 종류의 가스가 예시된다.
- [0038] 계속해서, 도 10a 에 도시되는 바와 같이, 레지스트 (4) 가 제거된다. 도 10b 에 도시되는 바와 같이, 절연 수지층 (3) 이 노출된다.
- [0039] 그 후, 반도체 집적 회로의 전기적 특성을 검사하기 위해, 웨이퍼 테스트가 실시된다. 웨이퍼 테스트시에는, 프로브 (바늘) 를 패드 영역 (1) 에 접촉시킴으로써 반도체 집적 회로의 전기적 특성이 측정된다. 도 11a 는 웨이퍼 테스트 후의 반도체 웨이퍼 표면 부분의 단면도이며, 도 11b 는 그 상면도이다. 웨이퍼 테스트 후에는, 프로브 (바늘) 자국 (6) 이 패드 영역 (1) 상에 남는다. 이 때, 패드 영역 (1) 상으로부터 AlF_3 (퇴적물 (5)) 이 제거되었기 때문에, $\text{Al}(\text{OH})_3$ 이 생성되지도 않고, 바늘 자국 (6) 의 주위가 변색되지 않는다.
- [0040] 그 후, 반도체 웨이퍼가 복수의 반도체 칩으로 절단되어서 분리된다. 복수의 칩 각각은, 패드 영역 (1) 에서 외부 장치와 전기적으로 접속된다. 이 때, 패드 영역 (1) 상에 $\text{Al}(\text{OH})_3$ 등의 잔류물이 존재하지 않기 때문에, 양호한 신뢰성으로 외부 장치와 접속시킬 수 있다.
- [0041] 이상 설명한 바와 같이, 본 실시형태에 의하면, CF 계 가스를 사용하여 커버층이 에칭된 후에, Cl_2 계 가스를 사용하여 AlF_3 (퇴적물 (5)) 이 에칭된다. CF 계 가스에 의한 에칭에 의해 AlF_3 이 생성된다 하더라도, Cl_2 계 가스에 의한 에칭에 의해 AlF_3 이 제거되므로, 패드 영역 (1) 상에 $\text{Al}(\text{OH})_3$ 이 생성되지 않는다. 이로써, 외부 장치와 각 반도체 칩을 양호한 신뢰성으로 접속시킬 수 있다.
- [0042] 또한, 반도체 웨이퍼는, 웨이퍼 테스트의 종료 후에 장기간에 걸쳐 보관되는 경우가 있다. 본 실시형태에서는, AlF_3 이 패드 영역 (1) 상으로부터 제거되었기 때문에, $\text{Al}(\text{OH})_3$ 의 생성이 억제된다. 따라서, 장기간에 걸친 보관시에 있어서도, 특별한 포장 부재 (예를 들어, 프로토스 및 알루미늄랩 드라이 팩) 등을 준비할 필요가 없어, 보관시에 필요로 하는 비용을 저감시킬 수 있다.
- [0043] 또한, 본 실시형태에 의하면, AlF_3 을 제거하기 위해 수세 공정이나 베이크 공정을 마련할 필요가 없어, 제조 공정을 단축시킬 수 있다.
- [0044] (제 2 실시형태)
- [0045] 계속해서, 본 발명의 제 2 실시형태에 대해 설명한다. 도 12 는 본 실시형태에 관련된 반도체 장치의 표면 부분을 나타내는 단면도이다. 본 실시형태에서는, 배선층군에 퓨즈 소자 (7) (하층 노출부) 가 추가되어 있다. 퓨즈 소자 (7) 는, 패드 영역 (1) 보다 깊은 위치에 형성되어 있다. 즉, 배선층군은 복수 층의 배선층 (하부 배선층과 상부 배선층) 을 구비하고 있으며, 하부 배선층에 퓨즈 소자 (7) 가 형성되어 있고, 상부 배선층에 패드 영역 (1) 이 형성되어 있다. 하부 배선층과 상부 배선층은, 층간 절연막을 개재하여 적층되어 있다. 층간 절연막으로는, 커버층 (2) 과 동일한 재료 (예를 들어 산화실리콘계의 막) 가 사용된다.
- [0046] 제 1 실시형태와 동일하게, 패드 영역 (1) 상에는 개구가 형성되어 있다. 이로써, 패드 영역 (1) 은 노출되어 있다.
- [0047] 또한, 퓨즈 소자 (7) 상에도 약간 층간 절연막을 남기고, 개구가 형성되어 있다. 이로써, 퓨즈 소자 (7) 는 실질적으로 노출되어 있다.
- [0048] 본 실시형태에 관련된 반도체 장치의 제조 방법에 대해 설명한다.
- [0049] 먼저, 기판 (도시 생략) 상에 퓨즈 소자 (7) 를 갖는 하부 배선층을 형성한다. 그 후, 층간 절연막을 개재

하여 패드 영역 (1) 을 갖는 상부 배선층을 적층시킨다. 그 후, 제 1 실시형태와 동일하게, 상부 배선층 상에 커버층 (2), 폴리이미드 (3) 및 레지스트 (4) 를 이 순서로 적층시킨다. 그 후, 패드 영역 (1) 및 퓨즈 소자 (7) 의 상방에 해당하는 위치에 있어서, 폴리이미드 (3) 에 개구를 형성한다. 폴리이미드 (3) 에 개구가 형성된 후의 상태가 도 13 에 도시되어 있다.

[0050] 계속해서, 커버층 (2) 및 층간 절연막을 에칭하여, 패드 영역 (1) 에 이르는 개구 및 퓨즈 소자 (7) 에 이르는 개구를 동시에 형성한다. 이 때, CF 계 가스를 사용한 플라즈마 에칭에 의해 커버층 (2) 및 층간 절연막을 제거한다.

[0051] 여기서, 패드 영역 (1) 은 상부 배선층에 형성되어 있다. 한편, 퓨즈 소자 (7) 는 하부 배선층에 형성되어 있다. 퓨즈 소자 (7) 에 이르는 개구를 형성하기 위해서는, 패드 영역 (1) 에 이르는 개구를 형성하는 경우보다 장시간 에칭을 실시해야만 한다. 즉, 패드 영역 (1) 상에서는, 도 12 중에서 높이 h 로 도시되는 양만큼 여분으로 에칭이 실시된다. 이 때, 패드 영역 (1) 은 노출되고 나서도 장시간 CF 계 가스에 노출되게 된다.

[0052] CF 계 가스를 사용한 플라즈마 에칭의 종료 후, 제 1 실시형태와 동일하게, Cl_2 계 가스를 사용하여 패드 영역 (1) 상의 퇴적물 (5) 을 에칭한다. 그 이후의 처리도, 제 1 실시형태와 동일하다.

[0053] 패드 영역 (1) 에서는, 노출된 상태에서 CF 계 가스에 노출된 시간이 길어질수록, AlF_3 이 생성되기 쉬워진다. 즉, 본 실시형태와 같이, 하부 배선층에 형성된 하층 노출부와 상부 배선층에 형성된 패드 영역 (1) 을 동시에 노출시키는 경우, 패드 영역 (1) 상에 퇴적물 (5) 이 생성되기 쉽다.

[0054] 그러나, 본 실시형태에서는, Cl_2 계 가스에 의해 패드 영역 (1) 상의 퇴적물 (5) 이 제거된다. 즉, 본 실시형태에 의하면, 하층 노출부와 패드 영역 (1) 을 동시에 노출시키는 경우에도, 패드 영역 (1) 상을 클리어한 상태로 유지할 수 있다. 이로써, 패드 영역 (1) 에 있어서의 전기적 신뢰성을 높일 수 있다. 또한, 패드 영역 (1) 의 변색을 방지할 수 있다.

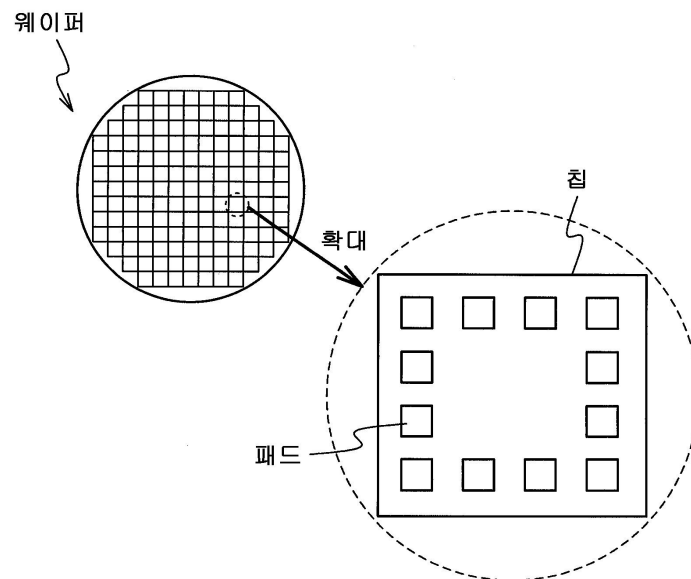
도면의 간단한 설명

- [0055] 도 1 은 반도체 웨이퍼를 나타내는 평면도이다.
- [0056] 도 2 는 반도체 웨이퍼의 표면 부분을 나타내는 단면도이다.
- [0057] 도 3a 는 반도체 장치의 제조 공정을 나타내는 공정 단면도이다.
- [0058] 도 3b 는 반도체 장치의 제조 공정을 나타내는 평면도이다.
- [0059] 도 4a 는 반도체 장치의 제조 공정을 나타내는 공정 단면도이다.
- [0060] 도 4b 는 반도체 장치의 제조 공정을 나타내는 평면도이다.
- [0061] 도 5a 는 반도체 장치의 제조 공정을 나타내는 공정 단면도이다.
- [0062] 도 5b 는 반도체 장치의 제조 공정을 나타내는 평면도이다.
- [0063] 도 6a 는 반도체 장치의 제조 공정을 나타내는 공정 단면도이다.
- [0064] 도 6b 는 반도체 장치의 제조 공정을 나타내는 평면도이다.
- [0065] 도 7a 는 제 1 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 공정 단면도이다.
- [0066] 도 7b 는 제 1 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 평면도이다.
- [0067] 도 8a 는 제 1 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 공정 단면도이다.
- [0068] 도 8b 는 제 1 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 평면도이다.
- [0069] 도 9a 는 제 1 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 공정 단면도이다.
- [0070] 도 9b 는 제 1 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 평면도이다.
- [0071] 도 10a 는 제 1 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 공정 단면도이다.

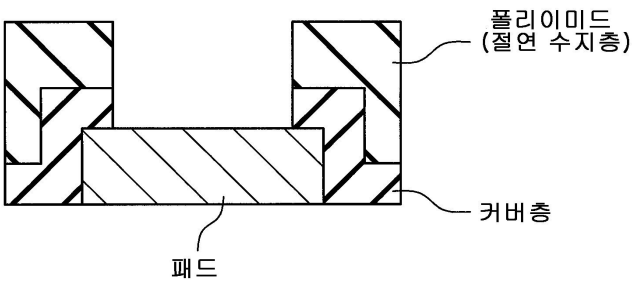
- [0072] 도 10b 는 제 1 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 평면도이다.
- [0073] 도 11a 는 제 1 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 공정 단면도이다.
- [0074] 도 11b 는 제 1 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 평면도이다.
- [0075] 도 12 는 제 2 실시형태에 관련된 반도체 장치를 나타내는 단면도이다.
- [0076] 도 13 은 제 2 실시형태에 관련된 반도체 장치의 제조 공정을 나타내는 단면도이다.
- [0077] 도면의 주요 부분에 대한 부호의 설명
- [0078] 1 : 패드 영역
- [0079] 2 : 커버층
- [0080] 3 : 폴리이미드 (절연 수지층)
- [0081] 4 : 레지스트
- [0082] 5 : 퇴적물
- [0083] 6 : 웨이퍼 테스트 바늘 자국
- [0084] 7 : 퓨즈 소자 (하층 노출부)

도면

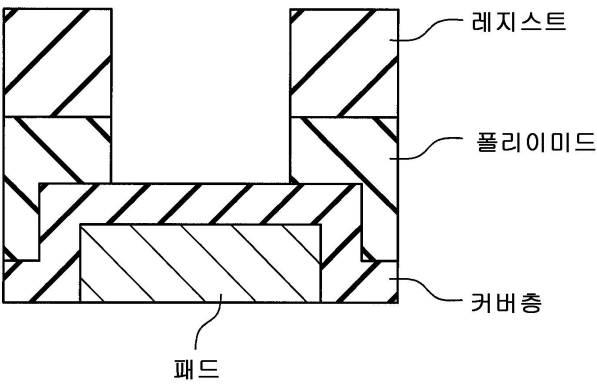
도면1



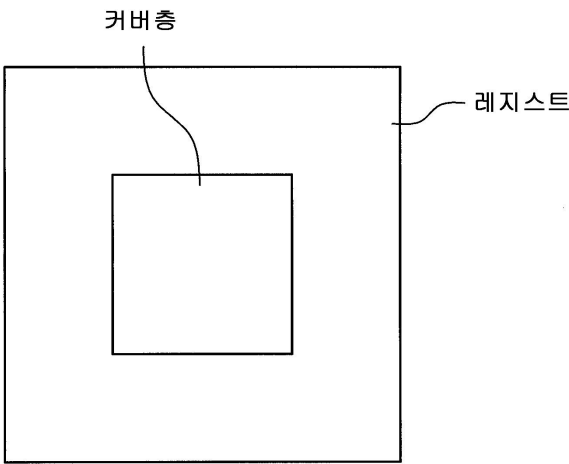
도면2



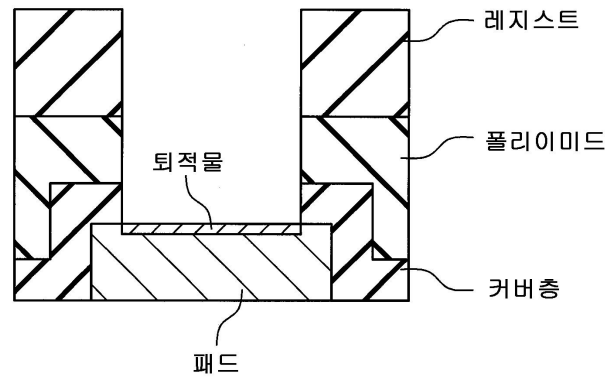
도면3a



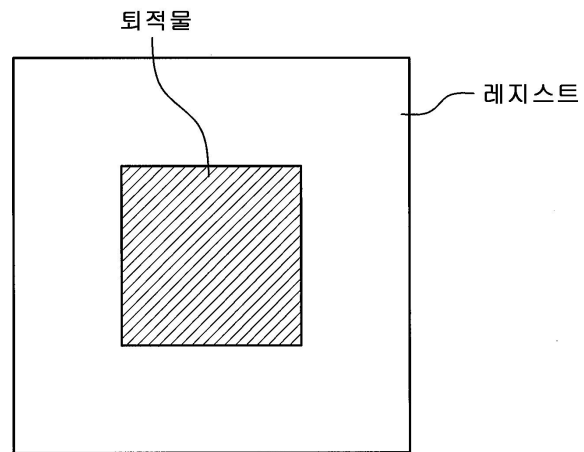
도면3b



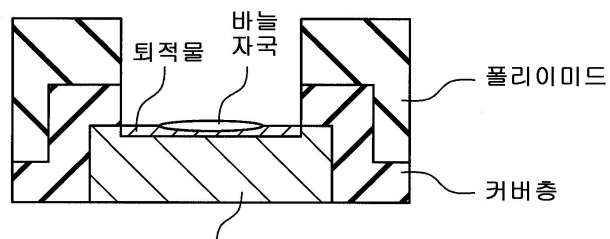
도면4a



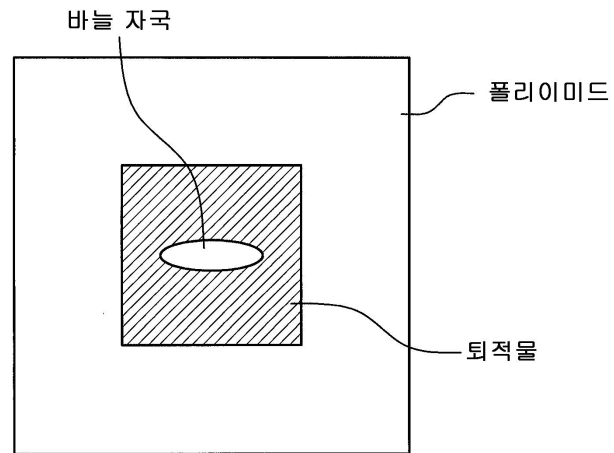
도면4b



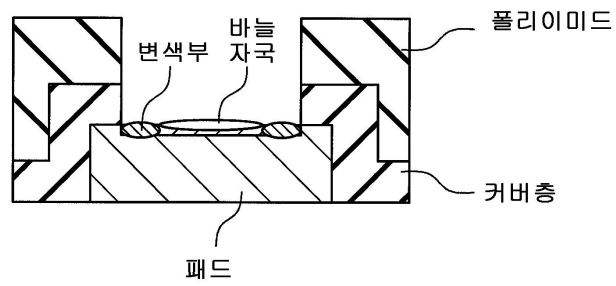
도면5a



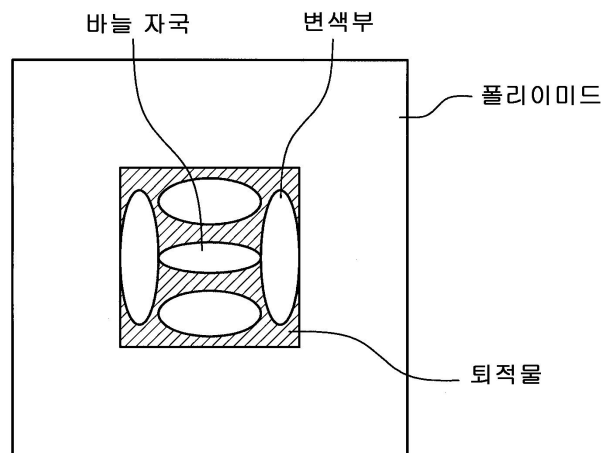
도면5b



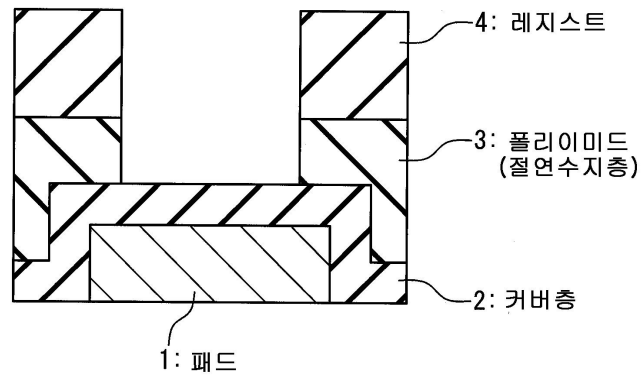
도면6a



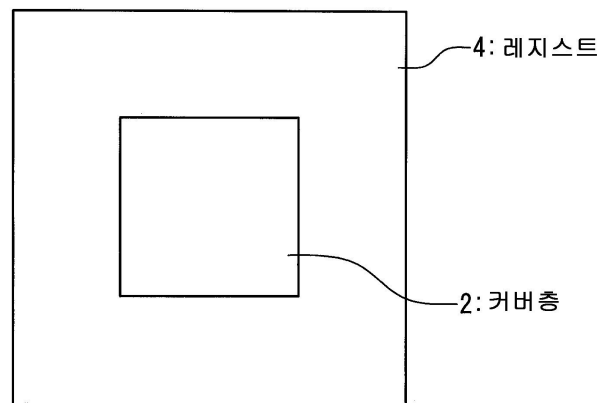
도면6b



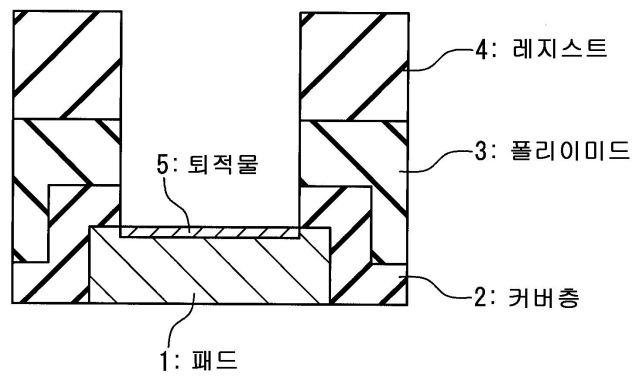
도면7a



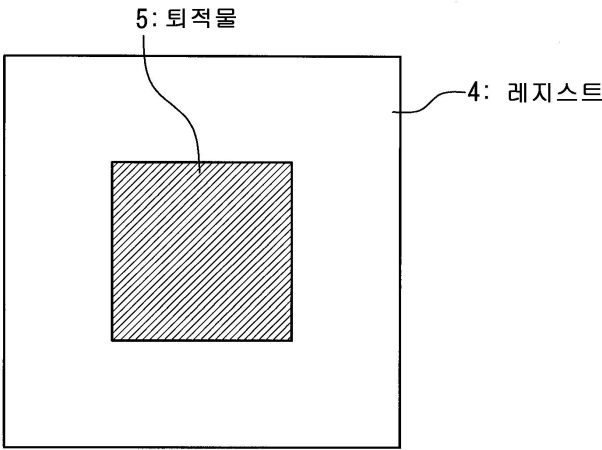
도면7b



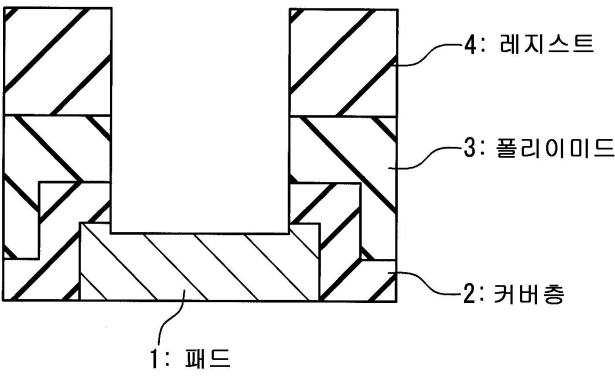
도면8a



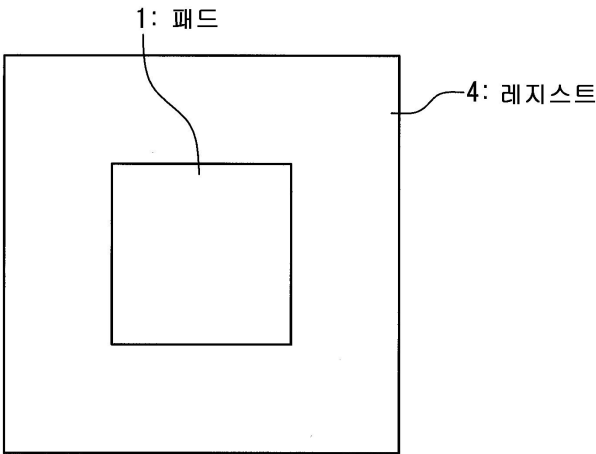
도면8b



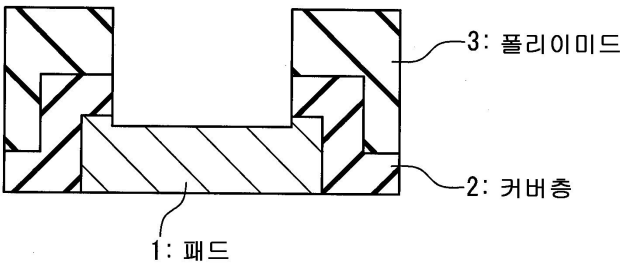
도면9a



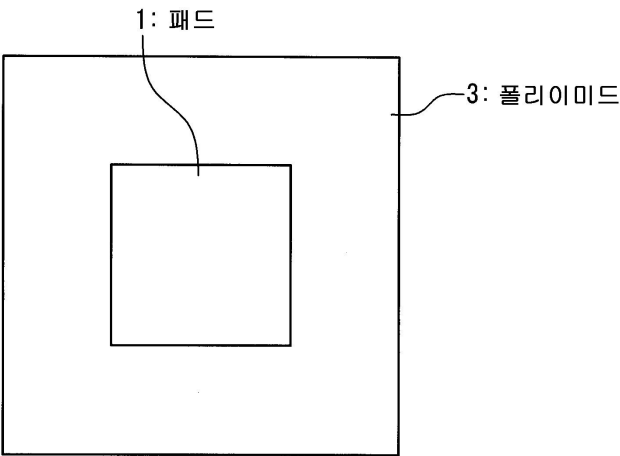
도면9b



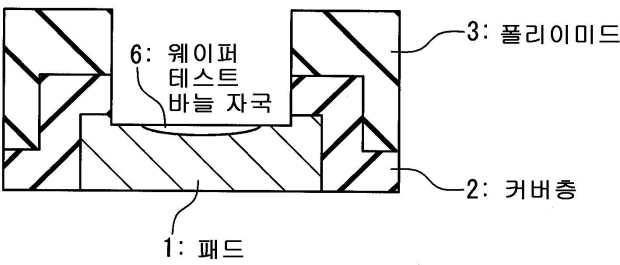
도면10a



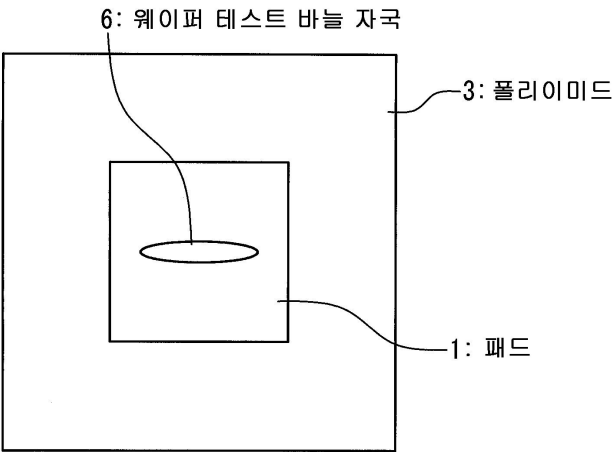
도면10b



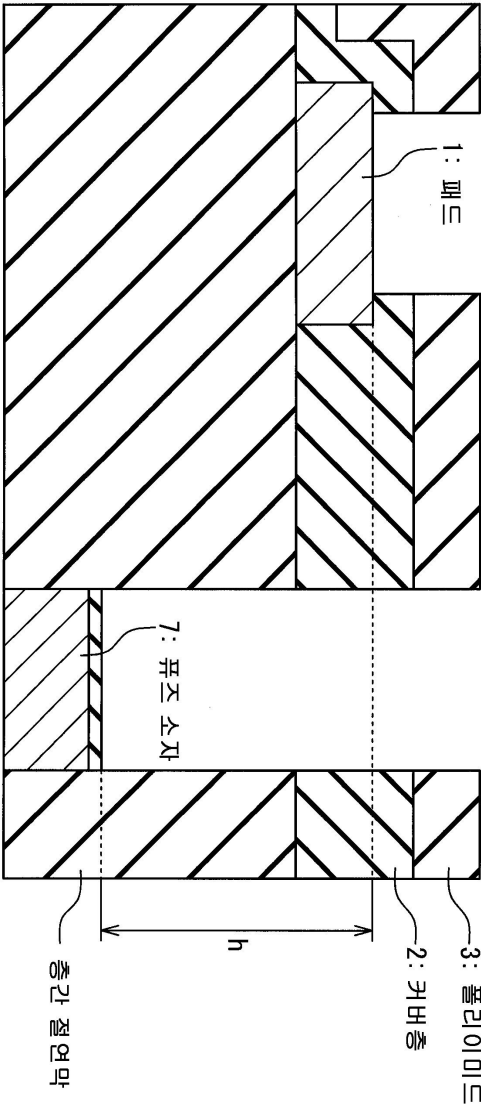
도면11a



도면11b



도면12



도면13

