

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年2月15日(2007.2.15)

【公表番号】特表2006-512774(P2006-512774A)

【公表日】平成18年4月13日(2006.4.13)

【年通号数】公開・登録公報2006-015

【出願番号】特願2004-565751(P2004-565751)

【国際特許分類】

H 01 L 21/8238 (2006.01)

H 01 L 27/092 (2006.01)

H 01 L 27/08 (2006.01)

【F I】

H 01 L 27/08 3 2 1 B

H 01 L 27/08 3 3 1 D

【手続補正書】

【提出日】平成18年12月22日(2006.12.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

表面を有する半導体デバイスであって、

前記表面の下に形成された、第1の導電率の第1ウェル領域と、

前記表面の下に形成された、前記第1の導電率の第2ウェル領域と、

前記第1および第2ウェル領域の下に形成された、前記第1の導電率の導電性下地領域とを備え、

前記導電性下地領域が、第1および第2の前記ウェル領域に対して斜めに配置されて、前記第1ウェル領域と前記導電性下地領域との間に第1の導電性境界が形成され、そして、前記第2ウェル領域と前記導電性下地領域との間に第2の導電性境界が形成されて、前記第1ウェル領域と前記第2ウェル領域との間に下地の導電経路が設けられることを特徴とする半導体デバイス。

【請求項2】

前記導電性下地領域がN-形ドーピングされ、前記第1および第2ウェル領域がN-形ドーピングされ、前記デバイスは、前記第1および第2ウェル領域の下に形成された、前記第1の導電率の第2の導電性下地領域をさらに備え、前記第2の導電性下地領域は、前記導電性下地領域と平行である、請求項1に記載の半導体デバイス。

【請求項3】

表面を有する半導体デバイスであって、

前記表面の下に形成された、第1の導電率の第1ウェル領域と、

前記表面の下に形成された、前記第1の導電率の第2ウェル領域と、

前記第1および第2のウェル領域の下にそれぞれ形成された、前記第1の導電率の複数の導電性下地領域とを備え、

前記複数の導電性下地領域は下地メッシュ構造に構成され、そして、前記下地メッシュ構造は前記第1および第2のウェル領域に対して斜めに配置されて、前記第1ウェル領域と前記下地メッシュ構造との間に複数の第1の導電性境界が形成され、そして、前記第2ウェル領域と前記下地メッシュ構造との間に複数の第2の導電性境界が形成されて、前記

第1ウェル領域と前記第2ウェル領域との間に複数の下地の導電経路が設けられることを特徴とする半導体デバイス。

【請求項4】

前記下地メッシュ構造が、前記第1ウェル領域に対して約45°回転されており、そして／または、前記下地メッシュ構造が、前記第2ウェル領域に対して約45°回転されており、そして／または、前記下地メッシュ構造のエリアが、前記第1の導電率の前記導電性下地領域とギャップエリアとの間で均等に分割されている、請求項3に記載の半導体デバイス。

【請求項5】

前記下地メッシュ構造の下に形成された、第2の導電率の第2下地層をさらに含み、隣接する平行な導電性下地領域の間のギャップは、前記表面と前記第2下地層との間の導電経路のピンチオフを防止するのに充分に広い、請求項3に記載の半導体デバイス。

【請求項6】

表面を有する半導体デバイスであって、
前記表面の下に形成された、第1の導電率の第1ウェル領域と、
前記表面の下に形成された、前記第1の導電率の第2ウェル領域と、
前記表面の下に形成された、第2の導電率の領域と、
前記第1および第2のウェル領域および前記領域の下に形成された、前記第1の導電率の導電性下地領域とを備え、
前記導電性下地領域が、前記第1および第2のウェル領域、並びに、前記領域に対して斜めに配置されて、前記第1ウェル領域と前記導電性下地領域との間に第1の導電性境界が形成され、そして、前記第2ウェル領域と前記導電性下地領域との間に第2の導電性境界が形成されて、前記領域を絶縁することなく、前記第1ウェル領域と前記第2ウェル領域との間に下地の導電経路が設けられる
ことを特徴とする半導体デバイス。

【請求項7】

前記導電性下地領域がN-形ドーピングされている、請求項1、3または16に記載の半導体デバイス。

【請求項8】

前記第1ウェル領域がN-形ドーピングされており、そして、前記第2ウェル領域がN-形ドーピングされている、請求項7に記載の半導体デバイス。

【請求項9】

前記第1ウェル領域が、p-形MOSFET(金属酸化膜半導体電界効果トランジスタ)を含み、そして、前記第2ウェル領域がp-形MOSFETを含む、請求項8に記載の半導体デバイス。

【請求項10】

前記導電性下地領域がN-形ドーピングされており、前記第1ウェル領域および前記第2ウェル領域の各々がN-形ドーピングされており、そして、前記第1ウェル領域および前記第2ウェル領域の各々が、p-形MOSFET(金属酸化膜半導体電界効果トランジスタ)を含んでおり、または、前記領域がP-形ドーピングされており、そして、前記領域がN-形MOSFET(金属酸化膜半導体電界効果トランジスタ)を含む、請求項1または6に記載の半導体デバイス。

【請求項11】

前記導電性下地領域がP-形ドーピングされている、請求項1、3または16に記載の半導体デバイス。

【請求項12】

前記第1ウェル領域がP-形ドーピングされており、そして、前記第2ウェル領域がP-形ドーピングされている、請求項11に記載の半導体デバイス。

【請求項13】

前記第1ウェル領域がN-形MOSFET(金属酸化膜半導体電界効果トランジスタ)

を含み、そして、前記第2ウェル領域がN-形MOSFETを含む、請求項1-2に記載の半導体デバイス。

【請求項14】

前記導電性下地領域がP-形ドーピングされており、前記第1ウェル領域および前記第2ウェル領域の各々がP-形ドーピングされており、そして、前記第1ウェル領域および前記第2ウェル領域の各々が、N-形MOSFET(金属酸化膜半導体電界効果トランジスタ)を含んでおり、または、前記領域がN-形ドーピングされており、そして、前記領域がP-形MOSFET(金属酸化膜半導体電界効果トランジスタ)を含む、請求項1または6に記載の半導体デバイス。

【請求項15】

前記導電性下地領域が帯状の形状を有する、請求項1、3または16に記載の半導体デバイス。

【請求項16】

前記導電性下地領域が、前記第1および第2のウェル領域に基板バイアス電圧を送る、請求項1または6に記載の半導体デバイス。

【請求項17】

前記下地メッシュ構造が、前記第1および第2のウェル領域に基板バイアス電圧を送る、請求項3に記載の半導体デバイス。

【請求項18】

前記導電性下地領域と前記第1ウェル領域とが、約45°の角度を形成し、そして/または前記導電性下地領域と前記第2ウェル領域とが、約45°の角度を形成する、請求項1または6に記載の半導体デバイス。

【請求項19】

前記導電性下地領域と前記領域とが、約45°の角度を形成する、請求項6に記載の半導体デバイス。