

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 19 年 2 月 15 日 (2007.2.15)

【公表番号】特表 2006-512774 (P2006-512774A)  
 【公表日】平成 18 年 4 月 13 日 (2006.4.13)  
 【年通号数】公開・登録公報 2006-015  
 【出願番号】特願 2004-565751 (P2004-565751)  
 【国際特許分類】

**H 0 1 L 21/8238 (2006.01)**

**H 0 1 L 27/092 (2006.01)**

**H 0 1 L 27/08 (2006.01)**

【F I】

H 0 1 L 27/08 3 2 1 B

H 0 1 L 27/08 3 3 1 D

【手続補正書】

【提出日】平成 18 年 12 月 22 日 (2006.12.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

表面を有する半導体デバイスであって、  
 前記表面の下に形成された、第 1 の導電率の第 1 ウェル領域と、  
 前記表面の下に形成された、前記第 1 の導電率の第 2 ウェル領域と、  
 前記第 1 および第 2 ウェル領域の下に形成された、前記第 1 の導電率の導電性下地領域とを備え、

前記導電性下地領域が、第 1 および第 2 の前記ウェル領域に対して斜めに配置されて、前記第 1 ウェル領域と前記導電性下地領域との間に第 1 の導電性境界が形成され、そして、前記第 2 ウェル領域と前記導電性下地領域との間に第 2 の導電性境界が形成されて、前記第 1 ウェル領域と前記第 2 ウェル領域との間に下地の導電経路が設けられることを特徴とする半導体デバイス。

【請求項 2】

前記導電性下地領域が N - 形ドーピングされ、前記第 1 および第 2 ウェル領域が N - 形ドーピングされ、前記デバイスは、前記第 1 および第 2 ウェル領域の下に形成された、前記第 1 の導電率の第 2 の導電性下地領域をさらに備え、前記第 2 の導電性下地領域は、前記導電性下地領域と平行である、請求項 1 に記載の半導体デバイス。

【請求項 3】

表面を有する半導体デバイスであって、  
 前記表面の下に形成された、第 1 の導電率の第 1 ウェル領域と、  
 前記表面の下に形成された、前記第 1 の導電率の第 2 ウェル領域と、  
 前記第 1 および第 2 のウェル領域の下にそれぞれ形成された、前記第 1 の導電率の複数の導電性下地領域とを備え、

前記複数の導電性下地領域は下地メッシュ構造に構成され、そして、前記下地メッシュ構造は前記第 1 および第 2 のウェル領域に対して斜めに配置されて、前記第 1 ウェル領域と前記下地メッシュ構造との間に複数の第 1 の導電性境界が形成され、そして、前記第 2 ウェル領域と前記下地メッシュ構造との間に複数の第 2 の導電性境界が形成されて、前記

第 1 ウェル領域と前記第 2 ウェル領域との間に複数の下地の導電経路が設けられることを特徴とする半導体デバイス。

【請求項 4】

前記下地メッシュ構造が、前記第 1 ウェル領域に対して約 45°回転されており、そして／または、前記下地メッシュ構造が、前記第 2 ウェル領域に対して約 45°回転されており、そして／または、前記下地メッシュ構造のエリアが、前記第 1 の導電率の前記導電性下地領域とギャップエリアとの間で均等に分割されている、請求項 3 に記載の半導体デバイス。

【請求項 5】

前記下地メッシュ構造の下に形成された、第 2 の導電率の第 2 下地層をさらに含み、隣接する平行な導電性下地領域の間のギャップは、前記表面と前記第 2 下地層との間の導電経路のピンチオフを防止するのに十分に広い、請求項 3 に記載の半導体デバイス。

【請求項 6】

表面を有する半導体デバイスであって、  
前記表面の下に形成された、第 1 の導電率の第 1 ウェル領域と、  
前記表面の下に形成された、前記第 1 の導電率の第 2 ウェル領域と、  
前記表面の下に形成された、第 2 の導電率の領域と、  
前記第 1 および第 2 のウェル領域および前記領域の下に形成された、前記第 1 の導電率の導電性下地領域とを備え、  
前記導電性下地領域が、前記第 1 および第 2 のウェル領域、並びに、前記領域に対して斜めに配置されて、前記第 1 ウェル領域と前記導電性下地領域との間に第 1 の導電性境界が形成され、そして、前記第 2 ウェル領域と前記導電性下地領域との間に第 2 の導電性境界が形成されて、前記領域を絶縁することなく、前記第 1 ウェル領域と前記第 2 ウェル領域との間に下地の導電経路が設けられることを特徴とする半導体デバイス。

【請求項 7】

前記導電性下地領域が N - 形ドーピングされている、請求項 1、3 または 16 に記載の半導体デバイス。

【請求項 8】

前記第 1 ウェル領域が N - 形ドーピングされており、そして、前記第 2 ウェル領域が N - 形ドーピングされている、請求項 7 に記載の半導体デバイス。

【請求項 9】

前記第 1 ウェル領域が、p - 形 MOSFET（金属酸化膜半導体電界効果トランジスタ）を含み、そして、前記第 2 ウェル領域が p - 形 MOSFET を含む、請求項 8 に記載の半導体デバイス。

【請求項 10】

前記導電性下地領域が N - 形ドーピングされており、前記第 1 ウェル領域および前記第 2 ウェル領域の各々が N - 形ドーピングされており、そして、前記第 1 ウェル領域および前記第 2 ウェル領域の各々が、p - 形 MOSFET（金属酸化膜半導体電界効果トランジスタ）を含んでおり、または、前記領域が P - 形ドーピングされており、そして、前記領域が N - 形 MOSFET（金属酸化膜半導体電界効果トランジスタ）を含む、請求項 1 または 6 に記載の半導体デバイス。

【請求項 11】

前記導電性下地領域が P - 形ドーピングされている、請求項 1、3 または 16 に記載の半導体デバイス。

【請求項 12】

前記第 1 ウェル領域が P - 形ドーピングされており、そして、前記第 2 ウェル領域が P - 形ドーピングされている、請求項 11 に記載の半導体デバイス。

【請求項 13】

前記第 1 ウェル領域が N - 形 MOSFET（金属酸化膜半導体電界効果トランジスタ）

を含み、そして、前記第 2 ウェル領域が N - 形 MOSFET を含む、請求項 1 2 に記載の半導体デバイス。

【請求項 1 4】

前記導電性下地領域が P - 形ドーピングされており、前記第 1 ウェル領域および前記第 2 ウェル領域の各々が P - 形ドーピングされており、そして、前記第 1 ウェル領域および前記第 2 ウェル領域の各々が、N - 形 MOSFET (金属酸化膜半導体電界効果トランジスタ) を含んでおり、または、前記領域が N - 形ドーピングされており、そして、前記領域が P - 形 MOSFET (金属酸化膜半導体電界効果トランジスタ) を含む、請求項 1 または 6 に記載の半導体デバイス。

【請求項 1 5】

前記導電性下地領域が帯状の形状を有する、請求項 1、3 または 1 6 に記載の半導体デバイス。

【請求項 1 6】

前記導電性下地領域が、前記第 1 および第 2 のウェル領域に基板バイアス電圧を送る、請求項 1 または 6 に記載の半導体デバイス。

【請求項 1 7】

前記下地メッシュ構造が、前記第 1 および第 2 のウェル領域に基板バイアス電圧を送る、請求項 3 に記載の半導体デバイス。

【請求項 1 8】

前記導電性下地領域と前記第 1 ウェル領域とが、約 45° の角度を形成し、そして / または前記導電性下地領域と前記第 2 ウェル領域とが、約 45° の角度を形成する、請求項 1 または 6 に記載の半導体デバイス。

【請求項 1 9】

前記導電性下地領域と前記領域とが、約 45° の角度を形成する、請求項 6 に記載の半導体デバイス。