



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201250979 A1

(43)公開日：中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：101115863

(22)申請日：中華民國 101 (2012) 年 05 月 03 日

(51)Int. Cl. : H01L25/04 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2011/05/03 南韓

10-2011-0041843

(71)申請人：泰斯拉公司 (美國) TESSERA, INC. (US)

美國

(72)發明人：佐藤浩明 SATO, HIROAKI (JP)；姜澤圭 KANG, TECK-GYU (KR)；哈巴 比加希姆 HABA, BELGACEM (US)；奧斯本 飛利浦 R OSBORN, PHILIP R. (US)；王威書 WANG, WEI-SHUN (US)；喬 耶里斯 CHAU, ELLIS (US)；穆翰米德艾里亞斯 MOHAMMED, ILYAS (US)；增田哲史 MASUDA, NORIHITO (JP)；佐久間和夫 SAKUMA, KAZUO (JP)；橋本清章 HASHIMOTO, KIYOAKI (JP)；黑澤稻太郎 KUROSAWA, INETARO (JP)；菊池知之 KIKUCHI, TOMOYUKI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：70 項 圖式數：28 共 88 頁

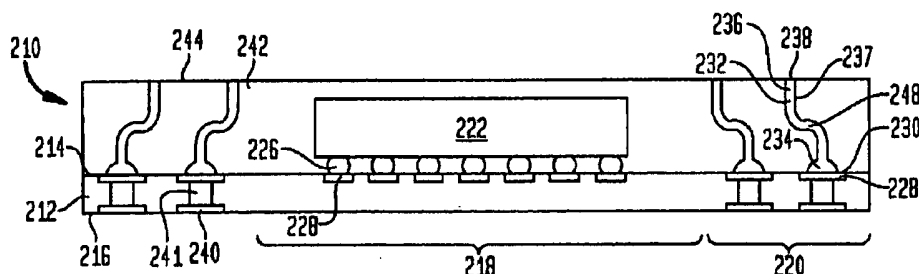
(54)名稱

具有線接合至囊封表面的疊層封裝總成

PACKAGE-ON-PACKAGE ASSEMBLY WITH WIRE BONDS TO ENCAPSULATION SURFACE

(57)摘要

本發明揭示一種微電子總成，其包含一基板，該基板具有一第一表面及遠離該第一表面之一第二表面。一微電子元件上覆該第一表面上且第一導電元件係曝露於該第一表面及該第二表面中之一者處。該等第一導電元件中之某些第一導電元件電連接至該微電子元件。線接合具有結合至該等導電元件之基底及遠離該基板及該等基底之端表面，每一線接合界定在該基底與該端表面之間延伸的一邊緣表面。一囊封層自該第一表面延伸且填充該等線接合之間的空間以使得該等線接合藉由該囊封層分離。該等線接合之未經囊封部分係由不被該囊封層覆蓋之該等線接合之該等端表面之至少部分界定。



210：微電子子總成

232：線接合

234：基底

236：端

248：彎曲部分



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201250979 A1

(43)公開日：中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：101115863

(22)申請日：中華民國 101 (2012) 年 05 月 03 日

(51)Int. Cl. : H01L25/04 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2011/05/03 南韓

10-2011-0041843

(71)申請人：泰斯拉公司 (美國) TESSERA, INC. (US)

美國

(72)發明人：佐藤浩明 SATO, HIROAKI (JP)；姜澤圭 KANG, TECK-GYU (KR)；哈巴 比加希姆 HABA, BELGACEM (US)；奧斯本 飛利浦 R OSBORN, PHILIP R. (US)；王威書 WANG, WEI-SHUN (US)；喬 耶里斯 CHAU, ELLIS (US)；穆翰米德艾里亞斯 MOHAMMED, ILYAS (US)；增田哲史 MASUDA, NORIHITO (JP)；佐久間和夫 SAKUMA, KAZUO (JP)；橋本清章 HASHIMOTO, KIYOAKI (JP)；黑澤稻太郎 KUROSAWA, INETARO (JP)；菊池知之 KIKUCHI, TOMOYUKI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：70 項 圖式數：28 共 88 頁

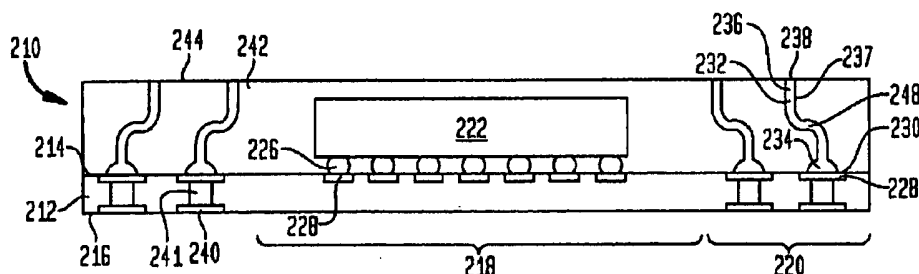
(54)名稱

具有線接合至囊封表面的疊層封裝總成

PACKAGE-ON-PACKAGE ASSEMBLY WITH WIRE BONDS TO ENCAPSULATION SURFACE

(57)摘要

本發明揭示一種微電子總成，其包含一基板，該基板具有一第一表面及遠離該第一表面之一第二表面。一微電子元件上覆該第一表面上且第一導電元件係曝露於該第一表面及該第二表面中之一者處。該等第一導電元件中之某些第一導電元件電連接至該微電子元件。線接合具有結合至該等導電元件之基底及遠離該基板及該等基底之端表面，每一線接合界定在該基底與該端表面之間延伸的一邊緣表面。一囊封層自該第一表面延伸且填充該等線接合之間的空間以使得該等線接合藉由該囊封層分離。該等線接合之未經囊封部分係由不被該囊封層覆蓋之該等線接合之該等端表面之至少部分界定。



210：微電子子總成

232：線接合

234：基底

236：端

248：彎曲部分

六、發明說明：

【發明所屬之技術領域】

本申請案之標的物係關於微電子封裝及其製作方法，特定而言，係關於併入有線接合以用於與一囊封層之一表面上面之一元件電連接之彼等微電子封裝。

本申請案主張於2011年5月3日提出申請之韓國專利申請案第10-2011-0041843號之優先權，該韓國專利申請案之揭示內容特此以引用方式併入本文中。

【先前技術】

諸如半導體晶片之微電子裝置通常需要至其他電子組件之諸多輸入及輸出連接。一半導體晶片或其他相當裝置之輸入及輸出觸點通常經安置成實質上覆蓋裝置之一表面之格柵狀圖案(通常稱作一「區域陣列」)或成可平行於且毗鄰裝置之前表面之每一邊緣或在該前表面之中心延伸之細長列。通常，諸如晶片之裝置必須物理安裝於諸如一印刷電路板之一基板上，且該裝置之觸點必須電連接至該電路板之導電元件特徵。

半導體晶片通常提供於在製造期間及在將晶片安裝於諸如一電路板或其他電路面板之一外部基板上期間促進晶片之處置之封裝中。舉例而言，諸多半導體晶片係提供於適於表面安裝之封裝中。此一般類型之眾多封裝已經提議用於各種應用。最通常地，此等封裝包含一電介質元件(通常稱作一「晶片載體」，具有在該電介質上形成為經電鍍或經蝕刻金屬結構之端子)。此等端子通常係藉由諸如沿

著晶片載體自身延伸之薄跡線之特徵及藉由在晶片之觸點與端子或跡線之間延伸的細引線或線連接至晶片自身之觸點。在一表面安裝操作中，將封裝放置至一電路板上以使得該封裝上之每一端子係與該電路板上之一對應接觸襯墊對準。將焊料或其他接合材料提供於端子與接觸襯墊之間。可藉由加熱總成以便熔化或「熔鐸」焊料或以其他方式活化接合材料而將封裝永久地接合於適當位置中。

諸多封裝包含附接至封裝之端子之呈焊料球(通常直徑約0.1 mm及約0.8 mm (5及30密耳))形式之焊料塊。具有自其底表面凸出之一焊料球陣列之一封裝通常稱作一球柵陣列或「BGA」封裝。其他封裝(稱作平台格柵陣列或「LGA」封裝)係藉由由焊料形成之薄層或平台固定至基板。此類型之封裝可係相當緊密。某些封裝(通常稱作「晶片尺寸封裝」)佔據等於或僅稍微大於併入於該封裝中之裝置之面積之電路板之一面積。此係有利的，此乃因其減小總成之總大小且准許基板上之各種裝置之間的短互連之使用，此繼而限制裝置之間的信號傳播時間且因此促進以高速度之總成之操作。

經封裝半導體晶片通常經提供呈「堆疊式」配置，其中一個封裝(舉例而言)係提供於一電路板上，且另一封裝係安裝於第一封裝之頂部上。此等配置可允許將若干個不同晶片安裝於一電路板上之一單個佔用面積內且可進一步藉由提供封裝之間的一短互連而促進高速操作。通常，此互連距離係僅稍微大於晶片自身之厚度。為在一晶片封裝堆

疊內達成互連，需要在每一封裝(最頂部封裝除外)之兩個側上提供機械及電連接之結構。舉例而言，此已藉由在安裝有晶片之基板之兩個側上提供接觸襯墊或平台(該等襯墊係藉由導電通孔或諸如此類透過基板連接)完成。已使用焊料球或諸如此類來橋接一下部基板之頂部上之觸點與下一較高基板之底部上之觸點之間的間隙。焊料球必須高於晶片之高度以便連接觸點。美國專利申請案第2010/0232129號(「'129公開案」)中提供堆疊式晶片配置及互接合構之實例，該美國專利申請案之揭示內容以全文引用方式併入本文中。

呈細長支柱或接針形式之微觸點元件可用於將微電子封裝連接至電路板及用於微電子封裝中之其他連接。在某些例項中，微觸點已藉由蝕刻包含一或多個金屬層之一金屬結構以形成微觸點來形成。蝕刻製程限制微觸點之大小。習用蝕刻製程通常不能形成具有一大的高與最大寬度之比率(在本文中稱作「縱橫比」)之微觸點。難以或不可能形成具有可觀高度及毗鄰微觸點之間的極小間距或間隔之微觸點陣列。此外，藉由習用蝕刻製程形成之微觸點之組態受限。

儘管所有以上所闡述在此項技術中進步，但將期望製作及測試微電子封裝之更進一步改良。

【發明內容】

本發明之一實施例係關於一種微電子封裝。該微電子封裝包含一基板，該基板具有一第一區及一第二區以及一第

一表面及遠離該第一表面之一第二表面。至少一個微電子元件在該第一區內上覆該第一表面上。導電元件在該第二區內曝露於該基板之該第一表面及該第二表面中之至少一者處，且該等導電元件中之至少某些導電元件電連接至該至少一個微電子元件。該微電子封裝進一步線接合，該等線接合具有結合至該等導電元件中之各別者之基底及遠離該基板且遠離該等基底之端表面，每一線接合界定在其該基底與該端表面之間延伸的一邊緣表面。一電介質囊封層自該第一表面或該第二表面中之至少一者延伸且填充該等線接合之間的空間以使得該等線接合藉由該囊封層彼此分離。該囊封層上覆該基板之至少該第二區上，且該等線接合之未經囊封部分係由不被該囊封層覆蓋之該等線接合之該等端表面之至少部分界定。該基板可係一引線框架且該等導電元件可係該引線框架之該等引線。

該等線接合之該等未經囊封部分可係由該等線接合之該等端表面及毗鄰不被該囊封層覆蓋之該等端表面之該等邊緣表面之部分界定。可包含接觸該等線接合之該等未經囊封部分中之至少某些未經囊封部分之一氧化保護層。毗鄰其該端表面之該等線接合中之至少一者之至少一部分係實質上垂直於該囊封層之一表面。該等導電元件可係第一導電元件，且該微電子封裝可進一步包含電連接至該等線接合之該等未經囊封部分之複數個第二導電元件。在此一實施例中，該等第二導電元件可使得其不接觸該等第一導電元件。該等第二導電元件可包含結合至該等第一線接合中

之至少某些第一線接合之該等端表面之複數個柱形凸塊。

該等線接合中之至少一者可在其該基底與該未經囊封部分之間沿著一實質上筆直線延伸，且該實質上筆直線可相對於該基板之該第一表面形成小於 90° 之一角度。另外或另一選擇係，該等線接合中之至少一者之該邊緣表面可具有毗鄰該端表面之一第一部分及藉由該第一部分與該端表面分離之一第二部分，且該第一部分可沿遠離該第二部分延伸之一方向之一方向延伸。

本發明之另一實施例係關於一種替代微電子封裝。此一微電子封裝包含一基板，該基板具有一第一區及一第二區，以及一第一表面及遠離該第一表面之一第二表面。至少一個微電子元件在該第一區內上覆該第一表面上。導電元件在該第二區內曝露於該基板之該第一表面及該第二表面中之至少一者處，且該等導電元件中之至少某些導電元件電連接至該至少一個微電子元件。該微電子封裝進一步包含具有結合至該等導電元件中之各別者之基底及遠離該基板且遠離該等基底之端表面之複數個線接合。每一線接合界定在其該基底與該端表面之間延伸的一邊緣表面。一電介質囊封層自該第一表面或該第二表面中之至少一者延伸且填充線接合之間的空間以使得該等線接合藉由該囊封層彼此分離。該囊封層上覆該基板之至少該第二區上，且該等線接合之未經囊封部分係由毗鄰不被該囊封層覆蓋之該等線接合之該等端表面之該等邊緣表面之至少部分界定。

該囊封層可係藉由在形成該等線接合之後將一電介質材料沈積至該第一基板上且然後固化該所沈積電介質材料而形成於該基板上之一單體層。該單體式囊封層之形成可包含模製該電介質材料。

該等未經囊封部分之至少一者可進一步由不被該囊封層覆蓋之該端表面之至少一部分界定。不被該囊封層覆蓋之該邊緣表面之該部分可具有沿實質上平行於該囊封層之表面之一方向延伸之一最長尺寸。不被該囊封層覆蓋且實質上平行於該囊封層之該表面延伸之該邊緣表面之該部分之該長度可係大於該線接合之一剖面寬度。

在前述實施例中之任一項中，該基板之該第一表面可沿第一橫向方向及第二橫向方向延伸，每一橫向方向係橫切於該第一表面與該第二表面之間的該基板之一厚度之一方向。該等線接合中之至少一者之該未經囊封部分可進一步係沿該等橫向方向中之至少一者自該至少一個線接合所結合之該導電元件位移。該等線接合中之至少一者可包含位於其該基底與該端表面之間的一實質上彎曲部分。該至少一個線接合之該未經囊封部分可上覆該微電子元件之一主表面上。

在前述實施例中之任一項中，一焊料球可結合至該等線接合中之至少一者之未經囊封部分。

另外，在前述實施例中之任一項中，該囊封層可包含至少一個表面，且該等線接合中之該等未經囊封部分可在該至少一個表面中之一者處不被該囊封層覆蓋。該至少一個

表面可包含實質上平行於該基板之該第一表面之一主表面，且該等線接合中之至少一者之該未經囊封部分可在該主表面處不被該囊封層覆蓋。至少一個線接合之未經囊封部分可與該主表面實質上齊平。另一選擇為，至少一個線接合之該未經囊封部分可延伸超過該主表面。該至少一個表面可包含在距該基板之該第一表面之一第一距離處之一主表面及在小於該第一距離之距該基板之第一表面之一第二距離處之一凹入表面，且該等線接合中之至少一者之該未經囊封部分在該凹入表面處不被該囊封層覆蓋。該至少一個表面可進一步包含遠離該基板之該第一表面與其成一實質角而延伸之一側表面，且至少一個線接合之該未經囊封部分可在該側表面處不被該囊封層覆蓋。該囊封層可具有自該囊封層之一表面朝向該基板延伸之形成於其中之一腔，且該等線接合中之一者之該未經囊封部分可係安置於該腔內。

此外，在前述實施例中之任一項中，該等線接合可基本上由選自由銅、金、鋁及焊料組成之群組之至少一種材料組成。該等線接合中之至少一者可沿著其一長度界定一縱向軸，且每一線接合可包含沿著該縱向軸延伸之一第一材料之一內層及遠離該縱向軸且具有沿此線接合之一縱長方向延伸之一長度之一第二材料之一外層。在此一實施例中，該第一材料係銅、金、鎳及鋁中之一者，且該第二材料係銅、金、鎳、鋁及焊料中之一者。

在前述實施例中之任一項中，該複數個線接合可係第一

線接合，且該微電子封裝可進一步包括具有結合至該微電子元件上之一觸點及其遠離該觸點之一端表面之一基底之至少一個第二線接合。該至少一個第二線接合可界定在該基底與該端表面之間延伸的一邊緣表面，且該至少一個第二線接合之一未經囊封部分可係由不被該囊封層覆蓋之此第二線接合之該端表面或其該邊緣表面中之至少一者之一部分界定。該至少一個微電子元件可係一第一微電子元件，且該微電子封裝可進一步包括至少部分地上覆該第一微電子元件之至少一個第二微電子元件上。在此一實施例中，該等線接合可係第一線接合，且該微電子封裝可具有結合至該微電子元件上之一觸點及遠離該觸點之一端表面之一基底。該至少一個第二線接合可界定在該基底與該端表面之間的一邊緣表面，且該第二線接合之一未經囊封部分可係由不被該囊封層覆蓋之此第二線接合之該端表面或其該邊緣表面中之一部分之至少一者界定。

在以上實施例中之任一項中，該等線接合中之一第一者可經調適以用於攜載一第一信號電位且該等線接合中之一第二者可經調適以用於同時攜載不同於該第一信號電位之一第二電位。

以上實施例中之任一項可進一步包含沿著該囊封層之該表面延伸之一重新分佈層。該重新分佈層可包含具有毗鄰該囊封層之一主表面之一第一表面之一重新分佈基板，且該重新分佈層可進一步包含：一第二表面，其遠離該第一表面；第一導電襯墊，其等曝露於該重新分佈基板之該第

一表面上且與該等線接合之各別未經囊封部分對準且機械連接至該等各別未經囊封部分；及第二導電襯墊，其等曝露於電連接至該等第一導電襯墊之該基板之該第二表面上。

在又一實施例中，一微電子總成可包含根據以上實施例中之任一項之一第一微電子封裝。該總成可進一步包含具有一基板之一第二微電子封裝，該基板具有一第一表面及一第二表面。一第二微電子元件可安裝至該第一表面，且接觸襯墊可曝露於該第二表面處且可電連接至該第二微電子元件。該第二微電子封裝可安裝至該第一微電子封裝以使得該第二微電子封裝之該第二表面上覆該電介質囊封層之表面之至少一部分上且以使得該等接觸襯墊中之至少某些接觸襯墊電及機械連接至該等線接合之該等未經囊封部分中之至少某些未經囊封部分。

本發明之另一實施例可係關於一種微電子封裝，其包含一基板，該基板具有一第一區及一第二區以及一第一表面及遠離該第一表面且沿橫向方向延伸之一第二表面。一微電子元件在該第一區內上覆該第一表面上且具有遠離該基板之一主表面。導電元件在該第二區內曝露於該基板之該第一表面處，其中該等導電元件中之至少某些導電元件電連接至該微電子元件。該微電子封裝進一步包含線接合，該等線接合具有結合至該等第一導電元件中之各別者之基底及遠離該基板且遠離該等基底之端表面。每一線接合界定在其該基底與該端表面之間延伸的一邊緣表面。一電介

質囊封層，其自該第一表面或該第二表面中之至少一者延伸且填充該等線接合之間的空間以使得該等線接合藉由該電介質層彼此分離。該囊封層上覆該基板之至少該第二區上，且該等線接合之未經囊封部分係由不被該囊封層覆蓋之該等線接合之該等端表面之至少部分界定。至少一個線接合之該未經囊封部分係往沿著該第一表面之至少一個橫向方向自該至少一個線接合所結合之該導電元件位移以使得其該未經囊封部分上覆該微電子元件之該主表面上。

該等導電元件可係配置成一第一預定組態之一第一陣列，且該等線接合之該等未經囊封部分可係配置成不同於該第一預定組態之一第二預定組態之一第二陣列。該第一預定組態之特徵可在於一第一間距且該第二組態之特徵可在於細於該第一間距之一第二間距。一絕緣層可在該微電子元件之至少一表面上方延伸。該絕緣層可係安置於該微電子元件之該表面與具有上覆該微電子元件之該主表面上之一未經囊封部分之該至少一個線接合之間。該等線接合中之各別者之複數個該等未經囊封部分可上覆該微電子元件之該主表面上。

根據本發明之一實施例之一微電子總成可包含根據以上闡述之一第一微電子封裝。該總成可進一步包含一第二微電子封裝，該第二微電子封裝包含：一基板，其具有一第一表面及一第二表面；一微電子元件，其附加於該第一表面上；及接觸襯墊，其等曝露於該第二表面上且電連接至該微電子元件。該第二微電子封裝可係附加於該第一微電

子封裝上以使得該第二封裝之該第二表面上覆該電介質層之表面之至少一部分上且以使得該等接觸襯墊中之至少某些接觸襯墊電及機械連接至該等線接合之該等未經囊封部分中之至少某些未經囊封部分。

該第一微電子封裝之導電元件可係配置成一第一預定組態之一第一陣列，且該第二微電子封裝之該等接觸襯墊可係配置成不同於該第一預定組態之一第二預定組態之一第二陣列。該第一微電子封裝之該等線接合之該等未經囊封部分中之至少某些未經囊封部分可係配置成對應於該第二預定組態之一第三陣列。該第一預定組態之特徵可在於一第一間距，且該第二組態之特徵可在於細於該第一間距之一第二間距。

本發明之又一實施例可係關於一種製作一微電子封裝之方法。該方法包含在一製程中單元上形成一電介質囊封層。該製程中單元包含：一基板，其具有一第一表面及遠離其之一第二表面；一微電子元件，其安裝至該基板之該第一表面；及複數個導電元件，其等曝露於該第一表面處該等導電元件中之至少某些導電元件電連接至該微電子元件。該製程中單元進一步包含具有結合至該等導電元件之基底及遠離該等基底之端表面之線接合。每一線接合界定在該基底與該端表面之間延伸的一邊緣表面。該囊封層經形成以便至少部分地覆蓋該第一表面及該等線接合之部分，以使得該等線接合之未經囊封部分係由不被該囊封層覆蓋之其該端表面或該邊緣表面中之至少一者之一部分界

定。製程中單元之該基板可係一引線框架且該等導電元件可係該引線框架之引線。可在該等線接合中之至少一者之該未經囊封部分上形成一柱形凸塊。可在該等線接合中之至少一者之該未經囊封部分上沈積一焊料球。

形成該囊封層之步驟可包含在該第一表面及實質上所有該等線接合之上方沈積一電介質材料塊且移除該電介質材料塊之一部分以顯露該線接合之部分以界定其該等未經囊封部分。在一變化形式中，該等線接合中之至少一者可沿結合至該等導電元件中之至少兩者中之每一者之一環路延伸。該電介質材料塊可然後經沈積以便至少部分地覆蓋該第一表面及該至少一個線接合環路，且移除該電介質材料塊之一部分可進一步包含移除該至少一個線接合環路之一部分，以便將其隔斷成具有不被該囊封層覆蓋以形成其該等未經囊封部分之各別自由端之第一線接合及第二線接合。可藉由以下步驟形成該環路：將一線之一第一端結合至該導電元件，沿遠離該第一表面之一方向拉伸該線，然後往沿著該第一表面之至少一橫線方向拉伸該線，且然後將該線拉伸至該第二導電元件且將該線結合至該第二導電元件。

可藉由以下步驟在該製程中單元上形成該囊封層：自遠離該基板之一位置於該線接合上方按壓一電介質材料塊且使其與該基板之該第一表面接觸以使得該等線接合中之該至少一者穿透該電介質材料塊。該等線接合可係由基本上由金、銅、鋁或焊料組成之線製作。該等第一線接合可包

含鋁，且該等線接合可係藉由楔接合結合至該導電元件。另外或另一選擇係，形成該囊封層之該步驟可包含形成自該囊封層之一主表面朝向該基板延伸之至少一個腔，該至少一個腔包圍該等線接合中之一者之該未經囊封部分。可在將一電介質囊封材料沈積至該基板上之後藉由濕式蝕刻、乾式蝕刻或雷射蝕刻該囊封材料中之至少一者來形成該至少一個腔。可藉由在將一電介質囊封材料沈積至該基板及該至少一個線接合上之後自該等線接合中之至少一者之一預定位位置移除一犧牲材料塊之至少一部分來進一步形成該至少一個腔。形成該囊封層之該步驟可經實施以使得該犧牲材料塊之一部分曝露於該囊封層之一主表面上，該犧牲材料塊之該曝露部分包圍接近其該自由端之該線接合之一部分且將該囊封層之一部分與其間隔開。該等線接合中之至少一者可沿著其一長度界定一縱向軸，且每一線接合可包含沿著該縱向軸延伸之一第一材料之一內層及由遠離該縱向軸且具有沿此線接合之一縱長方向延伸之一長度之犧牲材料塊形成之一外層。該犧牲材料塊之一第一部分可經移除以形成該腔，其中該犧牲材料塊之一第二部分保持毗鄰該基底。

該基板之該第一表面可沿橫向方向延伸，且該等線接合中之至少一者之該未經囊封部分可經形成以使得其該端表面係沿該等橫向方向中之至少一者自該至少一個線接合所結合之該導電元件位移。因此，該製程中單元可形成，包含以下步驟：形成該等線接合以使得該等線接合中之

至少一者包含定位於該導電元件與該至少一個線接合之該端表面之間的一實質上彎曲段。

在又一變化形式中，基板可包含一第一區及一第二區，且該微電子元件可上覆該第一區上且可具有遠離該基板之一主表面。該第一導電元件可係安置於該第二區內，且該製程中單元可經形成，包含以下步驟：形成該等線接合以使得該等線接合中之至少一者之至少一部分在該微電子元件之該主表面上方延伸。

該等線接合可沿著其一長度界定一縱向軸，且該等線接合可包含沿著該縱向軸延伸之一第一材料之一內層及遠離該縱向軸且沿著該線接合之該長度延伸之一第二材料之一外層。在此一變化形式中，該第一材料係銅且該第二材料係焊料。在形成該囊封層之該步驟之後移除該第二材料之一部分以形成自該電介質層之一表面延伸之一腔以顯露該線接合之該內層之該邊緣表面之一部分。

本發明之又一實施例係關於一種微電子封裝，其包含一基板，該基板具有一第一區及一第二區，該基板具有一第一表面及遠離該第一表面之一第二表面。至少一個微電子元件在該第一區內上覆該第一表面上，且導電元件在該第二區內曝露於該基板之該第一表面處，其中該等導電元件中之至少某些導電元件電連接至該至少一個微電子元件。複數個接合元件，每一接合元件具有一第一基底、一第二基底及在該等基底之間延伸的一邊緣表面，該第一基底結合至該等導電元件中之一者。該邊緣表面包含遠離該接

觸襯墊延伸至遠離該基板之該邊緣表面之一頂端之一第一部分。該邊緣表面進一步包含自該頂端延伸至該第二基底之一第二部分，該第二基底結合至該基板之一特徵。一電介質囊封層自該第一表面或該第二表面中之至少一者延伸且填充該等接合元件之該第一部分與該第二部分之間及複數個接合元件之間的空間以使得該等接合元件藉由該囊封層彼此分離。該囊封層上覆該基板之至少該第二區上。該等接合元件之未經囊封部分係由不被該囊封層覆蓋之包圍其頂端之該等接合元件之該等邊緣表面之至少部分界定。

在以上實施例之一變化形式中，該等接合元件係線接合。在此一變化形式中，該基板之該第二基底所結合之該基板之該特徵可係該第一基底所結合之該導電元件。另一選擇係，該第二基底所結合之該基板之該特徵可不同於該第一基底所結合之該導電元件之一各別導電元件。該第二基底所結合之此一導電元件可不電連接至該微電子元件。在一替代變化形式中，該接合元件可係一接合帶。在此一變化形式中，該第一基底之一部分可沿著該各別接觸襯墊之一部分延伸，且該第二基底所結合之該特徵可係沿該各別接觸襯墊之一部分延伸之該第一基底之長度。

在該實施例中，該基板之該第一表面可沿第一橫向方向及第二橫向方向延伸，每一橫向方向係橫切於該第一表面與該第二表面之間的該基板之一厚度之一方向。該等線接合中之至少一者之該未經囊封部分可係沿該等橫向方向中之至少一者自該至少一個線接合所結合之該導電元件位

移。此外，該至少一個線接合之該未經囊封部分可上覆該微電子元件之一主表面上。

本發明之又一實施例可係關於一種製作一微電子總成之方法。此實施例之方法可包含將根據以上實施例所製作之一第一微電子封裝與一第二微電子封裝結合在一起，該第二微電子封裝可包含一基板，該基板具有一第一表面及曝露於該基板之該第一表面處之複數個觸點，且將該第一微電子封裝與該第二微電子封裝結合在一起可包含電及機械連接該第一微電子封裝之該等線接合之該等未經囊封部分與該第二微電子封裝之該等觸點。

本發明之又一實施例可係關於製作一微電子封裝之替代方法。此實施例之方法包含：在一製程中單元上方定位一電介質材料塊，該製程中單元包含：一基板，其具有一第一表面及遠離其之一第二表面；複數個薄導電元件，其等曝露於該第一表面處；及線接合，其等具有結合至該等薄導電元件中之各別者之基底，及遠離該基板且遠離該等基底之端表面。每一線接合界定在其該基底與該端表面之間延伸的一邊緣表面。該方法亦包含藉由於該線接合上方按壓該電介質材料塊以與該基板之該第一表面接觸以使得該等線接合穿透該電介質材料塊而在該製程中單元上形成一囊封層。該囊封層因此填充該等線接合之間的空間以使得該等線接合係藉由該囊封層彼此分離，其中該囊封層上覆該基板之至少該第二區上。藉由使該等線接合延伸穿過該囊封層之一部分以使得該等第一線接合之部分不被該囊封

層覆蓋來形成該等第一線接合之未經囊封部分。

本發明之又一實施例係關於一種製作一微電子封裝之替代方法。此實施例之方法包含在一製程中單元上形成一電介質囊封層，該製程中單元包含：一基板，其具有一第一表面及遠離其之一第二表面；複數個薄導電元件，其等曝露於該第一表面處；及線環路，其等在一第一基底及一第二基底處結合至該等薄導電元件中之至少兩者中之各別者。囊封經形成以便至少部分地覆蓋該第一表面及該至少一個線環路。該方法進一步包含移除該囊封層之一部分及該等線環路之一部分以便將該等線環路中之每一者隔斷成對應於該第一基底及該第二基底中之一各別者之單獨線接合。因此，該等線接合具有端表面遠離該基板且遠離該等基底之端表面，且每一線接合界定在其該基底與該端表面之間延伸的一邊緣表面。該囊封層填充該等線接合之間的空間以使得該等線接合藉由該囊封層而彼此分離。該等線接合具有由至少部分地不被該囊封層覆蓋之其自由端形成之未經囊封部分。

本發明之另一實施例係關於包含根據以上所論述之其實施例中之一者之一微電子封裝或總成以及電連接至該微電子封裝之一或多個其他電子組件之系統。該系統可進一步包含一殼體，該微電子總成及該等其他電子組件可安裝於其中。

【實施方式】

現在轉至圖，其中類似元件符號用於指示類似特徵，圖

1中展示根據本發明之一實施例之一微電子總成10。圖1之實施例係呈一經封裝微電子元件之形式之一微電子總成，諸如用於電腦或其他電子應用中之一半導體晶片總成。

圖1之微電子總成10包含具有一第一表面14及一第二表面16之一基板12。基板12通常係呈一電介質元件(其係實質上扁平)之形式。該電介質元件可係薄片狀且可係薄的。在特定實施例中，電介質元件可包含一或多個諸如(但不限於)以下材料之有機電介質材料或複合電介質材料層：聚醯亞胺、聚四氟乙烯(「PTFE」)、環氧樹脂、環氧玻璃、FR-4、BT樹脂、熱塑性材料或熱固性塑膠材料。第一表面14及第二表面16係較佳地實質上彼此平行且以界定基板12之厚度之垂直於表面14、16之一距離間隔開。基板12之厚度較佳地在本申請案大體可接受厚度之一範圍內。在一實施例中，第一表面14與第二表面16之間的距離係在約25 μm 與500 μm 之間。出於本論述之目的，第一表面14可經闡述為經定位與第二表面16相對或遠離第二表面16。此一闡述，以及參考此等元件之一垂直或水平位置之本文中所使用之元件之相對位置之任何其他闡述係僅出於說明性目的而進行以符合圖內之元件之位置，且非限制性。

在一較佳實施例中，將基板12視為經劃分成一第一區18及一第二區20。第一區18位於第二區20內且包含基板12之一中心部分且自其向外延伸。第二區20實質上包圍第一區18且自其向外延伸至基板12之外部邊緣。在此實施例中，

基板自身不存在實體劃分兩個區之特定特性；然而，本文中出於論述之目的，將該等區相對於應用於其或含於其中之處理或特徵而加以區分。

一微電子元件22可安裝至基板12之第一表面14在第一區18內。微電子元件22可係一半導體晶片或另一相當裝置。在圖1之實施例中，微電子元件22係以稱作一習用或「面向上」方式之方式安裝至第一表面14。在此一實施例中，線引線24可用於將微電子元件22電連接至曝露於第一表面14處之複數個導電元件28中之某些導電元件。線引線24亦可結合至基板12內之繼而連接至導電元件28之跡線(未展示)或其他導電特徵。

導電元件28包含曝露於基板12之第一表面14處之各別「觸點」或襯墊30。如本闡述中所使用，當一導電元件經闡述為「曝露於」具有電介質結構之另一元件之表面時，指示該導電元件結構可用於與沿垂直於該電介質結構之該表面之一方向自該電介質結構之外部朝向該電介質結構之該表面移動之一理論點接觸。因此，曝露於一電介質結構之一表面處之一端子或其導電結構可自此表面凸出；可與此表面齊平；或可相對於此表面凹入且透過電介質中之一孔或凹部曝露。導電元件28可係其中襯墊30曝露於基板12之第一表面14處之扁平、薄元件。在一項實施例中，導電元件28可係實質上圓形且可彼此間互連或藉由跡線(未展示)互連至微電子元件22。導電元件28可經形成至少在基板12之第二區20內。另外，在某些實施例中，導電元件28

亦可形成於第一區18內。此一配置當將微電子元件122 (圖3)以稱作一「覆晶」組態之組態安裝至基板112時係特別有用的，其中微電子元件122上之觸點可藉由定位於微電子元件122下方之焊料凸塊126或諸如此類連接至第一區118內之導電元件128。在如圖22中所示之另一組態中，微電子元件622係面向下安裝於基板612上且藉由在基板612之一面向外表面(諸如表面616)上方延伸之線引線624電連接至晶片上之一導電特徵。在所示之實施例中，線引線625通過基板612中之一開口625且可藉由一包覆成型保護套699囊封。

在一實施例中，導電元件28係由一固態金屬材料形成，諸如銅、金、鎳或此一應用可接受之其他材料，包含各種合金(包含銅、金、鎳或其組合中之一或多者)。

導電元件28中之至少某些導電元件可互連至對應曝露於基板12之第二表面16處之第二導電元件40，諸如導電襯墊。可使用形成於基板12中可以係由與導電元件28或40相同之材料構成之導電金屬加襯或填充之通孔41來完成此一互連。視情況，導電元件40可藉由基板12上之跡線進一步互連。

微電子總成10進一步包含諸如在該微電子總成之襯墊30上結合至導電元件28中之至少某些導電元件之複數個線接合32。線接合32係在其一基底34處結合至導電元件28且可延伸至遠離各別基底34且遠離基板12之一自由端36。線接合32之端36表徵為係自由的，此乃因其不電連接或以其他

方式結合至微電子元件22或微電子總成10內之繼而連接至微電子元件22之任何其他導電結構。換言之，自由端36可用於直接地或間接地(如本文中所論述透過一焊料球或其他特徵)至總成10外部之一導電特徵之電子連接。端36藉由(舉例而言)囊封層42保持於一預定位置中或以其他方式結合或電連接至另一導電特徵之事實並不意味著其非如本文中所闡述之「自由」，只要任何此特徵不電連接至微電子元件22即可。相反地，基底34係不自由的，此乃因其直接地或間接地電連接至微電子元件22，如本文中所闡述。如圖1中所示，基底34可係自基底34與端36之間所界定之線接合32之一邊緣表面37向外延伸之實質上圓形形狀。基底34之特定大小及形狀可根據以下因素變化：用於形成線接合32之材料之類型，線接合32與導電元件28之間的連接之所期望強度或用於形成線接合32之特定製程。用於製作線接合28之例示性方法闡述於Otremba之美國專利第7,391,121號及美國專利申請公開案第2005/0095835號(闡述可視為線接合之一形式之一楔接合步驟)中，該等美國專利之揭示內容皆以全文引用方式併入本文中。替代實施例係可行的，其中另外或另一選擇係，線接合32結合至曝露於基板12之第二表面16上之導電元件40，從而遠離其延伸。

線接合32可係由諸如銅、金、鎳、焊料、鋁或諸如此類之一導電材料製作。另外，線接合32可係由材料組合製作，諸如由諸如銅或鋁之一導電材料之一核心製作(舉例

而言，藉助應用於該核心上方之一塗層)。該塗層可係由諸如鋁、鎳或諸如此類之一第二導電材料構成。另一選擇為，該塗層可係由諸如一絕緣套之一絕緣材料構成。在一實施例中，用於形成線接合32之線可具有在約15 μm 與150 μm 之間的一厚度，亦即，橫切於線之長度之一尺寸。在包含其中使用楔接合之彼等線接合之其他實施例中，線接合32可具有高達約500 μm 之一厚度。一般而言，一線接合係使用此項技術中所習知之專門設備而形成於一導電元件上(諸如導電元件28)、一襯墊、跡線或諸如此類。一線段之一引線端經加熱並壓抵線段所接合之接納表面，從而通常形成結合至導電元件28之表面之一球或球狀基底34。自接合工具拉延用以形成線接合之所期望長度之線段，該接合工具可然後在所期望長度處切斷該線接合。舉例而言，可用於形成鋁線接合之楔接合係其中跨越接納表面拖曳線之經加熱部分以形成大體平行於該表面之一楔之一製程。該經楔接合之線接合可然後向上彎曲(視需要)，且在切斷之前延伸至所期望長度或位置。在一特定實施例中，用於形成一線接合之線之剖面可係圓柱形。另外，自工具饋送以形成一線接合或經楔接合之線接合之線可具有一多邊形剖面，諸如例如矩形或梯形。

線接合32之自由端36具有一端表面38。端表面38可在由複數個線接合32之各別端表面38形成之一陣列中形成一觸點之至少一部分。圖2展示藉由端表面38形成之觸點之此一陣列之一例示性圖案。此一陣列可形成為一面陣列組

態，可使用本文中所闡述之結構實施該組態之變化形式。此一陣列可用於將微電子總成10電及機械連接至另一微電子結構，諸如至一印刷電路板(「PCB」)，或至其他經封裝微電子元件(圖6中展示其一實例)。在此一堆疊式配置中，線接合32及導電元件28及40可攜載通過其之多個電子信號，每一電子信號具有一不同信號電位以允許一單個堆疊中之不同微電子元件處理不同信號。焊料塊52可用於互連此一堆疊中之微電子總成，諸如藉由將端表面38電子及機械地附接至導電元件40。

微電子總成10進一步包含由一電介質材料形成之一囊封層42。在圖1之實施例中，囊封層42係形成於不被微電子元件22或導電元件28以其他方式覆蓋或佔據之基板12之第一表面14之部分上方。類似地，囊封層42係形成於不被線接合32以其他方式覆蓋之導電元件28(包含其襯墊30)之部分上方。囊封層42亦可實質上覆蓋微電子元件22、線接合32(包含基底34及其邊緣表面37之至少一部分)。線接合32之一部分可保持不被囊封層42覆蓋，該部分亦可稱作未經囊封，藉此使線接合可用於電連接至位於囊封層42之外部之一特徵或元件。在一實施例中，線接合32之端表面38保持在囊封層42之主表面44內不被囊封層42覆蓋。除了使端表面38保持不被囊封層42覆蓋以外或作為其一替代方案，其中邊緣表面37之一部分不被囊封層42覆蓋之其他實施例亦係可行的。換言之，囊封層42可覆蓋自第一表面14及往上之微電子總成10之全部，惟除線接合36之一部分(諸如

端表面38、邊緣表面37或該兩者之組合)。在圖中所示之實施例中，囊封層42之一表面(諸如主表面44)可與基板12之第一表面14間隔開達足夠大以覆蓋微電子元件22之一距離。因此，其中線接合32之端38與表面44齊平之微電子總成10之實施例將包含高於微電子元件22之線接合32，及用於覆晶連接之任何下伏焊料凸塊。然而，囊封層42之其他組態係可行的。舉例而言，囊封層可具有帶有變化高度之多個表面。在此一組態中，端38定位於其內之表面44可係高於或低於微電子元件22位於其下面之一面向上表面。

囊封層42用於保護微電子總成10內之其他元件，特定而言線接合32。此允許較不可能被其測試或在運輸或組裝至其他微電子結構損害之一較穩健結構。囊封層42可係由具有絕緣性質之一電介質材料(諸如美國專利申請公開案第2010/0232129號中所闡述之彼材料)形成，將該美國專利申請公開案以全文引用方式併入本文中。

圖3展示具有帶有非直接定位於線接合之各別基底34上面之端136之線接合132之微電子總成110之一實施例。亦即，將基板112之第一表面114視為沿兩個橫向方向延伸，以便實質上界定一平面，使端136或線接合132中之至少一者沿此等橫向方向中至少一者自基底134之一對應橫向位置位移。如圖3中所示，線接合132可沿著其縱向軸係實質上筆直(如在圖1之實施例中)，其中縱向軸係相對於基板112之第一表面114以一角146成角。儘管圖3之剖面圖僅透過垂直於第一表面114之一第一平面展示角146，但線接合

132亦可在垂直於彼第一平面及第一表面114兩者之另一平面中相對於第一表面114成角。此一角可實質上等於或不同於角146。亦即，端136相對於基底134之位移可係沿兩個橫向方向且可係以沿彼等方向中之每一者之相同或一不同距離。

在一實施例中，線接合132中之各種者可沿不同方向位移且在總成110中位移不同量。此一配置允許總成110具有與在基板12之層級上相比在表面144之層級上經不同組態之一陣列。舉例而言，與基板112之第一表面114處之彼陣列相比較，一陣列在表面144上可比在第一表面114層級處覆蓋一較小總面積或具有一較小間距。此外，某些線接合132可具有定位於微電子元件122上面以適應不同大小之經封裝微電子元件之一堆疊式配置之端138。在圖19中所示之另一實例中，線接合132可經組態以使得一個線接合132A之端136A係實質上定位於另一線接合134B之基底134B上面，彼線接合134B之端132B係定位於別處。此一配置可稱作與第二表面116上之一對應觸點陣列之位置相比較改變一觸點陣列內之一觸點端表面136之相對位置。在此一陣列內，取決於微電子總成之應用或其他要求，觸點端表面之相對位置可視需要改變或變化。

圖4展示具有帶有位於相對於基底234橫向位移之位置中之端236之線接合232之一微電子子總成210之又一實施例。在圖4之實施例中，線接合132藉由其中包含一彎曲部分248而達成此橫向位移。彎曲部分248可在線接合形成程

序期間在一額外步驟中形成且可(舉例而言)在線部分經拉延至所期望長度時發生。可使用可用線接合設備來實施此步驟，此可包含一單機之使用。

彎曲部分248可視需要呈現各種形狀以達成線接合232之端236之所期望位置。舉例而言，彎曲部分248可經形成為各種形狀中之S曲線(諸如圖4中所示)，或一較平滑形式之S曲線(諸如圖5中所示)。另外，彎曲部分248可經定位而更靠近於基底234而非端236或反之亦然。彎曲部分248亦可係一螺旋或環圈形式，或可係複合的(包含沿多個方向或不同形狀或特性之曲線)。

圖5展示具有導致基底334與端336之間的各種相對橫向位移之各種形狀之線接合332之一組合之一微電子封裝310之又一例示性實施例。線接合332A中之某些線接合係實質上筆直的，其中端336A定位於其各別基底334A上面，而其他線接合332B包含導致端336B與基底334B之間的一稍微相對橫向位移之一略微彎曲部分348B。此外，某些線接合332C包含具有一呈彎曲狀的形狀之彎曲部分348C，該等彎曲部分產生自相對基底334C橫向位移達大於端334B之距離之一距離之端336C。圖5亦展示具有定位於一基板層級陣列之相同列中之基底334Ci及334Cii及定位於一對應表面層級陣列之不同列中之端336Ci及336Cii之一例示性此等線接合332Ci及332Cii對。

一線接合332D之又一變化形式經展示其經組態以在囊封層342之一側表面47上不被囊封層342覆蓋。在所示實施例

中，自由端336D不被覆蓋，然而，邊緣表面337D之一部分可(另外或另一選擇係)不被囊封層342覆蓋。此一組態可用於微電子總成10之接地(藉由電連接至一適當特徵)或用於機械或電連接至橫向安置至微電子總成310之其他特徵。另外，圖5展示已經蝕刻掉、模製或以其他方式形成以界定經定位而較靠近於基板12而非主表面342之一凹入表面345之一囊封層342區域。一或多個線接合(諸如線接合332A)可在沿著凹入表面345之一區域內不被覆蓋。在圖5中所示之例示性實施例中，端表面338A及邊緣表面337A之一部分不被囊封層342覆蓋。此一組態可藉由除結合至端表面338外亦允許焊料沿著邊緣表面337A芯吸且結合至其而提供至另一導電元件之一連接(諸如藉由一焊料球或諸如此類)。一線接合之一部分可沿著凹入表面345不被囊封層342覆蓋之其他組態係可行的，包含其中端表面係與凹入表面345實質上齊平之組態或本文中所示之關於囊封層342之任何其他表面之其他組態。類似地，線接合332D之一部分沿著側表面347不被囊封層342覆蓋之其他組態可類似於本文中別處所論述之關於囊封層之主表面之變化形式之彼等組態。

圖5進一步展示具有呈其中微電子元件350係面向上堆疊於微電子元件322上之一例示性配置之兩個微電子元件322及350之一微電子總成310。在此配置中，使用引線324來將微電子元件322電連接至基板312上之導電特徵。使用各種引線來將微電子元件350電子連接至微電子總成310之各

種其他特徵。舉例而言，引線380將微電子元件350電連接至基板312之導電特徵，且引線382將微電子元件350電連接至微電子元件322。此外，可在結構上類似於線接合332之各種結構之線接合384用於在電連接至微電子元件350之囊封層342之表面344上形成一接觸表面386。此可用於將另一微電子總成之一特徵自囊封層342上方直接電連接至微電子元件350。亦可包含連接至微電子元件322之此一引線，包含當在無附加於其上之一第二微電子元件350之情況下存在此一微電子元件。一開口(未展示)可形成於囊封層342中，該開口自囊封層之表面344延伸至沿著(舉例而言)引線380之一點，藉此提供對引線380之接達以用於藉由定位於表面344外側之一元件至其之電連接。一類似開口可形成於其他引線或線接合332中之任何者上方，諸如在遠離其端336C之一點處之線接合332C上方。在此一實施例中，端336C可定位於表面344下方，其中開口提供唯一接達以用於至其之電連接。

圖6展示微電子總成410及488之一堆疊式封裝。在此一配置中，焊料塊52將總成410之端表面438電且機械地連接至總成488之導電元件440。堆疊式封裝可包含額外總成且可最終附接至一PCB 490上之觸點492或供用於一電子裝置中之諸如此類。在此一堆疊式配置中，線接合432及導電元件430可攜載通過其之多個電子信號，每一信號具有一不同信號電位以允許一單個堆疊中之不同微電子元件(諸如，微電子元件422或微電子元件489)處理不同信號。

在圖6中之例示性組態中，線接合432經組態具有一彎曲部分448以使得線接合432之端436之至少某些端延伸至上覆微電子元件422之一主表面424上之一區。此一區可係藉由微電子元件422之外周部界定且自其向上延伸。根據面朝向圖18中之基板412之第一表面414之一視圖展示此一組態之一實例，其中線接合432上覆微電子元件422之一後主表面上，微電子元件422係在其一前面425覆晶接合至基板412。在另一組態中(圖5)，微電子元件422可面向上安裝至基板312，其中前面325背對基板312且至少一個線接合336上覆微電子元件322之前面上。在一項實施例中，此線接合336不與微電子元件322電連接。接合至基板312之一線接合336亦可上覆微電子元件350之前面或後面上。圖18中所示之微電子總成410之實施例使得導電元件428配置成形成其中導電元件428包圍微電子元件422配置成列及行之一第一陣列之一圖案且可具有個別導電元件428之間的一預定間距。線接合432結合至導電元件428以使得其各別基底434沿循如藉由導電元件428所陳述之第一陣列之圖案。然而，線接合432經組態以使得其各別端436可根據一第二陣列組態配置成一不同圖案。在所示之實施例中，第二陣列之間距可不同於(且在某些情形下細於)第一陣列之間距。然而，其中第二陣列之間距大於第一陣列或其中導電元件428未定位於一預定陣列中但線接合432之端436係定位於該預定陣列中之其他實施例係可行的。此外，導電元件428可經組態呈貫穿基板412定位之陣列組且線接合432可

經組態以使得端 436 係在不同陣列組中或在一單個陣列中。

圖 6 進一步展示沿著微電子元件 422 之一表面延伸之一絕緣層 421。絕緣層 421 可在形成線接合之前由一電介質或其他電絕緣材料形成。絕緣層 421 可保護微電子元件免於與在其上方延伸之線接合 423 中之任何者接觸。特定而言，絕緣層 421 可避免線接合之間的電短路及一線接合與微電子元件 422 之間的短路。以此方式，絕緣層 421 可幫助避免由於一線接合 432 與微電子元件 422 之間的非意欲電接觸所致之故障或可能損害。

在其中微電子總成 488 及微電子元件 422 之(舉例而言)相對大小原本不准許之某些例項中，圖 6 及圖 18 中所示之線接合組態可允許微電子總成 410 連接至另一微電子總成(諸如，微電子總成 488)。在圖 6 之實施例中，微電子總成 488 經定大小以使得接觸襯墊 440 中之某些襯墊係在小於微電子元件 422 之前表面 424 或後表面 426 之區域之一區域內呈一陣列。在具有替代線接合 432 之實質上垂直導電特徵(諸如柱)之一微電子總成中，導電元件 428 與襯墊 440 之間的直接連接將不可行。然而，如圖 6 中所示，具有經適當組態彎曲部分 448 之線接合 432 可使端 436 位於適當位置中以進行微電子總成 410 與微電子總成 488 之間必需電子連接。此一配置可用於製作一堆疊式封裝，其中微電子總成 418 (舉例而言)係具有一預定襯墊陣列之一 DRAM 晶片或諸如此類，且其中微電子元件 422 係經組態以控制 DRAM 晶片

之一邏輯晶片。此可允許一單個類型之DRAM晶片與不同大小之數種不同邏輯晶片(包含大於DRAM晶片之彼等晶片)一起使用，此乃因線接合432可使端436定位於需要與DRAM晶片進行所期望連接之任何處。在一替代實施例中，微電子封裝410可安裝於印刷電路板490上呈另一組態，其中線接合432之未經囊封表面436電連接至電路板490之襯墊492。此外，在此一實施例中，另一微電子封裝(諸如封裝488之一修改版本)可藉由結合至襯墊440之焊料球452安裝於封裝410上。

圖7展示具有沿著囊封層42之表面44延伸之一重新分佈層54之圖1中所示類型之一微電子總成10。如圖7中所示，跡線58電連接至內部接觸襯墊61(其電連接至線接合32之端表面38)且延伸穿過重新分佈層54之基板56至曝露於基板56之表面62之接觸襯墊60。一額外微電子總成可然後藉由焊料塊或諸如此類連接至接觸襯墊60。類似於重新分佈層54之一結構可沿著基板12之第二表面16延伸於稱作一扇出層(fan-out layer)之層中。一扇出層可允許微電子總成10連接至不同於導電元件40陣列原本准許之一組態之一陣列。

圖8A至圖8E展示可實施於類似於圖1至圖7之一結構中之線接合32之端36之結構中或接近其之各種組態。圖8A展示其中一腔64形成於囊封層42之一部分中以使得線接合32之一端36在腔64處之囊封層之一小表面43上面凸出之一結構。在所示之實施例中，端表面38定位於囊封層42之主表

面44下面，且腔64經結構化以在表面44處曝露端表面38以允許一電子結構連接至其。其中端表面38實質上甚至具有表面44或在表面44上面間隔開之其他實施例係可行的。此外，腔64可經組態以使得線接合32之接近其端36之邊緣表面37之一部分可不被腔64內之囊封層42覆蓋。此可允許自端表面38及接近端36之邊緣表面37之未經覆蓋部分兩者進行來自總成10之外部之至線接合32之一連接，諸如一焊料連接。此一連接展示於圖8B中且可使用一焊料塊52提供至一第二基板94之一較穩健連接。在一實施例中，腔64可在表面44之下面具有約10 μm 與50 μm 之間的一深度且可具有約100 μm 與300 μm 之間的一寬度。圖8B展示具有類似於圖8A之彼結構但具有錐形化側壁65之一結構之一腔。此外，圖8展示藉由在曝露於其一基板98之一表面處之一接觸襯墊96處藉由一焊料塊52電及機械連接至線接合32之一第二微電子總成94。

腔64可係藉由在腔64之所期望區域中移除囊封層42之一部分來形成。此可藉由習知製程(包含雷射蝕刻、濕式蝕刻、研光或諸如此類)來完成。另一選擇係，在其中囊封層42係藉由注射模製形成之一實施例中，腔64可係藉由在模具中包含一對應特徵來形成。此一製程論述於美國專利申請公開案第2010/0232129號中，特此將該美國專利申請公開案以全文引用方式併入本文中。圖8B中所示之腔64之錐形化形狀可係其形成中所使用之一特定蝕刻製程之結果。

圖 8C 及圖 8E 展示在線接合 32 上包含一實質上圓形端部分 70 之端結構。圓形端部分 70 經組態以具有寬於基底 34 與端 36 之間的線接合 32 之部分之剖面之一剖面。此外，圓形端部分 70 包含在其間之轉變處自線接合 32 之邊緣表面 37 向外延伸之一邊緣表面 71。一圓形邊緣部分 70 之併入可用於藉由提供一錨固特徵而將線接合 32 固定於囊封層 42 內，其中沿表面 71 之方向之改變賦予囊封層 42 在三個側上包圍端 70 之一位置。此可幫助防止線接合 32 變得自基板 12 上之導電元件 28 卸離，從而導致一失敗電連接。另外，圓形端部分 70 可提供在可進行一電子連接之表面 44 內不被囊封層 42 覆蓋之增加表面面積。如圖 8E 中所示，圓形端部分 70 可延伸超過表面 44。另一選擇係，如圖 8C 中所示，圓形端部分 70 可進一步接地或以其他方式經平坦化以提供實質上與表面 44 齊平之一表面且可具有大於線接合 32 之剖面之一面積。

一圓形端部分 70 可係藉由在用於進行線接合 32 之線之端處以一火焰或一火花形式應用局部加熱而形成。習知線接合機器可經修改以實施此步驟，該步驟可在切斷線之後立即進行。在此製程中，熱在該線之端處熔化該線。液態金屬之此局部部分可藉由其表面張力變圓且當金屬冷卻時存留。

圖 8D 展示微電子總成 10 之一組態，其中線接合 32 之端 36 包含在囊封層 42 之主表面 44 上面間隔之一表面 38。此一組態可呈現類似於以上相對於腔 64 所論述之彼益處(特定而

言，藉由藉助沿著在表面44上面不被囊封層42覆蓋之邊緣（表面37之部分芯吸之一焊料塊68提供一較穩健連接）之益處。在一實施例中，端表面38可在表面42上面間隔開達約10 μm 與50 μm 之間的一距離。另外，在圖8D之實施例及其中邊緣表面37之一部分在囊封層42之一表面上面不被囊封層42覆蓋之其他實施例中之任何實施例中，端可包含形成於其上之一保護層。此一層可包含一氧化保護層，包含由金、一氧化塗層或一OSP製作之彼等氧化保護層。

圖9展示具有形成於線接合32之端表面38上一柱形凸塊72之微電子總成10之一實施例。柱形凸塊72可係在製作微電子總成10之後藉由在端表面44之頂部應用另一經修改線接合且視情況沿著表面44之一部分延伸而形成。在不拉延線之一長度之情況下，該經修改線接合係在接近其基底處切斷或以其他方式隔斷。含有某些金屬之柱形凸塊72可直接應用於端38而無需首先應用諸如一UBM之一接合層，因此提供形成至不可藉由焊料直接熔濕之接合襯墊之導電互連之方式。此可在線接合32係由一不可熔濕之金屬製作時係有用的。一般而言，可以此方式應用基本上由銅、鎳、銀、鉑及金中之一或多者組成之柱形凸塊。圖9展示形成於柱形凸塊72上方之一焊料塊68以供用於電子或機械連接至一額外微電子總成。

圖10A至圖10D展示包含一彎曲形狀之線接合32之端36之組態。在每一實施例中，線接合32之端36經彎曲以使得其一部分74實質上平行於囊封層42之表面44延伸以使得邊

緣表面76之至少一部分不被(舉例而言)主表面44覆蓋。邊緣表面37之此部分可向上延伸在表面44之外部或可接地或以其他方式經平坦化以便實質上與表面44齊平延伸。圖10A之實施例包含在平行於表面44之端36之部分74處之線接合32中之一突變彎曲且終止於實質上垂直於表面44之一端表面38。圖10B展示除圖10A中所示之平行於表面44之端36之部分74外亦在接近其處具有一較逐漸彎曲之一端36。其他組態係可行的，包含其中根據圖3、圖4或圖5中所示之彼等之一線接合之一部分包含具有其一部分實質上平行於表面44且使其邊緣表面之一部分不被表面44內之一位置處之囊封層42覆蓋之一端之彼等組態。另外，圖10B之實施例包含位於其端部上之一鉤狀部分75，該鉤狀部分75將端表面38定位於囊封層42內之表面44下面。此可為端36提供較不可能自囊封層42變位之一較穩健結構。圖10C及圖10D展示分別類似於圖10A及圖10B中所示之彼等結構但在藉由形成於囊封層42中之腔64沿著表面44之一位置處不被囊封層42覆蓋之結構。此等腔在結構上可類似於以上相對於圖8A及圖8B所論述之彼等結構。包含平行於表面44延伸之其一部分74之端36之包含可提供用於藉由細長不被覆蓋邊緣表面75與其連接之增加表面面積。此一部分74之長度可大於用於形成線接合32之線之剖面之寬度。

圖11至圖15展示在其一製作方法之各種步驟中之一微電子總成10。圖11展示在其中微電子元件22已電且機械連接至基板12在其第一表面14上且在其第一區18內之一步驟處

之微電子總成10'。微電子元件22在圖11中經展示為藉由焊料塊26安裝於基板12上成一覆晶配置。另一選擇係，可使用面向上接合替代，如以上在圖1中所見。在圖11中所示之方法步驟之實施例，一電介質底填充層66可提供於微電子元件22與基板12之間。

圖12展示具有應用於曝露於基板12之第一表面14上之導電元件28之襯墊30上之線接合32之微電子總成10''。如所論述，可藉由加熱一線段之一端以軟化該端以使得當按壓至導電元件28時其形成至導電元件28之一沈積接合從而形成基底34來應用線接合32。然後將線拉延遠離導電元件28且在經切斷或以其他方式隔斷之前經操縱(若期望)成一特定形狀以形成線接合32之端36及端表面38。另一選擇係，線接合32可係藉由楔接合由(舉例而言)一鋁線形成。楔接合係藉由加熱毗鄰其端之線之一部分且藉助應用至其之壓力沿著導電元件28拖曳其而形成。此一製程進一步闡述於美國專利第7,391,121號中，特此將美國專利之揭示內容以全文引用方式併入本文中。

在圖13中，已藉由以下步驟將囊封層42添加至微電子總成10'''：將其應用於基板之第一表面14上方，自該第一表面面向上且沿著線接合32之邊緣表面37延伸。囊封層42亦覆蓋底填充層66。囊封層42可係藉由在圖12中所示之微電子總成10'上方沈積一樹脂而形成。此可係藉由將總成10'置於可接納總成10'之具有呈囊封層42之所期望形狀之一腔之一經適當組態之模具中完成。此一模具及藉助其形成一囊

封層之方法可如美國專利申請公開案第2010/0232129號中所展示及闡述，該美國專利申請公開案之揭示內容以全文引用方式併入本文中。另一選擇係，囊封層42可係由一至少部分順應材料預製作成所期望形狀。在此組態中，電介質材料之順應性質允許將囊封層42按壓至線接合32及微電子元件22上方之位置中。在此一步驟中，線接合32穿透至該順應材料中從而在其中形成各別孔，沿著該等孔囊封層42接觸邊緣表面37。此外，微電子元件22可使順應材料變形以使得其可被接納於其中。順應電介質材料可經壓縮以在外表面44上曝露端表面38。另一選擇係，可移除任何過量順應電介質材料自囊封層以形成在其上線接合32之端表面38不被覆蓋或可形成在表面63內之一位置處顯露端表面38之腔64之一表面44。

在圖13中所示之實施例中，囊封層經形成以使得初始其表面44在線接合32之端表面38上面間隔開。為曝露端表面38，可移除囊封層42在端表面38上面之部分，從而曝露實質上與端表面42齊平之一新表面44'，如圖14中所示。另一選擇係，腔64（諸如圖8A及圖8B中所示之彼等）可經形成，其中端表面38不被囊封層42覆蓋。在又一替代方案中，囊封層42可經形成以使得表面44已實質上與端表面48齊平或以使得表面44係定位於端表面48下面，如圖8D中所示。囊封層42之一部分之移除（視需要）可藉由研磨、乾式蝕刻、雷射蝕刻、濕式蝕刻、研光或諸如此類達成。若期望，線接合32之端36之一部分亦可以相同或一額外步驟移

除以達成實質上與表面44齊平之實質上平面端表面38。若期望，腔64亦可在此一步驟之後形成，或柱形凸塊(如圖10中所示)亦可應用。所得微電子總成10然後亦可附加於一PCB上或以其他方式併入又一總成(舉例而言，一堆疊式封裝，如圖6中所示)中。

在圖15中所示之一替代實施例中，線接合32初始形成為對作為一線環路86之部分32'。在此實施例中，環路86係以一線接合之形式製作，如以上所論述。將線段向上拉伸，然後沿使其至少一組件沿基板13之第一表面14之方向之一方向彎曲及拉伸且至實質上上覆一毗鄰導電元件28上之一位置。然後將線在切斷或以其他方式隔斷之前實質上向下拉伸至接近毗鄰導電元件28之一位置。然後加熱線且將其藉由沈積接合或諸如此類連接至毗鄰導電元件28以形成環路86。然後形成囊封層42以便實質上覆蓋環路86。然後藉由研磨、蝕刻或諸如此類藉由亦移除環路86之一部分以使得該環路經隔斷且經劃分成其兩部分32'之一製程來移除囊封層42之一部分，藉此形成具有在沿著形成於囊封層42上之表面44之一位置處不被囊封層42覆蓋之端表面38之線接合32。然後可將隨後完成步驟應用於總成10，如上文所論述。

圖16A至圖16C展示在一替代實施例中用於製作(如以上所論述)包圍線接合32之端36之腔64之步驟。圖16A展示以上相對於圖1至圖6所論述之一般類型之一線接合32。線接合32具有應用於其端36上之一犧牲材料塊78。犧牲材料塊

78可係實質上球形形狀，其可在其形成期間由材料之表面張力所致，或係熟習此項技術者將理解之其他所期望形狀。可藉由將線接合32之端36浸漬於焊料膏中以塗佈其端而形成犧牲材料塊78。在浸漬之前可調整焊料膏之黏度以控制芯吸之焊料塊之量及致使黏合至端36之表面張力。因此，此可影響應用於端36上之塊78之大小。另一選擇係，塊78可藉由將一可溶材料沈積至線接合32之端36上而形成。其他可行塊78可係個別焊料球或端上或藉由其他構件使用微電子組件製作中所使用之稍後可移除之其他材料(諸如銅或金閃鍍)之其他塊。

在圖16B中，一電介質層42經展示已添加至總成10，包含沿著線接合32之邊緣表面37向上。電介質層亦沿著犧牲材料塊78之表面之一部分延伸，以使得其藉此與線接合32之端36隔離開。隨後，移除犧牲材料塊78，諸如藉由在一溶劑中清洗或沖洗、熔化、化學蝕刻或其他技術，從而在移除塊78之前在電介質層42中留下腔68實質上在塊78之負形中，且曝露接近線接合32之端36之邊緣表面37之一部分。

另一選擇係，犧牲材料塊78可經形成以藉由沿著線接合32之邊緣表面37延伸而實質上塗佈所有線接合32。此配置展示於圖17A中。此一塗層可在形成於總成10上之後應用於線接合32上方(如以上所論述)，或可作為一塗層應用於用於製作線接合32之線。此將基本上係一塗佈線或一個兩部分線之形式，舉例而言，具有一銅內核及一焊料塗層。

圖 17B 展示電介質層 42 應用於線接合 32 及犧牲塊 78 上方以便沿著犧牲塊 78 之邊緣表面 79 延伸，藉此將電介質層 42 與實質上沿著線接合 32 之長度與線接合 32 間隔開。

圖 17C 展示由移除犧牲材料塊 78 之一部分以形成圍繞端 36 之腔 64 及曝露邊緣表面 37 之一部分所致之結構。在此一實施例中，大多數犧牲材料塊 78 或其至少一部分可留在電介質層 42 與線接合 32 之間的適當位置中。圖 17C 進一步展示將線接合 32 電及機械連接至另一微電子結構 10A 之一接觸襯墊 40A 之一焊料塊 52。

圖 20 及圖 21 展示其中線接合 532 係形成於一引線框架結構中之一微電子總成 510 之又一實施例。引線框架結構之實例係展示且闡述於美國專利第 7,176,506 號及第 6,765,287 號中，該等美國專利之揭示內容特此以引用方式併入本文中。一般而言，一引線框架係由一導電金屬薄片(諸如銅)形成之一結構，該導電金屬薄片經圖案化成包含複數個引線之段且可進一步包含一鐳盤及一框架。該框架用於在總成之製作期間固定引線及鐳盤(若使用)。在一實施例中，一微電子元件(諸如一晶粒或晶片)可面向上結合至鐳盤且使用線接合電連接至引線。另一選擇係，微電子元件可直接安裝至引線上，該等引線可在該微電子元件下面延伸。在此一實施例中，微電子元件上之觸點可藉由焊料球或諸如此類電連接至各別引線。該等引線可然後用於形成至各種其他導電結構之電連接以用於攜載一電子信號電位至微電子元件及自微電子元件攜載一電子信號電位。當結構之

組裝完成(其可包含於其上形成一囊封層)時，可自引線及引線框架之鐳盤移除框架之臨時元件，以便形成個別引線。出於本發明之目的，將個別引線513及鐳盤515視為共同形成一基板512之分段部分，該基板512在與其整體形成之部分中包含導電元件528。此外，在此實施例中，將鐳盤515視為在基板512之第一區518內，且將引線513視為在第二區520內。線接合524 (亦展示於圖21之立面圖中)將承載於鐳盤515上之微電子元件22連接至引線515之導電元件528。線接合532可進一步在其基底534處結合至引線515上之額外導電元件528。囊封層542係形成至總成510上從而使線接合532之端538在表面544內之位置處不被覆蓋。線接合532可使其額外或替代部分在對應於相對於本文中其他實施例所闡述之彼等結構之結構中不被囊封層542覆蓋。

圖24至圖26展示具有閉環線接合832之一微電子封裝810之又一替代實施例。此實施例之線接合832包含可結合至毗鄰導電元件828a及828b之兩個基底834a及834b，如圖24中所示。另一選擇係，基底834a、834b可皆結合於一共同導電元件828上，如圖25及26中所示。在此一實施例中，線接合832界定在一環路中之兩個基底834a、834b之間延伸的一邊緣表面837以使得邊緣表面837自該等基底至在基板812上面之囊封層842之一表面844處之一頂端839在各別部分837a及837b中向上延伸。囊封層842沿著邊緣表面部分837a、837b之至少某些延伸，從而使各別部分彼此分

離，以及與封裝810中之其他線接合832分離。在頂端839處，邊緣表面837之至少一部分不被囊封層842覆蓋以使得線接合832可用於與另一組件(其可係另一微電子組件或其他組件(例如，諸如一電容器或感應器之一離散元件))之電互連。如圖24至圖26中所示，線接合832經形成以使得頂端839跨越基板812之表面沿至少一個橫向方向自導電元件828偏移。在一項實例中，頂端839可上覆微電子元件820之一主表面上或以其他方式上覆基板812之微電子元件820與其對準之一第一區上。線接合832之其他組態係可行的，包含其中頂端839經定位於其他實施例中所論述之線接合之端表面之位置中之任何位置中之組態。此外，頂端839可在一孔中不被覆蓋，諸如圖8A中所示。仍進一步，頂端839可係細長的且可於在其一長度範圍內延伸之表面844上不被覆蓋，如圖10A至圖10D中相對於邊緣表面所示。藉由以未經覆蓋邊緣表面837包圍由在兩個基底834a、834b之間(而非一個)延伸的一線接合832支撐之頂端839之形式提供一連接特徵，可達成沿由主表面844所界定之方向之連接特徵之較準確放置。

圖27及圖28展示圖24至圖26中之實施例之一變化形式，其中使用接合帶934替代線接合834。接合帶可係一大體扁平之導電材料件(諸如先前針對線接合之形成所論述之材料中之任何者)。與一線接合(其剖面可係大體圓形)相比而言，一接合帶結構可係比其厚度寬。如圖27中所示，接合帶934各自包含可經接合而沿著導電元件928之一部分延伸

之一第一基底934a。帶接合932之一第二基底934b可結合至第一基底934a之一部分。邊緣表面937在基底934a與934b之間沿兩個對應部分937a及937b延伸至頂端939。邊緣表面在頂端939之區域中之一部分沿著囊封942之主表面944之一部分不被囊封942覆蓋。其他變化形式係可行的，諸如相對於本文中所揭示之其他實施例中所使用之線接合所闡述之彼等變化形式。

以上所論述之結構可用於不同電子系統之構造。舉例而言，根據本發明之又一實施例之一系統711包含微電子總成710（如以上所闡述）結合其他電子組件713及715。在所繪示之實例中，組件713係一半導體晶片而組件715係一顯示螢幕，但可使用任何其他組件。當然，儘管為圖解說明之清晰起見，圖23中僅繪示兩個額外組件，但系統可包含任何數目個此等組件。如以上所闡述之微電子總成710可係（舉例而言）以上結合圖1所論述之一微電子總成，或如參考圖6所論述併入有複數個微電子總成之一結構。總成710可進一步包含圖2至圖22中所論述之實施例中之任一者。在又一變化形式中，可提供多個變化形式，且可使用任何數目個此等結構。

微電子總成710以及組件713及715係安裝於一共同殼體719（以虛線示意性繪示）中，且必要時彼此電互連以形成所期望電路。在所示之例示性系統中，系統包含諸如一撓性印刷電路板之一電路面板717，且該電路面板包含彼此互連組件之眾多導體721（圖23中僅繪示其中一者）。然

而，此僅係例示性；可使用適於進行電連接之任何結構。

殼體719經繪示為(舉例而言)可用於一蜂巢式電話或個人數位助理中之類型之一可攜式殼體，且螢幕715曝露於該殼體之表面處。在微電子總成710包含諸如一成像晶片之一光敏感元件之情況下，一透鏡723或其他光裝置亦可提供用於將光路由至該結構。同樣，圖23中所示之簡化系統僅係例示性；可使用以上所論述之結構製作其他系統(包含通常視為固定結構之系統)，諸如桌上型電腦、路由器及諸如此類。

儘管本文中已參考特定實施例闡述本發明，但應理解，此等實施例僅圖解說明本發明之原理及應用。因此，應理解，可在不背離如由隨附申請專利範圍所界定之本發明之精神及範疇之情況下對說明性實施例進行眾多修改並可設想出其他配置。

【圖式簡單說明】

圖1展示根據本發明之一實施例之一微電子封裝；

圖2展示圖1之微電子封裝之一俯視立面圖；

圖3展示根據本發明之一替代實施例之一微電子封裝；

圖4展示根據本發明之一替代實施例之一微電子封裝；

圖5展示根據本發明之一替代實施例之一微電子封裝；

圖6展示根據本發明之一實施例之包含一微電子封裝之一堆疊式微電子總成；

圖7展示根據本發明之一替代實施例之一微電子封裝；

圖8A至圖8E展示根據本發明之各種實施例之一微電子

封裝之一部分之一詳圖；

圖9展示根據本發明之一替代實施例之一微電子封裝之一部分之一詳圖；

圖10A至圖10D展示根據本發明之各種實施例之一微電子封裝之一部分之一詳圖；

圖11至圖14展示根據本發明之一實施例之在其製作之各種步驟期間之一微電子封裝；

圖15展示根據本發明之一替代實施例之在一製作步驟期間之一微電子封裝；

圖16A至圖16C展示根據本發明之一實施例之在其製作之各種步驟期間之一微電子封裝之一部分之一詳圖；

圖17A至圖17C展示根據本發明之一替代實施例之在其製作之各種步驟期間之一微電子封裝之一部分之一詳圖；

圖18展示根據本發明之一替代實施例之一微電子封裝之一俯視立面圖；

圖19展示根據本發明之一替代實施例之一微電子封裝之一部分之一俯視立面圖；

圖20展示根據本發明之又一替代實施例之一微電子封裝之一俯視圖；

圖21展示技術方案20之微電子封裝之一前立面圖；

圖22展示根據本發明之又一替代實施例之一微電子封裝之一前立面圖；

圖23展示根據本發明之又一實施例之一系統；

圖24展示根據本發明之又一替代實施例之一微電子封裝

之一前立面圖；

圖25展示根據本發明之又一替代實施例之一微電子封裝之一前立面圖；

圖26展示根據圖25之實施例之一變化形式之一微電子封裝之一俯視圖；

圖27展示根據本發明之又一替代實施例之一微電子封裝之一前立面圖；且

圖28展示根據圖27之實施例之一變化形式之一微電子封裝之一俯視圖。

【主要元件符號說明】

10	微電子總成
10'	微電子總成
10''	微電子總成
10'''	微電子總成
12	基板
14	第一表面
16	第二表面
18	第一區
20	第二區
22	微電子元件
24	線引線
26	焊料塊
28	導電元件
30	襯墊

32	線接合
32'	線環路86之部分
34	基底
36	端/自由端
37	邊緣表面
38	端表面/端
40	第二導電元件/導電元件
41	通孔
42	囊封層/端表面
43	小表面
44	主表面/表面
52	焊料塊
54	重新分佈層
56	基板
58	跡線
60	接觸襯墊
61	內部接觸襯墊
62	表面
64	腔
66	電介質底填充層
70	圓形端部分
71	邊緣表面
72	柱形凸塊
74	端36之一部分

75	鉤狀部分
76	邊緣表面
78	犧牲材料塊/塊
94	第二基板/第二微電子總成
96	接觸襯墊
98	基板
110	微電子總成
112	基板
114	第一表面
116	第二表面
118	第一區
122	微電子元件
126	焊料凸塊
128	導電元件
132	線接合
132A	線接合
132B	端
134	基底
134B	線接合
136	端
138	端
144	表面
146	角/第一平面展示角
210	微電子子總成

232	線 接 合
234	基 底
236	端
248	彎 曲 部 分
310	微 電 子 總 成
312	基 板
322	微 電 子 元 件
324	引 線
332A	線 接 合
332B	線 接 合
332Ci	線 接 合
332Cii	線 接 合
332D	線 接 合
334A	基 底
334B	基 底
334Ci	基 底
334Cii	基 底
336	端
336B	端
336Ci	端
336Cii	端
336D	自 由 端
337A	邊 緣 表 面
337D	邊 緣 表 面

338	端表面
342	囊封層/主表面
344	表面
345	凹入表面
348C	彎曲部分
350	微電子元件
382	引線
384	線接合
386	接觸表面
410	微電子總成
412	基板
421	絕緣層
422	微電子元件
426	後表面
428	導電元件
432	線接合
434	基底
436	端/未經囊封表面
438	端表面
440	導電元件/接觸襯墊
448	彎曲部分
452	焊料球
488	微電子總成/總成/封裝
489	微電子元件

490	印刷電路板
492	觸點/襯墊
512	基板
513	引線
515	鐸盤
518	第一區
520	第二區
524	線接合
528	導電元件
532	線接合
534	基底
538	端
612	基板
616	表面
622	微電子元件
624	線引線
625	線引線
699	包覆成型保護套
710	微電子總成
711	系統
713	電子組件
715	電子組件
717	電路面板
719	殼體

721	導體
723	透鏡
810	微電子封裝/封裝
812	基板
820	微電子元件
828	導電元件
828a	導電元件
828b	導電元件
832	線接合
834a	基底
834b	基底
837a	邊緣表面部分
837b	邊緣表面部分
839	頂端
844	表面
928	導電元件
934a	第一基底
934b	第二基底
937a	邊緣表面部分
937b	邊緣表面部分
939	頂端
944	主表面

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：10/115863

※申請日：10/15/3

※IPC 分類：H01L 25/04 (2006.01)

一、發明名稱：(中文/英文)

H01L 23/52 (2006.01)

具有線接合至囊封表面的疊層封裝總成

PACKAGE-ON-PACKAGE ASSEMBLY WITH WIRE BONDS TO
ENCAPSULATION SURFACE

二、中文發明摘要：

本發明揭示一種微電子總成，其包含一基板，該基板具有一第一表面及遠離該第一表面之一第二表面。一微電子元件上覆該第一表面上且第一導電元件係曝露於該第一表面及該第二表面中之一者處。該等第一導電元件中之某些第一導電元件電連接至該微電子元件。線接合具有結合至該等導電元件之基底及遠離該基板及該等基底之端表面，每一線接合界定在該基底與該端表面之間延伸的一邊緣表面。一囊封層自該第一表面延伸且填充該等線接合之間的空間以使得該等線接合藉由該囊封層分離。該等線接合之未經囊封部分係由不被該囊封層覆蓋之該等線接合之該等端表面之至少部分界定。

三、英文發明摘要：

A microelectronic assembly includes a substrate having a first surface and a second surface remote from the first surface. A microelectronic element overlies the first surface and first electrically conductive elements are exposed at one of the first surface and the second surface. Some of the first conductive elements are electrically connected to the microelectronic element. Wire bonds have bases joined to the conductive elements and end surfaces remote from the substrate and the bases, each wire bond defining an edge surface extending between the base and the end surface. An encapsulation layer extends from the first surface and fills spaces between the wire bonds such that the wire bonds are separated by the encapsulation layer. Unencapsulated portions of the wire bonds are defined by at least portions of the end surfaces of the wire bonds that are uncovered by the encapsulation layer.

七、申請專利範圍：

1. 一種微電子封裝，其包括：

一基板，其具有一第一區及一第二區，該基板具有一第一表面及遠離該第一表面之一第二表面；

至少一個微電子元件，其在該第一區內上覆該第一表面上；

第一導電元件，其等在該第二區內曝露於該基板之該第一表面及該第二表面中之至少一者處，該等第一導電元件中之至少某些第一導電元件電連接至該至少一個微電子元件；

線接合，其等具有結合至該等第一導電元件中之各別者之基底，及遠離該基板且遠離該等基底之端表面，每一線接合界定在其該基底與該端表面之間延伸的一邊緣表面，其中該等線接合中之一第一者經調適以用於攜載一第一信號電位且該等線接合中之一第二者經調適以用於同時攜載不同於該第一信號電位之一第二信號電位；

一電介質囊封層，其自該第一表面或該第二表面中之至少一者延伸且填充該等線接合之間的空間以使得該等線接合藉由該囊封層彼此分離，該囊封層上覆該基板之至少該第二區上，其中該等線接合之未經囊封部分係由不被該囊封層覆蓋之該等線接合之該等端表面之至少部分界定；及

複數個第二導電元件，其等電連接至該等線接合之該等未經囊封部分，其中該等第二導電元件不接觸該等第

一導電元件。

2. 如請求項1之微電子封裝，其進一步包括接觸該等線接合之該等未經囊封部分中之至少某些未經囊封部分之一氧化保護層。
3. 如請求項1之微電子封裝，其中毗鄰其該端表面之該等線接合中之至少一者之至少一部分係垂直於該囊封層之一表面。
4. 如請求項1之微電子封裝，其中該等第二導電元件包括結合至該等第一線接合中之至少某些第一線接合之該等端表面之複數個柱形凸塊。
5. 如請求項1之微電子封裝，其中該等線接合中之至少一者在其該基底與該未經囊封部分之間沿著一實質上筆直線延伸，且其中該實質上筆直線相對於該基板之該第一表面形成小於 90° 之一角度。
6. 如請求項1之微電子封裝，其中該基板之該第一表面沿第一橫向方向及第二橫向方向延伸，每一橫向方向係橫切於該第一表面與該第二表面之間的該基板之一厚度之一方向，且該等線接合中之至少一者之該未經囊封部分係沿該等橫向方向中之至少一者自該至少一個線接合所結合之該導電元件位移。
7. 如請求項6之微電子封裝，其中該等線接合中之至少一者包含位於其該基底與該端表面之間的一實質上彎曲部分。
8. 如請求項6之微電子封裝，其中該至少一個線接合之該

- 未經囊封部分上覆該微電子元件之一主表面上。
9. 如請求項1之微電子封裝，其中該囊封層包含在距該基板之該第一表面之一第一距離處之一主表面及在小於該第一距離之距該基板之第一表面之一第二距離處之一凹入表面，且其中該等線接合中之至少一者之該未經囊封部分在該凹入表面處不被該囊封層覆蓋。
 10. 如請求項1之微電子封裝，其中該囊封層具有自該囊封層之一表面朝向該基板延伸之形成於其中之一腔，且其中該等線接合中之一者之該未經囊封部分係安置於該腔內。
 11. 如請求項1之微電子封裝，其中該等線接合基本上由選自由銅、金、鋁及焊料組成之群組之至少一種材料組成。
 12. 如請求項1之微電子封裝，其中該等線接合中之至少一者沿著其一長度界定一縱向軸，且其中每一線接合包含沿著該縱向軸延伸之一第一材料之一內層及遠離該縱向軸且具有沿此線接合之一縱長方向延伸之一長度之一第二材料之一外層。
 13. 如請求項12之微電子封裝，其中該第一材料係銅、金、鎳及鋁中之一者，且其中該第二材料係銅、金、鎳、鋁及焊料中之一者。
 14. 如請求項1之微電子封裝，其進一步包含沿著該囊封層之該表面延伸之一重新分佈層，其中該重新分佈層包含具有毗鄰該囊封層之一主表面之一第一表面之一重新分

佈基板，該重新分佈層進一步包含：一第二表面，其遠離該第一表面；第一導電襯墊，其等曝露於該重新分佈基板之該第一表面上且與該等線接合之各別未經囊封部分對準且機械連接至該等各別未經囊封部分；及第二導電襯墊，其等曝露於電連接至該等第一導電襯墊之該基板之該第二表面上。

15. 一種微電子封裝，其包括：

一基板，其具有一第一區及一第二區，該基板具有一第一表面及遠離該第一表面之一第二表面；

至少一個微電子元件，其在該第一區內上覆該第一表面上；

導電元件，其等在該第二區內曝露於該基板之該第一表面及該第二表面中之至少一者處，該等導電元件中之至少某些導電元件電連接至該至少一個微電子元件；

複數個線接合，其等具有結合至該等導電元件中之各別者之基底，及遠離該基板且遠離該等基底之端表面，每一線接合界定在其該基底與該端表面之間延伸的一邊緣表面，其中該等線接合中之一第一者經調適以用於攜載一第一信號電位且該等線接合中之一第二者經調適以用於同時攜載不同於該第一信號電位之一第二信號電位；及

一電介質囊封層，其自該第一表面或該第二表面中之至少一者延伸且填充線接合之間的空間以使得該等線接合藉由該囊封層彼此分離，該囊封層上覆該基板之至少

該第二區上，其中該等線接合之未經囊封部分係由不被該囊封層覆蓋之毗鄰該等線接合之該等端表面之該等邊緣表面之至少部分界定，其中不被該囊封層覆蓋之該邊緣表面之該部分具有沿平行於該囊封層之表面之一方向延伸之一最長尺寸。

16. 如請求項15之微電子封裝，其中該等未經囊封部分中之至少一者係由不被該囊封層覆蓋之該端表面之至少一部分進一步界定。
17. 如請求項15之微電子封裝，其中不被該囊封層覆蓋且平行於該囊封層之該表面延伸之該邊緣表面之該部分之長度係大於該線接合之一剖面寬度。
18. 如請求項15之微電子封裝，其中該基板之該第一表面沿第一橫向方向及第二橫向方向延伸，每一橫向方向係橫切於該第一表面與該第二表面之間的該基板之一厚度之一方向，且該等線接合中之至少一者之該未經囊封部分係沿該等橫向方向中之至少一者自該至少一個線接合所結合之該導電元件位移。
19. 如請求項18之微電子封裝，其中該等線接合中之至少一者包含位於其該基底與該端表面之間的一實質上彎曲部分。
20. 如請求項18之微電子封裝，其中該至少一個線接合之該未經囊封部分上覆該微電子元件之一主表面上。
21. 如請求項15之微電子封裝，其中該囊封層包含在距該基板之該第一表面之一第一距離處之一主表面及在小於該

第一距離之距該基板之第一表面之一第二距離處之一凹入表面，且其中該等線接合中之至少一者之該未經囊封部分在該凹入表面處不被該囊封層覆蓋。

22. 如請求項15之微電子封裝，其中該囊封層具有自該囊封層之一表面朝向該基板延伸之形成於其中之一腔，且其中該等線接合中之一者之該未經囊封部分係安置於該腔內。
23. 如請求項15之微電子封裝，其中該等線接合基本上由選自由銅、金、鋁及焊料組成之群組之至少一種材料組成。
24. 如請求項15之微電子封裝，其中該等線接合中之至少一者沿著其一長度界定一縱向軸，且其中每一線接合包含沿著該縱向軸延伸之一第一材料之一內層及遠離該縱向軸且具有沿此線接合之一縱長方向延伸之一長度之一第二材料之一外層。
25. 如請求項24之微電子封裝，其中該第一材料係銅、金、鎳及鋁中之一者，且其中該第二材料係銅、金、鎳、鋁及焊料中之一者。
26. 如請求項15之微電子封裝，其進一步包含沿著該囊封層之該表面延伸之一重新分佈層，其中該重新分佈層包含具有毗鄰該囊封層之一主表面之一第一表面之一重新分佈基板，該重新分佈層進一步包含：一第二表面，其遠離該第一表面；第一導電襯墊，其等曝露於該重新分佈基板之該第一表面上且與該等線接合之各別未經囊封部

分對準且機械連接至該等各別未經囊封部分；及第二導電襯墊，其等曝露於電連接至該等第一導電襯墊之該基板之該第二表面上。

27. 一種微電子總成，其包含：

如請求項1或15之一第一微電子封裝；及

一第二微電子封裝，其包含：一基板，其具有一第一表面及一第二表面；一第二微電子元件，其安裝至該第一表面；及接觸襯墊，其等曝露於該第二表面處且電連接至該第二微電子元件；

其中該第二微電子封裝係安裝至該第一微電子封裝以使得該第二微電子封裝之該第二表面上覆該電介質囊封層之表面之至少一部分上且以使得該等接觸襯墊中之至少某些接觸襯墊電及機械連接至該等線接合之該等未經囊封部分中之至少某些未經囊封部分。

28. 一種微電子封裝，其包括：

一基板，其具有一第一區及一第二區，該基板具有一第一表面及遠離該第一表面且沿橫向方向延伸之一第二表面；

一微電子元件，其在該第一區內上覆該第一表面上，該微電子元件具有遠離該基板之一主表面；

導電元件，其等在該第二區內曝露於該基板之該第一表面處，該等導電元件中之至少某些導電元件電連接至該微電子元件；

線接合，其等具有結合至該等第一導電元件中之各別

者之基底，及遠離該基板且遠離該等基底之端表面，每一線接合界定在其該基底與該端表面之間延伸的一邊緣表面，其中該等線接合中之一第一者經調適以用於攜載一第一信號電位且該等線接合中之一第二者經調適以用於同時攜載不同於該第一信號電位之一第二信號電位；及

一電介質囊封層，其自該第一表面或該第二表面中之至少一者延伸且填充該等線接合之間的空間以使得該等線接合藉由該囊封層彼此分離，該囊封層上覆該基板之至少該第二區上，其中該等線接合之未經囊封部分係由不被該囊封層覆蓋之該等線接合之該等端表面之至少部分界定，

其中至少一個線接合之該未經囊封部分係往沿著該第一表面之至少一個橫向方向自該至少一個線接合所結合之該導電元件位移以使得其該未經囊封部分上覆該微電子元件之該主表面上。

29. 如請求項28之微電子封裝，其中該等導電元件係配置成一第一預定組態之一第一陣列，且其中該等線接合之該等未經囊封部分係配置成不同於該第一預定組態之一第二預定組態之一第二陣列。

30. 如請求項29之微電子封裝，其中該第一預定組態之特徵在於一第一間距且其中該第二組態之特徵在於細於該第一間距之一第二間距。

31. 如請求項28之微電子封裝，其中一絕緣層在該微電子元

件之至少一表面上方延伸，該絕緣層係安置於該微電子元件之該表面與具有上覆該微電子元件之該主表面上之一未經囊封部分之該至少一個線接合之間。

32. 如請求項28之微電子封裝，其中該等線接合中之各別者之複數個該等未經囊封部分上覆該微電子元件之該主表面上。

33. 一種微電子總成，其包含：

如請求項28之一第一微電子封裝；及

一第二微電子封裝，其包含：一基板，其具有一第一表面及一第二表面；一微電子元件，其附加於該第一表面上；接觸襯墊，其等曝露於該第二表面上且電連接至該微電子元件；

其中該第二微電子封裝係附加於該第一微電子封裝上以使得該第二封裝之該第二表面上覆該電介質層之表面之至少一部分上且以使得該等接觸襯墊中之至少某些接觸襯墊電及機械連接至該等線接合之該等未經囊封部分中之至少某些未經囊封部分。

34. 如請求項33之微電子總成，其中該第一微電子封裝之導電元件係配置成一第一預定組態之一第一陣列，且其中該第二微電子封裝之該等接觸襯墊係配置成不同於該第一預定組態之一第二預定組態之一第二陣列。

35. 如請求項33之微電子總成，其中該第一微電子封裝之該等線接合之該等未經囊封部分中之至少某些未經囊封部分係配置成對應於該第二預定組態之一第三陣列。

36. 如請求項33之微電子總成，其中該第一預定組態之特徵在於一第一間距，且其中該第二組態之特徵在於細於該第一間距之一第二間距。

37. 一種微電子封裝，其包括：

一基板，其具有一第一區及一第二區，該基板具有一第一表面及遠離該第一表面之一第二表面；

至少一個微電子元件，其在該第一區內上覆該第一表面上；

導電元件，其等在該第二區內曝露於該基板之該第一表面處，該等導電元件中之至少某些導電元件電連接至該至少一個微電子元件；

複數個接合元件，每一接合元件具有一第一基底、一第二基底及在該等基底之間延伸的一邊緣表面，該第一基底結合至該等導電元件中之一者，且該邊緣表面包含遠離接觸襯墊延伸至遠離該基板之該邊緣表面之一頂端之一第一部分，該邊緣表面進一步包含自該頂端延伸至該第二基底之一第二部分，該第二基底結合至該基板之一特徵，其中該等線接合中之一第一者經調適以用於攜載一第一信號電位且該等線接合中之一第二者經調適以用於同時攜載不同於該第一信號電位之一第二信號電位；及

一電介質囊封層，其自該第一表面或該第二表面中之至少一者延伸且填充該等接合元件之該第一部分與該第二部分之間及複數個接合元件之間的空間以使得該等接

合元件藉由該囊封層彼此分離，該囊封層上覆該基板之至少該第二區上，其中該等接合元件之未經囊封部分係由不被該囊封層覆蓋之包圍其頂端之該等接合元件之該等邊緣表面之至少部分界定。

38. 如請求項37之微電子封裝，其中該接合元件係一線接合。

39. 如請求項38之微電子封裝，其中該基板之該第二基底所結合之該基板之該特徵係該第一基底所結合之該導電元件。

40. 如請求項38之微電子封裝，其中該基板之該第二基底所結合之該基板之該特徵不同於該第一基底所結合之該導電元件之一各別導電元件。

41. 如請求項40之微電子封裝，其中該第二基底所結合之該導電元件不電連接至該微電子元件。

42. 如請求項37之微電子封裝，其中該接合元件係一接合帶。

43. 如請求項42之微電子封裝，其中該第一基底之一部分沿著該各別接觸襯墊之一部分延伸，且其中該第二基底所結合之該特徵係沿該各別接觸襯墊之一部分延伸之該第一基底之長度。

44. 如請求項43之微電子封裝，其中該基板之該第一表面沿第一橫向方向及第二橫向方向延伸，每一橫向方向係橫切於該第一表面與該第二表面之間的該基板之一厚度之一方向，且該等線接合中之至少一者之該未經囊封部分

係沿該等橫向方向中之至少一者自該至少一個線接合所結合之該導電元件位移。

45. 如請求項44之微電子封裝，其中該至少一個線接合之該未經囊封部分上覆該微電子元件之一主表面上。

46. 一種製作一微電子封裝之方法，其包括：

在一製程中單元上形成一電介質囊封層，該製程中單元包含：一基板，其具有一第一表面及遠離其之一第二表面，該基板之該第一表面沿橫向方向延伸；一微電子元件，其安裝至該基板之該第一表面；複數個導電元件，其等曝露於該第一表面處，該等導電元件中之至少某些導電元件電連接至該微電子元件；及線接合，其等具有結合至該等導電元件之基底及遠離該等基底之端表面，每一線接合界定在該基底與該端表面之間延伸的一邊緣表面，其中該等線接合中之一第一者經調適以用於攜載一第一信號電位且該等線接合中之一第二者經調適以用於同時攜載不同於該第一信號電位之一第二信號電位，且其中該等線接合中之至少一者之該未經囊封部分經形成以使得其該端表面沿該等橫向方向中之至少一者自該至少一個線接合所結合之該導電元件位移；

其中該囊封層經形成以便至少部分地覆蓋該第一表面及該等線接合之部分，以使得該等線接合之未經囊封部分由不被該囊封層覆蓋之其該端表面或該邊緣表面中之至少一者之一部分界定。

47. 如請求項46之方法，其中該基板係一引線框架且其中該

等導電元件係該引線框架之引線。

48. 如請求項46之方法，其中形成該囊封層包含在該第一表面及實質上所有該等線接合上方沈積一電介質材料塊且移除該電介質材料塊之一部分以顯露該線接合之部分以界定其該等未經囊封部分。
49. 如請求項48之方法，其中該等線接合中之至少一者沿結合至該等導電元件中之至少兩者中之每一者之一環路延伸，其中該電介質材料塊經沈積以便至少部分地覆蓋該第一表面及該至少一個線接合環路，且其中移除該電介質材料塊之一部分進一步包含移除該至少一個線接合環路之一部分，以便將該至少一個線接合環路隔斷成具有不被該囊封層覆蓋以形成其該等未經囊封部分之各別自由端之第一線接合及第二線接合。
50. 如請求項49之方法，其進一步包括藉由包含以下步驟形成該製程中單元之該環路：將一線之一第一端結合至該導電元件；沿遠離該第一表面之一方向拉伸該線；然後往沿著該第一表面之至少一橫線方向拉伸該線；然後將該線拉伸至該第二導電元件且將該線結合至該第二導電元件。
51. 如請求項46之方法，其中藉由自遠離該基板之一位置於該線接合上方按壓一電介質材料塊且使其與該基板之該第一表面接觸，以使得該等線接合中之該至少一者穿透該電介質材料塊而在該製程中單元上形成該囊封層。
52. 如請求項46之方法，其中該等線接合係由基本上由金、

銅、鋁或焊料組成之線製作。

53. 如請求項46之方法，其中該等第一線接合包含鋁，且其中該等線接合係藉由楔接合結合至該導電元件。
54. 如請求項46之方法，其中形成該製程中單元包含以下步驟：形成該等線接合以使得該等線接合中之至少一者包含定位於該導電元件與該至少一個線接合之該端表面之間的一實質上彎曲段。
55. 如請求項46之方法，其中該基板包含一第一區及一第二區，該微電子元件上覆該第一區上且具有遠離該基板之一主表面，其中該第一導電元件係安置於該第二區內，其中形成該製程中單元包含以下步驟：形成該等線接合以使得該等線接合中之至少一者之至少一部分在該微電子元件之該主表面上方延伸。
56. 如請求項46之方法，其中形成該囊封層之該步驟包含：形成自該囊封層之一主表面朝向該基板延伸之至少一個腔，該至少一個腔包圍該等線接合中之一者之該未經囊封部分。
57. 如請求項56之方法，其中在將一電介質囊封材料沈積至該基板上之後藉由濕式蝕刻、乾式蝕刻或雷射蝕刻該囊封材料中之至少一者來形成該至少一個腔。
58. 如請求項56之方法，其中藉由在將一電介質囊封材料沈積至該基板及該至少一個線接合上之後自該等線接合中之至少一者之一預定位置移除一犧牲材料塊之至少一部分來形成該至少一個腔。

59. 如請求項58之方法，其中形成該囊封層之該步驟經實施以使得該犧牲材料塊之一部分曝露於該囊封層之一主表面上，該犧牲材料塊之該曝露部分包圍接近其該自由端之該線接合之一部分且將該囊封層之一部分與其間隔開。
60. 如請求項58之方法，其中該等線接合中之至少一者沿著其一長度界定一縱向軸，且該犧牲材料塊之一第二部分沿著自毗鄰該基底之一位置延伸之該至少一個線接合之該縱向軸延伸且在移除該犧牲材料塊之至少一部分之該步驟之後保留。
61. 如請求項46之方法，其中該等線接合沿著其一長度界定一縱向軸，且其中該等線接合包含沿著該縱向軸延伸之一第一材料之一內層及遠離該縱向軸且沿著該線接合之該長度延伸之一第二材料之一外層。
62. 如請求項61之方法，其中該第一材料係銅且其中該第二材料係焊料。
63. 如請求項61之方法，其中在形成該囊封層之該步驟之後移除該第二材料之一部分以形成自該電介質層之一表面延伸之一腔以顯露該線接合之該內層之該邊緣表面之一部分。
64. 如請求項46之方法，其進一步包含在該等線接合中之至少一者之該未經囊封部分上形成一柱形凸塊。
65. 如請求項46之方法，其進一步包含在該等線接合中之至少一者之該未經囊封部分上沈積一焊料球。

66. 一種製作一微電子總成之方法，其包括將如請求項46之步驟所製作之一第一微電子封裝與一第二微電子封裝結合在一起，該第二微電子封裝包含一基板，該基板具有一第一表面及曝露於該基板之該第一表面處之複數個觸點，其中將該第一微電子封裝與該第二微電子封裝結合在一起包含電及機械連接該第一微電子封裝之該等線接合之該等未經囊封部分與該第二微電子封裝之該等觸點。

67. 一種製作一微電子封裝之方法，其包括：

在一製程中單元上方定位一電介質材料塊，該製程中單元包含：一基板，其具有一第一表面及遠離其之一第二表面；複數個薄導電元件，其等曝露於該第一表面處；及線接合，其等具有結合至該等薄導電元件中之各別者之基底，及遠離該基板且遠離該等基底之端表面，每一線接合界定在其該基底與該端表面之間延伸的一邊緣表面，其中該等線接合中之一第一者經調適以用於攜載一第一信號電位且該等線接合中之一第二者經調適以用於同時攜載不同於該第一信號電位之一第二信號電位；及

藉由於該線接合上方按壓該電介質材料塊以與該基板之該第一表面接觸以使得該等線接合穿透該電介質材料塊而在該製程中單元上形成一囊封層，該囊封層填充該等線接合之間的空間以使得該等線接合係藉由該囊封層彼此分離，該囊封層上覆該基板之至少該第二區上，其

中藉由使該等線接合延伸穿過該囊封層之一部分以使得該等第一線接合之部分不被該囊封層覆蓋來形成該等第一線接合之未經囊封部分。

68. 一種製作一微電子封裝之方法，其包括：

在一製程中單元上形成一電介質囊封層，該製程中單元包含：一基板，其具有一第一表面及遠離其之一第二表面；複數個薄導電元件，其等曝露於該第一表面處；及線環路，其等在一第一基底及一第二基底處結合至該等薄導電元件中之至少兩者中之各別者，該囊封層經形成以便至少部分地覆蓋該第一表面及該至少一個線環路；及

移除該囊封層之一部分及該等線環路之一部分以便將該等線環路中之每一者隔斷成對應於該第一基底及該第二基底中之一各別者且具有遠離該基板且遠離該等基底之端表面之單獨線接合，每一線接合界定在其該基底與該端表面之間延伸的一邊緣表面，該囊封層填充該等線接合之間的空間以使得該等線接合藉由該囊封層彼此分離，該等線接合具有由至少部分地不被該囊封層覆蓋之其自由端形成之未經囊封部分，其中該等線接合中之一第一者經調適以用於攜載一第一信號電位且該等線接合中之一第二者經調適以用於同時攜載不同於該第一信號電位之一第二信號電位。

69. 一種系統，其包括如請求項1及15中任一項之一微電子封裝及電連接至該微電子總成之一或多個其他電子組

件。

70. 如請求項69之系統，其進一步包括一殼體，該微電子總成及該等其他電子組件係安裝至該殼體。

八、圖式：

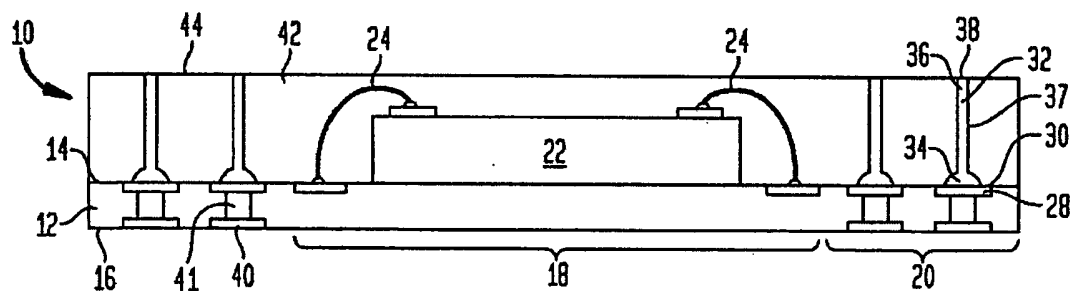


圖 1

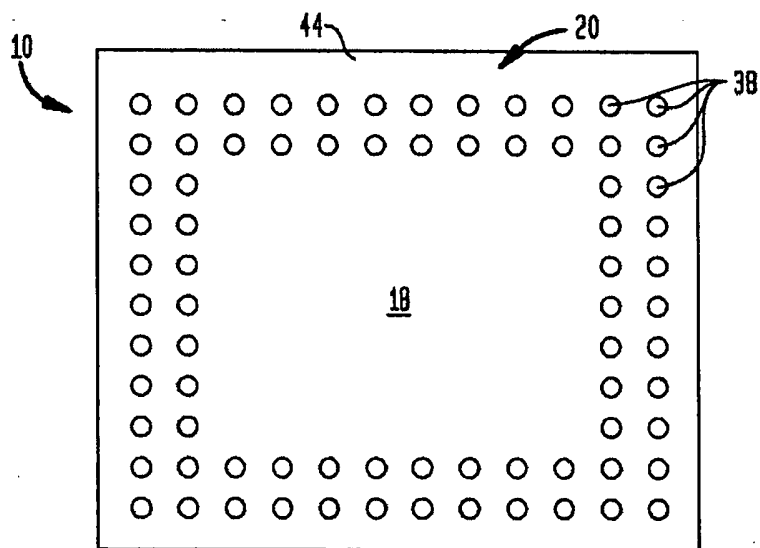


圖 2

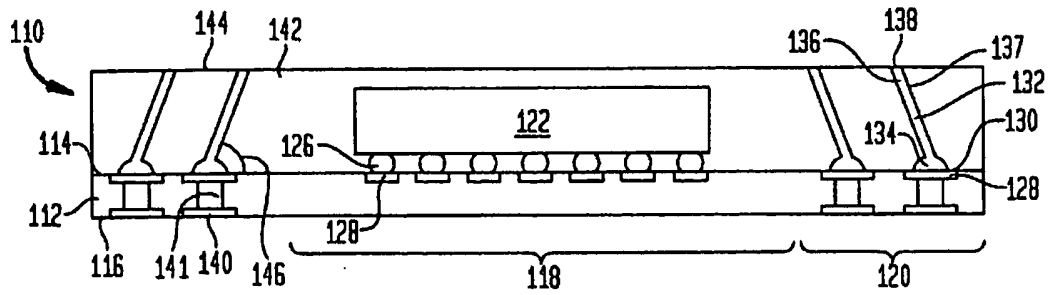


圖 3

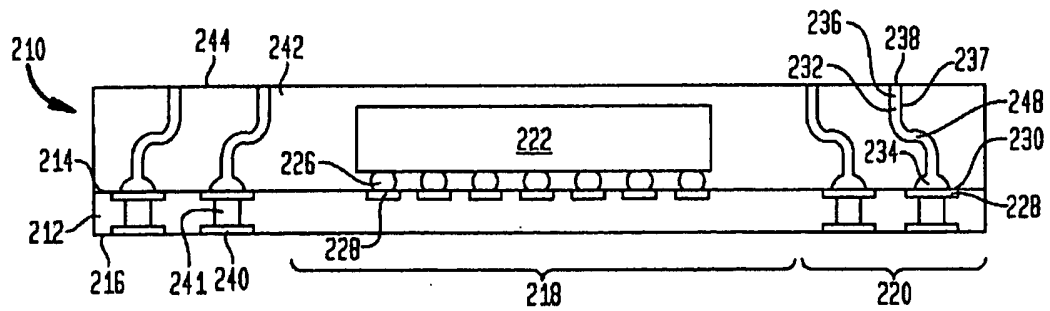


圖 4

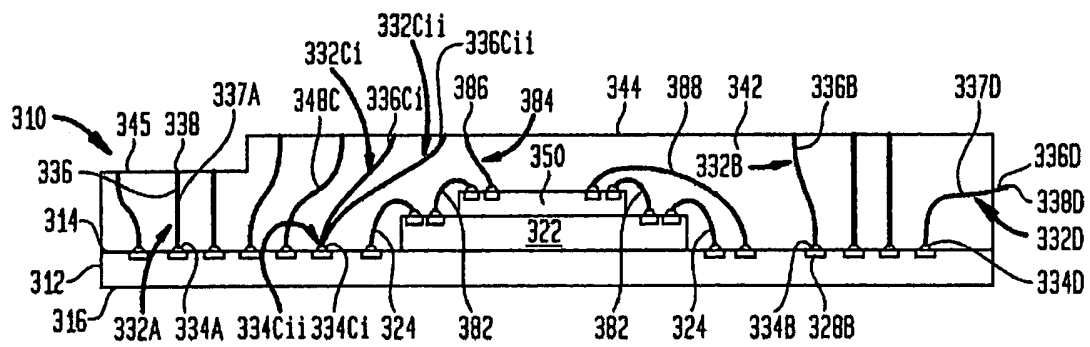


圖 5

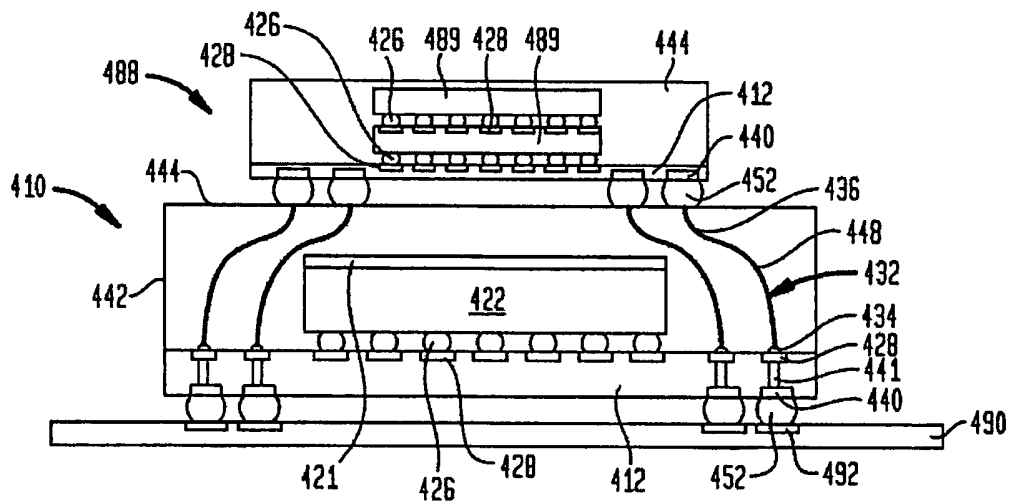


圖 6

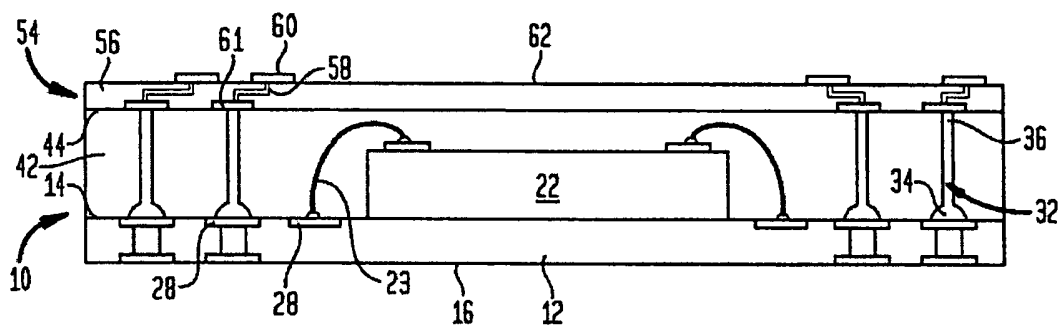


圖 7

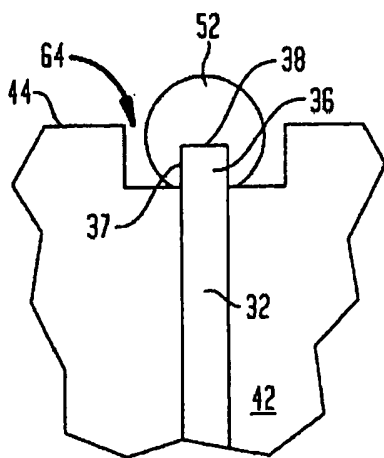


圖 8A

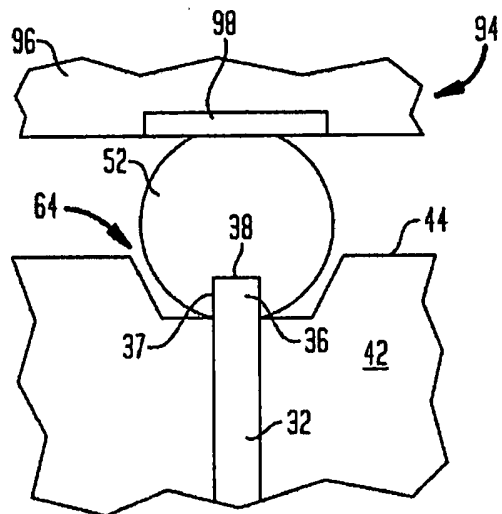


圖 8B

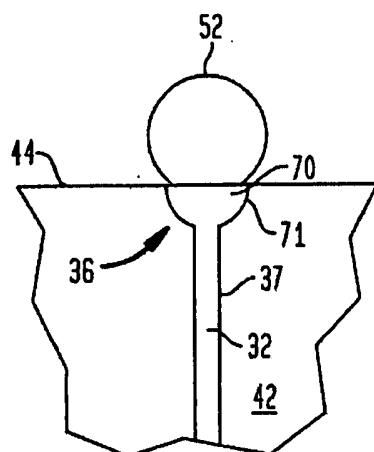


圖 8C

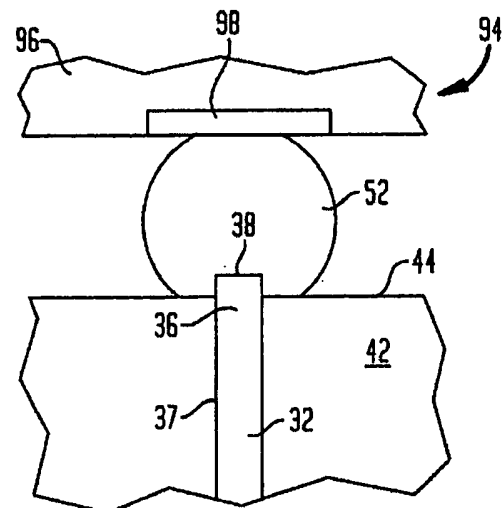


圖 8D

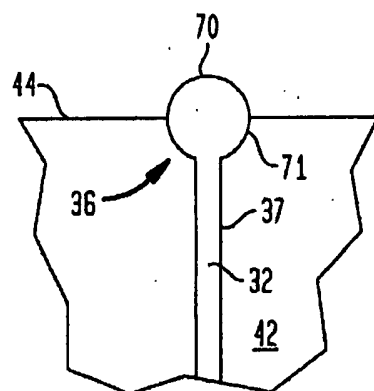


圖 8E

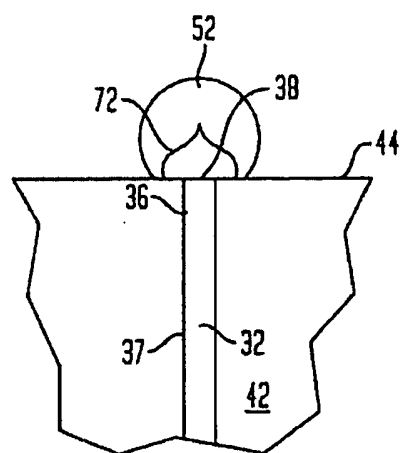


圖 9

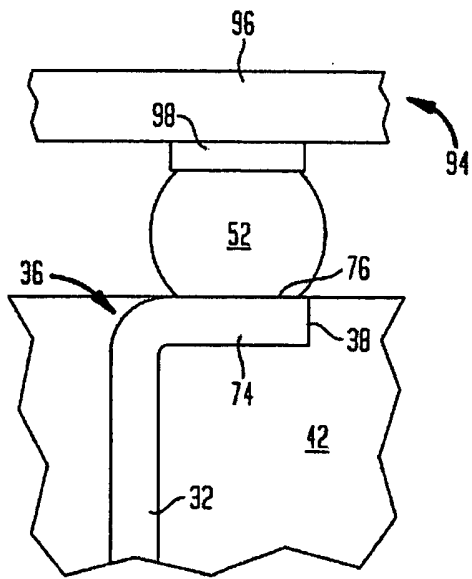


圖 10A

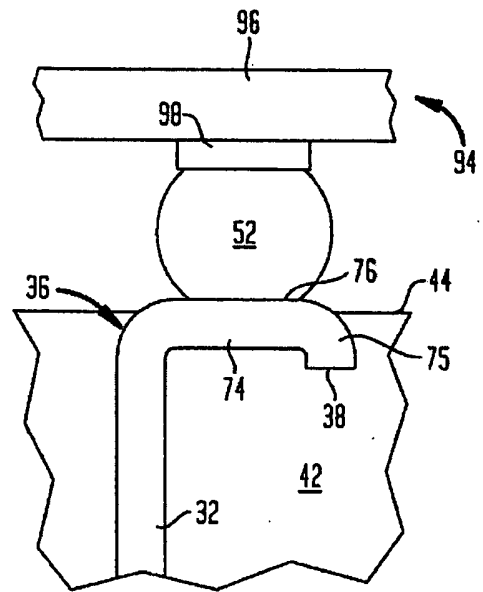


圖 10B

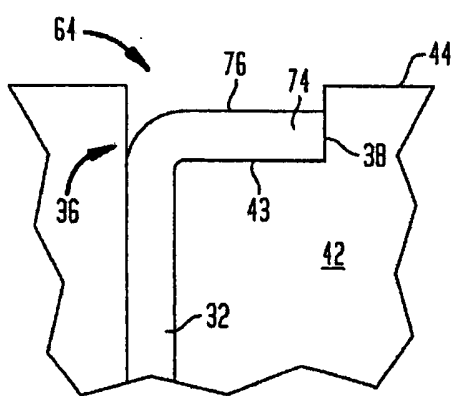


圖 10C

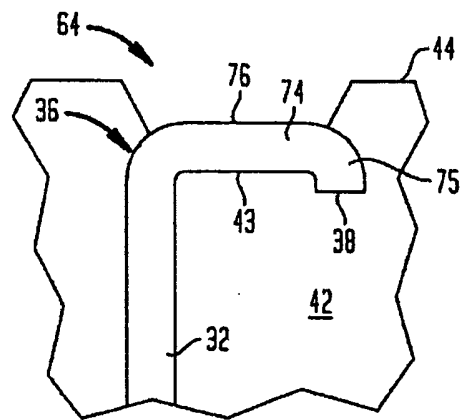


圖 10D

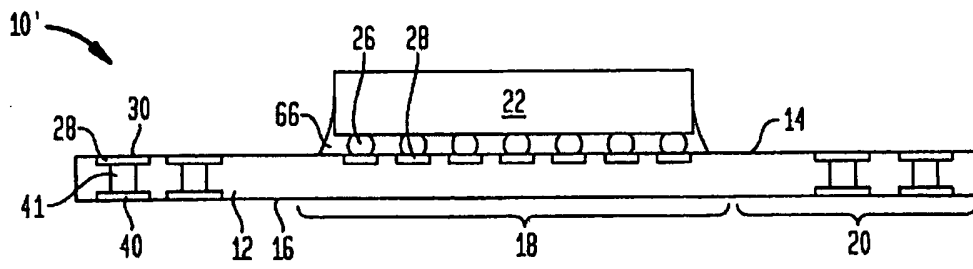


圖 11

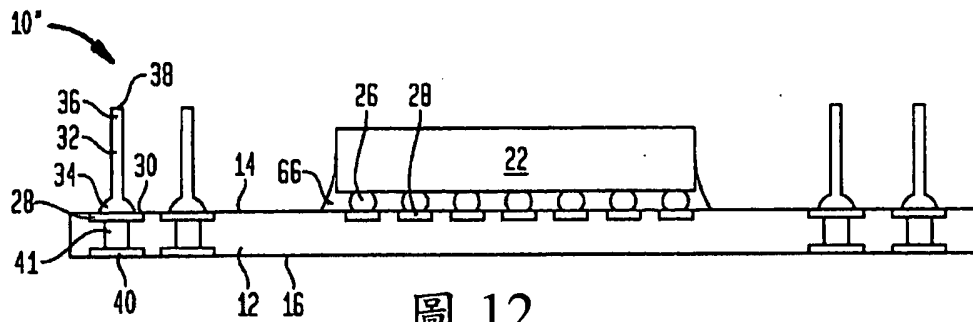


圖 12

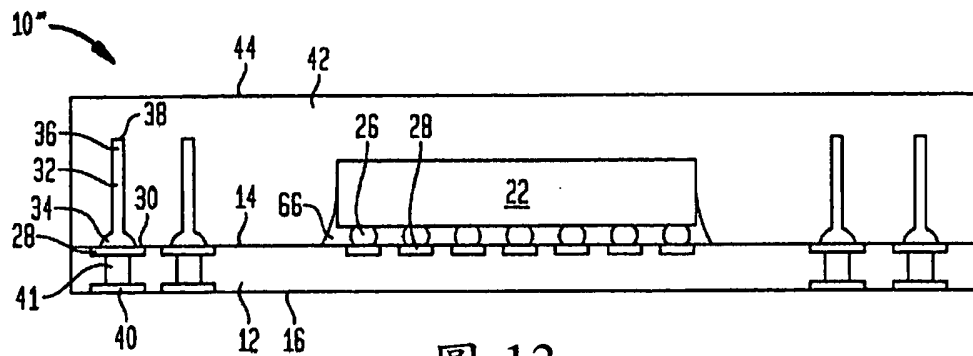


圖 13

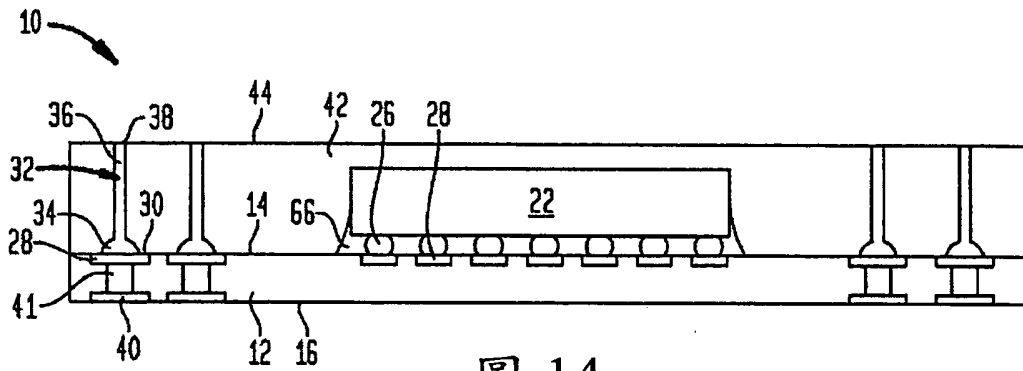


圖 14

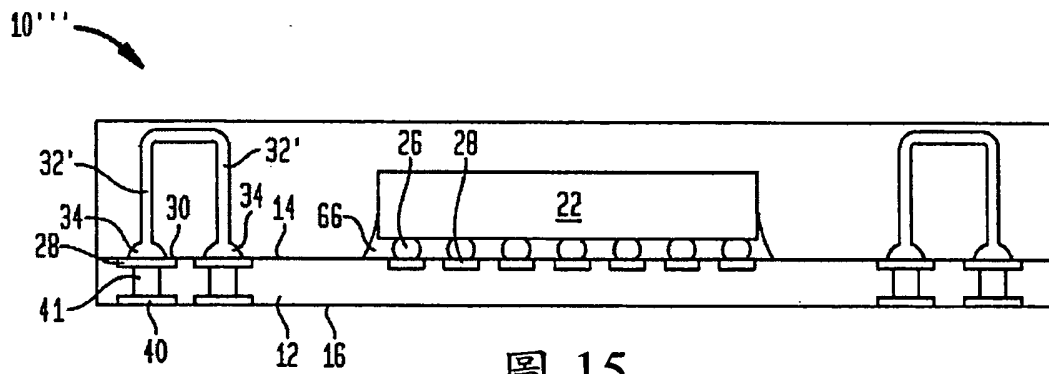


圖 15

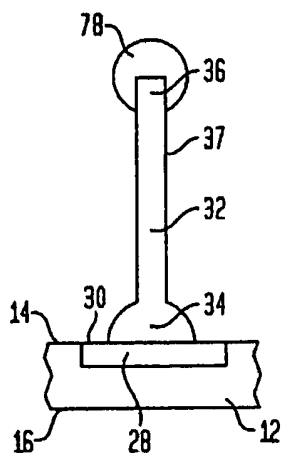


圖 16A

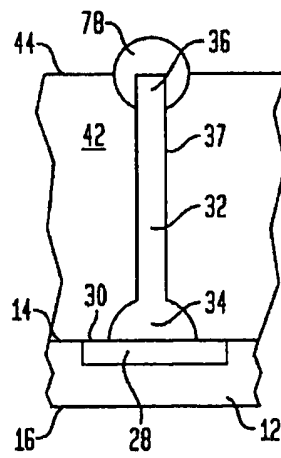


圖 16B

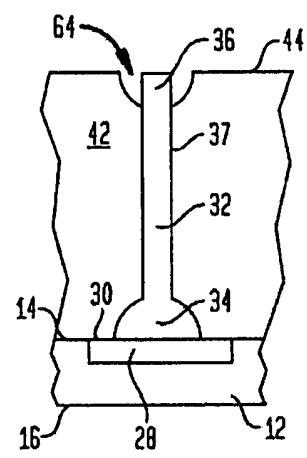


圖 16C

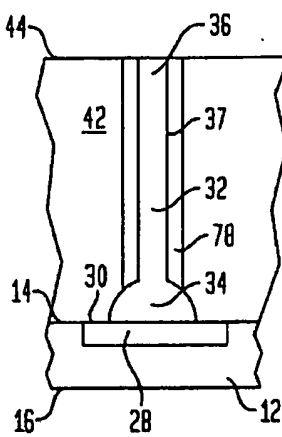


圖 17A

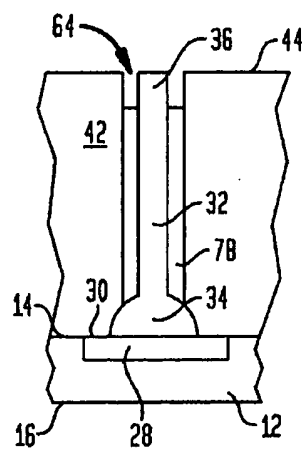


圖 17B

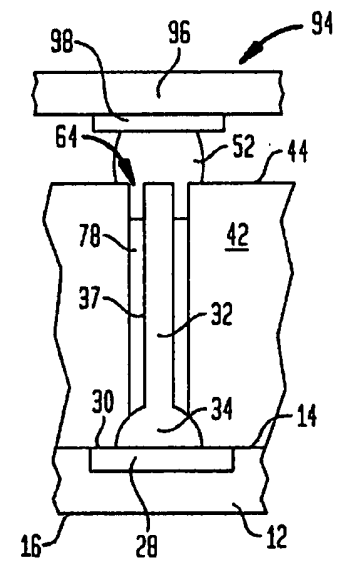


圖 17C

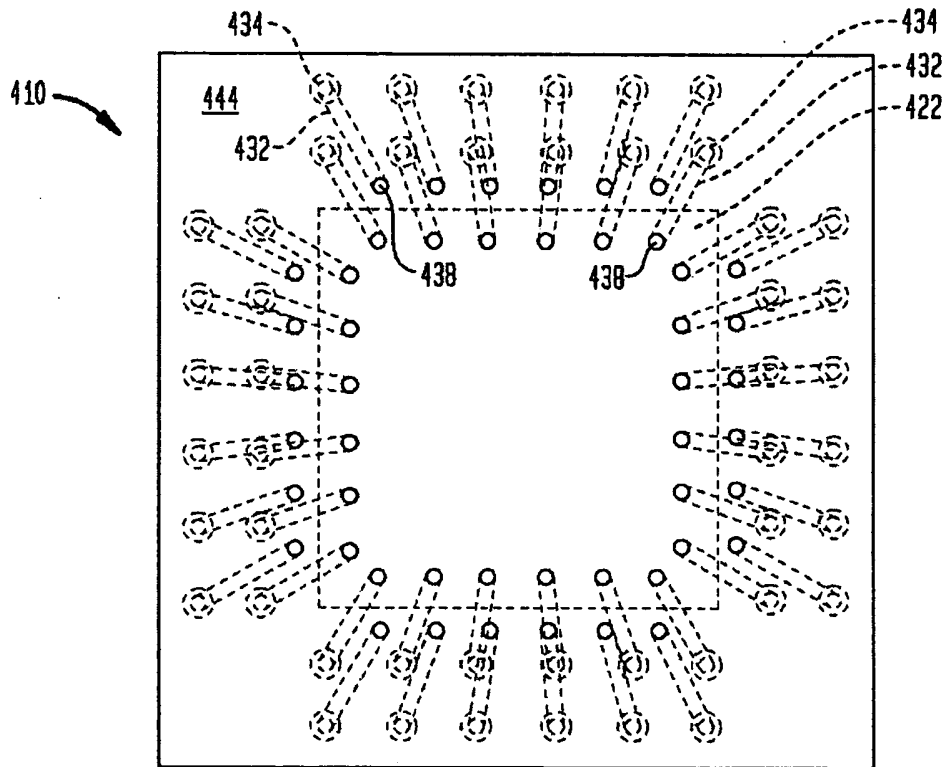


圖 18

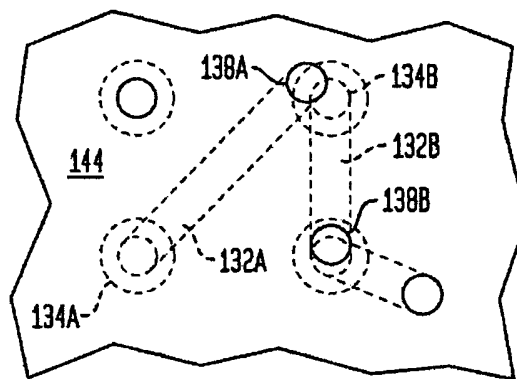


圖 19

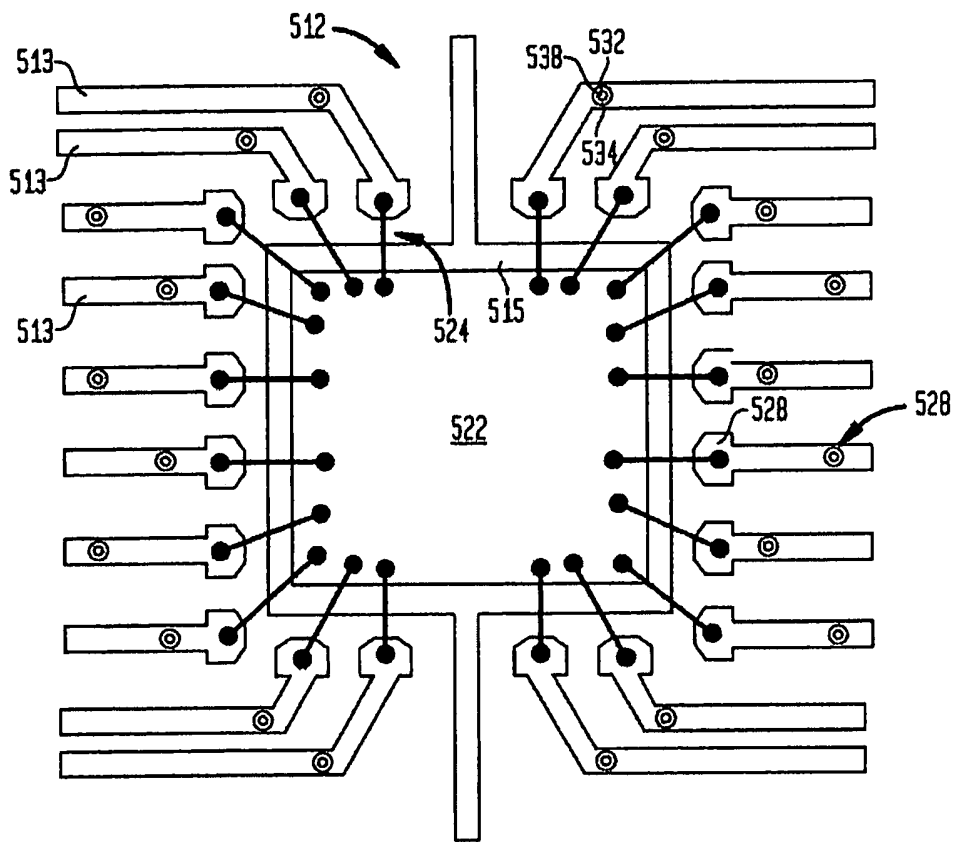


圖 20

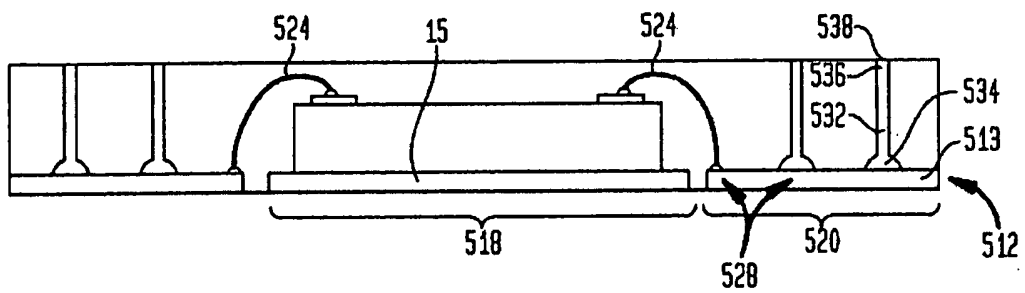


圖 21

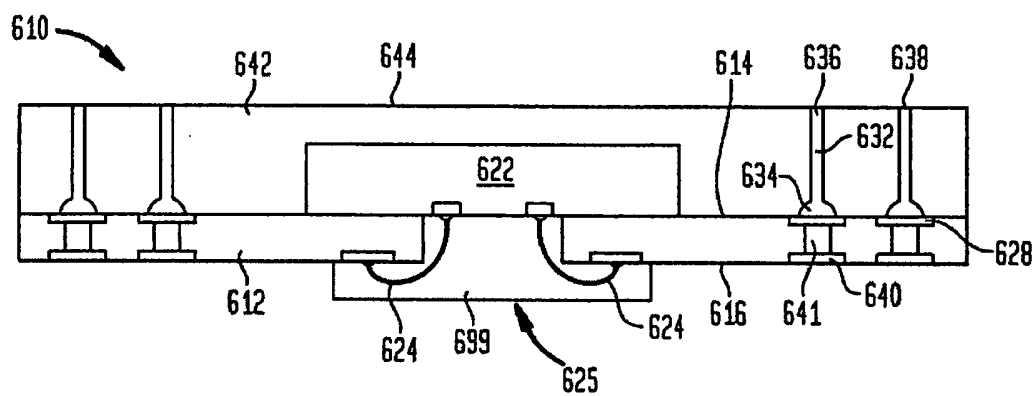


圖 22

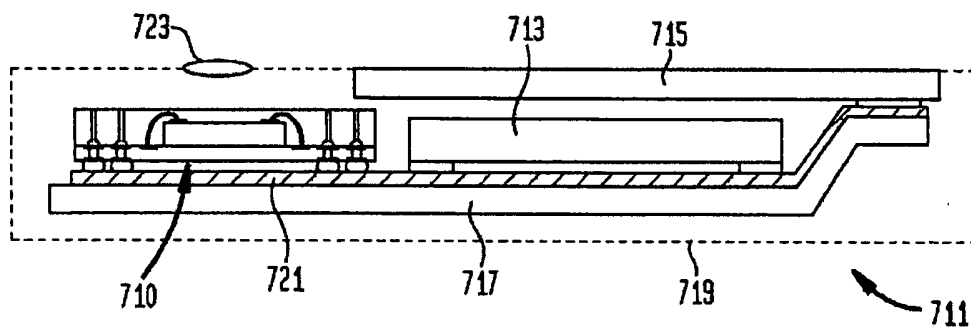


圖 23

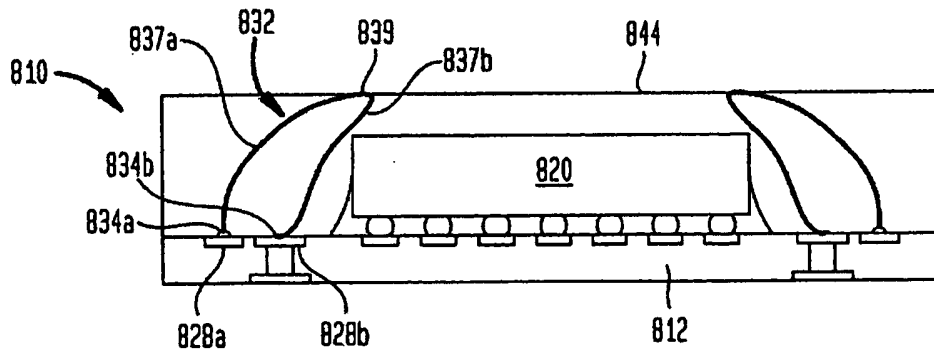


圖 24

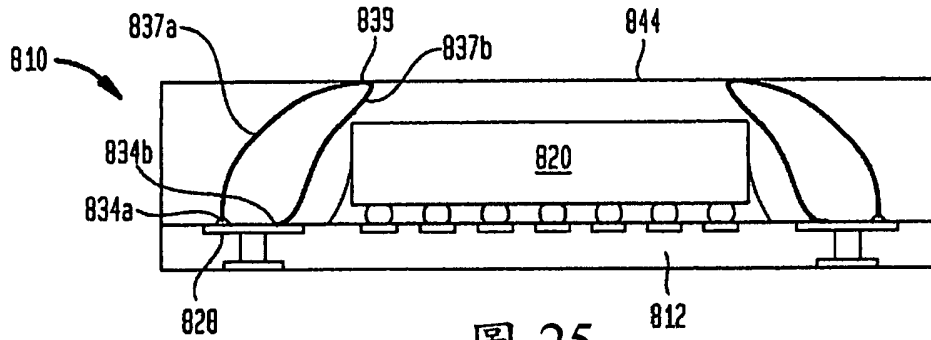


圖 25

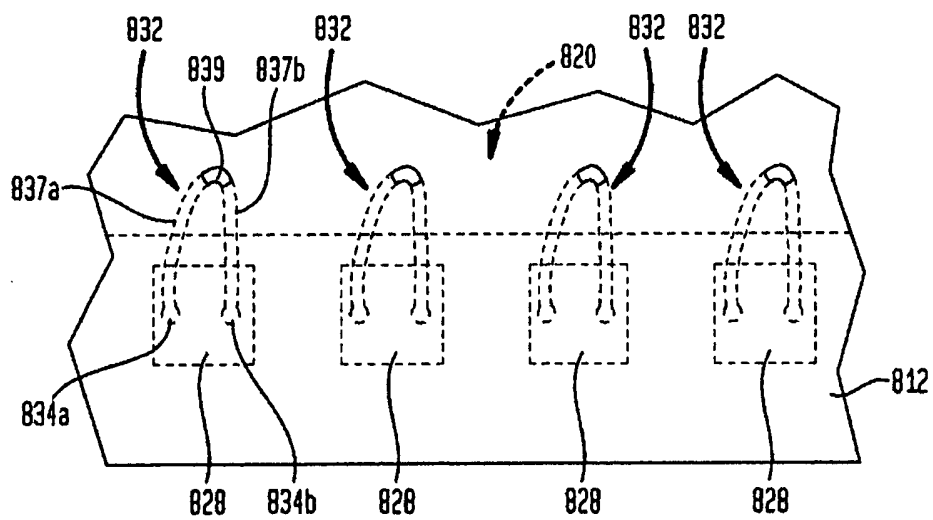


圖 26

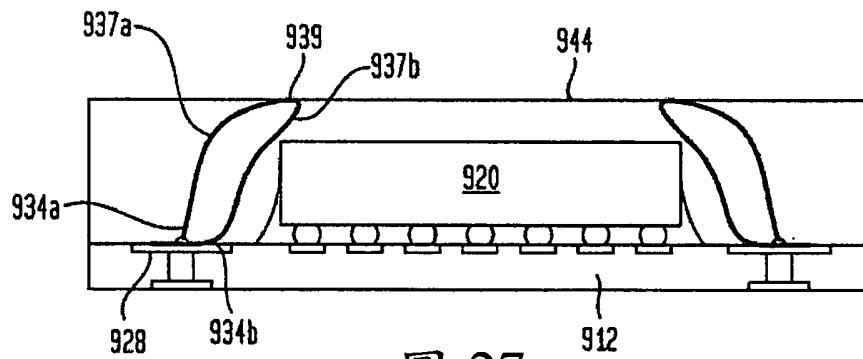


圖 27

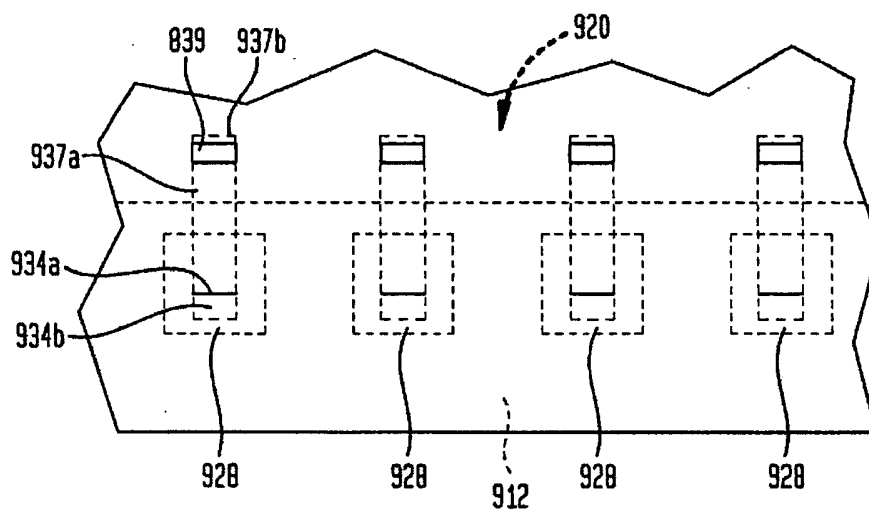


圖 28

四、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

210	微電子子總成
232	線接合
234	基底
236	端
248	彎曲部分

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)