

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 10.11.11.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 17.05.13 Bulletin 13/20.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES — FR.

72 Inventeur(s) : MANSOURI IMEN et CLERMIDY FABIEN.

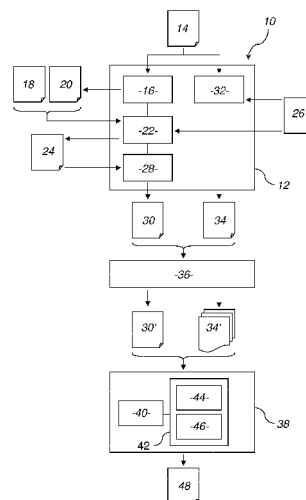
73 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES.

74 Mandataire(s) : CABINET BONNET.

54 SYSTEME ET PROCEDE DE CONCEPTION DE CIRCUIT NUMERIQUE A CAPTEUR D'ACTIVITE.

57 Ce système (10) de conception de circuit numérique comporte : un simulateur (12) d'un circuit numérique à partir d'un fichier (14) de description fonctionnelle de ce circuit numérique ; des moyens (28) d'estimation d'une grandeur de sortie (30') du circuit numérique sur exécution d'un banc de tests (26) fourni au simulateur (12) ; des compteurs (34') d'événements, les événements étant détectés à l'aide de signaux de contrôle fournis par le simulateur (12) sur exécution du banc de tests (26).

Il comporte en outre des moyens (40, 44) de sélection d'une partie des compteurs d'événements (34') par optimisation itérative d'un modèle de calcul de la grandeur de sortie (30') du circuit numérique à partir de données de sortie des compteurs d'événements, et des moyens (40, 44) d'enregistrement de la partie des compteurs d'événements sélectionnée et du modèle de calcul optimisé.



La présente invention concerne un système de conception de circuit numérique à capteur d'activité. Elle concerne également un procédé mis en œuvre par ce système et un programme d'ordinateur correspondant.

5 L'invention s'applique plus particulièrement à un système de conception de circuit numérique comportant :

- un simulateur d'un circuit numérique à partir d'un fichier de description fonctionnelle de ce circuit numérique,
- des moyens d'estimation d'une grandeur de sortie du circuit numérique sur exécution d'un banc de tests fourni au simulateur,
- 10 - des compteurs d'événements, les événements étant détectés à l'aide de signaux de contrôle fournis par le simulateur sur exécution du banc de tests.

Les compteurs d'événements constituent un capteur d'activité du circuit numérique simulé. Il est connu d'utiliser les données fournies par un tel capteur pour  
15 calculer, à l'aide d'un modèle à définir, une grandeur de sortie réelle dans le circuit telle qu'une puissance consommée, une température dégagée, etc. Ainsi, à partir d'une connaissance de valeurs successives de la grandeur de sortie données par simulation et de données fournies par les compteurs d'événements, il est connu de construire un modèle de calcul de cette grandeur de sortie par régression linéaire. Ce  
20 modèle peut ensuite être implémenté, à l'aide d'un moniteur (pour la capture d'activité réelle) et d'un calculateur (pour l'application du modèle) dans le circuit réel préalablement simulé. L'intérêt d'un tel calcul est de reporter l'activité du circuit en fonction des programmes implémentés et d'adapter l'effort du circuit dans des boucles de contrôle dynamiques. La sortie du modèle de calcul peut ainsi alimenter  
25 un système de régulation agissant sur la fréquence des blocs fonctionnels du circuit et leur tension d'alimentation pour optimiser la grandeur estimée.

Un problème apparaît dès que l'on veut appliquer un tel modèle de calcul de grandeur de sortie à un circuit numérique complexe, par exemple de type SoC (de l'anglais « System on Chip »). La surface d'un tel circuit étant généralement limitée, il  
30 devient nécessaire d'opérer une sélection sur les signaux de contrôle et donc sur les compteurs d'événements. Habituellement, la sélection se fait intuitivement en se basant sur des connaissances a priori de l'architecture. Mais cette tâche est fastidieuse et se complique avec une complexité croissante du SoC.

Par exemple, dans les brevets publiés sous les numéros US 7,590,894, US 7,269,756 et US 6,356,615, une unité de « monitoring » configurable à moindre coût est proposée pour faire cette sélection. L'idée est de connecter le plus de signaux de contrôle possibles à cette unité. Ensuite elle est configurée pour pointer les signaux dont on trace l'évolution. La configuration se fait au niveau applicatif avec des instructions prédéfinies. Plus précisément, US 7,590,894 propose d'intégrer un encodeur/décodeur pour implémenter cette logique de configuration ; US 7,269,756 utilise un registre masque avec une logique combinatoire en amont ; dans US 6,356,615, les compteurs peuvent être configurés pour surveiller des signaux et en combiner deux ou plusieurs dans le système.

Dans l'article de Peddersen et al, intitulé « CLIPPER: Counter-based low impact processor power estimation at run-time », publié dans proceedings of ASP-DAC'07, 12th Asia and South Pacific Design Automation Conference 2007, pages 890-895, 23-26 Janvier 2007, un algorithme est proposé pour une sélection de signaux basée sur une observation directe des formes des signaux et du profil de consommation. Cette approche n'est pas pratique voire inexploitable quand il s'agit de SoC spécifiques et complexes.

Il peut ainsi être souhaité de prévoir un système de conception de circuit numérique qui permette de s'affranchir d'au moins une partie des problèmes et contraintes précités.

L'invention a donc pour objet un système de conception de circuit numérique comportant :

- un simulateur d'un circuit numérique à partir d'un fichier de description fonctionnelle de ce circuit numérique,
- des moyens d'estimation d'une grandeur de sortie du circuit numérique sur exécution d'un banc de tests fourni au simulateur,
- des compteurs d'événements, les événements étant détectés à l'aide de signaux de contrôle fournis par le simulateur sur exécution du banc de tests,

comportant en outre :

- des moyens de sélection d'une partie des compteurs d'événements par optimisation itérative d'un modèle de calcul de la grandeur de sortie du circuit numérique à partir de données de sortie des compteurs d'événements, et

- des moyens d'enregistrement de la partie des compteurs d'événements sélectionnée et du modèle de calcul optimisé.

En combinant de manière itérative une optimisation progressive du modèle de calcul avec une sélection elle-même progressive des compteurs d'événements participant finalement au modèle, il devient possible d'opérer une sélection efficace et automatique des compteurs, même à partir d'un grand nombre initial de compteurs d'événements potentiellement candidats. De plus, comme pour toute optimisation itérative, un critère d'arrêt peut être choisi pour limiter plus ou moins le nombre de compteurs retenus. Ainsi, à partir du moment où un circuit numérique peut être simulé sur la base d'un fichier de description fonctionnelle, même s'il est complexe ou non usuel et du type SoC, il devient possible de dimensionner son capteur d'activité en amont de sa fabrication pour la production de circuits aptes à calculer eux-mêmes leur propre grandeur de sortie (consommation, température, etc.).

De façon optionnelle, les moyens d'estimation d'une grandeur de sortie du circuit numérique comportent un simulateur de consommation conçu pour fournir un profil de puissance consommée à chaque instant par le circuit numérique simulé sur exécution du banc de tests.

L'invention a également pour objet un procédé de conception de circuit numérique comportant les étapes consistant à :

- simuler le fonctionnement d'un circuit numérique à partir d'un fichier de description fonctionnelle de ce circuit numérique,
- estimer une grandeur de sortie du circuit numérique sur exécution d'un banc de tests fourni en entrée de la simulation,
- compter des événements détectés à l'aide de signaux de contrôle fournis par la simulation sur exécution du banc de tests,

comportant en outre les étapes consistant à :

- sélectionner une partie des événements comptés par optimisation itérative d'un modèle de calcul de la grandeur de sortie du circuit numérique à partir de données de comptage des événements, et
- enregistrer la partie des événements comptés sélectionnée et le modèle de calcul optimisé.

De façon optionnelle, avant l'étape de sélection, la grandeur de sortie estimée et les données de sortie de compteurs d'événements sont synchronisées par échantillonnage de leurs valeurs selon une même période prédéterminée.

De façon optionnelle également, avant l'étape de sélection, une partie des événements comptés est présélectionnée en ne retenant que les événements comptés à l'aide de signaux ayant un nombre de bits inférieur à une limite prédéterminée et/ou en ne retenant que les événements comptés à l'aide de signaux indépendants entre eux, cette indépendance étant mesurée par intercorrélation.

De façon optionnelle également, l'étape de sélection est réalisée conformément à une méthode de régression pas à pas.

De façon optionnelle également, la méthode de régression pas à pas comporte une régression linéaire, le modèle de calcul à optimiser étant une combinaison linéaire de données de comptage d'événements et d'une constante de régression.

De façon optionnelle également, la méthode de régression pas à pas comporte :

- une première étape de sélection d'un premier événement compté, par calcul de corrélations entre les valeurs des données de comptage de chaque événement et les valeurs de la grandeur de sortie estimée et par sélection de l'événement compté présentant la corrélation la plus élevée,
- une deuxième étape d'intégration du premier événement compté sélectionné dans le modèle de calcul par minimisation des moindres carrés.

De façon optionnelle également, suite aux première et deuxième étapes de sélection et d'intégration du premier événement compté, la méthode de régression pas à pas comporte la boucle d'étapes suivantes exécutée au moins une fois :

- sélection d'un nouvel événement compté, par calcul de corrélations partielles entre les valeurs des données de comptage de chaque événement non encore intégré au modèle et les valeurs de la grandeur de sortie estimée en neutralisant tout événement compté déjà intégré au modèle et par sélection de l'événement compté optimisant un test de significativité relatif à sa corrélation partielle,
- si le test de significativité fournit une valeur de probabilité de première espèce inférieure à une première valeur seuil prédéterminée :
  - mise à jour des corrélations partielles de tout événement compté déjà intégré au modèle en neutralisant tout autre événement compté déjà intégré au modèle et le nouvel événement compté sélectionné puis sortie du modèle de tout événement compté dont le test de

significativité relatif à la corrélation partielle mise à jour est supérieur à une seconde valeur seuil prédéterminée, et

- intégration du nouvel événement compté sélectionné dans le modèle de calcul par minimisation des moindres carrés, cette intégration comportant en outre une mise à jour d'un coefficient de détermination ajusté  $R^2$  du modèle de calcul,
- 5
- sortir de la boucle d'étapes :
- si le test de significativité du nouvel événement compté sélectionné est supérieur à la première valeur seuil, en conservant le dernier modèle obtenu par minimisation des moindres carrés comme modèle optimal,
- 10
- ou
  - si la mise à jour du coefficient de détermination ajusté  $R^2$  conduit à une baisse de sa valeur, en conservant l'avant dernier modèle obtenu par minimisation des moindres carrés comme modèle optimal.

15 Enfin, l'invention a également pour objet un programme d'ordinateur téléchargeable depuis un réseau de communication et/ou enregistré sur un support lisible par ordinateur et/ou exécutable par un processeur, comprenant des instructions pour l'exécution des étapes d'un procédé de conception de circuit numérique selon l'invention, lorsque ledit programme est exécuté sur un ordinateur.

20 L'invention sera mieux comprise à l'aide de la description qui va suivre, donnée uniquement à titre d'exemple et faite en se référant aux dessins annexés dans lesquels :

- la figure 1 représente schématiquement la structure générale d'un système de conception de circuit numérique selon un mode de réalisation de l'invention,
- 25
- la figure 2 illustre les étapes successives d'un premier procédé mis en œuvre par le système de la figure 1 pour sélectionner des compteurs d'événements de circuit numérique,
  - la figure 3 représente schématiquement la structure générale d'un circuit numérique conçu pour utiliser un modèle de calcul de grandeur de sortie fourni par exécution du procédé de sélection de la figure 2,
- 30
- la figure 4 illustre les étapes successives d'un second procédé mis en œuvre par le système de la figure 1 pour construire un modèle de calcul d'une grandeur de sortie de circuit numérique à partir de compteurs d'événements déjà sélectionnés, et
- 35

- la figure 5 représente schématiquement la structure générale d'un circuit numérique conçu pour utiliser le modèle de calcul de grandeur de sortie fourni par exécution du procédé de construction de la figure 4.

La description qui va suivre comporte deux parties distinctes, indépendantes l'une de l'autre bien que pouvant être avantageusement combinées.

La première partie concerne un système et un procédé de conception de circuit numérique comportant une sélection de compteurs d'événements dont les sorties sont destinées à alimenter un modèle de calcul d'une grandeur de sortie d'un circuit numérique. Cette sélection se fait par une simulation du fonctionnement du circuit numérique sur la base d'un banc de tests et sur un critère d'optimisation d'un modèle de calcul prédéterminé. La première partie concerne également un circuit numérique utilisant le modèle de calcul optimisé pendant la sélection des compteurs d'événements pour estimer cette grandeur de sortie sans avoir besoin de la mesurer directement.

La seconde partie concerne un système et un procédé de conception de circuit numérique comportant la construction d'un modèle de calcul d'une grandeur de sortie d'un circuit numérique, ainsi qu'un circuit numérique utilisant un tel modèle de calcul pour estimer cette grandeur de sortie sans avoir besoin de la mesurer directement.

La première partie est indépendante de la seconde dans le sens où il n'est pas indispensable de construire un modèle de calcul après avoir sélectionné les compteurs d'événements : le modèle de calcul prédéterminé tel qu'optimisé en fin de première partie peut en effet suffire. La seconde partie est indépendante de la première dans le sens où la construction du modèle ne suppose pas nécessairement une sélection préalable des compteurs d'événements telle que réalisée dans la première partie : il suffit que des compteurs d'événements prédéterminés soient fournis en entrée de cette seconde partie, quelle que soit la méthode employée pour leur sélection, pour que le modèle de calcul soit construit sur la base de ces compteurs. Cependant, les deux parties peuvent être avantageusement combinées dans le sens où, après avoir sélectionné des compteurs d'événements sur la base d'un premier modèle prédéterminé et optimisable pendant la sélection, un second modèle, indépendant et différent du premier, peut être ensuite construit sur la base de ces compteurs sélectionnés. Ces opérations combinées sont réalisées par un système complet de conception de circuit numérique.

La grandeur de sortie du circuit numérique dont le calcul est souhaité est par exemple la puissance consommée à chaque instant par ce circuit. C'est cet exemple qui va être pris dans la suite de la description, mais l'invention s'applique au calcul d'autres grandeurs de sortie telles que la quantité de chaleur émise par le circuit à chaque instant ou sa température.

5

### **Première partie : sélection des compteurs d'événements par simulation du circuit numérique**

Le système 10 de conception de circuit numérique représenté sur la figure 1 comporte un simulateur 12 d'un circuit numérique à partir d'un fichier 14 de description fonctionnelle de ce circuit numérique. Le fichier 14 est plus précisément un fichier de description des blocs fonctionnels constituant le circuit numérique, par exemple conforme au format VHDL (de l'anglais « Very high speed integrated circuit Hardware Description Language »), en particulier écrit en langage synthétisable RTL (de l'anglais « Register Transfer Level »).

10

15

Le simulateur 12 comporte tout d'abord un synthétiseur hiérarchique 16 apte à créer deux fichiers de description structurelle 18 et 20 à partir du fichier de description fonctionnelle 14. Ce synthétiseur hiérarchique est par exemple l'outil Design Compiler (marque déposée). Le premier fichier de description structurelle 18 fourni par le synthétiseur hiérarchique 16 est un fichier de description des portes et connexions entre blocs fonctionnels du circuit numérique. Le second fichier de description structurelle 20 fourni par le synthétiseur hiérarchique 16, par exemple au format SDF (de l'anglais « Standard Delay Format »), est un fichier de description des délais de propagation entre les portes des blocs fonctionnels.

20

25

Le simulateur 12 comporte en outre un simulateur post-synthèse 22 apte à fournir un fichier 24 de compte-rendu d'activité, par exemple au format VCD (de l'anglais « Value Change Dump »), à partir des deux fichiers de description structurelle 18, 20 et d'un fichier 26 de banc de tests. Ce fichier 24 de compte-rendu d'activité rend plus précisément compte de l'activité de commutation des portes définies dans le premier fichier de description structurelle 18 sur exécution du banc de tests 26.

30

Le simulateur 12 comporte par ailleurs un simulateur 28 de sortie d'une grandeur prédéterminée. Dans cet exemple, ce simulateur 28 est un simulateur de consommation, par exemple l'outil PrimePower (marque déposée) conçu pour fournir, à partir du fichier 24 de compte-rendu d'activité, un fichier 30 de profil de la puissance consommée à chaque instant par le circuit numérique simulé sur

35

exécution du banc de tests 26. Si d'autres grandeurs de sortie doivent être estimées (échanges thermiques, température du circuit, ...), il convient simplement d'adapter le simulateur 28 en conséquence.

Enfin, le simulateur 12 comporte un simulateur fonctionnel 32 apte à fournir  
5 un fichier 34 d'événements détectés à l'aide de signaux de contrôle fournis par des détecteurs d'événements simulés. On définit un événement portant sur un signal de contrôle, que ce signal soit binaire ou codé sur plusieurs bits, par tout passage d'un niveau à un autre dans les valeurs que peut prendre ce signal de contrôle. Il y a donc a priori autant d'événements à compter que de signaux de contrôle, ceux-ci pouvant  
10 être captés à chaque porte ou à chaque extrémité de connexion des blocs fonctionnels du circuit numérique. Les événements sont enregistrés avec une précision de delta cycle sur exécution du banc de tests 26.

Le fichier 30 de profil de puissance consommée et le fichier 34 d'événements sont fournis, en sortie du simulateur 12, à une interface 36 du système 10 de  
15 conception de circuit numérique dont la fonction principale est de synchroniser les données de ces deux fichiers, de manière à mettre en correspondance les événements détectés et l'information de puissance consommée à chaque instant, et dont une fonction optionnelle est de présélectionner les événements. La présélection consiste dans un premier temps à identifier réellement les signaux de contrôle : seuls  
20 les signaux ayant un nombre de bits inférieur à une certaine limite sont retenus, de manière à rejeter ainsi les bus de données et d'adresses. Elle consiste dans un deuxième temps à ne conserver que des signaux de contrôle indépendants. Ainsi, les signaux dupliqués, identiques mais décalés (par exemple les signaux d'entrée et de sortie d'une bascule), opposés, fournis en entrées d'amplificateurs, ... sont éliminés.  
25 Plus généralement, une intercorrélation entre signaux de contrôle peut être calculée par l'interface 36 pour ne présélectionner que ceux qui sont réellement indépendants.

Un fichier 30' de profil synchronisé de puissance consommée et une pluralité  
34' de fichiers d'événements synchronisés et présélectionnés (par exemple un fichier par événement) sont fournis en sortie de l'interface 36. Les fichiers 34' forment ainsi  
30 des compteurs d'événements.

Le système 10 de conception de circuit numérique comporte en outre un module de sélection et modélisation 38. Sa première fonction est de sélectionner une partie des compteurs d'événements 34' fournis par l'interface par optimisation itérative d'un modèle de calcul de la puissance consommée du circuit numérique à  
35 partir de données de sortie des compteurs d'événements. Sa seconde fonction est de

construire un modèle de calcul de la puissance consommée du circuit numérique permettant d'estimer cette consommation sans avoir besoin de la mesurer. La première fonction fait l'objet de cette première partie. La seconde fonction sera détaillée en seconde partie.

5 Ce module de sélection et modélisation 38 est par exemple mis en œuvre dans un dispositif informatique tel qu'un ordinateur classique comportant un processeur 40 associé à une ou plusieurs mémoire(s) identifiée(s) par la référence générique 42. La mémoire 42 stocke un ou plusieurs programmes d'ordinateurs 44, 46 constitués de séquences d'instructions permettant, lorsqu'elles sont exécutées par  
10 le processeur 40, de réaliser les actions suivantes :

- sélectionner une partie des événements comptés, par optimisation itérative d'un modèle de calcul de la puissance consommée du circuit numérique à partir des données de comptage des événements (programme 44),
- construire un modèle de calcul de la puissance consommée du circuit  
15 numérique apte à estimer cette consommation à partir des données de comptage sélectionnées (programme 46).

On notera par ailleurs que les programmes d'ordinateurs 44, 46 sont présentés comme distincts, mais cette distinction est purement fonctionnelle. Ils pourraient tout aussi bien être regroupés en un ou plusieurs logiciels. Leurs fonctions  
20 pourraient aussi être au moins en partie micro programmées ou micro câblées dans des circuits intégrés dédiés. Ainsi, en variante, le dispositif informatique mettant en œuvre le module de sélection et modélisation 38 pourrait être remplacé par un dispositif électronique composé uniquement de circuits numériques (sans programme d'ordinateur) pour la réalisation des mêmes actions.

25 On notera aussi que le simulateur 12 et l'interface 36 peuvent être mis en œuvre par ordinateur de sorte que l'ensemble du système de conception de circuit numérique 10 peut être mis en œuvre dans un dispositif informatique à processeur et moyens de stockage communs.

Le module de sélection et modélisation 38 fournit en sortie un enregistrement  
30 de la partie des compteurs d'événements sélectionnée et du modèle de calcul optimisé. Cet enregistrement est par exemple fourni sous la forme d'un fichier 48 exploitable lors de la fabrication du circuit numérique qui a été simulé.

Le système 10 de conception de circuit numérique met en œuvre un procédé tel que celui illustré sur la figure 2.

Au cours d'une première étape 100 de ce procédé, sur activation du simulateur hiérarchique 16, les deux fichiers de description structurelle 18 et 20 sont fournis à partir du fichier de description fonctionnelle 14 d'un circuit numérique donné.

5            Au cours d'une étape suivante 102, sur activation du simulateur post-synthèse 22, le fichier 24 de compte-rendu d'activité est fourni à partir des deux fichiers de description structurelle 18, 20 et du fichier 26 de banc de tests.

          Au cours d'une étape suivante 104, sur activation du simulateur de consommation 28, le fichier 30 de profil de la puissance consommée à chaque  
10 instant par le circuit numérique simulé est fourni à partir du fichier 24 de compte-rendu d'activité.

          Parallèlement aux étapes 100, 102 et 104, au cours d'une étape 106, sur activation du simulateur fonctionnel 32, le fichier 34 d'événements est fourni à partir du fichier de description fonctionnelle 14 et du fichier 26 de banc de tests.

15            Suite aux étapes 100, 102, 104 et 106, on passe à une étape 108 au cours de laquelle, sur activation de l'interface 36, une présélection des événements est éventuellement réalisée, pour la fourniture d'une pluralité de fichiers formant compteurs d'événements, et une synchronisation de cette pluralité de fichiers avec le  
20 fichier 30 de profil de puissance consommée est réalisée pour fournir les fichiers 30' et 34'. A cette occasion, une période d'échantillonnage T est définie pour diviser le profil de puissance consommée en une série de puissances consommées échantillonnées, chaque valeur de cette série étant la moyenne des puissances instantanées simulées dans la fenêtre de durée T correspondante. Les compteurs d'événements présélectionnés sont également échantillonnés selon cette même  
25 période T : pour chaque compteur d'événement présélectionné, une série de données de comptage est engendrée, chaque valeur de cette série étant le nombre d'événements correspondants comptés dans la fenêtre de durée T correspondante.

          Ensuite un procédé 110 de sélection d'une partie des compteurs d'événements 34' est mis en œuvre grâce à une exécution du programme 44 par le  
30 processeur 40.

          Ce procédé de sélection 110 est réalisé conformément à une méthode de régression pas à pas sur la base d'un modèle prédéterminé de calcul de la puissance consommée par le circuit numérique à l'aide d'une partie des compteurs d'événements présélectionnés. Le modèle de calcul est par exemple linéaire, du  
35 type :

$$P_T = c + \alpha_1 \cdot N_{C_1} + \dots + \alpha_i \cdot N_{C_i} + \dots + \alpha_n \cdot N_{C_n},$$

où :

$\{C_i\}_{i=1,n}$  est l'ensemble des compteurs d'événements participant au modèle de calcul, n caractérisant la complexité du modèle,

5  $N_{C_i}$  est le nombre d'événements comptés par le compteur d'événements  $C_i$  dans une fenêtre de durée T,

$P_T$  est la puissance moyenne consommée dans cette même fenêtre de durée T, telle qu'elle peut être déduite des valeurs  $N_{C_i}$  par le modèle de calcul,

10  $c$  est la constante de régression du modèle, englobant la puissance statique du circuit numérique et un terme correctif du modèle,

$\alpha_i$  est le coefficient quantifiant la consommation partielle du circuit intégré due à l'activité détectée par le compteur d'événements  $C_i$ .

La constante de régression et les coefficients  $\alpha_i$  sont déterminés de façon itérative par optimisation du modèle de calcul au cours de l'exécution du procédé de  
15 sélection 110, comme cela va maintenant être détaillé.

Ainsi, au cours d'une étape 112, une corrélation est calculée entre chaque série  $(N_{C_i})$  et la série  $(P_T)$  de puissances consommées échantillonnées. La série  $(N_{C_i})$  présentant la corrélation la plus élevée est sélectionnée lors de cette étape et le compteur d'événements correspondant est intégré au modèle de calcul.

20 Ensuite, au cours d'une étape 114, une première version notée MOD(1) du modèle de calcul de la puissance consommée, ne dépendant que de  $(N_{C_i})$ , est estimée par détermination de la constante de régression  $c$  et du coefficient  $\alpha_1$  correspondant au compteur d'événements intégré au modèle. Cette estimation est réalisée de façon connue en soi par une méthode de minimisation des moindres  
25 carrés. Au cours de cette étape également, le coefficient de détermination ajusté  $R^2$  du modèle MOD(1) est calculé. Ce coefficient  $R^2$  est compris entre 0 et 1. Il permet de juger la qualité de l'ajustement du modèle MOD(1) aux mesures (i.e. les séries  $(N_{C_i})$  et  $(P_T)$ ). Il s'agit du rapport entre la quantité d'information expliquée par le modèle et le résidu d'erreur associé pondéré par la complexité du modèle. Il  
30 augmente tant que l'augmentation de complexité du modèle se justifie par une augmentation suffisante de sa qualité et baisse sinon.

L'étape 116 suivante initialise une valeur de compteur d'itérations  $k$  à 2, puis, au cours d'une étape 118, une corrélation partielle est calculée entre chaque série  $(N_{C_i})$  non encore intégrée au modèle MOD( $k-1$ ) et la série  $(P_T)$  de puissances consommées échantillonnées. Ces corrélations partielles sont calculées en neutralisant les séries déjà intégrées au modèle MOD( $k-1$ ). Elles sont ensuite soumises, de façon classique, à un test de significativité fournissant une « valeur p » (de l'anglais « p-value ») pour chaque corrélation partielle. Cette valeur p est la probabilité de commettre une erreur de première espèce sur l'hypothèse nulle de la corrélation partielle correspondante. La série  $(N_{C_k})$  présentant la valeur p  $V_p$  la plus faible est sélectionnée lors de cette étape.

Cette valeur p  $V_p$  est comparée à une première valeur p seuil  $V_{pIN}$  au cours d'une étape de test 120.  $V_{pIN}$  représente une valeur seuil d'entrée de compteur d'événements dans le modèle de calcul. Elle est par exemple fixée à 0,05 par défaut. Plus elle est faible, plus on limite a priori le nombre de compteurs d'événements qui seront finalement intégrés au modèle, celui-ci devenant alors plus simple mais moins précis. Si la valeur p  $V_p$  de la série  $(N_{C_k})$  sélectionnée à l'étape précédente est supérieure à  $V_{pIN}$ , on passe à une étape 122 de sortie du procédé de sélection 110.

Au cours de cette étape de sortie 122, le modèle MOD( $k-1$ ) est considéré comme modèle de calcul optimisé et est enregistré avec ses paramètres par le système de conception 10. De même, les compteurs d'événements pris en compte dans ce modèle MOD( $k-1$ ) sont définitivement considérés comme pertinents pour estimer la puissance consommée et sont enregistrés comme tels par le système de conception 10. On notera que le compteur d'événements correspondant à la dernière série  $(N_{C_k})$  sélectionnée lors de l'étape 118 de l'itération courante  $k$  n'est pas intégré au modèle de calcul.

Si au contraire la valeur p  $V_p$  de la série  $(N_{C_k})$  sélectionnée à l'étape 118 est inférieure à  $V_{pIN}$ , on passe à une étape 124 de remise en cause des compteurs d'événements intégrés dans le modèle de calcul MOD( $k-1$ ). Au cours de cette étape, une nouvelle corrélation partielle est calculée entre chaque série intégrée dans le modèle MOD( $k-1$ ) et la série  $(P_T)$  de puissances consommées échantillonnées. Ces nouvelles corrélations partielles sont calculées en neutralisant les autres séries déjà intégrées au modèle MOD( $k-1$ ) et la série  $(N_{C_k})$  dernièrement sélectionnée. Elles

sont ensuite soumises, de façon classique, au test de significativité fournissant une valeur  $p$  pour chaque nouvelle corrélation partielle. L'intégration d'un nouveau compteur d'événements dans le modèle de calcul remet en effet en cause les valeurs  $p$  de tous les autres compteurs d'événements. Ainsi, toute série  $(N_{C_i})$  relative à un

5 compteur d'événements déjà intégré dans le modèle et présentant une nouvelle valeur  $p$  supérieure à une seconde valeur  $p$  seuil  $Vp_{OUT}$ , provoque la sortie du modèle du compteur correspondant. La valeur de  $Vp_{OUT}$  est par exemple fixée à 0,1 par défaut. Elle est nécessairement supérieure à  $Vp_{IN}$  et, comme pour  $Vp_{IN}$ , plus elle est faible, plus on limite a priori le nombre de compteurs d'événements qui seront

10 finalement intégrés au modèle.

Ensuite, au cours d'une étape 126, une nouvelle version notée MOD(k) du modèle de calcul de la puissance consommée est estimée par mise à jour de la constante de régression  $c$  et des coefficients  $\alpha_i$  correspondant aux compteurs d'événements précédemment intégrés au modèle de calcul et non supprimés. Cette

15 estimation est réalisée de façon connue en soi par une méthode de minimisation des moindres carrés. Au cours de cette même étape, le coefficient de détermination ajusté  $R^2$  du modèle MOD(k) est calculé. Il permet de juger la qualité de l'ajustement du modèle MOD(k) aux mesures (i.e. les séries  $(N_{C_i})$  correspondant aux compteurs d'événements sélectionnés et  $(P_T)$ ).

20 Au cours d'une étape de test 128 suivante, le coefficient  $R^2$  du modèle MOD(k) est comparé au coefficient  $R^2$  du modèle MOD(k-1). S'il est plus faible, alors on passe à l'étape de sortie 122. Sinon, on passe à une étape 130 d'incrémentement du compteur  $k$  d'une unité puis on revient à l'étape 118 pour une nouvelle itération.

En sortie du procédé de sélection, les compteurs d'événements  $C_1, \dots, C_n$

25 retenus pour le modèle de calcul de la puissance consommée sont ceux du modèle MOD(k-1) pour la dernière valeur de  $k$ . Le modèle de calcul optimisé qui peut être utilisé pour une estimation de la puissance consommée par le circuit simulé est alors complètement défini par les coefficients correspondants  $c, \alpha_1, \dots, \alpha_n$ .

Un circuit numérique réel 52 implémentant un tel modèle de calcul de sa

30 propre puissance consommée peut alors être conçu, comme illustré sur la figure 3. Sur cette figure, un circuit numérique 50 comporte le circuit numérique 52 préalablement simulé par le système de conception 10. Il s'agit par exemple d'un circuit de type SoC. Conformément à la sélection opérée par le système de conception 10, le circuit numérique préalablement simulé 52 est muni de détecteurs

d'événements  $DE_1, \dots, DE_n$  relatifs aux compteurs sélectionnés lors de l'exécution du programme 44.

Le circuit numérique 50 comporte en outre un moniteur 54 et un calculateur 56 lui permettant d'utiliser le modèle de calcul optimisé pour estimer sa puissance consommée. Plus précisément, le moniteur 54 comporte des registres  $C_1, \dots, C_n$  formant les compteurs d'événements aptes à recevoir les indications d'événements fournies par les détecteurs  $DE_1, \dots, DE_n$ . L'ensemble des registres forme un capteur d'activité du circuit numérique 52 préalablement simulé. Il comporte en outre un module de commande 58 conçu pour, automatiquement et à chaque période d'échantillonnage  $T$  (i.e. sous la commande d'un minuteur), lire les contenus  $Nc_1, \dots, Nc_n$  des registres  $C_1, \dots, C_n$ , transférer ces contenus  $Nc_1, \dots, Nc_n$  dans une mémoire 60 et remettre à zéro les registres  $C_1, \dots, C_n$  par envoi d'un signal  $rst$  de réinitialisation. Le calculateur 56 comporte une mémoire 62 stockant les coefficients  $c, \alpha_1, \dots, \alpha_n$  optimisés lors de l'exécution du programme 44. Il comporte en outre un processeur 64 apte à calculer à chaque période  $T$  la valeur  $P_T$  de puissance consommée par le circuit numérique préalablement simulé 52 à l'aide de ces coefficients  $c, \alpha_1, \dots, \alpha_n$  stockés en mémoire 62, sur réception régulière des valeurs  $Nc_1, \dots, Nc_n$  fournies par le moniteur 54.

Un exemple concret de circuit numérique implémentant un tel modèle de calcul de sa propre puissance consommée est celui d'une RAM (de l'anglais « Random Access Memory ») dont les compteurs d'événements sélectionnés sont ceux rattachés aux signaux  $Chip\_Select$  et  $Write\_Enable$ . A chaque période  $T$ , les contenus de ces deux compteurs sont relevés par le module de commande 58 et fournis au calculateur 56 pour application d'un modèle de régression linéaire optimisé à trois coefficients  $c, \alpha_1$  et  $\alpha_2$ .

Il apparaît clairement qu'un système de conception de circuit numérique à capteur d'activité tel que celui décrit précédemment permet de réaliser une sélection automatique et efficace des compteurs d'événements avec des critères de sélection ( $VpIN$ ) ou d'arrêt ( $VpOUT$ , coefficient  $R^2$ ) paramétrables de manière à maîtriser le dimensionnement du capteur d'activité.

En outre, la méthode de régression pas à pas mise en œuvre permet de classer les compteurs d'événements sélectionnés en fonction de leur pertinence vis-à-vis du modèle par le poids qui leur est associé. Ainsi, le choix des compteurs d'événements à retenir dans le modèle se fait en fonction de la surface disponible pour le capteur d'activité et de ce classement.

## **Seconde partie : modélisation de la grandeur de sortie du circuit numérique**

Le système 10 de conception de circuit numérique met par ailleurs en œuvre un procédé de construction d'un modèle de calcul d'une grandeur de sortie d'un circuit numérique tel que celui illustré sur la figure 4. Ce procédé de construction de modèle de calcul est mis en œuvre grâce à une exécution du programme 46 par le processeur 40. Dans cet exemple également, la grandeur de sortie est la puissance consommée à chaque instant par le circuit numérique simulé sur exécution du banc de tests 26. Les données d'entrée du modèle de calcul sont celles fournies par des compteurs d'événements prédéterminés, par exemple ceux sélectionnés en première partie. Si le procédé de sélection de la première partie est mis en œuvre, alors il est choisi une période d'échantillonnage la plus courte possible pour une meilleure précision du modèle de calcul.

Ce procédé consiste plus précisément à construire une pluralité de modèles de calcul de la puissance consommée du circuit numérique à partir d'une séquence de données d'estimation de puissance consommée, par exemple le fichier 30' de profil de puissance consommée, et de données de sortie des compteurs d'événements sélectionnés, par exemple les fichiers 34' correspondant aux compteurs sélectionnés. En particulier, il prévoit d'attribuer une pluralité de modes possibles à la puissance consommée, de sectionner le profil de puissance consommée en plusieurs séquences successives et d'associer chaque séquence à un unique mode parmi les modes possibles. Ensuite, il consiste à construire un modèle de calcul de la puissance consommée différent pour chaque mode possible.

Ce procédé de construction d'une pluralité de modèles de calcul est réalisé conformément à une méthode de détermination d'un modèle de Markov à états cachés, chaque état caché de ce modèle markovien correspondant à l'un des modes possibles. La détermination du modèle de Markov, et donc de la pluralité de modèles de calcul, est basée sur son optimisation par maximum de vraisemblance par rapport au profil de puissance consommée 30' et aux données de sortie 34' des compteurs d'événements sélectionnés.

Le modèle de Markov à états cachés est par exemple du type MSM (de l'anglais « Markov Switching Model »), tel que défini dans l'article de James D. Hamilton, intitulé « Regime-switching models », publié dans Palgrave Dictionary of Economics, 2005. Dans ce cas, pour chaque état caché ou mode  $E_j$ , le modèle de calcul est par exemple linéaire et du type :

$$P(E_j) = c_j + \alpha_{1,j} \cdot N_{C_1} + \dots + \alpha_{i,j} \cdot N_{C_i} + \dots + \alpha_{n,j} \cdot N_{C_n},$$

où :

$\{C_i\}_{i=1,n}$  est l'ensemble des compteurs d'événements sélectionnés pour participer au modèle de calcul,  $n$  caractérisant la complexité du modèle,

- 5  $N_{C_i}$  est le nombre d'événements comptés par le compteur d'événements  $C_i$  dans une fenêtre de durée donnée, commune à tous les compteurs d'événements et dans laquelle est estimée la puissance consommée moyenne, mais pas nécessairement constante ou égale à la période d'échantillonnage définie en première partie,

- $P(E_j)$  est la puissance moyenne consommée dans cette même fenêtre de durée  
10 donnée, telle qu'elle peut être déduite des valeurs  $N_{C_i}$  par le modèle de calcul associé au mode  $E_j$ ,

$c_j$  est la constante de régression du modèle de calcul associé au mode  $E_j$ , englobant la puissance statique du circuit numérique et un terme correctif du modèle,

- $\alpha_{i,j}$  est le coefficient quantifiant la consommation partielle du circuit numérique due  
15 à l'activité détectée par le compteur d'événements  $C_i$  lorsque que le profil de puissance consommée est conforme au mode  $E_j$ .

On note  $A$  la matrice de dimensions  $m \times (n+1)$ , où  $m$  est le nombre d'états cachés du modèle de Markov MSM, reprenant les constantes de régression et les coefficients de la pluralité de modèles :

$$20 \quad A = \begin{bmatrix} c_1 & \alpha_{1,1} & \dots & \alpha_{n,1} \\ \dots & \dots & \dots & \dots \\ c_m & \alpha_{1,m} & \dots & \alpha_{n,m} \end{bmatrix}.$$

On suppose que le résidu d'erreur du modèle de Markov MSM est un bruit blanc gaussien de variance  $\sigma$ .

Enfin, on note  $\Pi$  la matrice, de dimensions  $m \times m$ , des probabilités de transition de chaque état ou mode  $E_i$  vers chaque état ou mode  $E_j$  :

$$25 \quad \Pi = \begin{bmatrix} p_{11} & \dots & p_{1m} \\ \dots & \dots & \dots \\ p_{m1} & \dots & p_{mm} \end{bmatrix}.$$

Sous ces notations, le triplet  $\Theta = (A, \sigma, \Pi)$  définit complètement le modèle markovien MSM susceptible de représenter le processus  $P$  de puissance moyenne consommée à chaque instant à l'aide des données de sortie des compteurs

d'événements  $C_1, \dots, C_n$  sélectionnés. Les paramètres du modèle sont déterminés, de façon connue en soi, par une estimation du maximum de vraisemblance appliquée au triplet  $\Theta = (A, \sigma, \Pi)$  au vu du profil de puissance consommée 30' et des données de sortie 34' des compteurs d'événements sélectionnés, comme cela va maintenant être détaillé en référence au procédé de construction du modèle MSM illustré sur la figure 4.

Lors d'une première étape d'initialisation 200, le nombre  $m$  d'états cachés ou modes souhaités est défini. Il peut s'agir d'une valeur paramétrable. Au cours d'une étape suivante 202, les compteurs d'événements sont initialisés et une constante leur est ajoutée pour tenir compte de la constante de régression de chaque état caché ou mode, formant ainsi un vecteur d'observation  $X = (1, N_{C_1}, \dots, N_{C_n})^T$ .

Ensuite, l'estimation du maximum de vraisemblance appliquée au triplet  $\Theta = (A, \sigma, \Pi)$  au vu des fichiers 30' et 34' sélectionnés est exécutée au cours d'une étape 204. Cette exécution est connue et ne sera donc pas détaillée. Il s'agit en résumé de maximiser la fonction de vraisemblance  $L$  suivante :

$$L(\Theta; P_{1:T}; X_{1:T}) = \sum_{t=1}^T \sum_E f(P_{1:T} | E_t, X_t, A, \sigma) P(S_t | \Pi),$$

Où  $T$  est le nombre d'échantillons successifs fournis par simulation,  $E$  désignant l'ensemble des états cachés ou modes.

En sortie de cette étape, une séquence des états cachés ou modes est établie au vu de la séquence de puissance consommée fournie par le fichier 30' et des observations 34'. En outre, les matrices  $A$  et  $\Pi$  sont fournies définissant ainsi la pluralité de modèles de calcul de la puissance consommée relative à la pluralité de modes correspondants et les probabilités de transition d'un mode à l'autre.

Les étapes 200, 202 et 204 peuvent être répétées plusieurs fois avec différentes valeurs de  $m$ , permettant ainsi au final de retenir le modèle MSM dont le nombre d'états cachés est optimal par rapport aux données fournies par les fichiers 30' et 34' sélectionnés.

Suite à l'étape 204, on peut passer, de façon optionnelle mais avantageuse en termes de simplification des calculs, à une étape 206 de sélection des compteurs d'événements les plus pertinents. Sur  $n$  compteurs d'événements sélectionnés en première partie,  $p$  peuvent être retenus pour finalement participer au calcul de la puissance consommée, ceux présentant les coefficients les plus faibles dans la matrice  $A$  étant supprimés.

Suite à l'étape 204 également, des calculs classiques de corrélations permettent, lors d'une étape 208, de mettre en correspondance les transitions d'un mode à l'autre fournies en sortie de l'étape 204 avec des occurrences d'événements. Ces événements sont alors qualifiés d'événements critiques et leurs compteurs sont  
5 sélectionnés pour détecter des changements de modes de consommation. Dans un mode de réalisation envisageable et avantageux en termes de simplification des calculs, les événements critiques sont choisis parmi ceux relatifs aux n-p compteurs qui n'ont pas été sélectionnés à l'étape 206. Ainsi, la simplification du modèle due à la sélection de p compteurs participant finalement au calcul est compensée par  
10 l'utilisation des n-p autres compteurs pour détecter le plus finement possible les transitions de modes de consommation.

Suite à l'étape 208, une étape 210 consiste à établir les règles logiques de fonctionnement d'un automate fini ou machine à nombre fini d'états (i.e. les m modes) de type FSM (de l'anglais « Finite State Machine ») apte à estimer de façon  
15 déterministe les transitions de chaque mode vers chaque autre mode à partir des transitions observées sur les événements critiques. De même, cette étape de transformation des corrélations établies à l'étape 206 en règles de transitions de la machine à nombre fini d'états est à la portée de l'homme de l'art et ne sera pas détaillée.

20 Un circuit numérique implémentant un modèle de calcul de sa propre puissance consommée sur la base du modèle markovien MSM construit par exécution du procédé de la figure 4 peut alors être conçu, comme illustré sur la figure 5.

Sur cette figure, un circuit numérique 50' comporte le circuit numérique 52  
25 préalablement simulé par le système de conception 10. Il s'agit par exemple d'un circuit de type SoC. Conformément à la sélection opérée par le système de conception 10, le circuit numérique préalablement simulé 52 est muni de détecteurs d'événements  $DE_1, \dots, DE_n$  relatifs aux compteurs sélectionnés lors de l'exécution du programme 44. Le circuit numérique 50' comporte en outre un moniteur 54' et un  
30 calculateur 56' lui permettant d'utiliser le modèle de calcul markovien MSM défini précédemment pour estimer sa puissance consommée.

Plus précisément, conformément à un mode de réalisation envisageable mentionné précédemment selon lequel seuls les p premiers compteurs parmi les n compteurs sélectionnés en première partie sont sollicités pour le calcul de la  
35 puissance consommée, le moniteur 54' comporte des registres  $C_1, \dots, C_p$  formant

ces  $p$  compteurs d'événements aptes à recevoir les indications d'événements fournies par les  $p$  premiers détecteurs  $DE_1, \dots, DE_p$ . L'ensemble de ces registres forme un capteur d'activité du circuit numérique 52 préalablement simulé. Il comporte en outre un module de commande 58' conçu pour, automatiquement et sur des

5 fenêtrés temporelles de durées  $T$  variables, lire les contenus  $Nc_1, \dots, Nc_p$  des registres  $C_1, \dots, C_p$ , transférer ces contenus  $Nc_1, \dots, Nc_p$  dans une mémoire 60' et remettre à zéro les registres  $C_1, \dots, C_p$  par envoi d'un signal  $rst1$  de réinitialisation.

Contrairement au mode de réalisation de la figure 3, et pour une meilleure performance du moniteur 54', ce dernier n'est pas soumis à une période

10 d'échantillonnage fixe. Pour cela, il comporte un module 66' de machine à nombre fini d'états reproduisant les règles logiques établies à l'étape 210. Plus précisément, conformément à un mode de réalisation envisageable mentionné précédemment selon lequel seuls les  $n-p$  compteurs autres que ceux retenus pour le calcul de la puissance consommée sont sollicités pour détecter les transitions de modes de

15 consommation, le module 66' reçoit en entrée les indications d'événements fournies par les  $n-p$  derniers détecteurs  $DE_{p+1}, \dots, DE_n$ . En sortie, il fournit au module de commande 58' une indication  $E$  d'un nouveau mode de consommation du circuit numérique 52 chaque fois qu'une transition vers un tel nouveau mode  $E$  est détectée. Bien sûr, le module 66' peut aussi recevoir en entrée au moins une partie

20 des indications d'événements fournies par les  $p$  premiers détecteurs  $DE_1, \dots, DE_p$ .

Les opérations automatiques de lecture des contenus  $Nc_1, \dots, Nc_p$  des registres  $C_1, \dots, C_p$ , de transfert de ces contenus dans une mémoire 60' et de remise à zéro les registres  $C_1, \dots, C_p$  sont par exemple commandées par les deux événements suivants :

- 25
- saturation d'au moins l'un des registres  $C_1, \dots, C_p$  : pour cela le module de commande 58' reçoit un signal  $sat$  d'indication de saturation dès que cet événement survient,
  - changement de mode de consommation : ce changement de mode  $E$  est indiqué au module de commande 58' par le module 66'.

30 Ces événements n'étant pas prévisibles, le moniteur 54' comporte en outre un compteur temporel 68', soumis à une même horloge  $clk$  que celle qui synchronise les registres  $C_1, \dots, C_p$ , apte à fournir la durée  $T$  qui s'est écoulée entre deux remises à zéro des registres  $C_1, \dots, C_p$ . Une remise à zéro du compteur temporel 68' est réalisée par le module de commande 58' à l'aide d'un signal  $rst2$  de réinitialisation,

35 lors de toute remise à zéro des registres  $C_1, \dots, C_p$ . Les valeurs de  $E$  et  $T$  sont alors

transmises par le module de commande 58' à la mémoire 60' avec les contenus  $N_{c_1}$ , ...,  $N_{c_p}$  des registres  $C_1$ , ...,  $C_p$ . Ainsi, la mémoire 60' stocke un historique des modes de consommation successifs, la durée de chacun de ces modes successifs et leurs données de comptage  $N_{c_1}$ , ...,  $N_{c_p}$ .

5 Le calculateur 56' comporte une mémoire 62' stockant les coefficients de la matrice  $A$  calculés lors de l'exécution du programme 46. Il comporte en outre un processeur 64' apte à calculer, pour chaque fenêtre temporelle de durée variable  $T$ , la valeur  $P_T$  de puissance moyenne instantanée consommée par le circuit numérique préalablement simulé 52 pendant cette durée  $T$ , à l'aide des coefficients de la  
10 matrice  $A$  stockés en mémoire 62', sur réception des valeurs  $E$ ,  $T$ ,  $N_{c_1}$ , ...,  $N_{c_p}$  fournies par le moniteur 54'. Il s'agit juste pour lui de sélectionner le bon modèle de régression linéaire dans la matrice  $A$  à l'aide de la valeur de  $E$  et d'en déduire la valeur de  $P_T$  à l'aide des valeurs  $N_{c_1}$ , ...,  $N_{c_p}$ .

Pour reprendre l'exemple concret de la RAM dont les compteurs  
15 d'événements sélectionnés en première partie sont ceux rattachés aux signaux `Chip_Select` et `Write_Enable`, on peut appliquer un modèle markovien MSM à quatre états cachés, correspondant aux quatre modes de consommation suivants : lecture, écriture, alternance de lecture/écriture, indéterminé. Conformément au modèle markovien MSM, chacun de ces quatre modes de consommation présente son  
20 propre modèle de consommation. On montre alors que l'on peut se limiter au compteur d'événements `Chip_Select` pour calculer la puissance moyenne instantanée consommée par la RAM.

Par ailleurs, la machine à nombre fini d'états détectant les transitions entre les quatre modes de consommation prédéfinis peut être définie de la façon suivante, sur  
25 réception des signaux `Chip_Select` et `Write_Enable` :

- à partir du mode « lecture », on passe au mode « alternance » lorsque le signal `Write_Enable` passe à « 1 »,
- à partir du mode « écriture », on passe au mode « alternance » lorsque le signal `Chip_Select` passe à « 1 » et le signal `Write_Enable` à « 0 »,  
30
- à partir du mode « alternance », on passe au mode « lecture » lorsque le nombre de lectures consécutives dépasse un nombre prédéterminé, par exemple 16,
- à partir du mode « alternance », on passe au mode « écriture » lorsque le nombre d'écritures consécutives dépasse un nombre prédéterminé, par  
35 exemple 16,

- à partir du mode « indéterminé », on passe au mode « lecture » lorsque le signal Chip\_Select passe à « 1 » et le signal Write\_Enable à « 0 », et
- à partir du mode « indéterminé », on passe au mode « écriture » lorsque le signal Write\_Enable passe à « 1 ».

5 A chaque changement de mode ou saturation du registre compteur du signal Chip\_Select, le contenu de ce registre est relevé par le module de commande 58' et fourni au calculateur 56' avec les valeurs de E et T pour application d'un modèle de régression linéaire optimisé à deux coefficients choisis dans la matrice A en fonction du mode de consommation détecté par la machine à quatre états.

10 Il apparaît clairement qu'un système de conception de circuit numérique à capteur d'activité tel que celui décrit en deuxième partie permet de construire une pluralité de modèles de calcul d'une grandeur de sortie du circuit numérique déclinable en plusieurs modes, rendant ces modèles ainsi plus précis pour un surcoût réduit ou nul du fait que certains compteurs d'événements peuvent être omis  
15 dans les modèles en compensant leur absence par la prise en compte de différents modes.

En outre, la construction de la pluralité de modèles par détermination d'un modèle de Markov à états cachés à l'aide de la maximisation d'une fonction de vraisemblance conduit à l'obtention de modèles de calcul sélectionnables à l'aide  
20 d'une machine à nombre fini d'états et indépendants d'une fréquence d'échantillonnage. Cette propriété assure davantage de flexibilité pour le capteur d'activité ainsi qu'une économie de synchronisation. En effet, la communication entre le capteur d'activité et le calculateur ne se fait plus périodiquement comme cela est généralement préconisé dans l'état de l'art, mais sur indication de transitions par la  
25 machine à nombre fini d'états ou sur saturation d'au moins un compteur du capteur d'activité.

On notera par ailleurs que l'invention n'est pas limitée aux modes de réalisation décrits précédemment. Il apparaîtra en effet à l'homme de l'art que diverses modifications peuvent être apportées aux modes de réalisation décrits ci-  
30 dessus, à la lumière de l'enseignement qui vient de lui être divulgué. Dans les revendications qui suivent, les termes utilisés ne doivent pas être interprétés comme limitant les revendications aux modes de réalisation exposés dans la présente description, mais doivent être interprétés pour y inclure tous les équivalents que les revendications visent à couvrir du fait de leur formulation et dont la prévision est à la

portée de l'homme de l'art en appliquant ses connaissances générales à la mise en œuvre de l'enseignement qui vient de lui être divulgué.

## REVENDEICATIONS

1. Système (10) de conception de circuit numérique comportant :

- 5
- un simulateur (12) d'un circuit numérique (52) à partir d'un fichier (14) de description fonctionnelle de ce circuit numérique,
  - des moyens (28) d'estimation d'une grandeur de sortie (30') du circuit numérique sur exécution d'un banc de tests (26) fourni au simulateur (12),
  - 10 - des compteurs (34') d'événements, les événements étant détectés à l'aide de signaux de contrôle fournis par le simulateur (12) sur exécution du banc de tests (26),

caractérisé en ce qu'il comporte en outre :

- 15
- des moyens (40, 44) de sélection d'une partie des compteurs d'événements (34') par optimisation itérative d'un modèle de calcul de la grandeur de sortie (30') du circuit numérique (52) à partir de données de sortie des compteurs d'événements, et
  - des moyens (40, 44) d'enregistrement de la partie des compteurs d'événements sélectionnée et du modèle de calcul optimisé.

2. Système de conception de circuit numérique selon la revendication 1, dans lequel les moyens (28) d'estimation d'une grandeur de sortie du circuit numérique comportent un simulateur de consommation conçu pour fournir un profil (30') de puissance consommée à chaque instant par le circuit numérique simulé (52) sur exécution du banc de tests (26).

3. Procédé de conception de circuit numérique comportant les étapes consistant à :

- 25
- simuler (100, 102, 104, 106) le fonctionnement d'un circuit numérique (52) à partir d'un fichier (14) de description fonctionnelle de ce circuit numérique,
  - estimer (104) une grandeur de sortie (30') du circuit numérique sur exécution d'un banc de tests (26) fourni en entrée de la simulation,
  - 30 - compter (106) des événements détectés à l'aide de signaux de contrôle fournis par la simulation sur exécution du banc de tests (26),

caractérisé en ce qu'il comporte en outre les étapes consistant à :

- 35
- sélectionner (110) une partie des événements comptés par optimisation itérative d'un modèle de calcul de la grandeur de sortie

du circuit numérique à partir de données (34') de comptage des événements, et

- enregistrer (122) la partie des événements comptés sélectionnée et le modèle de calcul optimisé.

5           4. Procédé de conception de circuit numérique selon la revendication 3, dans lequel, avant l'étape de sélection (110), la grandeur de sortie estimée et les données de sortie de compteurs d'événements sont synchronisées (108) par échantillonnage de leurs valeurs selon une même période prédéterminée.

10           5. Procédé de conception de circuit numérique selon la revendication 3 ou 4, dans lequel, avant l'étape de sélection (110), une partie des événements comptés est présélectionnée (108) en ne retenant que les événements comptés à l'aide de signaux ayant un nombre de bits inférieur à une limite prédéterminée et/ou en ne retenant que les événements comptés à l'aide de signaux indépendants entre eux, cette indépendance étant mesurée par intercorrélation.

15           6. Procédé de conception de circuit numérique selon l'une quelconque des revendications 3 à 5, dans lequel l'étape de sélection (110) est réalisée conformément à une méthode de régression pas à pas.

20           7. Procédé de conception de circuit numérique selon la revendication 6, dans lequel la méthode de régression pas à pas comporte une régression linéaire, le modèle de calcul à optimiser étant une combinaison linéaire de données (34') de comptage d'événements et d'une constante de régression.

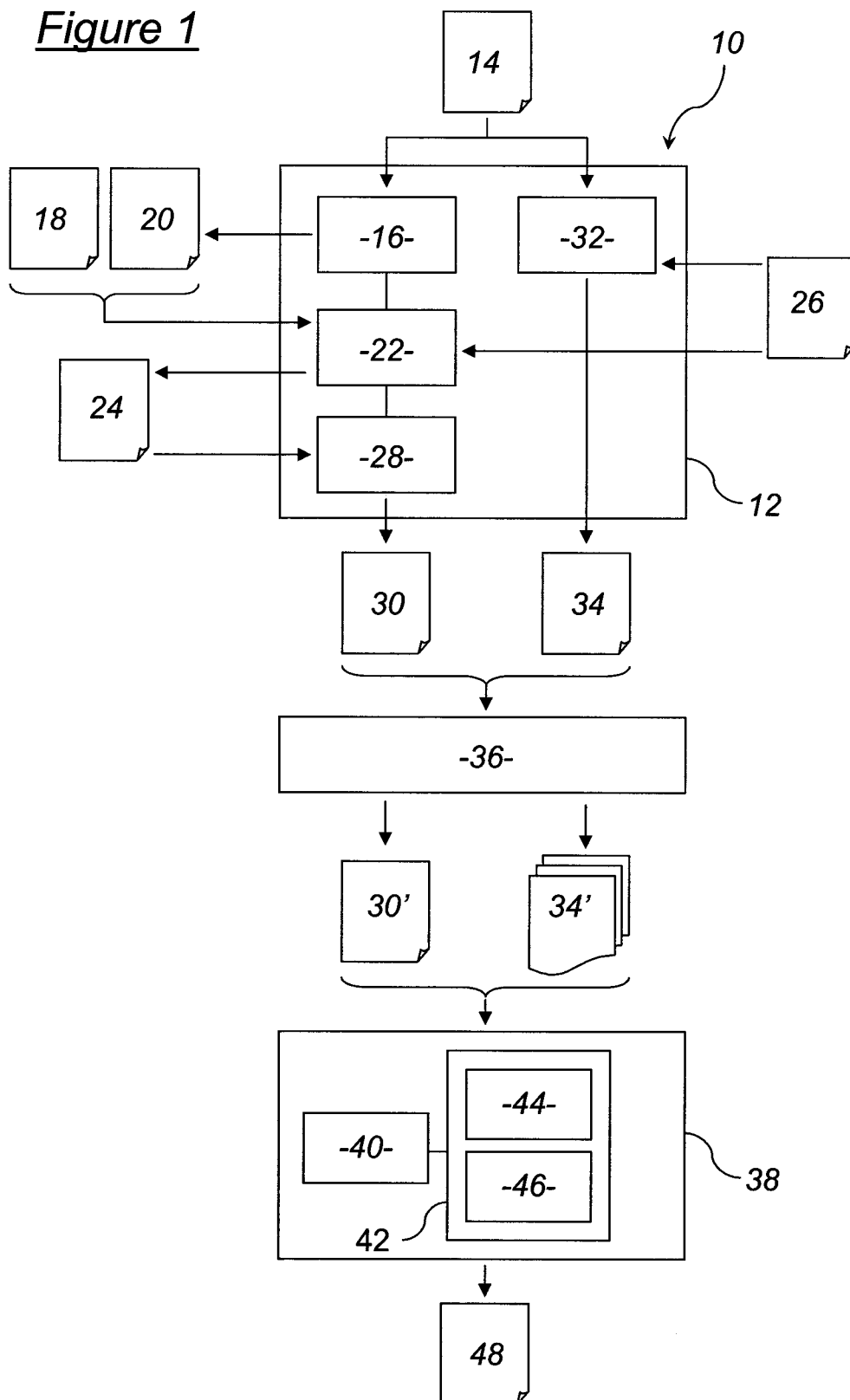
            8. Procédé de conception de circuit numérique selon la revendication 6 ou 7, dans lequel la méthode de régression pas à pas comporte :

- 25           - une première étape (112) de sélection d'un premier événement compté, par calcul de corrélations entre les valeurs (34') des données de comptage de chaque événement et les valeurs (30') de la grandeur de sortie estimée et par sélection de l'événement compté présentant la corrélation la plus élevée,
- 30           - une deuxième étape (114) d'intégration du premier événement compté sélectionné dans le modèle de calcul par minimisation des moindres carrés.

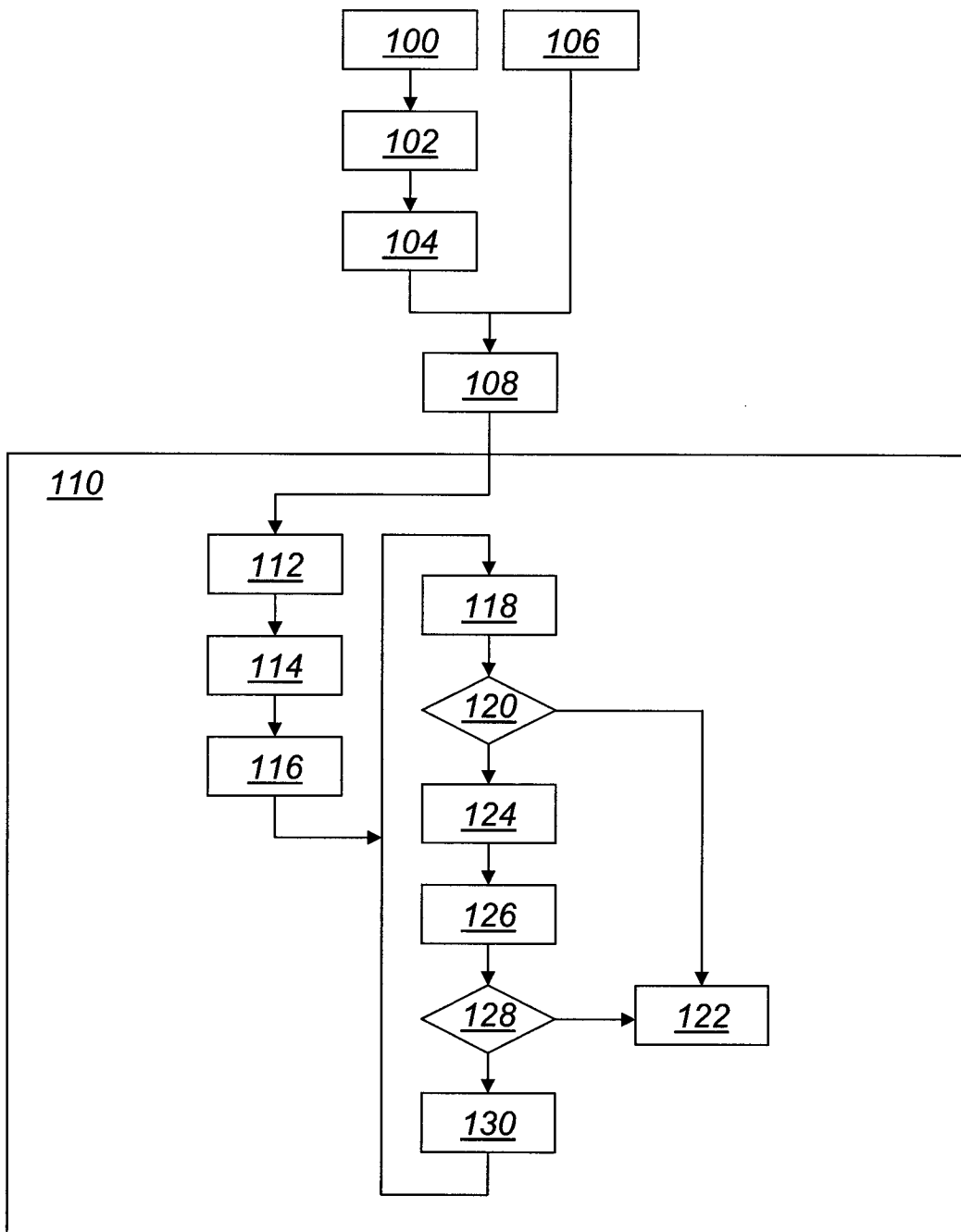
35           9. Procédé de conception de circuit numérique selon la revendication 8, dans lequel, suite aux première et deuxième étapes (112, 114) de sélection et d'intégration du premier événement compté, la méthode de régression pas à pas comporte la boucle d'étapes suivantes exécutée au moins une fois :

- sélection (118) d'un nouvel événement compté, par calcul de corrélations partielles entre les valeurs des données de comptage de chaque événement non encore intégré au modèle et les valeurs de la grandeur de sortie estimée en neutralisant tout événement compté déjà intégré au modèle et par sélection de l'événement compté optimisant un test de significativité relatif à sa corrélation partielle,
  - si le test de significativité fournit une valeur de probabilité de première espèce inférieure à une première valeur seuil prédéterminée :
    - mise à jour (124) des corrélations partielles de tout événement compté déjà intégré au modèle en neutralisant tout autre événement compté déjà intégré au modèle et le nouvel événement compté sélectionné puis sortie du modèle de tout événement compté dont le test de significativité relatif à la corrélation partielle mise à jour est supérieur à une seconde valeur seuil prédéterminée, et
    - intégration (126) du nouvel événement compté sélectionné dans le modèle de calcul par minimisation des moindres carrés, cette intégration comportant en outre une mise à jour d'un coefficient de détermination ajusté  $R^2$  du modèle de calcul,
  - sortir (122) de la boucle d'étapes :
    - si le test de significativité du nouvel événement compté sélectionné est supérieur à la première valeur seuil, en conservant le dernier modèle obtenu par minimisation des moindres carrés comme modèle optimal, ou
    - si la mise à jour du coefficient de détermination ajusté  $R^2$  conduit à une baisse de sa valeur, en conservant l'avant dernier modèle obtenu par minimisation des moindres carrés comme modèle optimal.
10. Programme d'ordinateur téléchargeable depuis un réseau de communication et/ou enregistré sur un support lisible par ordinateur et/ou exécutable par un processeur, caractérisé en ce qu'il comprend des instructions pour l'exécution des étapes d'un procédé de conception de circuit numérique selon l'une quelconque des revendications 3 à 9, lorsque ledit programme est exécuté sur un ordinateur.

1/4

Figure 1

2/4

Figure 2

3/4

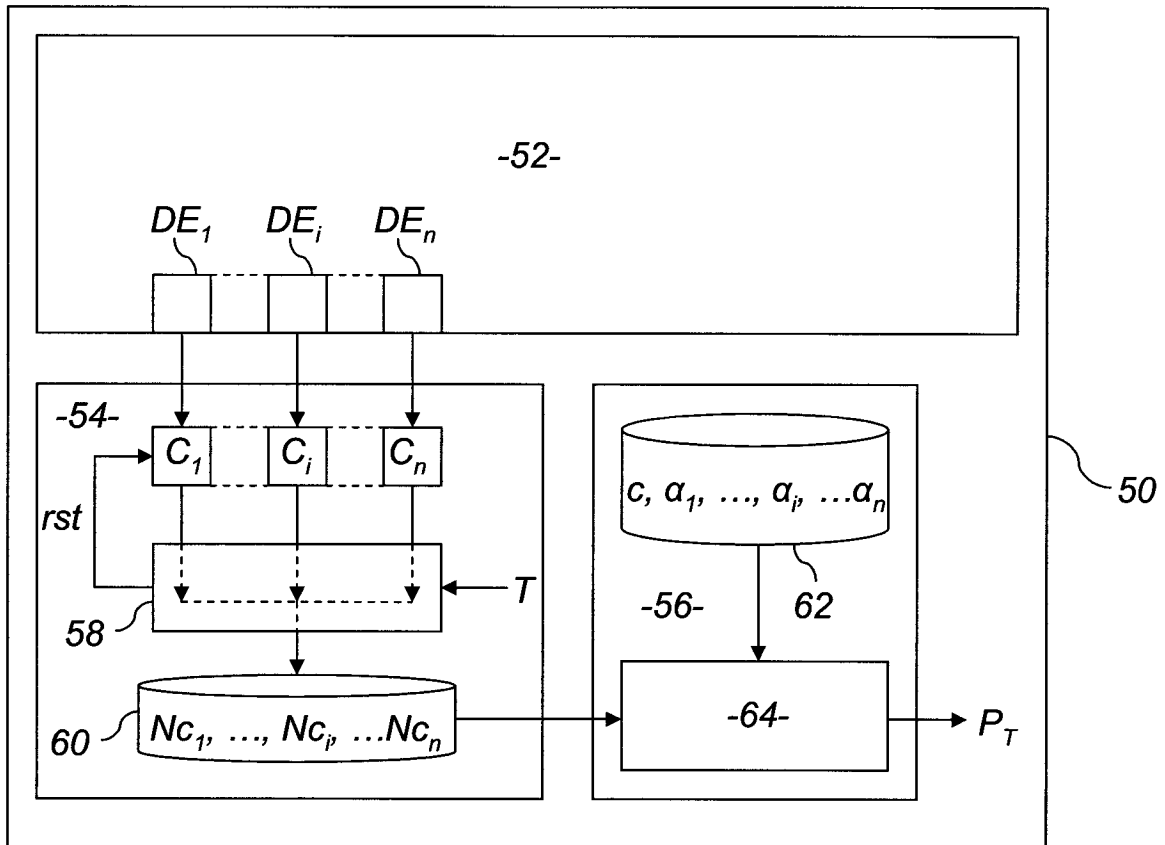
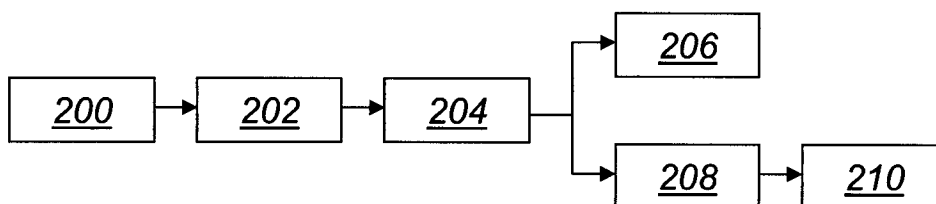
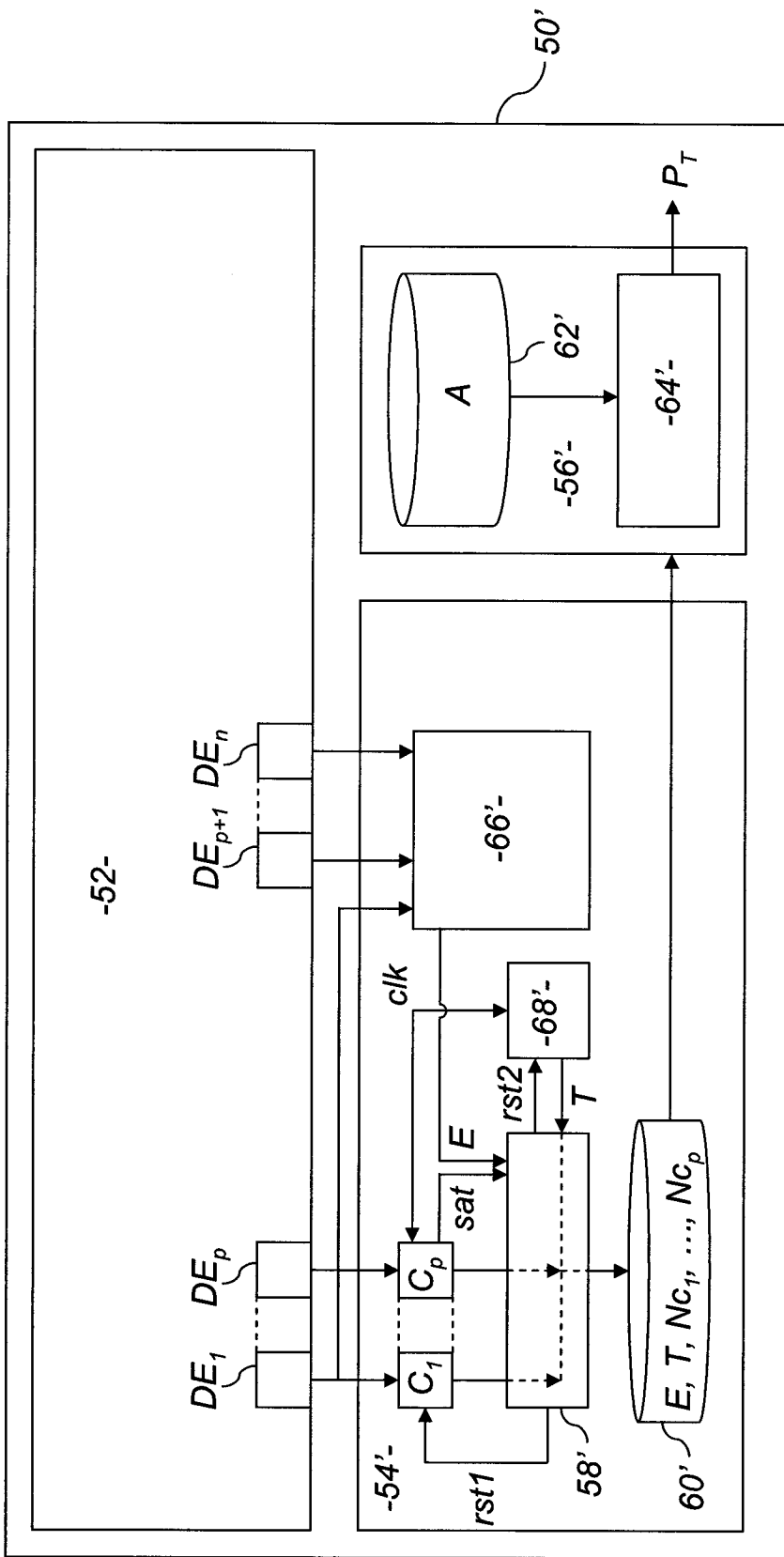
Figure 3Figure 4

Figure 5





**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

N° d'enregistrement  
national

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

FA 758652  
FR 1160261

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 2009/150857 A1 (SRINIVASAN KRISHNAN [US] ET AL) 11 juin 2009 (2009-06-11) * abrégé; figures 1a,1b * * alinéas [0002], [0007], [0008], [0024], [0028], [0037], [0048], [0050] * * alinéas [0090] - [0092], [0095] * -----	1-10	G06F11/34 G06F17/50
A	US 2002/133792 A1 (RAGHUNATHAN ANAND [US] ET AL) 19 septembre 2002 (2002-09-19) * abrégé * * alinéa [0089] * -----	1-10	
A,D	JORGEN PEDDERSEN ET AL: "CLIPPER: Counter-based Low Impact Processor Power Estimation at Run-time", DESIGN AUTOMATION CONFERENCE, 2007. ASP-DAC '07. ASIA AND SOUTH P ACIFIC, IEEE, PI, 1 janvier 2007 (2007-01-01), pages 890-895, XP031085613, ISBN: 978-1-4244-0629-6 * le document en entier * -----	1-10	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			G06F G01R
Date d'achèvement de la recherche		Examineur	
23 juillet 2012		Weber, Vincent	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un		à la date de dépôt et qui n'a été publié qu'à cette date	
autre document de la même catégorie		de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1160261 FA 758652**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **23-07-2012**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2009150857 A1	11-06-2009	AUCUN	
US 2002133792 A1	19-09-2002	JP 2002328966 A US 2002133792 A1	15-11-2002 19-09-2002