(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年10月20日(20.10.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/167117 A1

(51) 国際特許分類:
*H02M 7/497* (2007.01) *H02M 7/48* (2007.01)

(21) 国際出願番号: PCT/JP2016/060187

(22) 国際出願日: 2016年3月29日(29.03.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-081549 2015年4月13日(13.04.2015) JP

(71) 出願人: 三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 Tokyo (JP).

(72) 発明者: 地道 拓志(**JIMICHI Takushi**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 小柳 公之(**KOYANAGI Kimiyuki**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 菊地 健(**KIKUCHI Takeshi**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 村上 啓吾, 外(**MURAKAMI Keigo** et al.); 〒6610033 兵庫県尼崎市南武庫之荘３丁目３５番８号 Hyogo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

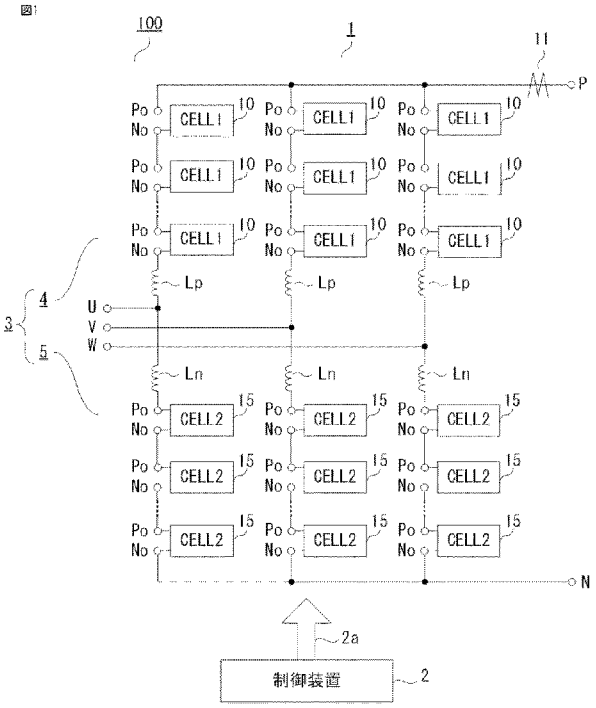
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: ELECTRIC POWER CONVERSION DEVICE AND ELECTRIC POWER SYSTEM

(54) 発明の名称 : 電力変換装置および電力システム

図1




2 Control device

(57) **Abstract**: An electric power conversion device (100) that is provided with a first arm (4) and a second arm (5) that are each provided with converter cells. The converter cells that constitute the first arm (4) are first converter cells (10) that have a full-bridge configuration and that have an energy storage element (20) and semiconductor switching elements (21s, 22s, 23s, 24s), and the converter cells that constitute the second arm (5) are second converter cells (15) that have a half-bridge configuration, that have an energy storage element (20) and semiconductor switching elements (41s, 42s, 51s, 52s), and that suppress short-circuit current between direct-current terminals.

(57) 要約: 電力変換装置（１００）は、変換器セルをそれぞれ備える第１アーム（４）と第２アーム（５）とを備える。第１アーム４を構成する各変換器セルは、エネルギ蓄積要素（２０）と、半導体スイッチング素子（２１ｓ、２２ｓ、２３ｓ、２４ｓ）とを有するフルブリッジ構成の第１変換器セル（１０）であり、第２アーム（５）を構成する各変換器セルは、エネルギ蓄積要素（２０）と、半導体スイッチング素子（４１ｓ、４２ｓ、５１ｓ、５２ｓ）とを有するハーフブリッジ構成の第２変換器セル（１５）であり、直流端子間の短絡電流を抑制する。

WO 2016/167117 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

# 明　細　書

## 発明の名称 ： 電力変換装置および電力システム

## 技術分野

[0001]　本発明は、多相交流と直流との間で電力変換を行う電力変換装置に係り、特に変換器を多重化した大容量の電力変換装置および該電力変換装置を備えた電力システムに関するものである。

## 背景技術

[0002]　大容量の電力変換装置は、変換器出力が高電圧または大電流となるため、複数の変換器を直列または並列に多重化して構成されることが多い。変換器を多重化することは、変換器容量を大きくするのみでなく、出力を合成することにより、出力電圧波形に含まれる高調波を低減する。その結果、系統に流出する高調波電流を低減することができる。

変換器を多重化する方法として、複数の変換器の出力をカスケード接続したモジュラーマルチレベル変換器がある。モジュラーマルチレベル変換器の各アームは、複数の変換器セルがカスケード接続されて構成されている。

[0003]　従来のモジュラーマルチレベル変換器では、各相の交流端子と正負の直流端子との間に形成される各相の第１アーム、第２アームが、それぞれチョッパセル（変換器セル）とリアクトルとを備える。チョッパセルは２つの半導体スイッチング素子が互いに直列接続され、これに直流コンデンサが並列接続される。第１アーム、第２アームは、それぞれ同数のチョッパセルがそれぞれの出力端を介して直列接続される。そして、第１アーム、第２アームの電圧指令をそれぞれ用い、第１アーム、第２アーム内の各チョッパセル内の半導体スイッチング素子をオンオフ制御することにより、交流端子には交流電圧を直流端子には直流電圧を発生させる（例えば、非特許文献１参照）。

[0004]　また、直流端子Ｐ、Ｎ間が短絡した時に発生する短絡電流を抑制する目的で、変換器セルを半導体スイッチング素子のフルブリッジ構成としたマルチレベル回路によるモジュラーマルチレベル変換器が開示されている（例えば

、特許文献１参照）。

[0005]　さらに、変換器セルの交流側を相毎に直列接続したスター結線方式のモジュラーマルチレベル変換器を用いた自励式無効電力補償装置（ＳＴＡＴＣＯＭ）が提案されている（例えば、非特許文献２参照）。

## 先行技術文献

## 特許文献

[0006] 特許文献1：国際公開番号ＷＯ２０１１／０１２１７４Ａ１

## 非特許文献

[0007] 非特許文献1：萩原誠、赤木泰文　著「モジュラー・マルチレベル変換器（ＭＭＣ）のＰＷＭ制御法と動作検証」、２００８年、ＩＥＥＪ　Ｖｏｌ．１２８　Ｎｏ．７　ｐｐ．９５７－９６５

非特許文献2：柴野勇士、太田ジョン豊、新村直人、赤木泰文　著「モジュラー・マルチレベル・カスケード変換器（ＭＭＣＣ－ＳＳＢＣ）を用いた位相シフトＰＷＭ　ＳＴＡＴＣＯＭ」２０１３年、ＩＥＥＪ　Ｖｏｌ．１３３　Ｎｏ．９　ｐｐ．９２８－９３５

## 発明の概要

## 発明が解決しようとする課題

[0008]　上記非特許文献１に示すモジュラーマルチレベル変換器を用いて多相交流と直流との間で電力変換を行う従来の電力変換装置では、直流短絡時に過大な短絡電流が流れ、変換器内の素子が劣化する懸念があった。

また、上記特許文献１に示すモジュラーマルチレベル変換器を用いた場合、直流短絡時に短絡電流を抑制することはできる。しかしながら、各変換器セルがフルブリッジ回路で構成されているため、半導体スイッチング素子の数が増加し、装置構成が大型化するという問題点があった。

また、上記非特許文献２記載のモジュラーマルチレベル変換器を用いた従来の電力変換装置では、多相交流と直流との間の電力変換に用いることはできない。

[0009] 本発明は上述のような問題点を解決するためになされたものであり、多相交流と直流との間の大容量の電力変換が可能で、直流端子間の短絡時における短絡電流を抑制でき、小型で低コストの電力変換装置を提供することを目的とする。

## 課題を解決するための手段

[0010] 本発明に係る電力変換装置は、

エネルギ蓄積要素と、上アーム、下アーム共に半導体スイッチング素子を有する第１ブリッジとを備えた変換器セルが、それぞれ１あるいは複数直列接続されて成る第１アームと第２アームとが直列接続され、その接続点が各相交流端子に接続される複数のレグ回路を正負の直流端子間に並列接続して備え、多相交流と直流との間で電力変換を行う電力変換器と、該電力変換器を制御する制御装置とを備えた電力変換装置において、

前記各レグ回路の前記第１アーム内の前記変換器セルは、前記エネルギ蓄積要素と、前記第１ブリッジと、上アーム、下アーム共に半導体スイッチング素子を有する第２ブリッジとを備えたフルブリッジ構成の第１変換器セルであり、前記第２アーム内の前記変換器セルは、前記エネルギ蓄積要素と、前記第１ブリッジとを備えるハーフブリッジ構成の第２変換器セルである。

また、本発明に係る電力システムは、上記のように構成された電力変換装置を複数個備え、各前記電力変換装置の前記電力変換器における前記直流端子が互いに接続されたものである。

## 発明の効果

[0011] この発明に係る電力変換装置によれば、直流端子間が短絡した際の短絡電流を抑制することができる。さらに装置構成の小型化および低コスト化が可能で、信頼性の高い電力変換装置を提供することができる。

また、この発明に係る電力システムによれば、直流端子間が短絡した際の短絡電流を抑制することの可能な複数個の電力変換装置を直流側で接続して構成されるものなので、大きな直流電力を扱える信頼性の高い電力システムを提供することができる。

## 図面の簡単な説明

[0012] [図1]本発明の実施の形態１による電力変換装置を示す概略構成図である。

[図2]本発明の実施の形態１による第１アーム内の各第１変換器セルの回路構成を示す図である。

[図3]本発明の実施の形態１による第２アーム内の各第２変換器セルの回路構成を示す図である。

[図4]本発明の実施の形態１による第１変換器セルの各半導体スイッチング素子のスイッチング状態と、第１変換器セルの出力状態とを示す図である。

[図5]本発明の実施の形態１による第２変換器セルの各半導体スイッチング素子のスイッチング状態と、第２変換器セルの出力状態とを示す図である。

[図6]本発明の実施の形態１による電力変換装置の制御動作を示すフロー図である。

[図7]本発明の実施の形態１による電力変換器１における短絡電流の経路を示す図である。

[図8]本発明の実施の形態１による第１変換器セルにおける短絡電流の経路を示す図である。

[図9]本発明の実施の形態１による第２変換器セルにおける短絡電流の経路を示す図である。

[図10]本発明の実施の形態１による電力変換器の回路構成例を示す図である。

[図11]本発明の実施の形態１による電力変換器の回路構成例を示す図である。

[図12]本発明の実施の形態１による電力変換器の回路構成例を示す図である。

[図13]本発明の実施の形態２による電力変換装置の制御動作を示すフロー図である。

[図14]本発明の実施の形態３による電力変換装置を示す概略構成図である。

[図15]本発明の実施の形態３による電力変換装置の制御動作を示すフロー図

である。

[図16]本発明の実施の形態４による電力変換装置の制御動作を示すフロー図である。

[図17]本実施の形態の形態５による第１変換器セルの回路構成例を示す図である。

[図18]本実施の形態の形態５による第１変換器セルの回路構成例を示す図である。

[図19]本実施の形態の形態５による第１変換器セルの回路構成例を示す図である。

[図20]本実施の形態の形態５による第１変換器セルの回路構成例を示す図である。

[図21]本実施の形態の形態５による第１変換器セルの回路構成例を示す図である。

[図22]本実施の形態の形態５による第２変換器セルの回路構成例を示す図である。

[図23]本実施の各形態の形態に適用されるゲート駆動回路の回路構成の概略を示す図である。

[図24]本実施の形態の形態６による制御装置の制御ブロック図である。

[図25]本実施の形態の形態７による直流送電システムの回路構成例を示す図である。

[図26]本実施の形態の形態７による直流送電システムの他の回路構成例を示す図である。

## 発明を実施するための形態

[0013] 実施の形態１．

以下、本発明の実施の形態１による電力変換装置１００について図を用いて説明する。

図１は、本発明の実施の形態１による電力変換装置１００を示す概略構成図である。

図に示すように、電力変換装置１００は、主回路である電力変換器１と、電力変換器１を制御する制御装置２とを備える。電力変換器１は、多相交流としての３相交流と、直流との間で電力変換を行うものであり、交流側は各交流端子Ｕ、Ｖ、Ｗに接続され、直流側は各直流端子Ｐ、Ｎにそれぞれ接続される。

[0014] 電力変換器１は、Ｕ相、Ｖ相、Ｗ相の３つのレグ回路３を備えている。各レグ回路３は、複数の第１変換器セル１０が直列接続されて成る第１アーム４と、複数の第２変換器セル１５が直列接続されて成る第２アーム５とを有し、この第１アームと第２アームとが直列接続されて構成されている。各レグ回路３は、正負の直流端子Ｐ、Ｎ間に並列接続されている。各レグ回路３の第１アーム４と第２アーム５との接続点が各相交流端子Ｕ、Ｖ、Ｗにそれぞれ接続される。

[0015] 本実施の形態において各レグ回路３の第１アーム４は、複数の変換器セル１０により構成されているが、１台の第１変換器セル１０のみを備える場合もある。また同様に、各レグ回路３の第２アーム５も、複数の変換器セル１５により構成される場合だけでなく、１台の第２変換器セル１５のみを備える場合もある。

各第１アーム４には正側リアクトルＬｐが直列接続され、各第２アーム５には負側リアクトルＬｎが直列接続される。

直流端子Ｐ側には電流検出器１１が接続されており、直流端子Ｐに流れる電流を検出している。

[0016] 図２（ａ）、図２（ｂ）は、本発明の実施の形態１による第１アーム４内の各第１変換器セル１０の回路構成を示す図である。なお、第１変換器セル１０は、後述の実施の形態において他の回路構成を用いるため、本実施の形態で用いる第１変換器セル１０は、第１変換器セル１０Ａ、１０Ｂとして示す。

[0017] 図２（ａ）に示すように、第１変換器セル１０Ａは、エネルギ蓄積要素としてのキャパシタ２０と、このキャパシタ２０に並列接続された２つのブリ

ッジ（第１ブリッジとしてのＬｅｇＡ、第２ブリッジとしてのＬｅｇＢ）とを備えるフルブリッジ構成である。第１ブリッジＬｅｇＡは、半導体スイッチング素子２１ｓに還流ダイオード２１ｄが逆並列接続された半導体スイッチ２１を上アームに備える。さらに第１ブリッジＬｅｇＡは、半導体スイッチング素子２２ｓに還流ダイオード２２ｄを逆並列接続された半導体スイッチ２２を下アームに備える。この半導体スイッチ２１と半導体スイッチ２２とは直列接続されている。また、第２ブリッジＬｅｇＢは、半導体スイッチング素子２３ｓに還流ダイオード２３ｄが逆並列接続された半導体スイッチ２３を上アームに備える。さらに第２ブリッジＬｅｇＢは、半導体スイッチング素子２４ｓに還流ダイオード２４ｄが逆並列接続された半導体スイッチ２４を下アームに備える。この半導体スイッチ２３と半導体スイッチ２４とは直列接続されている。

[0018] 図２（ｂ）に示すように、第１変換器セル１０Ｂは、第１変換器セル１０Ａの第１ブリッジＬｅｇＡと第２ブリッジＬｅｇＢとを逆にしたものである。即ち、第１変換器セル１０Ｂでは、半導体スイッチング素子２１ｓ、２２ｓを有し、正極の出力端子Ｐｏに接続されるブリッジを第２ブリッジとしてのＬｅｇＢとし、半導体スイッチング素子２３ｓ、２４ｓを有し、負極の出力端子Ｎｏに接続されるブリッジを第１ブリッジとしてのＬｅｇＡとしている。

[0019] 本実施の形態では、上記のように第１変換器セル１０として、異なる構成の第１変換器セル１０Ａと第１変換器セル１０Ｂとを示したが、どちらを電力変換器１に用いても本実施の形態における効果は同じである。以降、第１変換器セル１０Ａと第１変換器セル１０Ｂとの区別が不要な場合は、単に第１変換器セル１０と記載する。

[0020] 半導体スイッチ２１と半導体スイッチ２２との接続点には、第１変換器セル１０の正極の出力端子Ｐｏが設けられ、半導体スイッチ２３と半導体スイッチ２４との接続点には、第１変換器セル１０の負極の出力端子Ｎｏが設けられる。図１に示すように、第１変換器セル１０の正極の出力端子Ｐｏは、

他の変換器セル１０の負極の出力端子Ｎｏへ接続される。

[0021] 図３（ａ）、図３（ｂ）は、本発明の実施の形態１による第２アーム５内の各第２変換器セル１５の回路構成を示す図である。なお、第２変換器セル１５は、後述の実施の形態において他の回路構成を用い、本実施の形態においては２種類の回路構成のものを示す。このため、本実施の形態で用いる第２変換器セル１５は、第２変換器セル１５Ａ、第２変換器セル１５Ｂとして示す。

第２変換器セル１５Ａ、１５Ｂは、それぞれが、エネルギ蓄積要素としてのキャパシタ４０と、このキャパシタ４０に並列接続された第１ブリッジとしてのＬｅｇＡａとを備えるハーフブリッジ構成である。

[0022] 図３（ａ）に示す第２変換器セル１５Ａの第１ブリッジＬｅｇＡａは、半導体スイッチング素子４１ｓに還流ダイオード４１ｄが逆並列接続された半導体スイッチ４１を上アームに備える。さらに第１ブリッジＬｅｇＡａは、半導体スイッチング素子４２ｓに還流ダイオード４２ｄが逆並列接続された半導体スイッチ４２を下アームに備える。この半導体スイッチ４１と半導体スイッチ４２とは直列接続されている。半導体スイッチ４１と半導体スイッチ４２との接続点には、第２変換器セル１５Ａの正極の出力端子Ｐｏが設けられる。また、半導体スイッチング素子４２ｓのエミッタ側とキャパシタ４０との接続点には、第２変換器セル１５Ａの負極の出力端子Ｎｏが設けられる。

[0023] 図３（ｂ）に示す第２変換器セル１５Ｂの第１ブリッジＬｅｇＡａは、半導体スイッチング素子５１ｓに還流ダイオード５１ｄが逆並列接続された半導体スイッチ５１を上アームに備える。さらに第１ブリッジＬｅｇＡａは、半導体スイッチング素子５２ｓに還流ダイオード５２ｄが逆並列接続された半導体スイッチ５２を下アームに備える。この半導体スイッチ５１と半導体スイッチ５２とは直列接続されている。半導体スイッチ５１と半導体スイッチ５２との接続点には、第２変換器セル１５Ｂの負極の出力端子Ｎｏが設けられる。また、半導体スイッチング素子５１ｓのコレクタ側とキャパシタ４

０との接続点には、第２変換器セル１５Ａの正極の出力端子Ｎｏが設けられる。

[0024] 本実施の形態では、上記のように第２変換器セル１５として、異なる回路構成の第２変換器セル１５Ａと第２変換器セル１５Ｂとを示したが、どちらを電力変換器１に用いても本実施の形態における効果は同じである。以降、第２変換器セル１５Ａと第２変換器セル１５Ｂとの区別が不要な場合は、単に第２変換器セル１５と記載する。

図１に示すように、第２変換器セル１５の正極の出力端子Ｐｏは、他の変換器セル１５の負極の出力端子Ｎｏへ接続される。

[0025] 本実施の形態では、第１アーム４内の変換器セルの全てが上述のフルブリッジ構成の第１変換器セル１０であり、第２アーム５内の変換器セルの全てが上記のハーフブリッジ構成の第２変換器セル１５である。

なお、上記の各半導体スイッチング素子には、ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ－Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）、ＧＣＴ（Ｇａｔｅ Ｃｏｍｍｕｔａｔｅｄ Ｔｕｒｎ－ｏｆｆ ｔｈｙｒｉｓｔｏｒ）、ＭＯＳＦＥＴ（Ｍｅｔａｌ－Ｏｘｉｄｅ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ－Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）などの半導体スイッチング素子が使用される。また、ダイオード（ボディダイオード）が内在する半導体スイッチング素子を用いる場合では、上記の還流ダイオードを省略してもよい。

[0026] 次に、第１変換器セル１０Ａの動作モードについて図に基づいて説明する。

図４は、本発明の実施の形態１による第１変換器セル１０の各半導体スイッチング素子２１ｓ～２４ｓのスイッチング状態（図においてＳＷ状態として示す）と、第１変換器セル１０の出力状態（図において動作モードとして示す）とを示す図である。

半導体スイッチング素子２１ｓ、２４ｓがオン状態、半導体スイッチング素子２２ｓ、２３ｓがオフ状態の場合、第１変換器セル１０の出力端子Ｐｏ

、Ｎｏ間にはキャパシタ２０の両端電圧が出力される（モード１）。

半導体スイッチング素子２２ｓ、２４ｓがオン状態、半導体スイッチング素子２１ｓ、２３ｓがオフ状態の場合、零電圧出力となる（モード２）。

半導体スイッチング素子２１ｓ、２３ｓがオン状態、半導体スイッチング素子２２ｓ、２４ｓがオフ状態の場合、零電圧出力となる（モード３）。

半導体スイッチング素子２２ｓ、２３ｓがオン状態、半導体スイッチング素子２１ｓ、２４ｓがオフ状態の場合、第１変換器セル１０Ａの出力端子間にはキャパシタ２０の負の両端電圧が出力される（モード４）。

全ての半導体スイッチング素子２１ｓ、２２ｓ、２３ｓ、２４ｓがオフ状態の場合は保護モードとなり、ダイオード整流器として動作する（モード５）。この保護モードの詳細については後述する。

[0027] なお、上記のモード１とモード４との間で切り替えを行う際には、デッドタイムと呼ばれる短絡防止期間を設けてもよい。このデッドタイムの期間では、第１ブリッジＬｅｇＡの半導体スイッチング素子２１ｓ、２２ｓと、第２ブリッジＬｅｇＢの半導体スイッチング素子２３ｓ、２４ｓが全てオフ状態となる。

また、ＰＷＭ（Ｐｕｌｓｅ－Ｗｉｄｔｈ　Ｍｏｄｕｌａｔｉｏｎ）制御を用いれば、スイッチング１周期の平均電圧を、所望の電圧（発明者所望の電圧指令）と等しくすることができる。例えば、図４に示すモード１とモード４とを時間比率１：１で切りかえれば、平均出力電圧は零となるので、図４のモード２、モード３と同等の出力を得ることができる。

[0028] 次に、第２変換器セル１５の動作モードについて図に基づいて説明する。

図５は、本発明の実施の形態１による第２変換器セル１５Ａの各半導体スイッチング素子４１ｓ、４２ｓ、第２変換器セル１５Ｂの各半導体スイッチング素子５１ｓ、５２ｓのスイッチング状態（図においてＳＷとして示す）と、第２変換器セル１５Ａ、１５Ｂの出力状態（図において動作モードとして示す）とを示す図である。

半導体スイッチング素子４１ｓ（５２ｓ）がオン状態、半導体スイッチン

グ素子４２ｓ（５１ｓ）がオフ状態の場合、第２変換器セル１５Ａ、１５Ｂの出力端子Ｐｏ、Ｎｏ間にはキャパシタ４０の両端電圧が出力される（モード１）。

半導体スイッチング素子４２ｓ（５１ｓ）がオン状態、半導体スイッチング素子４１ｓ（５２ｓ）がオフ状態の場合、零電圧出力となる（モード２）。

全ての半導体スイッチング素子４１ｓ、４２ｓ、５１ｓ、５２ｓがオフ状態の場合は保護モードとなる（モード３）。

[0029] キャパシタ２０、４０の電圧を同じとすると、図４に示す第１変換器セル１０Ａのモード１（キャパシタ２０の両端電圧を出力）の出力電圧は、図５に示す第２変換器セル１５Ａ、１５Ｂのモード１（キャパシタ４０の両端電圧を出力）の出力電圧と等価である。また、図４に示す第１変換器セル１０Ａのモード２、モード３（零電圧出力）の出力電圧は、図５に示す第２変換器セル１５Ａ、１５Ｂのモード２（零電圧出力）の出力電圧と等価である。

[0030] 本実施の形態では、第１変換器セル１０Ａを、モード１、モード２、モード５のみを用いて制御する。このように第１変換器セル１０Ａを、モード１、モード２、モード５のみで制御する場合では、第１変換器セル１０Ａの第２ブリッジＬｅｇＢ内の半導体スイッチング素子２３ｓは常にオフ状態に固定される。またこの場合、半導体スイッチング素子２４ｓは、保護モード時以外の定常運転時においては、常にオン状態に固定された状態となり、スイッチング動作は行われない。なお、保護モードは、後述する直流端子間短絡の際に用いる制御である。

定常運転時では、第１変換器セル１０Ａの第２ブリッジＬｅｇＢにおける半導体スイッチング素子２３ｓ、２４ｓをオン状態またはオフ状態に固定してスイッチング動作を行わない状態にすると、第１変換器セル１０Ａの第１ブリッジＬｅｇＡのスイッチング制御は、第２変換器セル１５Ａの第１ブリッジＬｅｇＡａのスイッチング制御と等価になる。これにより、フルブリッジ構成の第１変換器セル１０Ａをハーフブリッジ構成の第２変換器セル１５

Ａと同様に制御できる。

[0031] また、本実施の形態では、第１変換器セル１０Ｂを、モード１、モード３、モード５のみを用いて制御する。このように第１変換器セル１０Ｂを、モード１、モード３、モード５のみで制御する場合では、第１変換器セル１０Ｂの第２ブリッジＬｅｇＢ内の半導体スイッチング素子２２ｓは常にオフ状態に固定される。またこの場合、半導体スイッチング素子２１ｓは、保護モード時以外の定常運転時においては、常にオン状態に固定された状態となり、スイッチング動作は行われない。

定常運転時では、第１変換器セル１０Ｂの第２ブリッジＬｅｇＢにおける半導体スイッチング素子２１ｓ、２２ｓをオン状態またはオフ状態に固定してスイッチング動作を行わない状態にすると、第１変換器セル１０Ｂの第１ブリッジＬｅｇＡのスイッチング制御は、第２変換器セル１５Ｂの第１ブリッジＬｅｇＡａのスイッチング制御と等価になる。これにより、フルブリッジ構成の第１変換器セル１０Ｂをハーフブリッジ構成の第２変換器セル１５Ｂと同様に制御できる。

[0032] このように定常運転時において、第１変換器セル１０は、第２ブリッジＬｅｇＢを固定制御してハーフブリッジ構成の第２変換器セル１５と同様に制御できるため、例えば、上記非特許文献１に記載される制御方法を用いて以下のように制御する。

[0033] 制御装置２は、第１アーム４、第２アーム５の各変換器セル（第１変換器セル１０、第２変換器セル１５）に対し電圧指令を演算する。各変換器セルの電圧指令は、各変換器セルの直流電圧平均値をキャパシタ電圧指令値に追従させる平均値制御、および各変換器セルの直流電圧を均一化するバランス制御によりキャパシタ電圧を制御しつつ、所望の交流電圧および直流電圧を発生させるように演算される。そして、制御装置２は、演算された電圧指令に基づいて、第１変換器セル１０の第１ブリッジＬｅｇＡおよび第２変換器セル１５、即ち、第１ブリッジＬｅｇＡおよび第１ブリッジＬｅｇＡａ内の各半導体スイッチング素子をＰＷＭによりスイッチング制御するための制御

信号を生成する。この制御信号は、ＬｅｇＢを固定制御するための制御信号と共に、制御装置２から各変換器セル（第１変換器セル１０、第２変換器セル１５）に制御信号２ａとして出力される。

[0034] 以降、第２ブリッジＬｅｇＢ内でオン状態に固定されるスイッチング素子をオン固定素子と称し、オフ状態に固定される素子をオフ固定素子と称す。

[0035] 以下、本発明の実施の形態１による電力変換装置１００の制御動作について説明する。

図６は、本発明の実施の形態１による電力変換装置１００の制御動作を示すフロー図である。

運転開始指令が出力されると（ステップＳ１）、制御装置２は定常運転を開始する（ステップＳ２）。この定常運転において制御装置２は、第１アーム４内の第１変換器セル１０Ａ（１０Ｂ）の第２ブリッジＬｅｇＢにおける半導体スイッチング素子２３ｓ（２２ｓ）をオフ固定素子としてオフ状態に固定し、半導体スイッチング素子２４ｓ（２１ｓ）をオン固定素子としてオン状態に固定する。そして制御装置２は、第１アーム４内の第１変換器セル１０Ａの第１ブリッジＬｅｇＡにおける半導体スイッチング素子２１ｓ、２２ｓ（２２ｓ、２４ｓ）と、第２アーム５内の第２変換器セル１５Ａ（１５Ｂ）の第１ブリッジＬｅｇＡａにおける半導体スイッチング素子４１ｓ、４２ｓ（５１ｓ、５２ｓ）とを前述の電圧指令に基づいて、ＰＷＭ制御によりスイッチング制御する（ステップＳ２）。

[0036] 次に、直流端子Ｐに流れる電流を電流検出器１１により検出する（ステップＳ３）。

次に、制御装置２の短絡判別部が、検出した電流値に基づいて、直流端子Ｐ、Ｎ間での短絡発生の有無を判別する（ステップＳ４）。この短絡判別部は、検出した電流値が所定値以上の場合に、直流端子Ｐ、Ｎ間で短絡が発生したと判別する（単に過電流である場合も含む）。

[0037] 制御装置２の短絡判別部が直流端子Ｐ、Ｎ間の短絡を検出すると（ステップＳ４、Ｙｅｓ）、制御装置２は保護モードの運転を開始する。この保護モ

ードにおいて、制御装置２は、各レグ回路３の第１アーム４に対し、第１変換器セル１０内の全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせると共に、各レグ回路３の第２アーム５に対し、第２変換器セル１５Ａ（１５Ｂ）内の全ての半導体スイッチング素子４１ｓ、４２ｓ（５１ｓ、５２ｓ）をオフさせる（ステップＳ５）。

[0038] 保護モードの運転を開始した場合は、交流端子Ｕ、Ｖ、Ｗと直流端子Ｐ、Ｎとの間の電力のやり取りを行う動作の再開である再起動を待つ（ステップＳ６）。

ステップＳ４にて、制御装置２の短絡判別部が直流端子Ｐ、Ｎ間の短絡を検出しなかった場合は、ステップＳ３に戻り、電流検出（ステップＳ３）と短絡判別（ステップＳ４）とを周期的に繰り返し行う。

[0039] 以下、上記保護モードの効果について図に基づいて説明する。

図７は、本発明の実施の形態１による電力変換器１において、直流端子Ｐ、Ｎ間が短絡した際の短絡電流ｉａの経路を示す図である。

図８は、本発明の実施の形態１による第１変換器セル１０Ａ（１０Ｂ）において、直流端子Ｐ、Ｎ間が短絡した際の短絡電流ｉａの経路を示す図である。

図９は、本発明の実施の形態１による第２変換器セル１５Ａ、１５Ｂにおいて、直流端子Ｐ、Ｎ間が短絡した際の短絡電流ｉａの経路を示す図である。

[0040] 図７、図８、図９に示すように、直流端子Ｐ、Ｎ間で短絡が発生すると、各図中の矢印で示すような経路で短絡電流ｉａが流れる。

図８に示すように、フルブリッジ構成の第１変換器セル１０では、直流端子Ｐ、Ｎ間の短絡が発生した際に半導体スイッチング素子２１ｓ～２４ｓを全てオフとすると、ダイオード整流器のような短絡電流経路となる。この場合、第１変換器セル１０の出力端子Ｎｏ、Ｐｏ間の電圧が、キャパシタ２０の電圧を上回らなければ、還流ダイオード２３ｄ、２２ｄは導通せず、短絡電流ｉａは流れない。

第１変換器セル１０の出力端子Ｐｏ、Ｎｏは直列に接続されているので、電力変換器１全体で考えると、短絡電流経路内に接続される第１アーム４内の各第１変換器セル１０のキャパシタ２０の電圧の総和が、交流端子間の電圧より高ければ短絡電流ｉａは流れない。

すなわち、「交流端子間電圧の最大値」÷「各変換器セル１０のキャパシタ２０の電圧」で求められる変換器セル数よりも多くの第１変換器セル１０を、第１アーム４内に有していれば短絡電流ｉａは流れない。

なお、ここでいうキャパシタ２０の電圧とは、製品カタログ上の定格使用電圧ではなく、電力変換装置１００を実際に使用した状態におけるキャパシタ２０の充電電圧（使用電圧）である。

[0041] 図９に示すように、ハーフブリッジ構成の第２変換器セル１５Ａ（１５Ｂ）では、直流端子Ｐ、Ｎ間の短絡が発生した際に半導体スイッチング素子４１ｓ、４２ｓ（５１ｓ、５２ｓ）をオフとしても、還流ダイオード４２ｄ（５１ｄ）を通る電流経路が存在する。このため、仮に短絡電流ｉａが流れるとすると、出力端子Ｎｏから還流ダイオード４２ｄ（５１ｄ）を介して出力端子Ｐｏに流れる。

この場合、第２変換器セル１５Ａ（１５Ｂ）の半導体スイッチング素子をオフさせるのは、スイッチング動作による交流端子Ｕ、Ｖ、Ｗへの影響を低減するためであり、短絡電流ｉａの抑制には寄与しない。

[0042] なお、本実施の形態の電力変換装置１００では、定常運転時における電力変換器１の動作を正常に維持する目的で、キャパシタ２０の電圧の総和を交流端子間の電圧（例えば系統電圧に接続する場合は系統電圧）よりも高くなるように設定している。そのため、保護モードの運転時に第１変換器セル１０の半導体スイッチング素子２１ｓ～２４ｓを全てオフすれば、原則短絡電流ｉａは流れない。また仮に短絡電流ｉａが流れたとしてもキャパシタ２０が電流を抑制するように働くため、短絡電流ｉａは抑制され僅かである。

[0043] 上記のように構成された本実施の形態の電力変換装置１００によると、電力変換器１は直流端子Ｐ、Ｎと交流端子Ｕ、Ｖ、Ｗとの間に配置され、正側

の直流端子Ｐに接続される第１アーム４と、負側の直流端子Ｎに接続される第２アーム５とを備え、直流と交流との間で大容量の電力変換を行うことを可能にしている、そして、電力変換器１の各レグ回路３は第１アーム４にフルブリッジ構成の第１変換器セル１０を用い、第２アーム５にハーフブリッジ構成の第２変換器セル１５を用いる。このため、直流端子Ｐ、Ｎ間で短絡が発生した際に、第１アーム４内の第１変換器セル１０における全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせることで、短絡電流ｉａを抑制することが可能になる。こうして短絡電流ｉａによる電力変換装置１００内の素子の劣化を防止することができ、電力変換装置１００の耐久性を向上させつつ少エネルギ化を図ることができる。また、このように、第２アーム５を構成する変換器セルにはハーフブリッジ構成の第２変換器セル１５Ａ、１５Ｂを用い、フルブリッジ構成の変換器セルは用いない。このため、使用する半導体スイッチング素子数を削減し、装置を小型化して低コスト化を実現できる。

[0044] このように、半導体スイッチング素子の劣化を防止しつつ、その使用点数を少なくすることができる。そのため、半導体スイッチング素子の故障率が低下し、電力変換装置１００の信頼性を向上させることができる。

さらに、電力変換装置の定常運転時において、第２ブリッジＬｅｇＢの半導体スイッチング素子の一方をオン固定素子とし、他方をオフ固定素子として制御し、スイッチング動作をさせない。このため制御装置２における制御回路の簡素化を図ることができる。これにより、更に電力変換装置１００を小型化することができる。

[0045] また、電力変換装置１００の定常運転時において、第２ブリッジＬｅｇＢ内でオフ状態に固定されるオフ固定素子（半導体スイッチング素子２３ｓ（２２ｓ））には、保護モード時の短い時間にのみ電流が流れる。このため、定常的に電流が流れる他の半導体スイッチング素子（オン固定素子や、第１ブリッジＬｅｇＡ（ＬｅｇＡａ）内の半導体スイッチング素子）およびそれに逆並列に接続される還流ダイオードの定格電流よりも、オフ固定素子の定

格電流を小さく設定することができる。

定格電流を小さくする方法としては、例えば半導体素子のチップ面積を小さくするなどがある。

[0046] なお、上記では、フルブリッジ構成の第１変換器セル１０で構成された第１アーム４は正側の直流端子Ｐに接続され、ハーフブリッジ構成の第２変換器セル１５で構成された第２アーム５は負側の直流端子Ｎに接続される例を用いて説明したが、これは逆でもよい。すなわち、フルブリッジ構成の第１変換器セル１０で構成された第１アーム４を負側の直流端子Ｎに接続し、ハーフブリッジ構成の第２変換器セル１５で構成された第２アーム５を正側の直流端子Ｐに接続するものでもよい。

このように、上記各レグ回路３を構成する正負のアームの一方が、フルブリッジ構成の第１変換器セル１０で構成され、他方がハーフブリッジ構成の第２変換器セル１５で構成されていればよい。

[0047] また、正側リアクトルＬｐ、負側リアクトルＬｎの構成および電流検出器１１の構成は、図１で示したものに限らない。

図１では、電流検出器１１を正側の直流端子Ｐ側に設けたが、負側の直流端子Ｎ側に設けても良い。

電流検出器１１は、直流端子Ｐ、Ｎ間の短絡を検出する為に、少なくとも電力変換器１内の半導体スイッチング素子に流れる電流を直接、或いは間接に検出できるものであれば良い。

以下、本実施の形態における電力変換器の他の回路構成例を図に基づいて説明する。

図１０～図１２は、本発明の実施の形態１による電力変換器の回路構成例を示す図である。

[0048] 図１０に示す電力変換器１ａでは、正側リアクトルと負側リアクトルとが結合された３端子のリアクトルＬｐｎが、交流端側に接続されている。また、各相の正側アーム（この場合、第１アーム４）の正極側に、それぞれ電流検出器１１Ｕ、１１Ｖ、１１Ｗを設けている。

[0049] 図１１に示す電力変換器１ｂでは、負側リアクトルＬｎのみが、各相の負側アーム（この場合、第２アーム５）に接続されている。なお、正側リアクトルＬｐのみが、各相の正側アームに接続されても良い。

[0050] 正側リアクトルＬｐ、負側リアクトルＬｎは、インダクタンス成分があれば良く、ケーブルなどの配線のインダクタンスを用いても良い。図１２に示す電力変換器１ｃでは、リアクトルを接続せずに、配線のインダクタンスを利用する構成である。

[0051] 実施の形態２.

以下、本発明の実施の形態２を、上記実施の形態１と異なる箇所を中心に図を用いて説明する。上記実施の形態１と同様の部分は同一符号を付して説明を省略する。

図１３は、本発明の実施の形態２による電力変換装置の制御動作を示すフロー図である。

以下、本発明の実施の形態２による電力変換装置の制御動作について説明する。

実施の形態１に示した、ステップＳ１～ステップＳ４までの制御動作は本実施の形態についても同様のものであり、説明は省略する。

本実施の形態では、直流端子Ｐ、Ｎ間が短絡した際にも、交流端子Ｕ、Ｖ、Ｗ側に対して無効電力を出力することができる点が実施の形態１と異なる。

[0052] 以下、直流端子Ｐ、Ｎ間が短絡した際の保護モードの運転動作について説明する。

ステップＳ４において、制御装置２の短絡判別部が直流端子Ｐ、Ｎ間の短絡を検出すると、制御装置２は保護モードの運転を開始する。この保護モードにおいて、制御装置２は、各レグ回路３の第１アーム４に対し、第１変換器セル１０内の全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせると共に、第２アーム５に対し、無効電力保障動作をするように各第２変換器セル１５を出力制御する（ステップＳ１５）。

保護モードの運転を開始した場合は、交流端子Ｕ、Ｖ、Ｗと直流端子Ｐ、Ｎとの間の電力のやり取りを行う動作の再開である再起動を待つ（ステップＳ６）。

[0053] このように、制御装置２は、第２アーム５内の第２変換器セル１５をＳＴＡＴＣＯＭ（Ｓｔａｔｉｃ Ｓｙｎｃｈｒｏｎｏｕｓ Ｃｏｍｐｅｎｓａｔｏｒ）として動作させる。第１変換器セル１０内の全ての半導体スイッチング素子２１ｓ～２４ｓがオフされると、第２アーム５の３相分の第２変換器セル１５は、スター結線方式のモジュラーマルチレベル変換器と同様の構成となる。この場合、例えば、上記非特許文献２に記載される制御方法を用いて以下のように制御する。

制御装置２は、各第２変換器セル１５のキャパシタ電圧を制御しつつ、所望の交流電圧の無効電力を交流端子Ｕ、Ｖ、Ｗに発生させるように電圧指令を演算する。そして、演算された電圧指令に基づいて、各第２変換器セル１５内の各半導体スイッチング素子をＰＷＭ制御によりスイッチング制御することにより、第２アーム５の各第２変換器セル１５は、無効電力補償動作を行う。

[0054] なお、この場合、第２変換器セル１５はハーフブリッジ構成であり、第２変換器セル１５は正の電圧出力しかできない。そこで、制御装置２は、全相Ｕ、Ｖ、Ｗで共通の直流電圧を重畳した電圧指令を用いて無効電力保障動作を制御する。これにより、各第２変換器セル１５の出力に直流電圧成分が重畳されて、第２変換器セル１５から交流電圧の出力が可能となる。重畳された直流電圧により零相電圧が発生するが、交流電圧に影響を与えない。

こうして、上記非特許文献２に記載の技術を用い、更に第２変換器セル１５の出力に直流電圧成分を重畳する制御を追加することで、第２アーム５内の第２変換器セル１５をＳＴＡＴＣＯＭとして動作させることが可能になる。

[0055] 上記のように構成された本実施の形態の電力変換装置によると、上記実施の形態１と同様の効果を奏し直流端子Ｐ、Ｎ間が短絡した際に、第１アーム

４内の第１変換器セル１０Ａにおける全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせる。そのため、短絡電流ｉａを抑制することが可能になる。これにより、短絡電流ｉａによる電力変換装置内の素子の劣化を防止することができ、電力変換装置の耐久性を向上させつつ少エネルギ化を図ることができる。また使用する半導体スイッチング素子数を削減し、装置を小型化して低コスト化を実現できる。そのため、半導体スイッチング素子の故障率が低下し、電力変換装置の信頼性を向上させることができる。

さらに、直流端子Ｐ、Ｎ間の短絡時において、第２アーム５内の第２変換器セル１５をＳＴＡＴＣＯＭとして動作させる。そのため、短絡が発生した場合においても継続的に交流端子Ｕ、Ｖ、Ｗに対して無効電力を出力することができ、電力変換装置の高性能化が可能となる。

[0056] なお、上記ステップＳ１５において、第１アーム４内の第１変換器セル１０における全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせる制御と、第２アーム５に対し無効電力保障動作をするように各第２変換器セル１５を出力制御する制御とは、同時に行ってもよいし、順番が前後してもよい。

[0057] 実施の形態３．

以下、本発明の実施の形態３を、上記実施の形態１、２と異なる箇所を中心に図を用いて説明する。上記実施の形態１、２と同様の部分は説明を省略する。

図１４は、本発明の実施の形態３による電力変換装置１００ａを示す概略構成図である。

本実施の形態では、電力変換器１ｄの直流端子Ｐ側に開閉部としての開閉器８が接続されている。なお、開閉器８は、電力変換装置１００ａに内在してもよいし、電力変換装置１００ａ自体には備えず外付けで接続するものでもよい。

[0058] 以下、本発明の実施の形態３による電力変換装置１００ａの制御動作について図に基づいて説明する。

図１５は、本発明の実施の形態３による電力変換装置１００ａの制御動作を示すフロー図である。

本実施の形態では、直流端子Ｐ、Ｎ間が短絡した際に、第２アーム５内の第２変換器セル１５だけでなく、さらに第１アーム４内の第１変換器セル１０をＳＴＡＴＣＯＭとして運転させて、交流端子Ｕ、Ｖ、Ｗ側に対して無効電力を出力する点が実施の形態２と異なる。

[0059] まず、運転開始指令が出力されると（ステップＳ１１）、制御装置２は、開閉器８を閉状態に動作させて電力変換装置１００ａの定常運転を開始する。本実施の形態におけるステップＳ１１～ステップＳ１５までの制御動作は、実施の形態２におけるステップＳ１～Ｓ１５と同様のものである。そのため、ステップＳ１１～ステップＳ１３についての説明は省略する。

[0060] 実施の形態２のステップ４と同様に、本実施の形態のステップＳ１４において、制御装置１２の短絡判別部が直流端子Ｐ、Ｎ間の短絡を検出すると、制御装置１２は保護モードの運転を開始する。そして制御装置１２は、各レグ回路３の第１アーム４に対し、第１変換器セル１０内の全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせると共に、電圧指令１２ａに基づいて、第２アーム５に対し、無効電力保障動作をするように各第２変換器セル１５を出力制御する（ステップＳ１５）。

[0061] 次に、制御装置１２は、開閉器８を開状態（オフ状態）に動作させる（ステップＳ１６）。

次に、制御装置１２は、電圧指令１２ａに基づいて、第１アーム４に対し、無効電力保障動作をするように各第１変換器セル１０を出力制御する（ステップＳ１７）。

次に、交流端子Ｕ、Ｖ、Ｗと直流端子Ｐ、Ｎとの間の電力のやり取りを行う動作の再開である再起動を待つ（ステップＳ１８）。

[0062] 本実施の形態では、開閉器８を開状態とすることで、直流端子Ｐ、Ｎ間の短絡状態を解消させる。このため、第１変換器セル１０の半導体スイッチング素子２１ｓ～２４ｓを全てオフとする必要がなくなる。これにより、第１

変換器セル１０を、第２変換器セル１５と同様にＳＴＡＴＣＯＭとして動作をさせることが可能になる。

[0063] 本実施の形態では、制御装置２は、第２アーム５内の第２変換器セル１５と第１アーム４内の第１変換器セル１０との双方に対し、全相Ｕ、Ｖ、Ｗで共通の直流電圧を重畳した電圧指令を用いて無効電力保障動作を制御する。これによる効果を以下にて説明する。

実施の形態２に示したような第２アーム内の第２変換器セル１５のみをＳＴＡＴＣＯＭとして動作をさせる場合では、重畳された直流電圧により零相電圧が発生する。

通常、この零相電圧は問題とはならないが、稀に、電力変換装置の交流端子Ｕ、Ｖ、Ｗに、リアクトルや変圧器等で三相の中性点を形成し、その中性点を接地する場合がある。その場合、上記の零相電圧によって、対地電流に相当する零相電流が流れることがある。

[0064] この対地電流は、他の機器の誤動作などの悪影響を及ぼすことがあるため、極力低減する必要がある。本実施の形態では、上記のように、第１アーム４内の各第１変換器セル１０の出力および第２アーム５内の各第２変換器セル１５の出力の両方に直流電圧成分を重畳する。このため、第１アーム４内の変換器セル１０が出力する直流の零相電圧と、第２アーム５内の変換器セル１５が出力する直流の零相電圧とは、極性が逆になってキャンセルされ、対地電流は流れない。

[0065] 上記のように構成された本実施の形態の電力変換装置１００ａによると、直流端子Ｐ、Ｎ間が短絡した際に、第１アーム４内の第１変換器セル１０における全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせた後に開閉器８を開状態にする。これにより、過大な短絡電流ｉａが流れることはなく、上記実施の形態１、２と同様の効果を奏し、短絡電流ｉａによる電力変換器１内の素子の劣化を防止することができ、電力変換装置１００ａの耐久性を向上させつつ少エネルギ化を図ることができる。また使用する半導体スイッチング素子数を削減し、装置を小型化して低コスト化を実現できる。その

ため、半導体スイッチング素子数の故障率が低下し、電力変換装置１００ａの信頼性を向上させることができる。

[0066] さらに、直流端子Ｐに接続された開閉器８を開状態に動作させることで、直流端子Ｐ、Ｎ間の短絡が発生した場合においても、第１アーム４内の各第１変換器セル１０と第２アーム５内の各第２変換器セル１５をＳＴＡＴＣＯＭとして動作させることが可能になる。

こうして、短絡が発生した場合においても、継続的に交流端子Ｕ、Ｖ、Ｗに対して無効電力を出力することができるので、電力変換装置１００ａの高性能化が可能となる。

[0067] また、本実施の形態では、制御装置２は、第１変換器セル１０と第２変換器セル１５との双方をＳＴＡＴＣＯＭとして動作させる。この場合、制御装置２は、各第１変換器セル１０の出力と各第２変換器セル１５の出力とに直流電圧成分を重畳するため、零相電圧をキャンセルすることができる。これにより、対地電流が流れることを防止でき、電力変換装置１００ａの信頼性が向上する。

[0068] さらに、制御装置１２は、第１アーム内の第１変換器セル１０Ａにおける全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせて短絡電流ｉａを抑制させた後に、開閉器８を開状態に動作させる。これにより開閉器８が開状態（オフ）となる時点においては、短絡電流ｉａが抑制されているため、開閉器８は、ゼロ電流もしくは極小さい短絡電流ｉａを遮断するだけでよい。そのため、開閉器８の電流遮断能力は小さくてもよく、例えば、開閉器８は、電力変換器１ａの定格直流電流の２倍よりも小さい電流を遮断可能なものでよい。ここで「２倍」とした理由は、一般的な電力変換装置の電流遮断能力が、定格直流電流の２倍程度を遮断可能であることに起因する。

[0069] なお、開閉部（開閉器８）は、遮断器や断路器であってもよく、また、機械式であってもよいし、半導体素子を用いたものでもよい。本実施の形態で用いる開閉器８とは、同電位にある２つの導体の電位を切り離す機能を有するものを意味する。

また、本実施の形態では、開閉器８を正側の直流端子Ｐに接続したが、負側の直流端子Ｎに接続するものでもよく、あるいは正側の直流端子Ｐと負側の直流端子Ｎとの両方に接続するものでもよい。

[0070] なお、ステップＳ１５において、第１アーム４内の第１変換器セル１０Ａにおける全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせる制御と、第２アーム５に対し無効電力保障動作をするように各第２変換器セル１５を出力制御する制御とは、同時に行ってもよいし、順番が前後してもよい。

またステップＳ１５の制御の後にステップ１６の開閉器８を開状態にする制御を行うものとしたがこれに限らない。一般的に開閉器８が実際に開状態（オフ）に動作するまでは５ｍｓ～１０ｍｓの時間を有するため、ステップＳ１５において保護モードでの制御を開始する際に、同時に開閉器８をオフさせる指令を出力させてもよい。

[0071] なお、第２変換器セル１５は継続的にＳＴＡＴＣＯＭとして動作させるとしたが、必要に応じて停止をさせ、直流端子Ｐ、Ｎ間の短絡が解消された後にのみ、第２変換器セル１５をＳＴＡＴＣＯＭとして動作させてもよい。

[0072] 実施の形態４．

以下、本発明の実施の形態４を、上記実施の形態１、２、３と異なる箇所を中心に図を用いて説明する。上記実施の形態１、２、３と同様の部分は説明を省略する。

本実施の形態では、直流端子Ｐ、Ｎ間が短絡した際に、第１アーム４内の第１変換器セル１０のみがＳＴＡＴＣＯＭとして運転を行うステップを有する点が他の実施の形態と異なる。

以下、本発明の実施の形態４による電力変換装置の制御動作について図に基づいて説明する。

図１６は、本発明の実施の形態４による電力変換装置の制御動作を示すフロー図である。

[0073] 本実施の形態におけるステップＳ１１～ステップＳ１６までの制御動作は、実施の形態３におけるステップＳ１１～Ｓ１６と同様のものである。以下

、ステップＳ１１～ステップ１４についての説明は省略する。

本実施の形態のステップＳ１５、ステップＳ１６も、実施の形態３のステップＳ１５、ステップＳ１６と同様である。制御装置１２の短絡判別部が直流端子Ｐ、Ｎ間の短絡を検出すると、制御装置１２は、各レグ回路３の第１アーム４に対し、第１変換器セル１０内の全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせると共に、電圧指令１２ａに基づいて、第２アーム５に対し、無効電力保障動作をするように各第２変換器セル１５を出力制御する。そして制御装置１２の短絡判別部が、開閉器８を開状態に動作させて開閉器８をオフにする。

[0074] 次に制御装置１２は、各レグ回路３の第１アーム４に対し、第２変換器セル１５内の全ての半導体スイッチング素子をオフさせると共に、第１アーム４に対し、無効電力保障動作をするように各第１変換器セル１０を出力制御する（ステップＳ１７）。

次に、交流端子Ｕ、Ｖ、Ｗと直流端子Ｐ、Ｎとの間の電力のやり取りを行う動作の再開である再起動を待つ（ステップＳ１８）。

[0075] 本実施の形態では、第１アーム４内の第１変換器セル１０のみをＳＴＡＴＣＯＭとして動作させる。第１変換器セル１０はフルブリッジ構成であり正負双方の電圧を出力し交流電圧の出力が可能であるため、零相電圧として直流電圧を第１変換器セル１０の出力に重畳する必要がない。

[0076] 上記のように構成された本実施の形態の電力変換装置によると、直流端子Ｐ、Ｎ間が短絡した際に、第１アーム４内の第１変換器セル１０における全ての半導体スイッチング素子２１ｓ～２４ｓをオフさせた後に開閉器８を開状態にする。これにより、過大な短絡電流ｉａが流れることはなく、上記実施の形態１、２、３と同様の効果を奏し、短絡電流ｉａによる電力変換器１内の素子の劣化を防止することができる。そのため、電力変換装置の耐久性を向上させつつ少エネルギ化を図ることができる。また使用する半導体スイッチング素子数を削減し、装置を小型化して低コスト化を実現できる。そのため、半導体スイッチング素子数の故障率が低下し、電力変換装置の信頼性

を向上させることができる。

[0077] さらに、直流端子Ｐに接続された開閉器８を開状態に動作させることで、保護モード時において、第１アーム４内の各第１変換器セル１０のみをＳＴＡＴＣＯＭとして動作させる。こうして、短絡が発生した場合においても、直流電圧成分による零相電圧を発生させることなく、継続的に交流端子Ｕ、Ｖ、Ｗに対して無効電力を出力することができるので、電力変換装置の高性能化が可能となる。

[0078] 実施の形態５．

次に、この発明の実施の形態５による電力変換装置を説明する。この実施の形態５の電力変換装置は、大電流容量用途に対応するため、実施の形態１の第１変換器セル１０および第２変換器セル１５の各第１ブリッジＬｅｇＡ、第２ブリッジＬｅｇＢ、第１ブリッジＬｅｇＡａにおける半導体スイッチング素子の数を増やして、並列接続する構成としたものである。

第１変換器セル１０および第２変換器セル１５の構成以外は、上記実施の形態１と同様である。また、この実施の形態で示す第１変換器セル１０および第２変換器セル１５の構成は、上記実施の形態１および実施の形態２で説明した電力変換装置１００、１００ａの制御に、同様に適用できる。

[0079] まず、第１変換器セル１０の２種の構成（第１変換器セル１０Ｃ、第１変換器セル１０Ｄ）を以下に示す。なお、第１変換器セル１０Ｃと第１変換器セル１０Ｄとは、第１ブリッジＬｅｇＡと第２ブリッジＬｅｇＢを逆にしたものである。

図１７は第１変換器セル１０Ｃ（１０Ｄ）の構成を示す回路図である。この第１変換器セル１０Ｃ（１０Ｄ）は、図２で示した第１変換器セル１０Ａ（１０Ｂ）の各アームの半導体素子を２個ずつ並列接続したものである。

図１７に示すように、第１変換器セル１０Ｃ（１０Ｄ）は、第１変換器セル１０Ａ（１０Ｂ）と同様に、上下アーム共に半導体スイッチで構成された第１ブリッジであるＬｅｇＡと、上下アーム共に半導体スイッチで構成された第２ブリッジであるＬｅｇＢと、キャパシタ２０とを備える。そしてこの

第１ブリッジＬｅｇＡと第２ブリッジＬｅｇＢとをキャパシタ２０に並列接続したフルブリッジ回路である。

[0080] 第１変換器セル１０Ｃでは、第１ブリッジＬｅｇＡの中間点である半導体スイッチの接続点には正極の出力端子Ｐｏが接続される。また、第２ブリッジＬｅｇＢの中間点である半導体スイッチの接続点には負極の出力端子Ｎｏが接続される。

第１変換器セル１０Ｄでは、第１ブリッジＬｅｇＡの中間点である半導体スイッチの接続点には負極の出力端子Ｎｏが接続される。また、第２ブリッジＬｅｇＢの中間点である半導体スイッチの接続点には正極の出力端子Ｐｏが接続される。

[0081] 第１変換器セル１０Ｃの第１ブリッジＬｅｇＡの上アームは半導体スイッチ２１１、２１２を並列接続して備える。また第１ブリッジＬｅｇＡの下アームは半導体スイッチ２２１、２２２を並列接続して備える。第２ブリッジＬｅｇＢの上アームは半導体スイッチ２３１、２３２を並列接続して備える。また第２ブリッジＬｅｇＢの下アームは半導体スイッチ２４１、２４２を並列接続して備える。

各半導体スイッチ２１１、２１２、２２１、２２２、２３１、２３２、２４１、２４２は、各々、半導体スイッチング素子２１１ｓ、２１２ｓ、２２１ｓ、２２２ｓ、２３１ｓ、２３２ｓ、２４１ｓ、２４２ｓと、それらに各々逆並列に接続された還流ダイオード２１１ｄ、２１２ｄ、２２１ｄ、２２２ｄ、２３１ｄ、２３２ｄ、２４１ｄ、２４２ｄとで構成される。

[0082] また、第１変換器セル１０Ｄの第２ブリッジＬｅｇＢの上アームは半導体スイッチ２１１、２１２を並列接続して備える。また第２ブリッジＬｅｇＢの下アームは半導体スイッチ２２１、２２２を並列接続して備える。第１ブリッジＬｅｇＡの上アームは半導体スイッチ２３１、２３２を並列接続して備える。また第１ブリッジＬｅｇＡの下アームは半導体スイッチ２４１、２４２を並列接続して備える。

[0083] そして、制御装置２は、並列接続された半導体スイッチング素子を同時に

オン、オフ制御する。こうして、上記実施の形態１で示した第１変換器セル１０Ａと同様に第１変換器セル１０Ｃを制御し、第１変換器セル１０Ｂと同様に第１変換器セル１０Ｄを制御する。

[0084] なお、第１変換器セル１０Ｃ（１０Ｄ）内の各半導体スイッチング素子には、ＩＧＢＴ、ＧＣＴ、ＭＯＳＦＥＴなどの自己消弧型の半導体スイッチング素子が使用される。また、半導体スイッチング素子にダイオード（ボディダイオード）が内在する場合は、還流ダイオードを省略してもよい。

[0085] 以上のように、第１変換器セル１０Ｃ（１０Ｄ）を、各アームの半導体素子を２個ずつ並列接続して構成し、並列接続された半導体スイッチング素子を同時にオン、オフ制御することで電流容量の増加が図れる。

[0086] 実施の形態１で述べたように、第１変換器セル１０の第２ブリッジＬｅｇＢに用いられるオフ固定素子（半導体スイッチング素子２３１ｓ、２３２ｓ（２２１ｓ、２２２ｓ））には、保護モード時の比較的短い時間にのみ電流が流れる。このため、第１変換器セル１０Ｃ（１０Ｄ）において、第２ブリッジＬｅｇＢ内の並列接続されたオフ固定素子を含む半導体スイッチ２３１、２３２（２２１、２２２）を１素子としても発熱や損失の増加はほとんど無視できる。

図１８に示す第１変換器セル１０Ｅは、図１７で示した第１変換器セル１０Ｃの並列接続された半導体スイッチ２３１、２３２を１素子の半導体スイッチ２３に置き換えたものである。また、図１９に示す第１変換器セル１０Ｆは、図１７で示した第１変換器セル１０Ｄの並列接続された半導体スイッチ２２１、２２２を１素子の半導体スイッチ２２に置き換えたものである。

このように、１素子の半導体スイッチ２３（２２）を用いる事で、第１変換器セル１０Ｅ、１０Ｆは、電流容量の増加が図れると共に、素子数を低減でき小型化が図れる。

[0087] さらに、実施の形態１で述べたように、定常運転時では、第１変換器セル１０の第２ブリッジＬｅｇＢは、半導体スイッチング素子をオン状態／オフ状態に固定する制御である。このため、第１変換器セル１０Ｅ（１０Ｆ）に

おいて、第２ブリッジＬｅｇＢ内の半導体スイッチング素子は、第１ブリッジＬｅｇＡ内の半導体スイッチング素子よりもスイッチング損失が小さくなる。このため、第２ブリッジＬｅｇＢ内の半導体スイッチング素子の並列数を、第１ブリッジＬｅｇＡ内の半導体スイッチング素子の並列数以下にすることができる。そのため、第１変換器セル１０Ｅ（１０Ｆ）において、第２ブリッジＬｅｇＢ内の並列接続されたオン固定素子の半導体スイッチ２４１、２４２（２１１、２１２）を、１素子として、第１ブリッジＬｅｇＡ内の半導体スイッチング素子の並列数以下にすることができる。

[0088] 図２０に示す第１変換器セル１０Ｇは、図１８で示した第１変換器セル１０Ｅの並列接続されたオン固定素子の半導体スイッチ２４１、２４２を、１素子の半導体スイッチ２４に置き換えたものである。また、図２１に示す第１変換器セル１０Ｈは、図１９で示した第１変換器セル１０Ｆの並列接続されたオン固定素子の半導体スイッチ２１１、２１２を１素子の半導体スイッチ２１に置き換えたものである。

この場合、第１ブリッジＬｅｇＡは上下アームとも素子の２並列構成で、第２ブリッジＬｅｇＢは上下アームとも並列させない１素子構成である。これにより、第１変換器セル１０Ｇ、１０Ｈは、電流容量の増加が図れると共に、さらに素子数を低減でき小型化が図れる。

[0089] 次に、第２変換器セル１５の２種の構成（第２変換器セル１５Ｃ、１５Ｄ）を図２２に基づいて以下に示す。

図２２（ａ）に示す第２変換器セル１５Ｃは、図３（ａ）で示した第２変換器セル１５Ａの各アームの半導体スイッチを２個ずつ並列接続したものである。

図２２（ｂ）に示す第２変換器セル１５Ｄは、図３（ｂ）で示した第２変換器セル１５Ｂの各アームの半導体スイッチを２個ずつ並列接続したものである。

[0090] 図２２（ａ）に示すように、第２変換器セル１５Ｃは、上下アーム共に半導体スイッチで構成された第１ブリッジであるＬｅｇＡａと、キャパシタ４

０とを備える。そして、第１ブリッジＬｅｇＡａをキャパシタ４０に並列接続したハーフブリッジ回路である。そして、第１ブリッジＬｅｇＡａの中間点である半導体スイッチの接続点には正極の出力端子Ｐｏが接続される。また、下アームの半導体スイッチとキャパシタ４０との接続点には負極の出力端子Ｎｏが接続される。

第２変換器セル１５Ｃの第１ブリッジＬｅｇＡａの上アームは半導体スイッチ４１１、４１２を並列接続して備え、下アームは半導体スイッチ４２１、４２２を並列接続して備える。

[0091] 図２２（ｂ）に示すように、第２変換器セル１５Ｄは、上下アーム共に半導体スイッチで構成された第１ブリッジであるＬｅｇＡａと、キャパシタ４０とを備える。そして、第１ブリッジＬｅｇＡａをキャパシタ４０に並列接続したハーフブリッジ回路である。そして、第１ブリッジＬｅｇＡａの中間点である半導体スイッチの接続点には負極の出力端子Ｎｏが、上アームの半導体スイッチとキャパシタ４０との接続点には正極の出力端子Ｐｏが接続される。

第２変換器セル１５Ｄの第１ブリッジＬｅｇＡａの上アームは半導体スイッチ５１１、５１２を並列接続して備え、下アームは半導体スイッチ５２１、５２２を並列接続して備える。

[0092] 第２変換器セル１５Ｃ（１５Ｄ）の各半導体スイッチ４１１、４１２、４２１、４２２（５１１、５１２、５２１、５２２）は、各々、半導体スイッチング素子４１１ｓ、４１２ｓ、４２１ｓ、４２２ｓ（５１１ｓ、５１２ｓ、５２１ｓ、５２２ｓ）と、それらに各々逆並列に接続された還流ダイオード４１１ｄ、４１２ｄ、４２１ｄ、４２２ｄ（５１１ｄ、５１２ｄ、５２１ｄ、５２２ｄ）とで構成される。

なお、第２変換器セル１５Ｃ、１５Ｄ内の各半導体スイッチング素子には、ＩＧＢＴ、ＧＣＴ、ＭＯＳＦＥＴなどの自己消弧型の半導体スイッチング素子が使用される。また、半導体スイッチング素子にダイオード（ボディダイオード）が内在する場合は、還流ダイオードを省略してもよい。

[0093] そして、制御装置２は、並列接続された半導体スイッチング素子を同時にオン、オフ制御することで、上記実施の形態１で示した第２変換器セル１５Ａ（１５Ｂ）と同様に、第２変換器セル１５Ｃ（１５Ｄ）を制御する。

このように、第２変換器セル１５Ｃ、１５Ｄを、各アームの半導体スイッチを２個ずつ並列接続して構成する。そして、並列接続された半導体スイッチング素子を同時にオン、オフ制御することで電流容量の増加が図れる。

[0094] 以上のように、この実施の形態５では、第１変換器セル１０および第２変換器セル１５の各第１ブリッジＬｅｇＡ、第２ブリッジＬｅｇＢ、第１ブリッジＬｅｇＡａにおける半導体スイッチング素子の数を増やして並列接続している。そのため、大電流容量の用途に適した電力変換装置を実現できる。

なお、並列接続する場合、素子の２並列を示したが、３以上の素子を並列接続しても良い。その場合も、第１変換器セル１０の第２ブリッジＬｅｇＢのオフ固定素子の並列数は、第１ブリッジＬｅｇＡ、第２ブリッジＬｅｇＢ内の他の半導体スイッチング素子の並列数以下にできる。こうして、第１変換器セル１０の第２ブリッジＬｅｇＢのオン固定素子の並列数は、第１ブリッジＬｅｇＡ内の各アームの半導体スイッチング素子の並列数以下となる。即ち、第２ブリッジＬｅｇＢ内のオン固定素子の並列数を、第２ブリッジＬｅｇＢ内のオフ固定素子の並列数以上に、かつ第１ブリッジＬｅｇＡ内の半導体スイッチング素子の並列数以下に構成することができる。

このように効果的に素子数を削減することで、大電流容量の用途に適した電力変換装置を、効率的に小型化することができる。

[0095] 図２３は、電力変換器１、１ａ～１ｄ内の各半導体スイッチング素子を駆動するゲート駆動回路１４の回路構成の概略を示す図である。

上記各実施の形態において、電力変換器１、１ａ～１ｄ内の各半導体スイッチング素子には、ゲート駆動回路１４が設けられている。図２３に示すようにゲート駆動回路１４は、ゲート抵抗１７と、各半導体スイッチング素子をオンオフさせるためのトランジスタ等を有するゲートドライブ部１６とを備える。そして各ゲート駆動回路１４は、制御装置２、１２からの制御信号

２ａ、１２ａに基づいて、各半導体スイッチング素子を駆動する。第１変換器セル１０の第２ブリッジＬｅｇＢ内のゲート駆動回路１４は、第１、第２変換器セル１０、１５の第１ブリッジＬｅｇＡ、第１ブリッジＬｅｇＡａ内のゲート駆動回路１４に比べ、ゲート抵抗１７の値を大きくできる。

ゲート駆動回路１４のゲート抵抗１７の値を大きくすると、半導体スイッチング素子のスイッチング速度が遅くなって、電流遮断時（ターンオフ時）のサージ電圧を抑制できると共に、１回のスイッチング当りのスイッチング損失が増加する。第２ブリッジＬｅｇＢ内の半導体スイッチング素子は、定常モードではオン状態またはオフ状態に固定されてスイッチングを行わない。そのため、ゲート抵抗１７の値を大きくしてもスイッチング損失を増加させずにサージ電圧を抑制できる。このため、第１変換器セル１０の第２ブリッジＬｅｇＢの半導体スイッチング素子の並列数を削減しても、大きな電流遮断能力を確保することができる。

[0096] また、第１、第２変換器セル１０、１５内の全て、あるいは一部の半導体素子（半導体スイッチング素子、ダイオード）の材料としてワイドバンドギャップ半導体を用いてもよい。半導体素子の材料としては珪素が用いられることが多い。ワイドバンドギャップ半導体の材料として、例えば、炭化珪素や窒化ガリウム系材料またはダイヤモンドがある。

ワイドバンドギャップ半導体を使用すると、半導体素子の高耐圧化が可能なため、変換器セルの直列台数を低減できる。さらに、ワイドバンドギャップ半導体はスイッチング損失を低減できる。

[0097] したがって、例えば、定常状態でスイッチング動作を行う半導体スイッチング素子とそれに逆並列に接続される還流ダイオードにのみ、ワイドバンドギャップ半導体を用いてもよい。

また、ワイドバンドギャップ半導体は、チップ面積を大きくすることで、導通損失を低減することができる。これを用いると、定常状態で常時オンとする半導体スイッチング素子のみをワイドバンドギャップ半導体とすることで、導通損失を低減することができる。

全ての半導体素子をワイドバンドギャップ半導体とすれば、前述の両方の効果を得ることができる。

[0098] 実施の形態６．

以下、本発明の実施の形態６を、上記実施の形態１～５と異なる箇所を中心に図を用いて説明する。上記実施の形態１～５と同様の部分は説明を省略する。

図２４は、本発明の実施の形態６による制御装置２の制御ブロック図である。

本実施の形態では、電圧利用率を改善させる目的で、上記制御装置２が、全相Ｕ、Ｖ、Ｗで共通の交流成分を重畳した電圧指令を用いて半導体スイッチング素子を制御をする点が他の実施の形態と異なる。

[0099] 通常、電力変換器１の各変換器セル内の半導体スイッチング素子は、直流成分および基本波交流成分を含む電圧指令に基づいて制御される。

図２４において、第１アーム４の半導体スイッチング素子に対する電圧指令の上記直流成分をＶｄｃ＋＊として示し、上記基本波交流成分をＶａｃｕ＋＊、Ｖａｃｖ＋＊、Ｖａｃｗ＋＊として示す。また、第２アーム５の半導体スイッチング素子に対する電圧指令の上記直流成分をＶｄｃ－＊として示し、上記基本波交流成分をＶａｃｕ－＊、Ｖａｃｖ－＊、Ｖａｃｗ－＊として示す。

そして、本実施の形態では、この基本波交流成分（Ｖａｃｕ＋＊、Ｖａｃｖ＋＊、Ｖａｃｗ＋＊、Ｖａｃｕ－＊、Ｖａｃｖ－＊、Ｖａｃｗ－＊）に対して、全相Ｕ、Ｖ、Ｗで共通の交流成分（Ｖ３ｎｆ）を重畳する。これにさらに、直流成分（Ｖｄｃ＋＊、Ｖｄｃ－＊）を可算して生成された電圧指令（Ｖｕ＋＊、Ｖｖ＋＊、Ｖｗ＋＊、Ｖｕ－＊、Ｖｖ－＊、Ｖｗ－＊）に基づいて、半導体スイッチング素子がＰＷＭ制御によりスイッチング制御される。

本実施の形態では、全相Ｕ、Ｖ、Ｗで共通の交流成分（Ｖ３ｎｆ）として、基本波の３倍の周波数の３次高調波を用いる。

[0100] このように、全相Ｕ、Ｖ、Ｗで共通の交流成分（Ｖ３ｎｆ）が重畳された電圧指令（Ｖｕ＋＊、Ｖｖ＋＊、Ｖｗ＋＊、Ｖｕ－＊、Ｖｖ－＊）を用いて、半導体スイッチング素子を制御した時の効果を、交流成分（Ｖ３ｎｆ）が重畳されていない場合と比較して以下にて説明する。

交流成分（Ｖ３ｎｆ）が重畳されていない電圧指令を用いた場合では、電圧指令の最大値付近において電圧指令が搬送波より大きくなり、電圧指令の最小値付近において電圧指令が搬送波より小さくなることがある。この場合、各半導体スイッチング素子がオンまたはオフ動作せず過変調となり、出力電圧の高調波成分の増加、あるいは所望の動作をしないという恐れが生じる。

[0101] 基本波と初期位相が同じで周波数が３倍の交流電圧成分（Ｖ３ｎｆ）は、基本波交流成分（Ｖａｃｕ＋＊、Ｖａｃｖ＋＊、Ｖａｃｗ＋＊、Ｖａｃｕ－＊、Ｖａｃｖ－＊、Ｖａｃｗ－＊）の最大値および最小値付近で、基本波に対して逆極性となる。つまり、交流電圧成分（Ｖ３ｎｆ）を基本波交流成分（Ｖａｃｕ＋＊、Ｖａｃｖ＋＊、Ｖａｃｗ＋＊、Ｖａｃｕ－＊、Ｖａｃｖ－＊、Ｖａｃｗ－＊）に重畳することにより、電圧指令（Ｖｕ＋＊、Ｖｖ＋＊、Ｖｗ＋＊、Ｖｕ－＊、Ｖｖ－＊）の最大値は小さく、最小値は大きくなる。これにより、過変調に至るまでの電圧余裕を確保でき、電圧利用率の改善が可能となる。

なお、重畳された交流電圧により零相電圧が発生するが、交流系統へは影響を与えない。重畳された交流電圧成分は直流系統側に出力され、その周波数および大きさは設定可能である。

[0102] 実施の形態２、３、４に説明した無効電力補償動作において、制御装置２はハーフブリッジ構成の第２変換器セル１５の出力可能範囲を確保する目的で、全相Ｕ、Ｖ、Ｗで共通の直流電圧を重畳した電圧指令を用いた。この場合、この全相Ｕ、Ｖ、Ｗで共通の直流電圧の成分を、第２アーム５の変換器セルに対する電圧指令の直流成分（Ｖｄｃ－＊）に含ませている。本実施の形態６においても無効電力補償動作を行う際は、上記の全相Ｕ、Ｖ、Ｗで共

通の直流電圧の成分を、第２アーム５の変換器セルに対する電圧指令の直流成分（Ｖｄｃ－＊）に含ませる。こうして、電力変換器１の過変調状態を抑止しつつ、無効電力補償動作におけるハーフブリッジ構成の第２変換器セル１５の出力可能範囲を確保することができる。

[0103] なお、本実施の形態では重畳する交流電圧成分（Ｖ３ｎｆ）として、基本波の３倍の周波数を用いるとしたが、基本波の３の奇数倍の周波数を用いてもよい。基本波交流成分（Ｖａｃｕ＋＊、Ｖａｃｖ＋＊、Ｖａｃｗ＋＊、Ｖａｃｕ－＊、Ｖａｃｖ－＊、Ｖａｃｗ－＊）の最大値付近で最小値になり、最小値付近で最大値となるような周波数を有する交流電圧成分（Ｖ３ｎｆ）を用いればよい。

[0104] 実施の形態７．

以下、上記実施の形態１～６に示す電力変換装置を用いた電力システムについて図を用いて説明する。上記実施の形態１と同様の部分は同一符号を付して説明を省略する。

図２５は、本実施の形態７における電力システム１０００の回路構成例を示す図である。

図２５に示すように、送配電等を行う電力システム１０００は、実施の形態１に示す電力変換器１と制御装置２とを有する電力変換装置１００を複数個（ここでは３個）用いて構成されている。そして、各電力変換装置１００の電力変換器１の直流端子Ｐ、Ｎが、直流母線７１２を介して互いに接続されている。こうして電力変換装置１００間で直流電力の授受を行うことが可能であり、また、大きな直流電力を扱うことができる。

なお、電力システム１０００は、実施の形態１に示した電力変換装置１００を用いる構成に限定するものではなく、上記実施の形態１～６に示したいずれの電力変換装置を用いてもよい。

[0105] 図２６は、図２５に示した電力システム１０００と異なる構成の電力システム１０００ａの構成を示す図である。

直流電力が分岐される分岐点Ｅから図中左側の直流母線７１２を直流母線

７１２ａとし、分岐点Ｅから図中右側の直流母線７１２を直流母線７１２ｂとして示す。分岐点Ｅの図中左側には、直流母線７１２ａを７１２ｂから切り離し可能な開閉器７１３が備えられている。このような構成の電力システム１０００ａの動作について以下にて説明する。

[0106] 例えば図中左側の電力変換装置１００（Ｘとして示す）の直流端子Ｐ、Ｎ間で短絡が発生したとする。この場合、電力システム１０００ａが備える制御装置（図示せず）は、開閉器７１３を開状態（オフ状態）に動作させて、直流母線７１２ａを直流母線７１２ｂから切り離す。これにより図中右側の２個の電力変換装置１００（Ｙ、Ｚとして示す）は、切り離された直流母線７１２ｂを介して、電力変換装置１００（Ｙ、Ｚ）間の直流電力の授受を継続することができる。

こうして、電力変換装置１００（Ｘ）の直流端子Ｐ、Ｎ間で短絡が発生した場合においても、短絡の発生していない電力変換装置１００（Ｙ、Ｚ）間で直流電力の授受を行うことができる。

[0107] このように、上記各実施の形態に示した電力変換装置を複数個用いて電力システム１０００、１０００ａを構成することにより、大きな直流電力を扱える信頼性の高い電力システムを提供することができる。

[0108] なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

# 請求の範囲

[請求項1] エネルギ蓄積要素と、上アーム、下アーム共に半導体スイッチング素子を有する第１ブリッジとを備えた変換器セルをそれぞれ備える第１アームと第２アームとが直列接続され、その接続点が各相交流端子に接続される複数のレグ回路を正負の直流端子間に並列接続して備え、多相交流と直流との間で電力変換を行う電力変換器と、該電力変換器を制御する制御装置とを備えた電力変換装置において、

前記各レグ回路の前記第１アーム内の前記変換器セルは、前記エネルギ蓄積要素と、前記第１ブリッジと、上アーム、下アーム共に半導体スイッチング素子を有する第２ブリッジとを備えたフルブリッジ構成の第１変換器セルであり、前記第２アーム内の前記変換器セルは、前記エネルギ蓄積要素と、前記第１ブリッジとを備えるハーフブリッジ構成の第２変換器セルである、

電力変換装置。

[請求項2] 前記各レグ回路の前記第１アーム内の前記変換器セルは、全て前記第１変換器セルであり、前記第２アーム内の前記変換器セルは、全て前記第２変換器セルである、

請求項１に記載の電力変換装置。

[請求項3] 前記制御装置は、前記電力変換器の定常運転時において、前記各レグ回路の前記第１アームおよび前記第２アームの電圧指令をそれぞれ生成して、前記第１アーム内の前記第１変換器セルおよび前記第２アーム内の第２変換器セルの前記各第１ブリッジにおける前記半導体スイッチング素子を前記電圧指令に基づいてスイッチング制御すると共に、前記第１変換器セルの前記第２ブリッジにおける前記上アームの半導体スイッチング素子、前記下アームの半導体スイッチング素子のいずれか一方をオン固定素子としてオン状態に固定し、他方をオフ固定素子としてオフ状態に固定する、

請求項１または請求項２に記載の電力変換装置。

[請求項4] 前記第１変換器セルの前記第１ブリッジの前記上アームおよび前記下アームは、前記半導体スイッチング素子を複数個並列接続して備え、前記第２ブリッジの前記上アーム、前記下アームの一方は、前記オン固定素子を１個あるいは複数個並列接続して備え、他方は前記オフ固定素子を１個あるいは複数個並列接続して備え、前記第２ブリッジの前記オン固定素子の並列数は、前記オフ固定素子の並列数以上であり、かつ前記第１ブリッジの前記半導体スイッチング素子の並列数以下である、

請求項３に記載の電力変換装置。

[請求項5] 前記第１変換器セルおよび前記第２変換器セルは、前記各半導体スイッチング素子をそれぞれ駆動するゲート駆動回路を備え、前記第１変換器セルの前記第２ブリッジ内の前記ゲート駆動回路は、前記第１変換器セルおよび前記第２変換器セルの前記第１ブリッジ内の前記ゲート駆動回路に比べ、ゲート抵抗値が大きい、

請求項１から請求項４のいずれか１項に記載の電力変換装置。

[請求項6] 前記各第１変換器セル内の前記第２ブリッジの半導体スイッチング素子の定格電流は、前記第１ブリッジの半導体スイッチング素子の定格電流より小さい、

請求項１から請求項５のいずれか１項に記載の電力変換装置。

[請求項7] 前記制御装置は、前記直流端子間の短絡を検出すると、前記各レグ回路の前記第１アームに対し、前記各第１変換器セル内の全ての前記半導体スイッチング素子をオフさせる、

請求項１から請求項６のいずれか１項に記載の電力変換装置。

[請求項8] 前記直流端子の少なくとも一方は開閉部に接続され、

前記制御装置は、前記直流端子間の短絡を検出すると、前記第１アームに対し、前記各第１変換器セル内の全ての前記半導体スイッチング素子をオフさせた後、前記開閉部を開状態に動作させる、

請求項７に記載の電力変換装置。

[請求項9] 前記制御装置は、前記直流端子間の短絡を検出すると、前記第２アームに対し、無効電力補償動作をするように前記各第２変換器セルを出力制御する、
請求項１から請求項８のいずれか１項に記載の電力変換装置。

[請求項10] 前記制御装置は、前記開閉部を開状態に動作させた後、前記第１アームに対し、無効電力補償動作をするように前記各第１変換器セルを出力制御する、
請求項８に記載の電力変換装置。

[請求項11] 前記制御装置は、前記開閉部を開状態に動作させた後、前記第１アームと前記第２アームに対し、無効電力補償動作をするように前記各第１変換器セルと前記各第２変換器セルとを出力制御する、
請求項８に記載の電力変換装置。

[請求項12] 前記制御装置は、全相で共通の直流電圧を重畳した電圧指令を用いて前記無効電力補償動作を制御する、
請求項９または請求項１１に記載の電力変換装置。

[請求項13] 前記制御装置は、全相で共通の交流電圧を重畳した電圧指令を用いて前記無効電力補償動作を制御する、
請求項９から請求項１２のいずれか１項に記載の電力変換装置。

[請求項14] 前記直流端子間が短絡した際における前記電力変換器の短絡電流経路内に接続される前記各第１変換器セルの前記エネルギ蓄積要素の充電電圧の総和が、前記交流端子間の電圧より高い、
請求項７に記載の電力変換装置。

[請求項15] 前記開閉部は、前記電力変換器の定格直流電流の２倍よりも小さい電流を遮断可能とする、
請求項８、請求項１０、請求項１１のいずれか１項に記載の電力変換装置。

[請求項16] 前記変換器セルの前記半導体スイッチング素子は、珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体によって形成されて

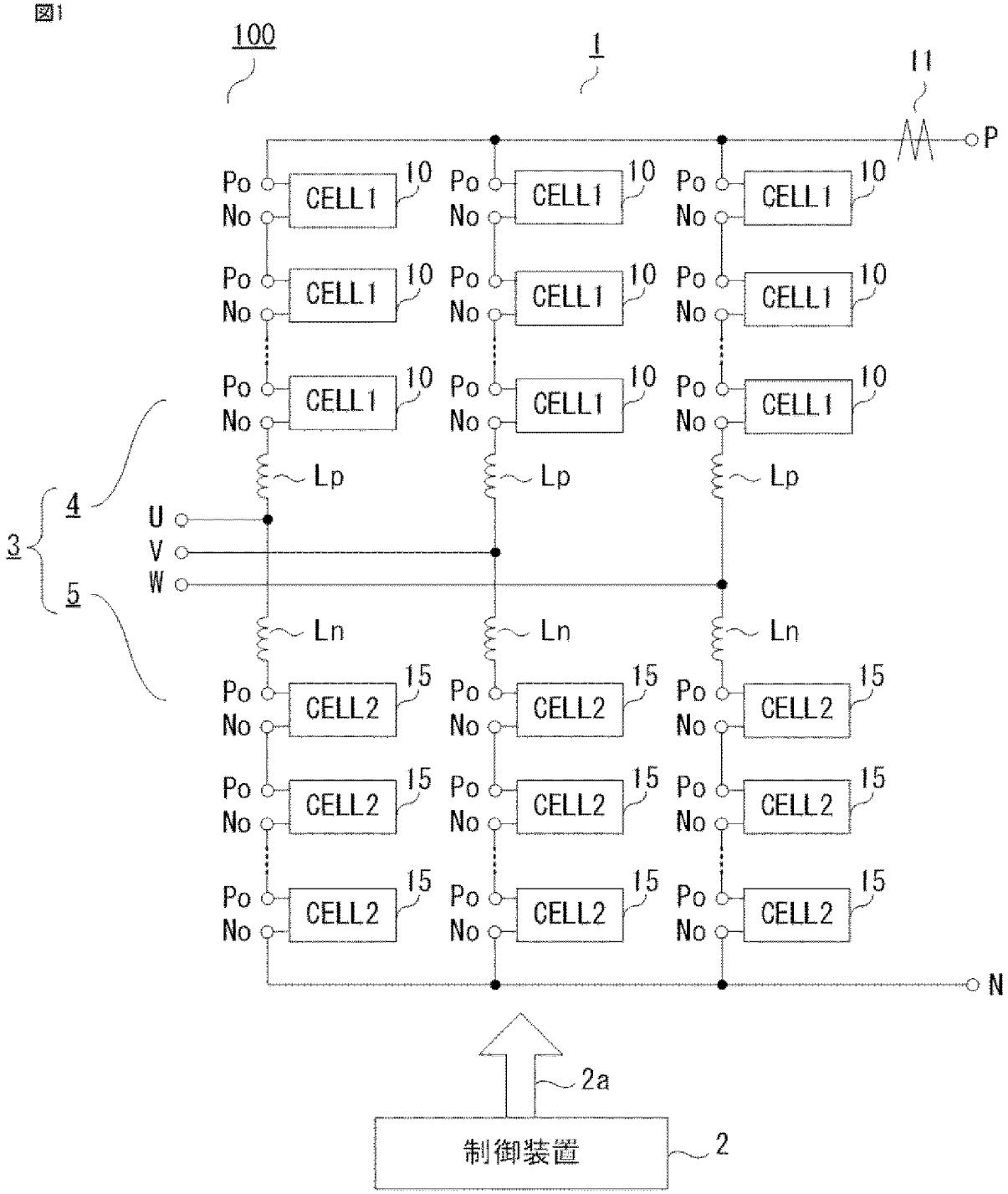
いる、

請求項１から請求項１５のいずれか１項に記載の電力変換装置。

［請求項17］ 請求項１から請求項１６のいずれか１項に記載の電力変換装置を複数個備え、各前記電力変換装置の前記電力変換器における前記直流端子が互いに接続される電力システム。

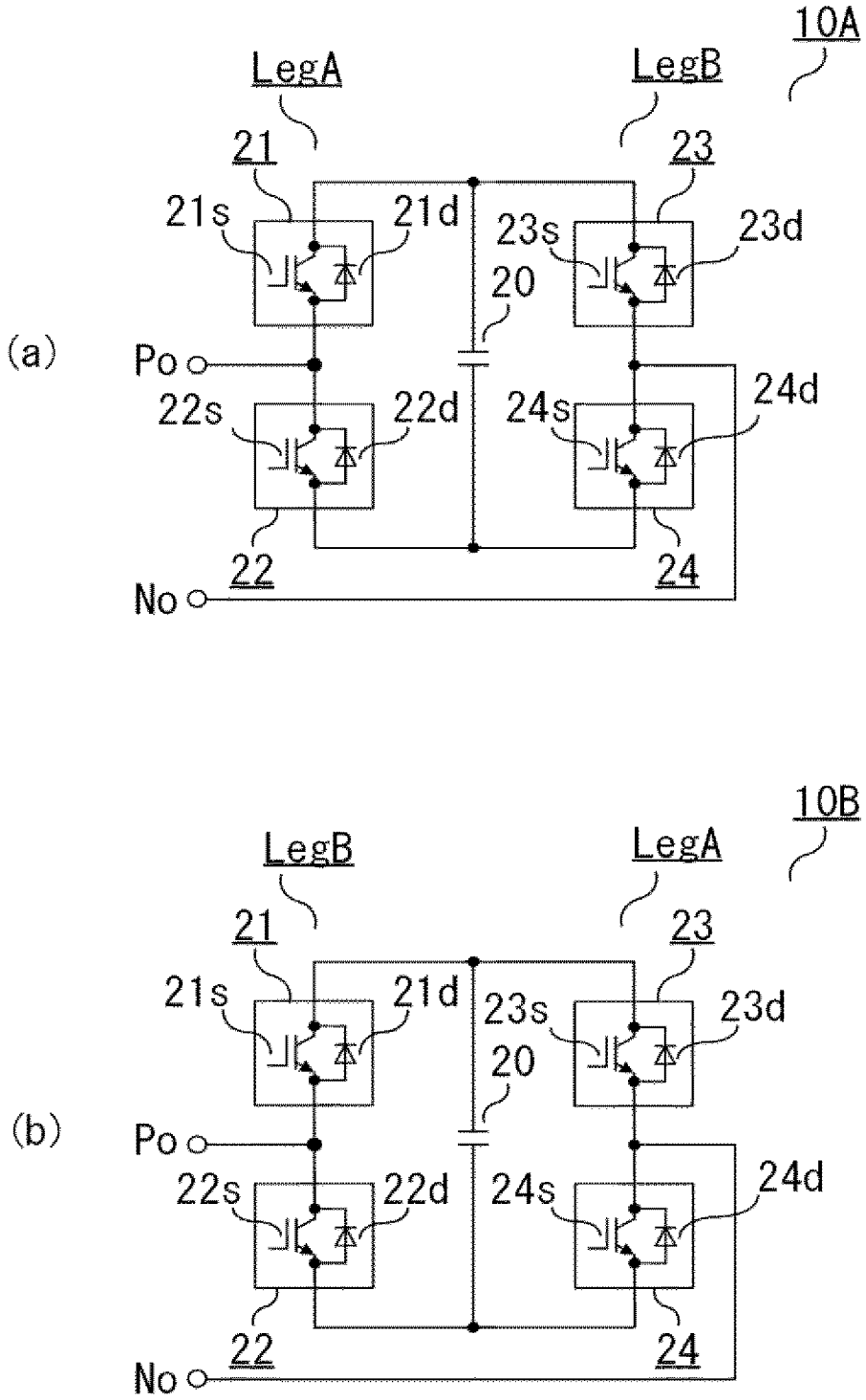
[図1]

図1



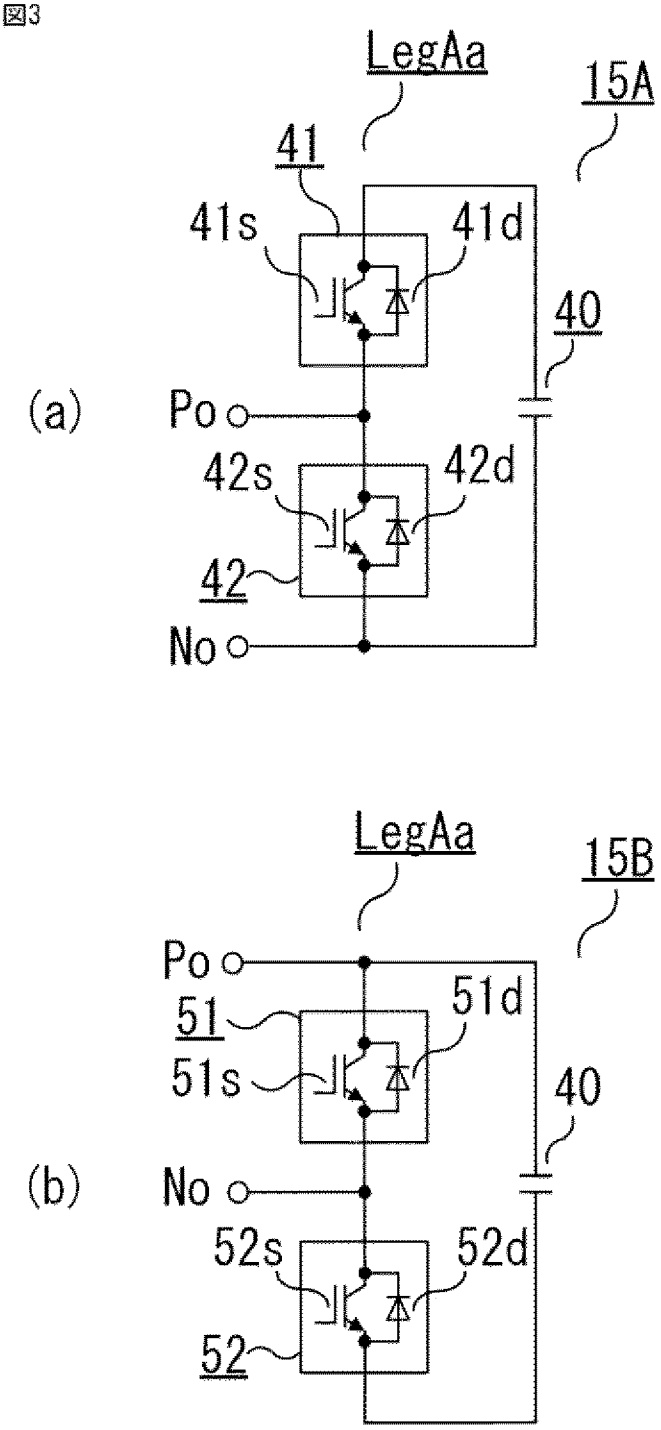
[図2]

図2


10A
LegA
LegB
21
23
21s
21d
23s
23d
20
(a)
Po
22s
22d
24s
24d
22
24
No
10B
LegB
LegA
21
23
21s
21d
23s
23d
20
(b)
Po
22s
22d
24s
24d
22
24
No

[図3]

図3


LegAa
15A
41
41s
41d
40
(a)
Po
42s
42d
42
No
LegAa
15B
Po
51
51d
51s
40
(b)
No
52s
52d
52

[図4]

図4

| | SW 状態 | | | | 動作モード |
|---|---|---|---|---|---|
| | 21s | 22s | 23s | 24s | |
| モード1 | ON | OFF | OFF | ON | キャパシタの両端電圧 |
| モード2 | OFF | ON | OFF | ON | 零電圧 |
| モード3 | ON | OFF | ON | OFF | 零電圧 |
| モード4 | OFF | ON | ON | OFF | キャパシタの負の両端電圧 |
| モード5 | OFF | OFF | OFF | OFF | 保護モード |

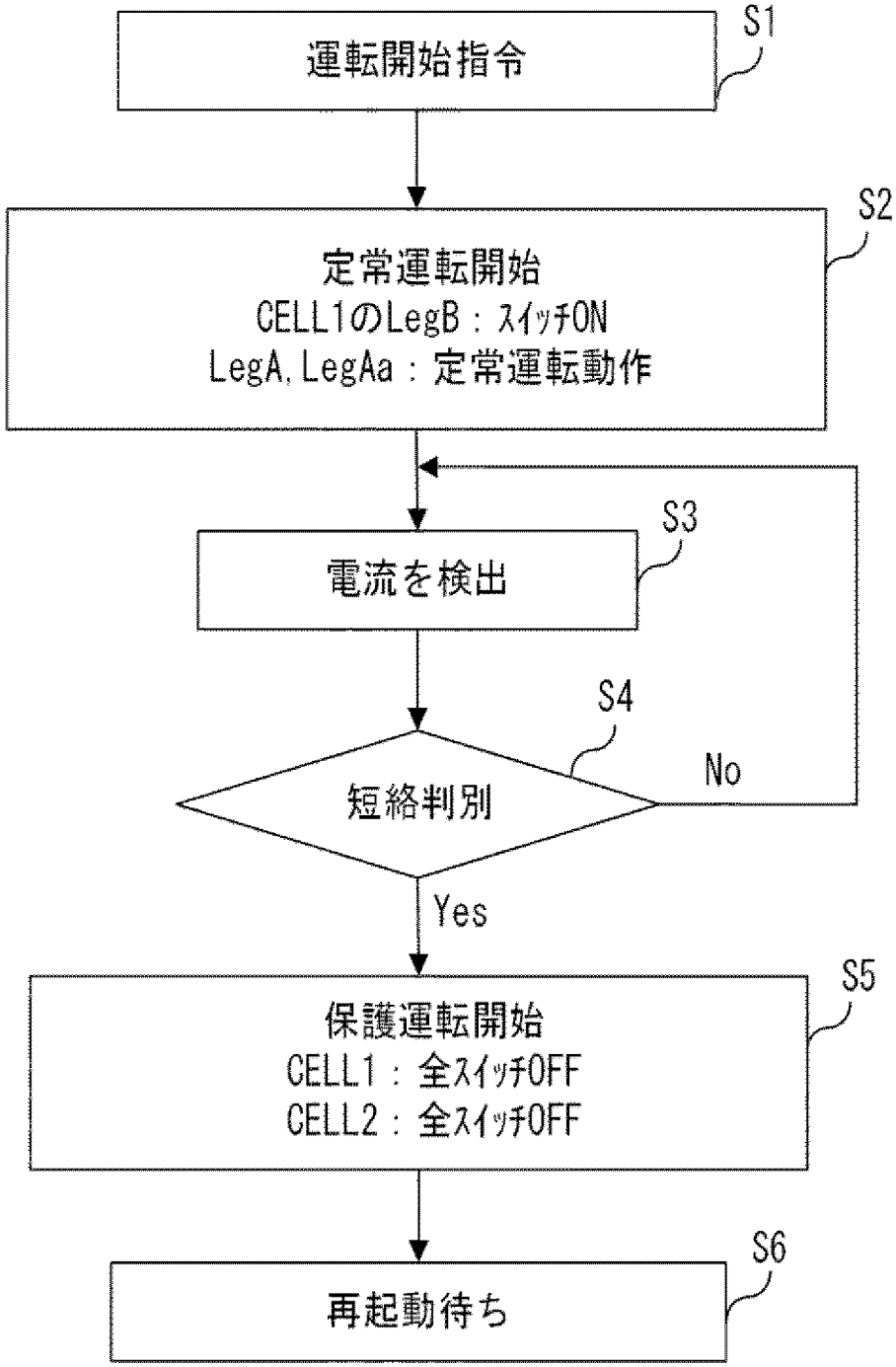
[図5]

図5

| | SW 状態 | | 動作モード |
|---|---|---|---|
| | 41s, 52s | 42s, 51s | |
| モード1 | ON | OFF | キャパシタの両端電圧 |
| モード2 | OFF | ON | 零電圧 |
| モード3 | OFF | OFF | 保護モード |

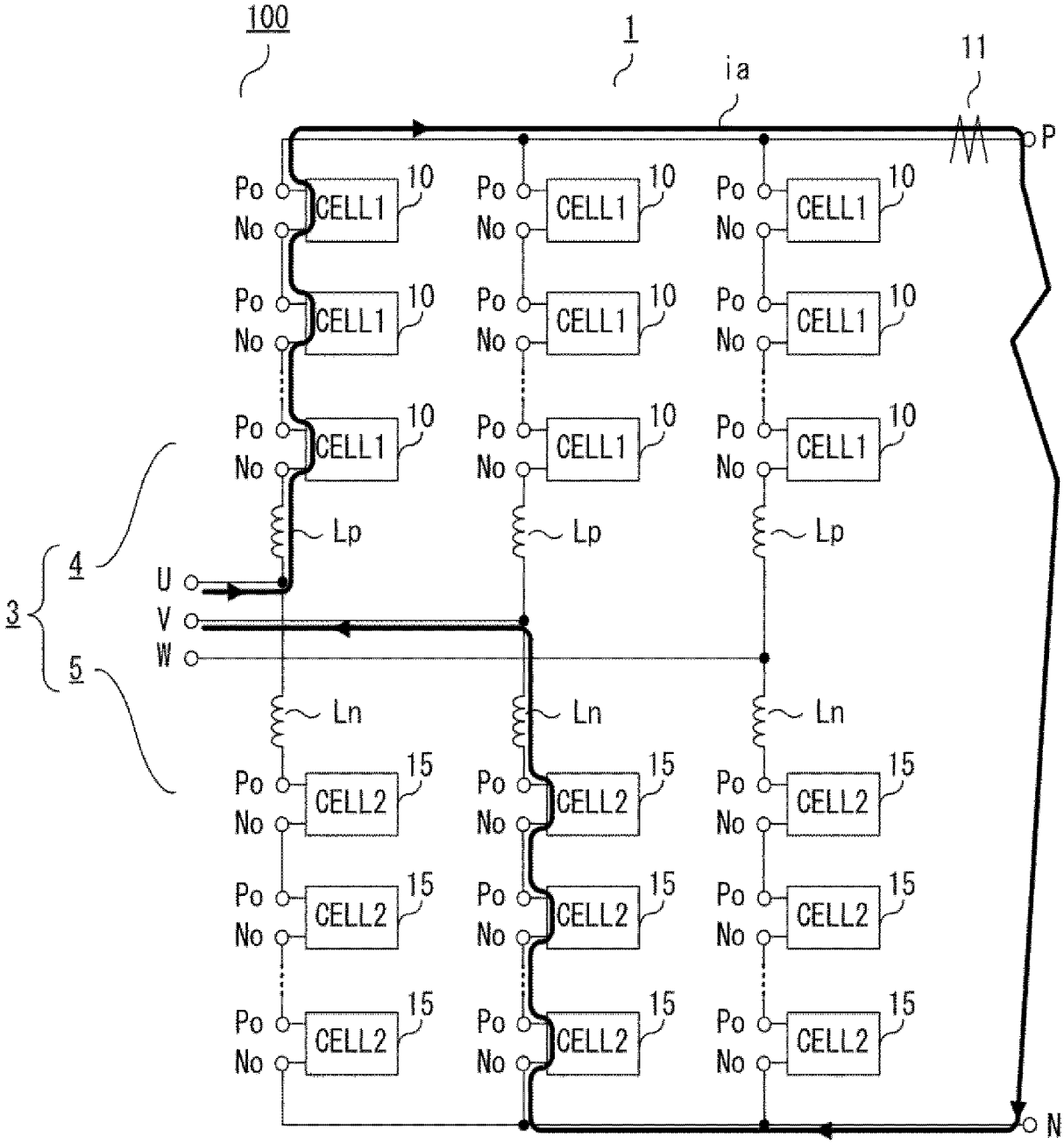
[図6]

図6


運転開始指令
S1
定常運転開始
CELL1のLegB：ｽｲｯﾁON
LegA, LegAa：定常運転動作
S2
電流を検出
S3
短絡判別
S4
No
Yes
保護運転開始
CELL1：全ｽｲｯﾁOFF
CELL2：全ｽｲｯﾁOFF
S5
再起動待ち
S6

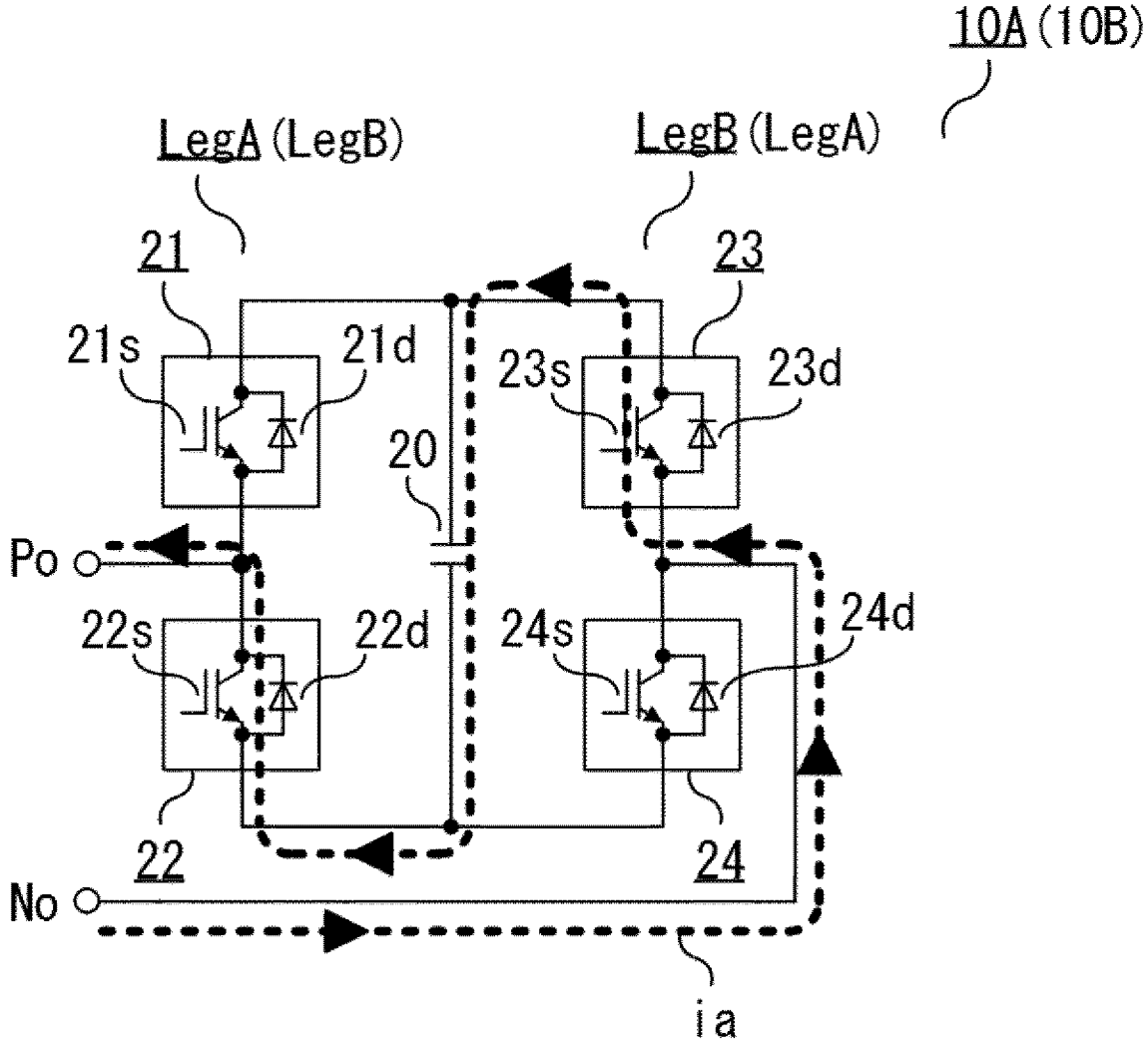
[図7]

図7



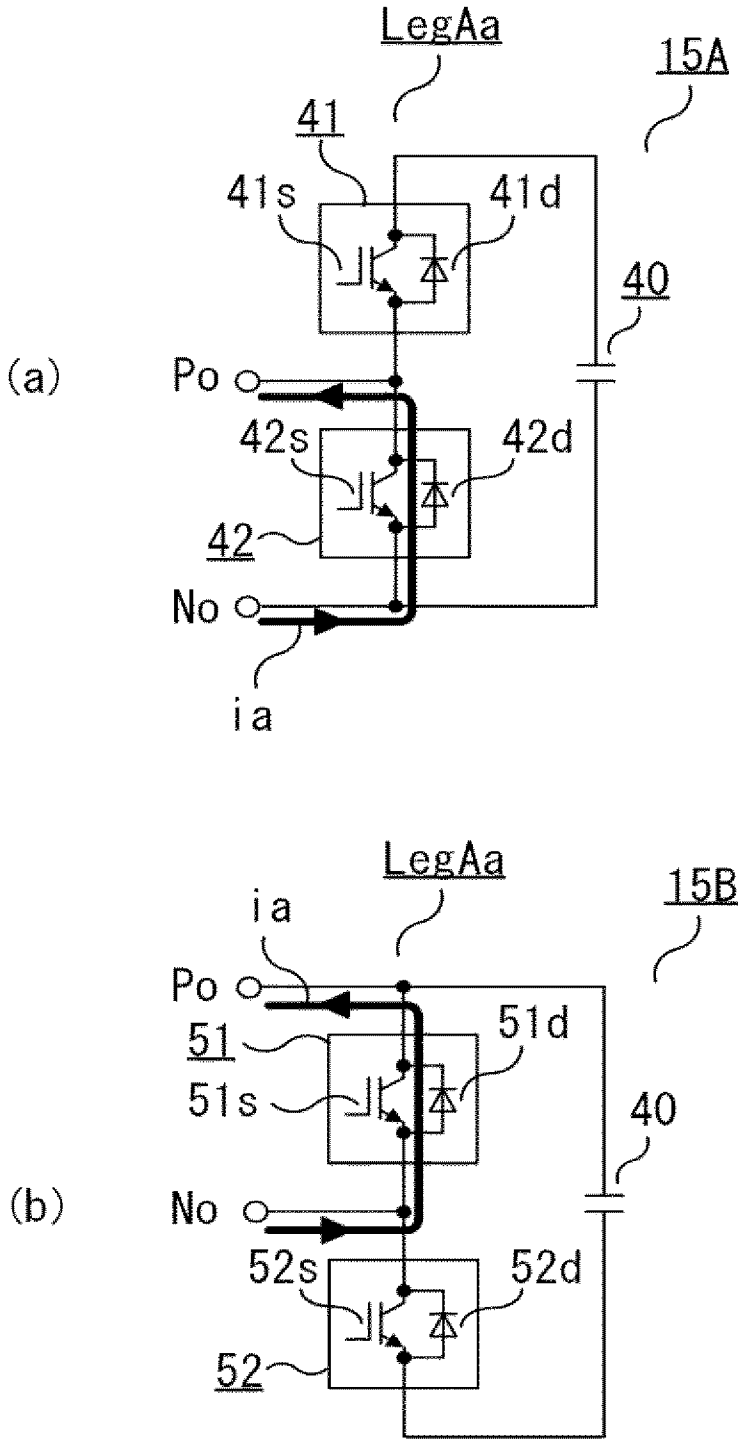
[図8]

図8


10A (10B)
LegA (LegB)
LegB (LegA)
21
23
21s
21d
23s
23d
20
Po
22s
22d
24s
24d
22
24
No
ia

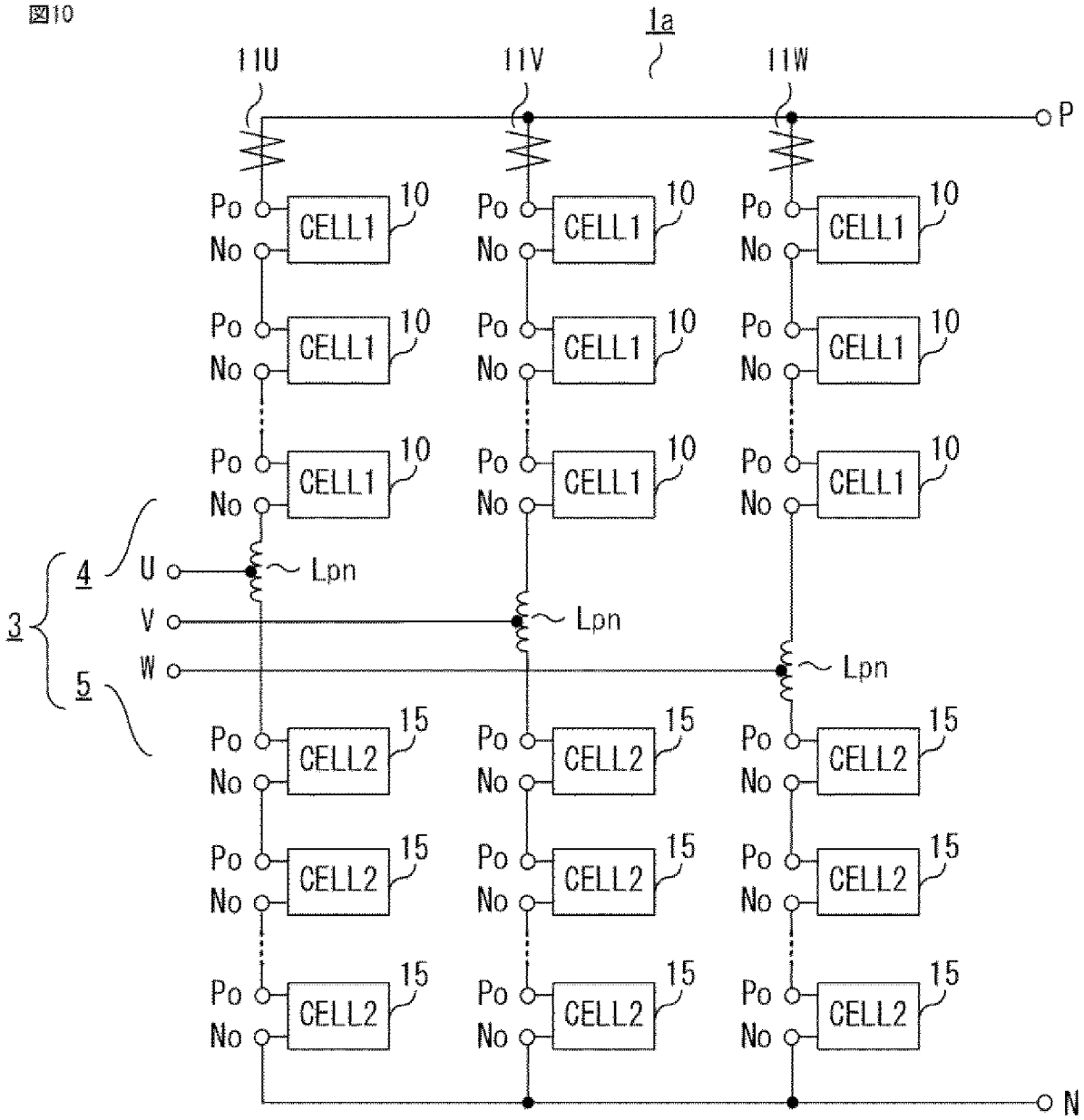
[図9]

図9


LegAa
15A
41
41s
41d
40
(a)
Po
42s
42d
42
No
ia
LegAa
15B
ia
Po
51
51d
51s
40
(b)
No
52s
52d
52

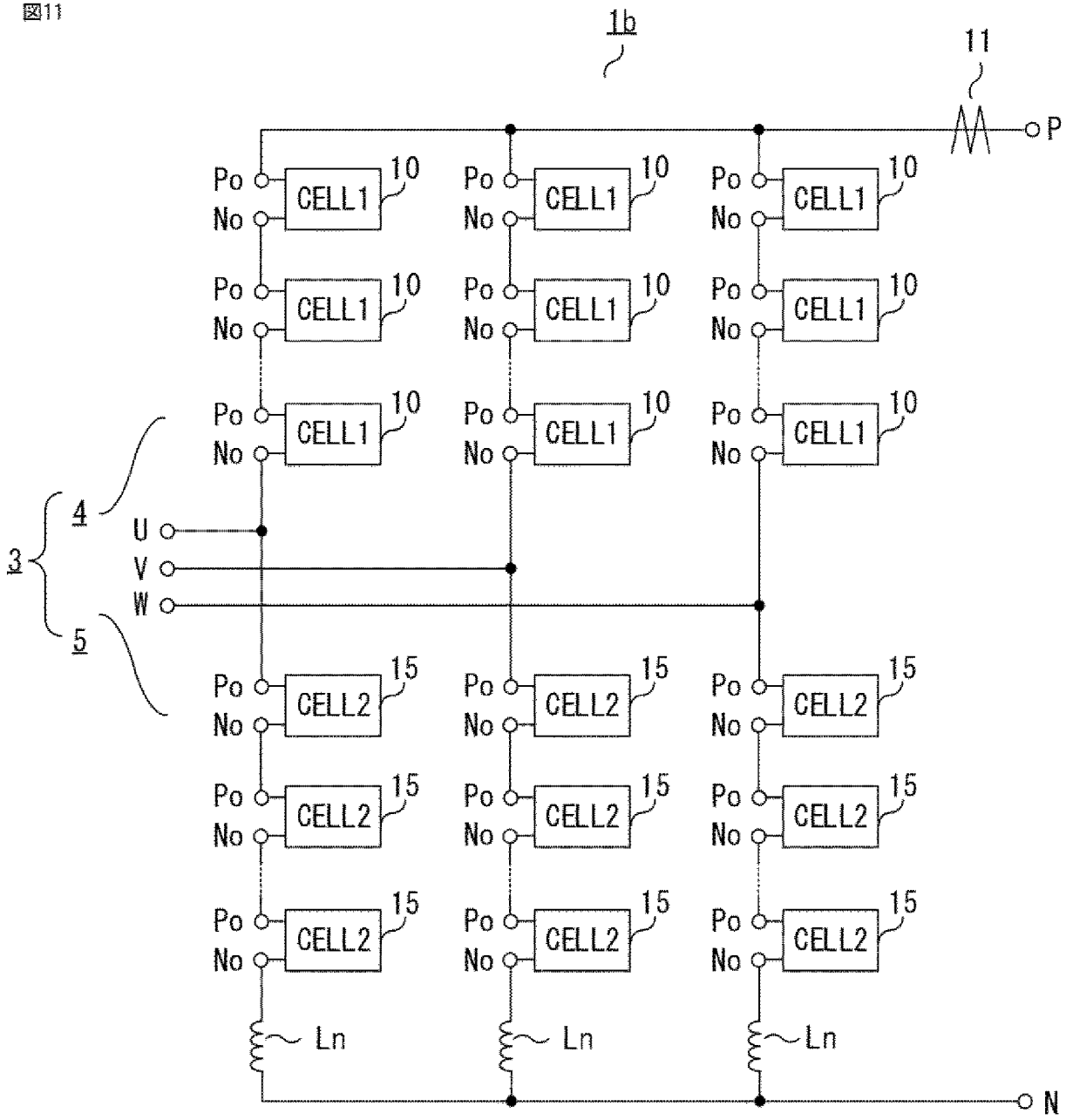
[図10]

図10



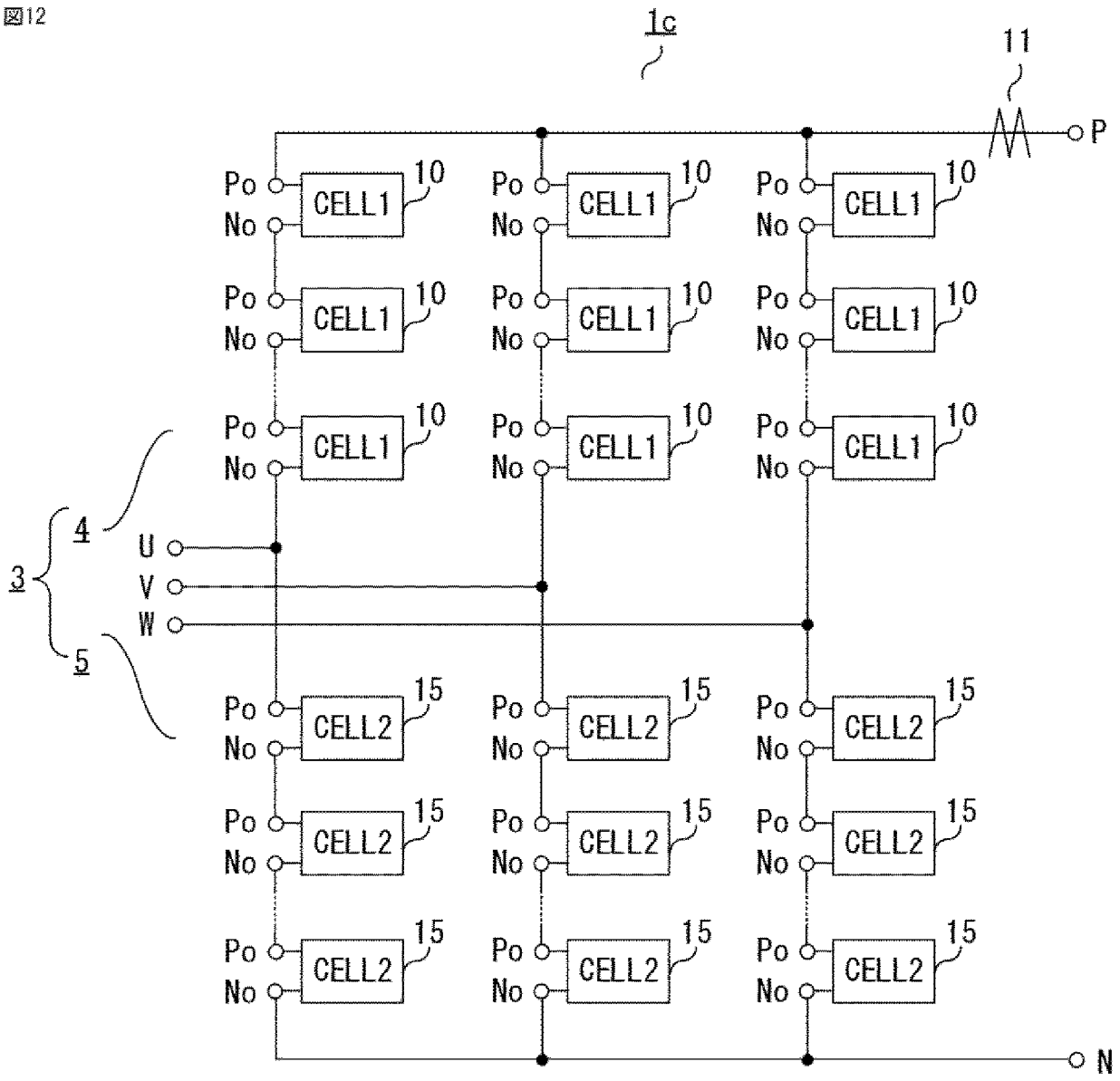
[図11]

図11



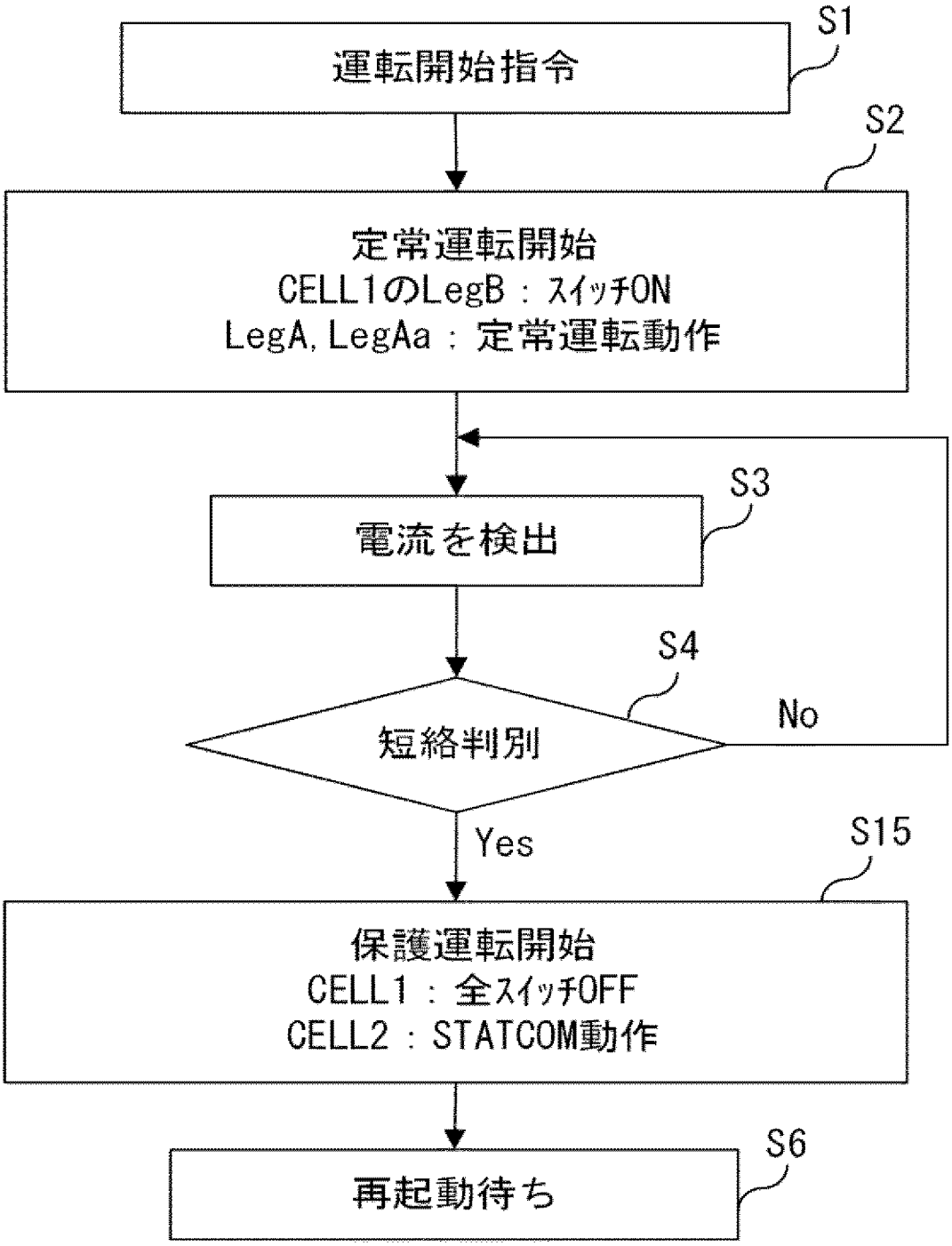
[図12]

図12



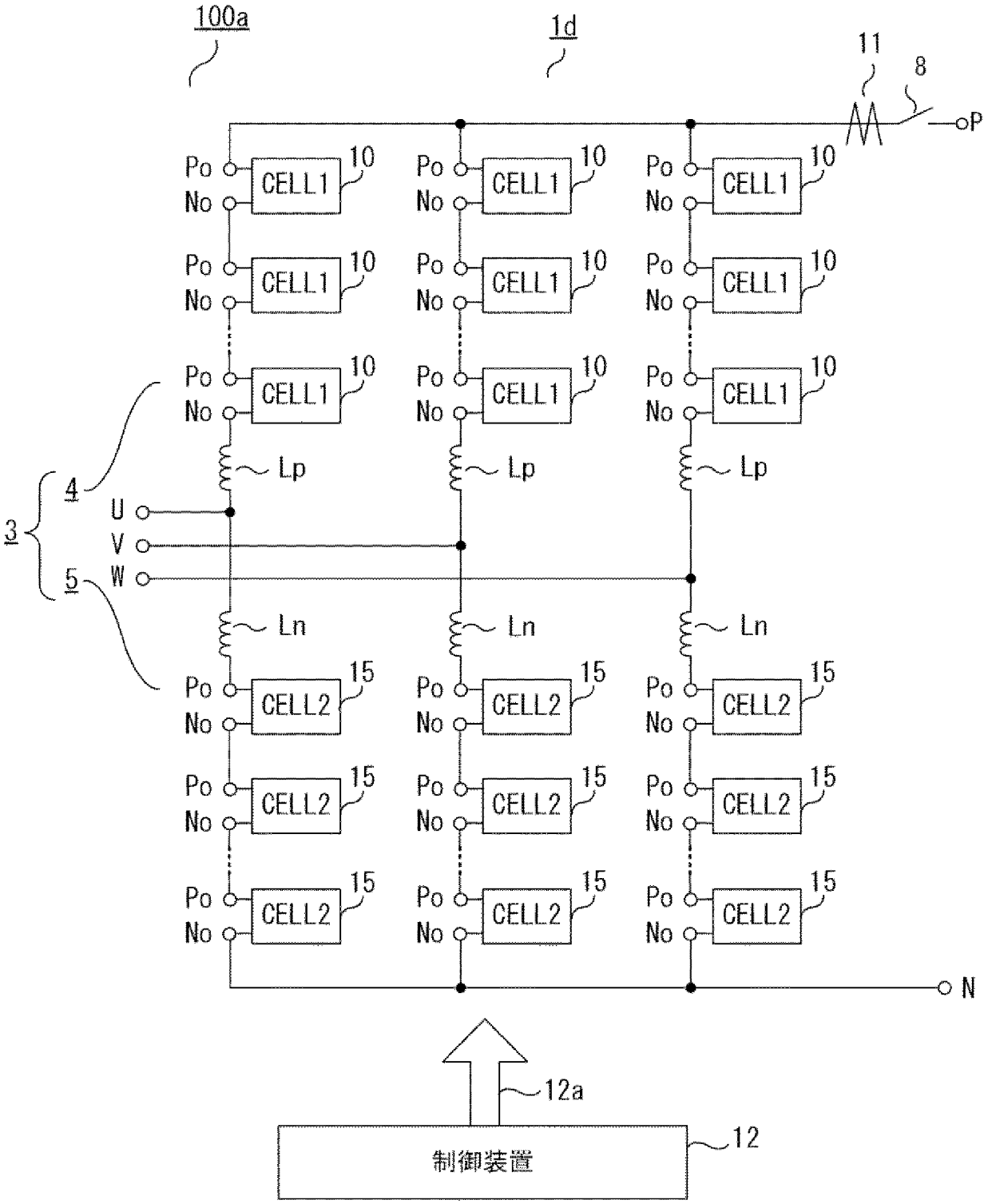
[図13]

図13


S1
運転開始指令
S2
定常運転開始
CELL1のLegB：スイッチON
LegA, LegAa：定常運転動作
S3
電流を検出
S4
短絡判別
No
Yes
S15
保護運転開始
CELL1：全スイッチOFF
CELL2：STATCOM動作
S6
再起動待ち

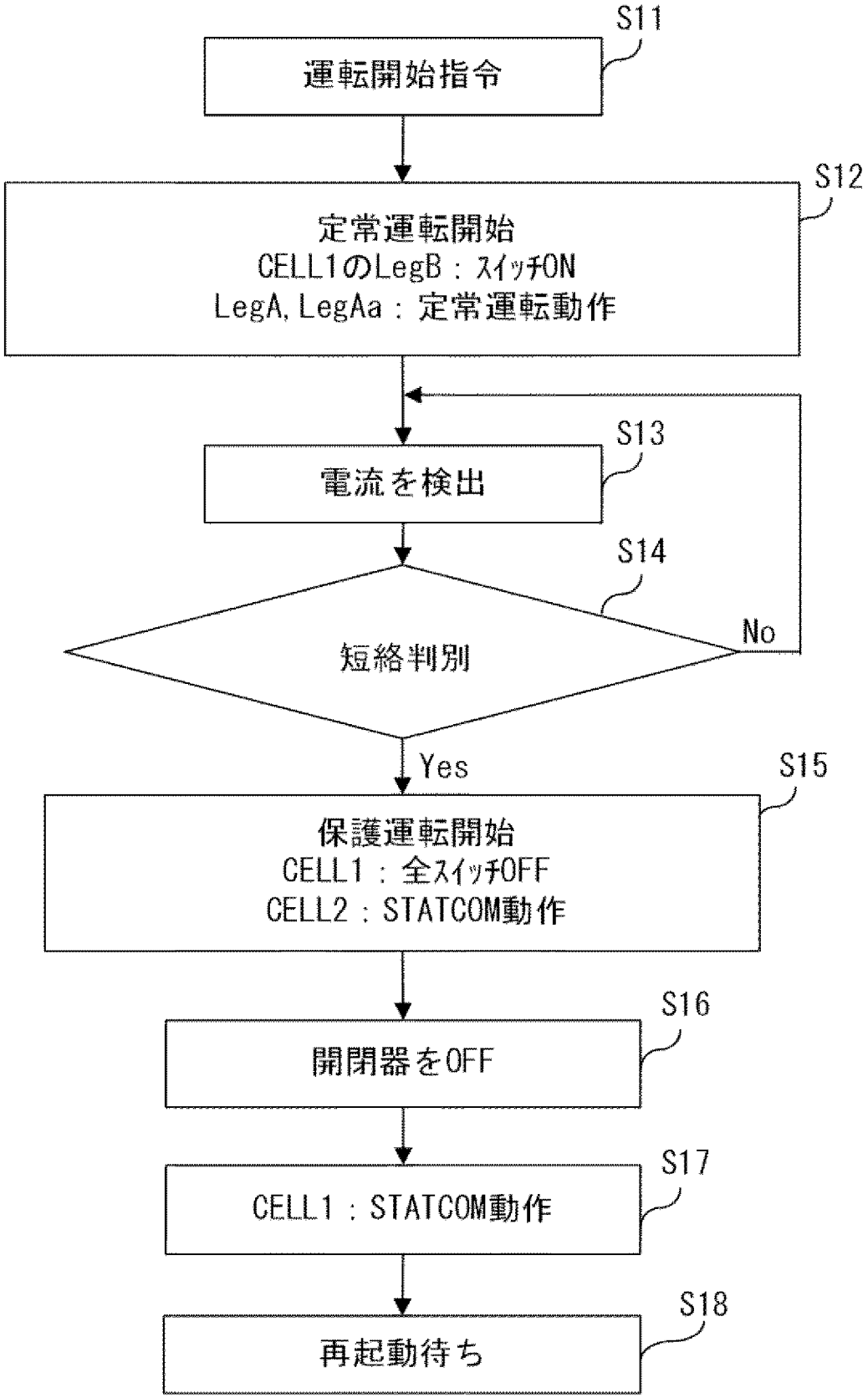
[図14]

図14



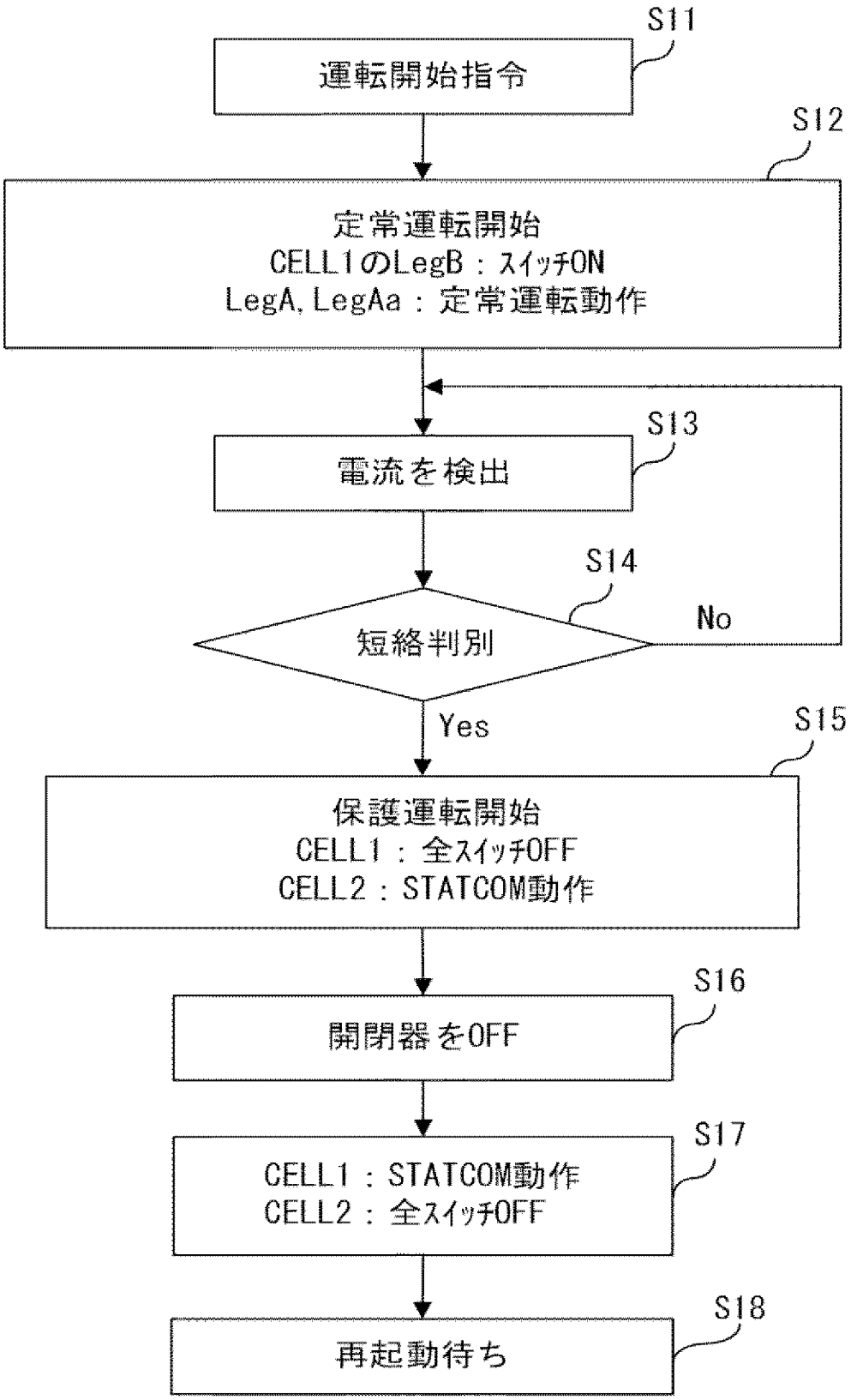
[図15]

図15


S11
運転開始指令
S12
定常運転開始
CELL1のLegB：ｽｲｯﾁON
LegA, LegAa：定常運転動作
S13
電流を検出
S14
短絡判別
No
Yes
S15
保護運転開始
CELL1：全ｽｲｯﾁOFF
CELL2：STATCOM動作
S16
開閉器をOFF
S17
CELL1：STATCOM動作
S18
再起動待ち

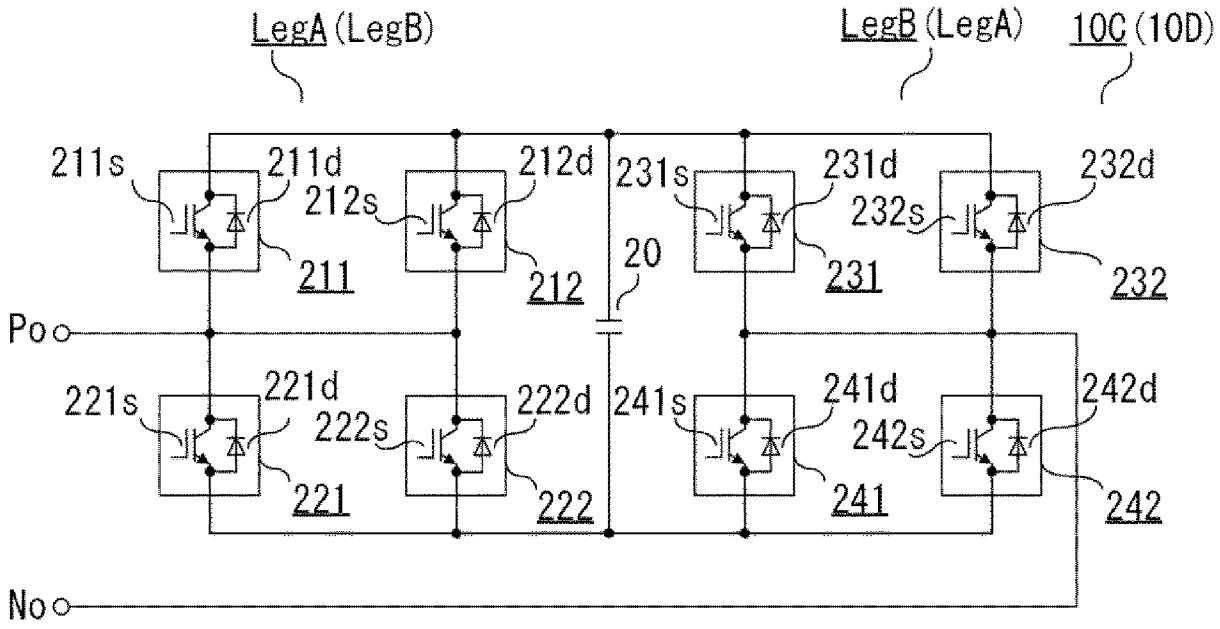
[図16]

図16


S11
運転開始指令
S12
定常運転開始
CELL1のLegB：スイッチON
LegA, LegAa：定常運転動作
S13
電流を検出
S14
短絡判別
No
Yes
S15
保護運転開始
CELL1：全スイッチOFF
CELL2：STATCOM動作
S16
開閉器をOFF
S17
CELL1：STATCOM動作
CELL2：全スイッチOFF
S18
再起動待ち

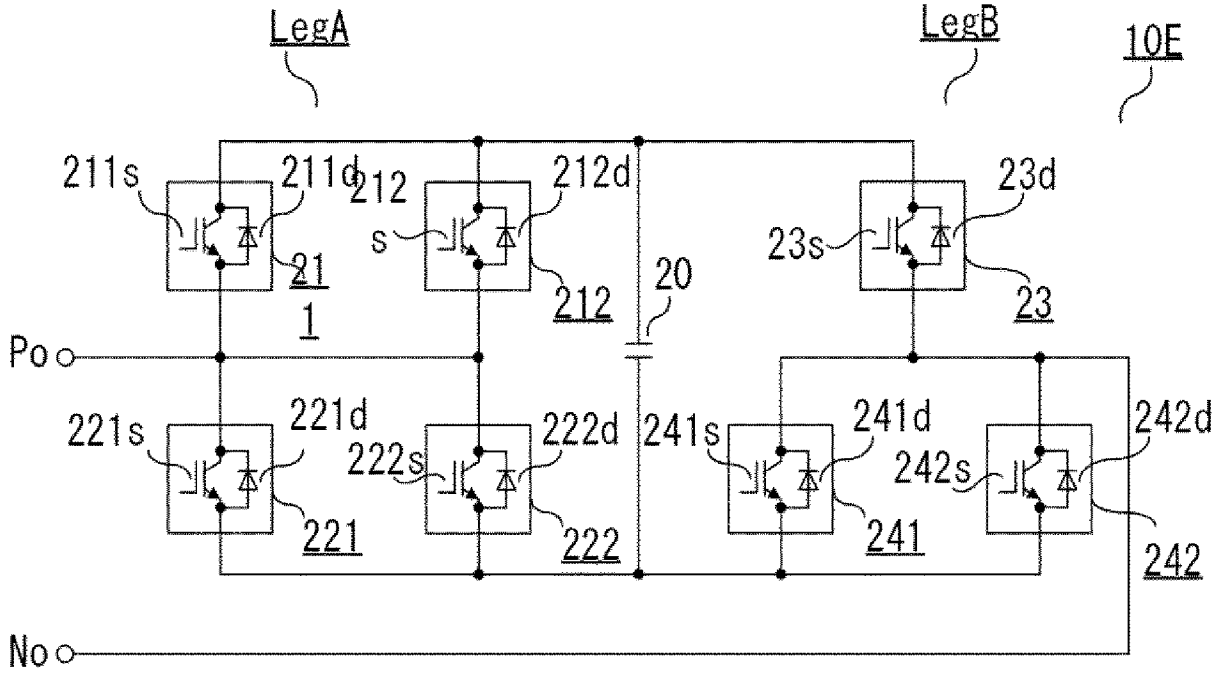
[図17]

図17



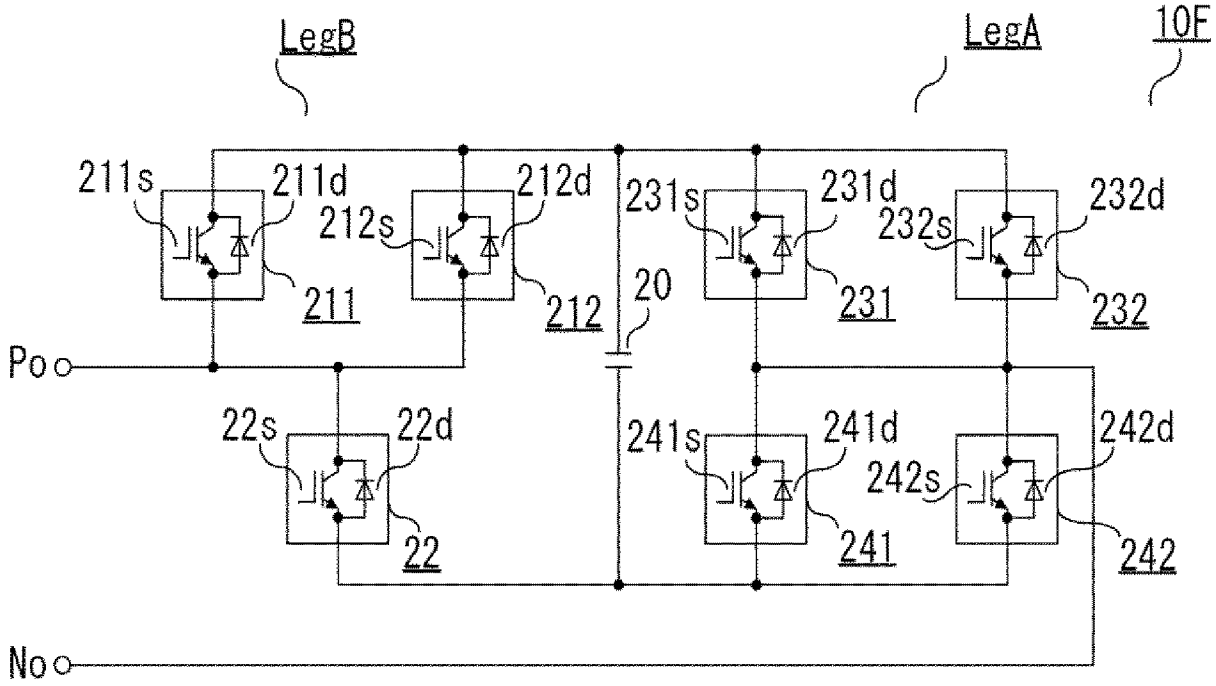

[図18]

図18



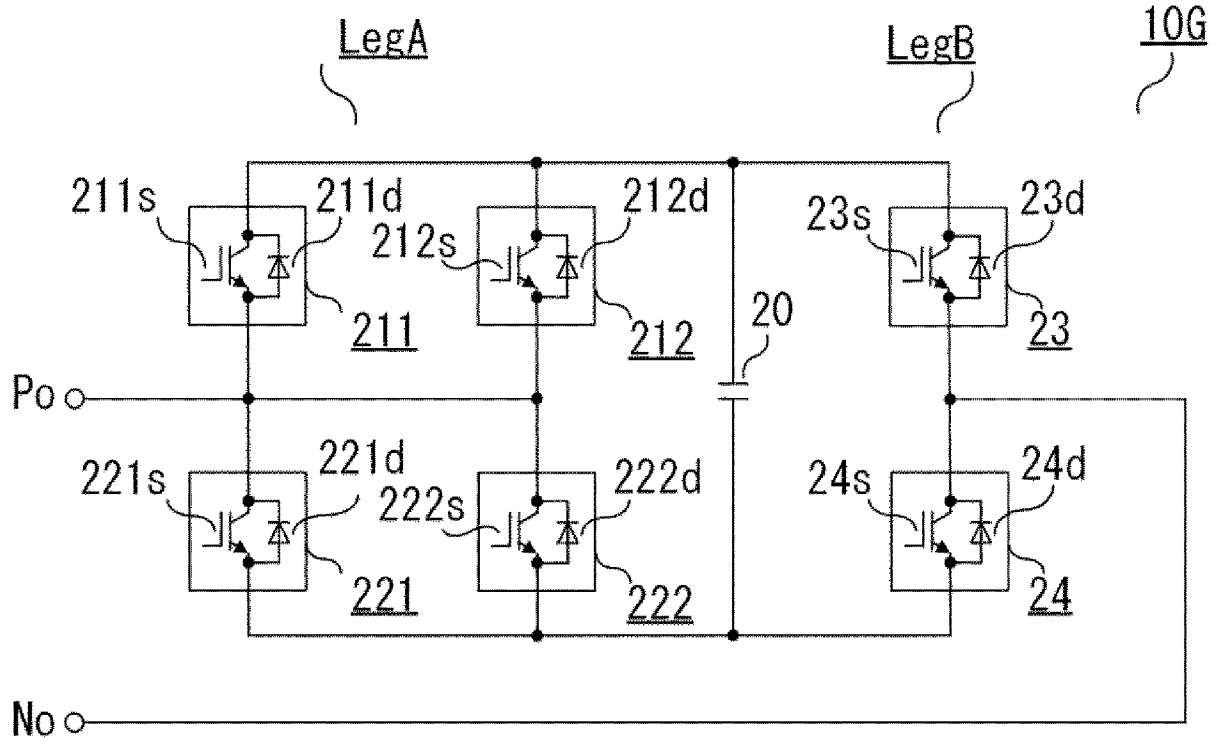
[図19]

図19



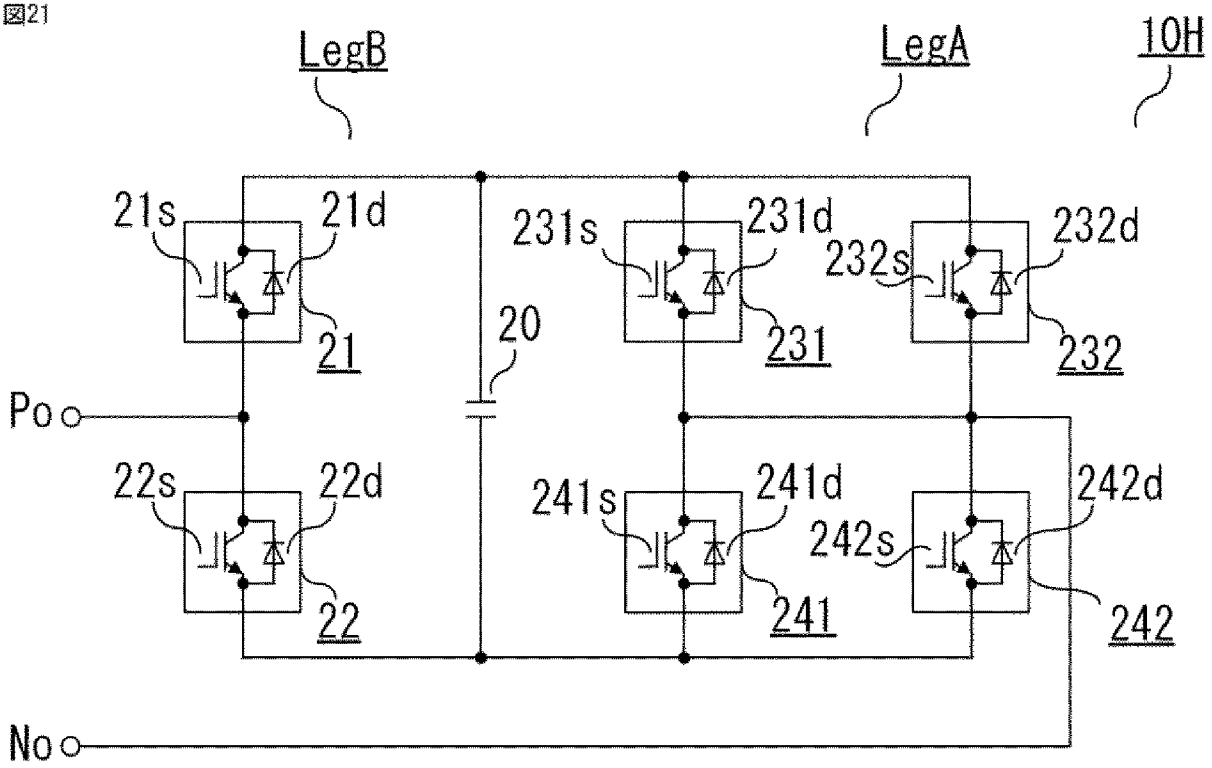

[図20]

図20



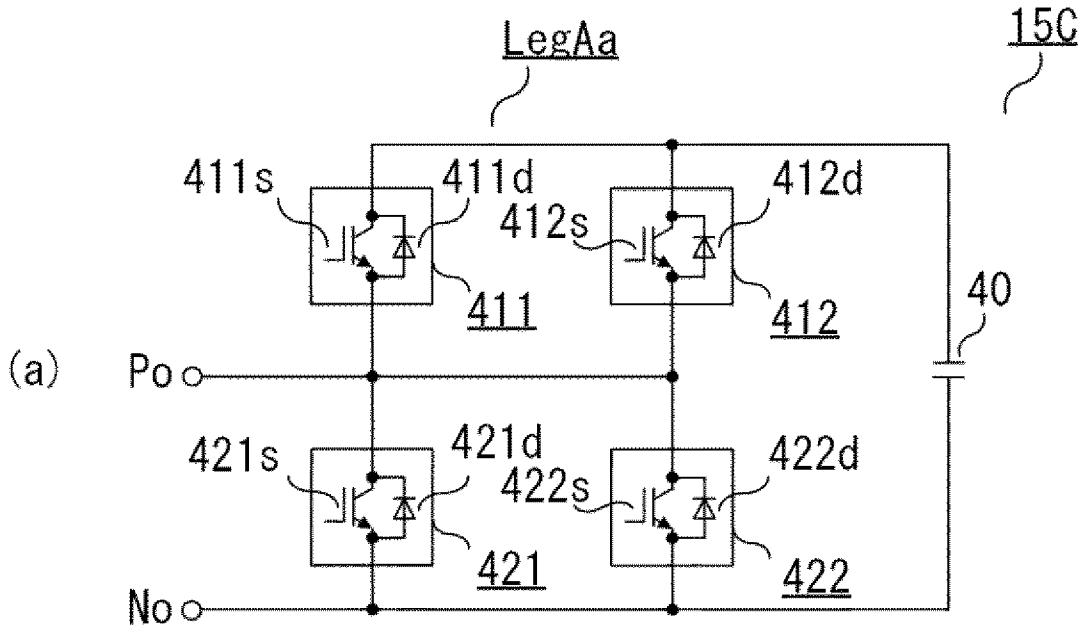
[図21]

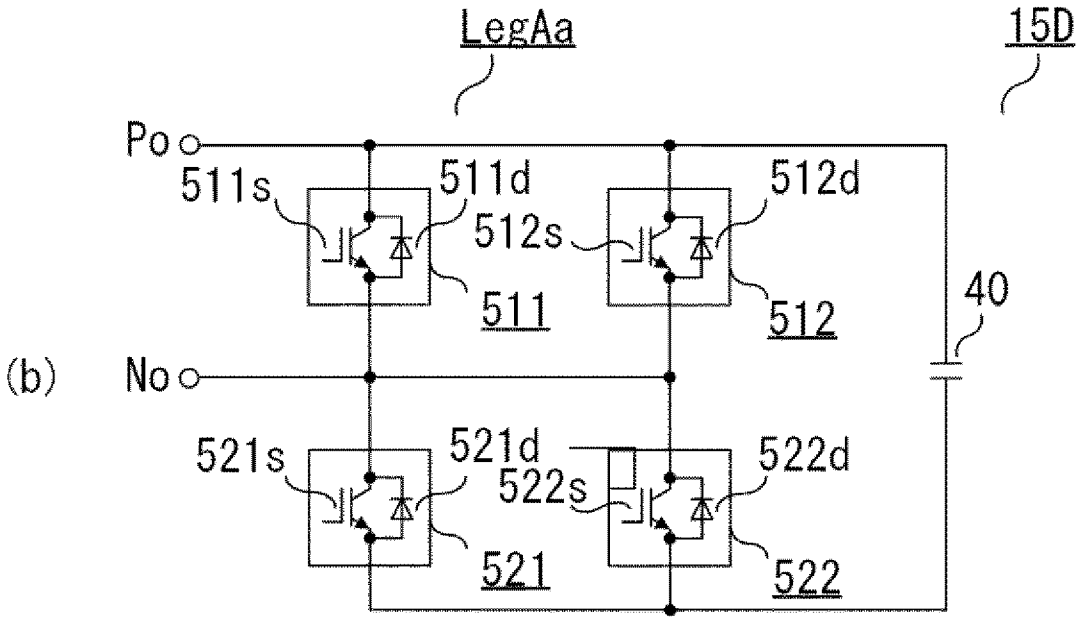
図21


LegB
LegA
10H
21s
21d
21
20
231s
231d
231
232s
232d
232
Po
22s
22d
22
241s
241d
241
242s
242d
242
No

[図22]

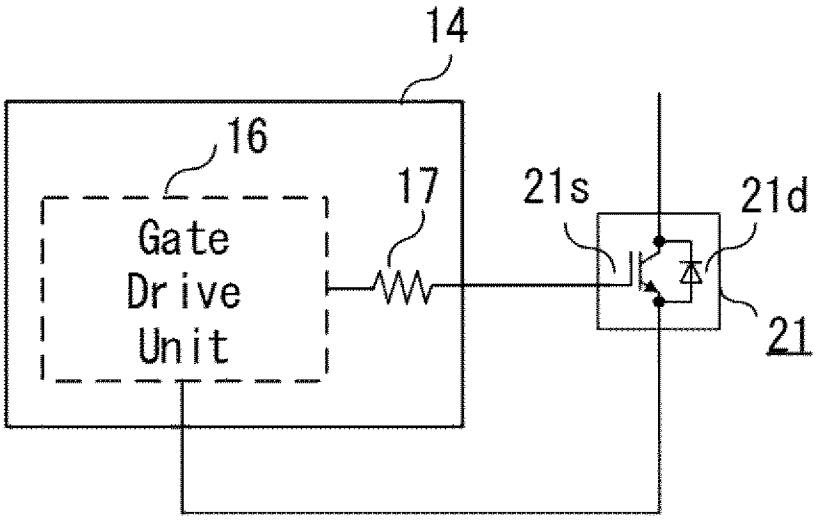
図22


LegAa
15C
411s
411d
412s
412d
411
412
40
(a)
Po
421s
421d
422s
422d
421
422
No


LegAa
15D
Po
511s
511d
512s
512d
511
512
40
(b)
No
521s
521d
522s
522d
521
522

[図23]

図23



[図24]

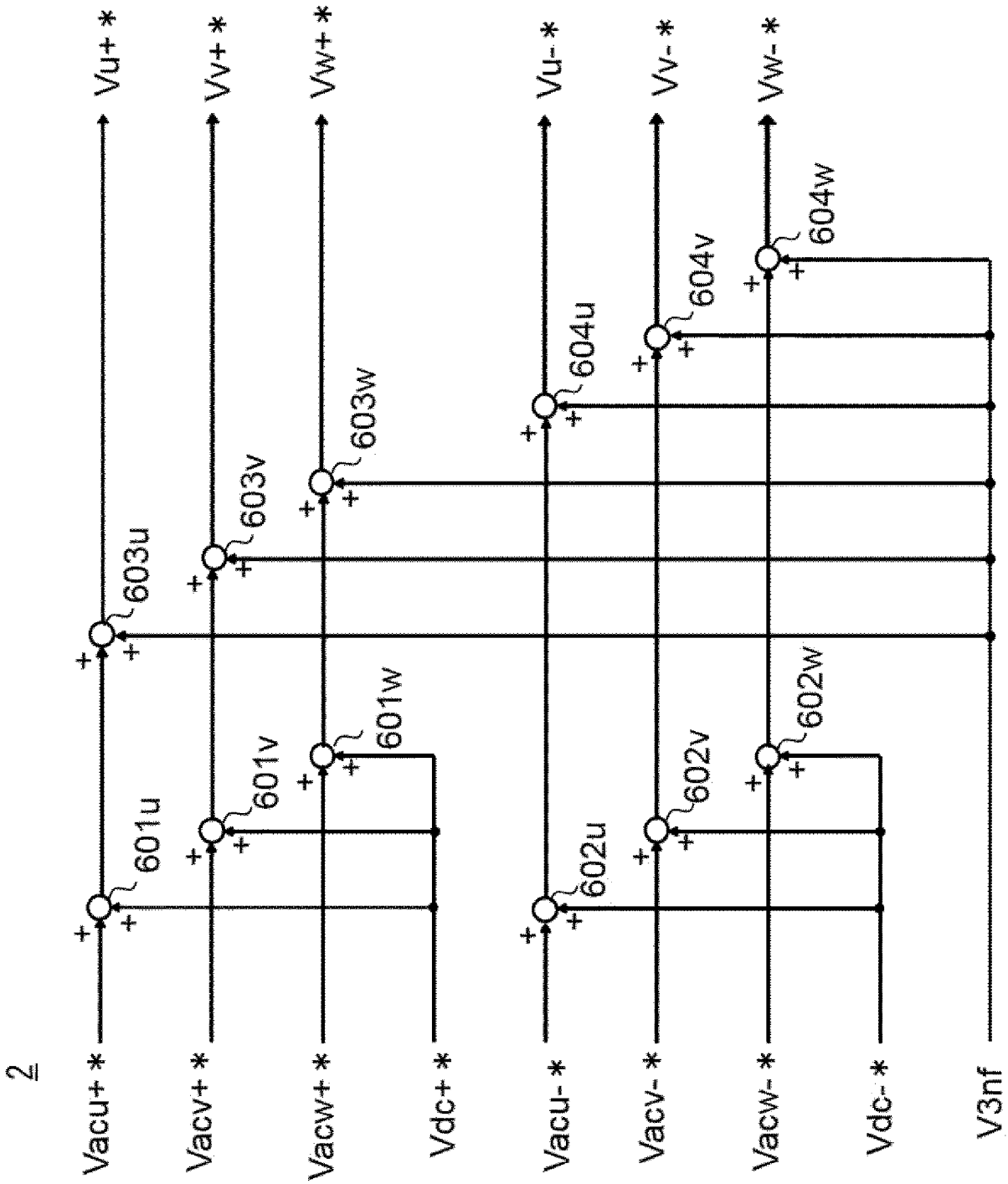

2
Vacu+*
Vacv+*
Vacw+*
Vdc+*
Vacu-*
Vacv-*
Vacw-*
Vdc-*
V3nf
601u
601v
601w
602u
602v
602w
603u
603v
603w
604u
604v
604w
Vu+*
Vv+*
Vw+*
Vu-*
Vv-*
Vw-*

図24

[図25]

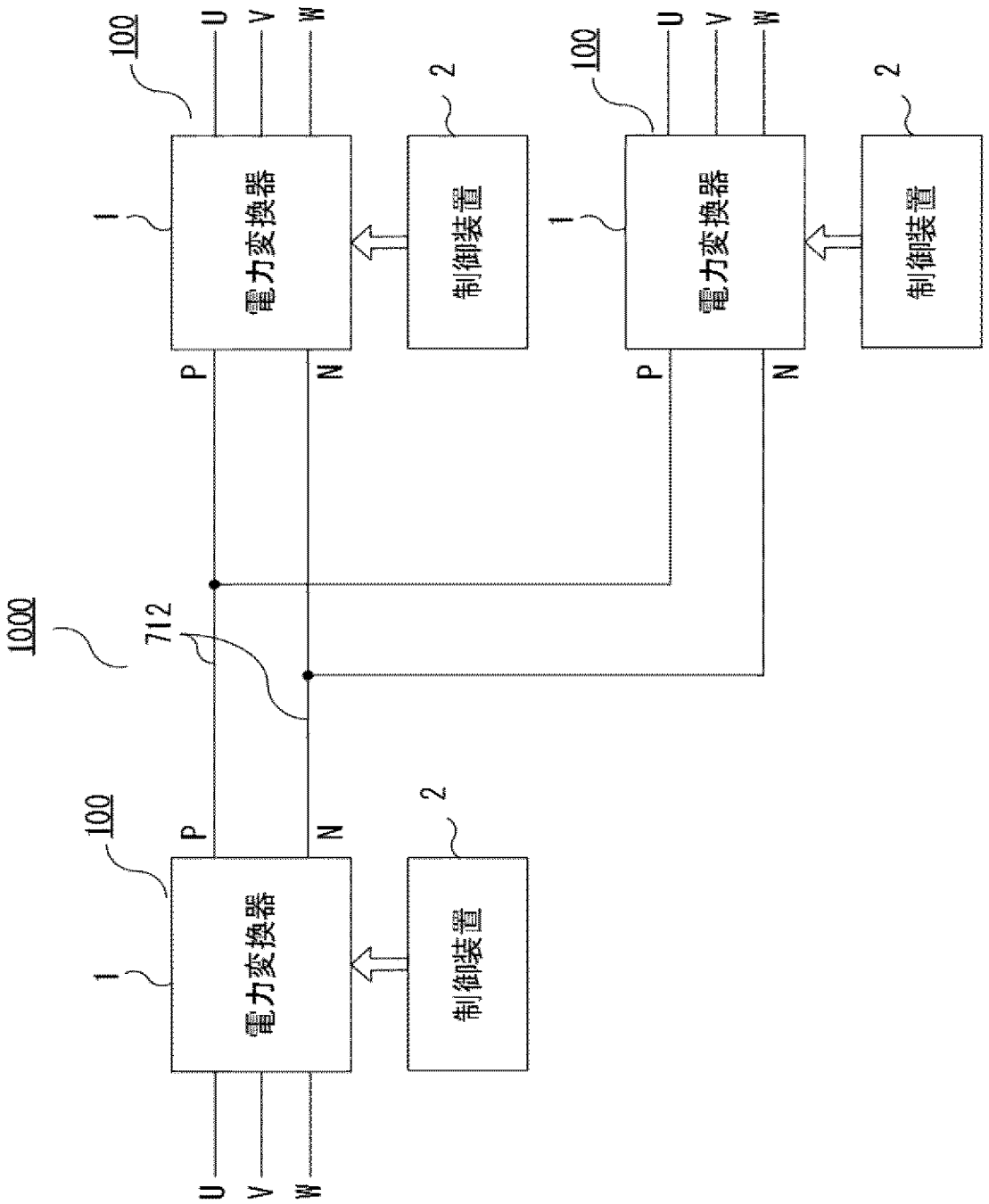



図25

[図26]

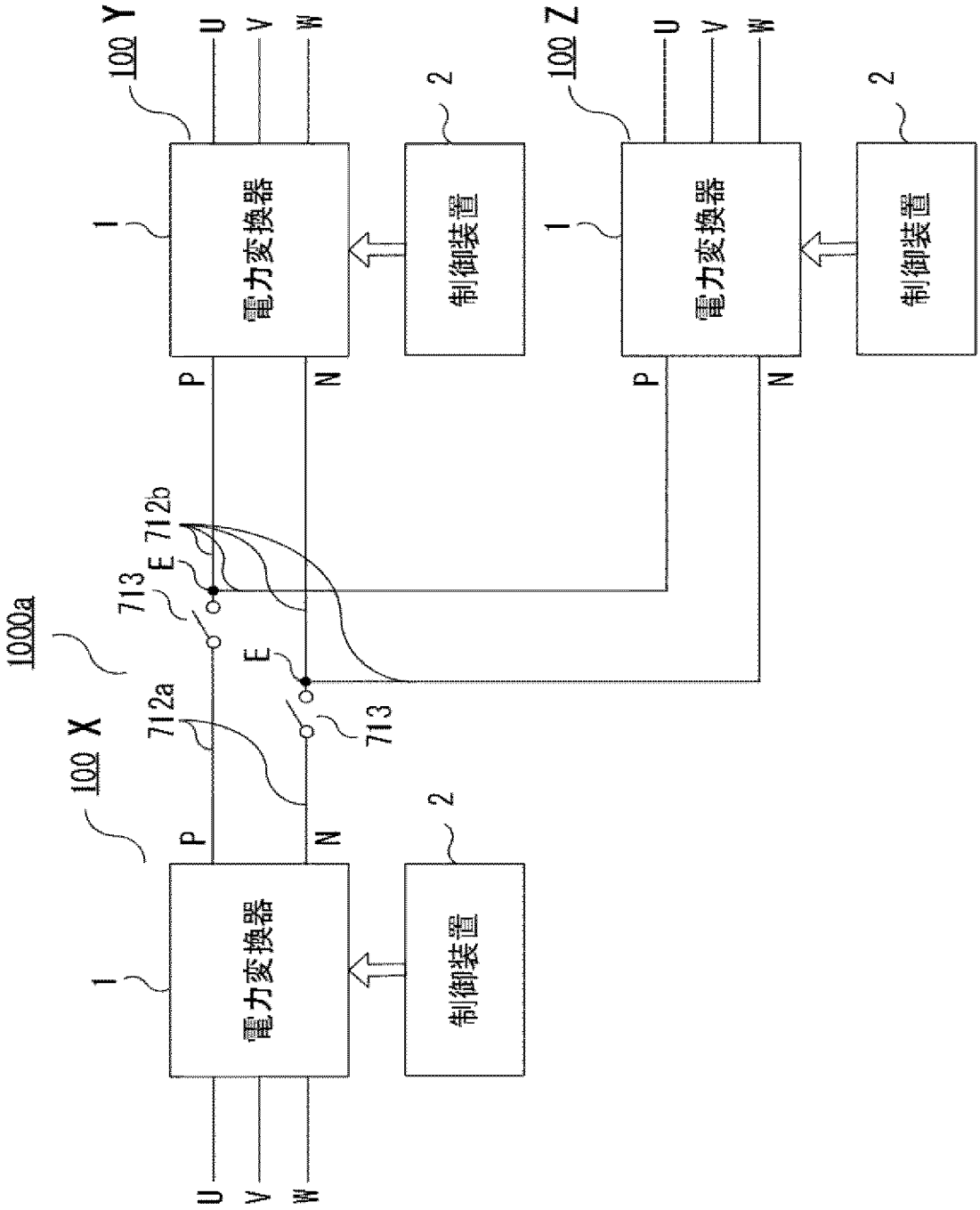

100 Y
U
V
W
1
電力変換器
2
制御装置
P
N
100 Z
U
V
W
1
電力変換器
2
制御装置
P
N
712b
E
713
1000a
E
713
712a
100 X
P
N
1
電力変換器
2
制御装置
U
V
W

図26

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/060187

A. CLASSIFICATION OF SUBJECT MATTER
*H02M7/497*(2007.01)i, *H02M7/48*(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M7/497, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y<br>A | JP 2013-121223 A (Hitachi, Ltd.),<br>17 June 2013 (17.06.2013),<br>paragraphs [0018] to [0151]; fig. 1 to 6<br>& US 2013/0148392 A1<br>paragraphs [0030] to [0163]; fig. 1 to 6 | 1,2,6,7,9,<br>12-14,16,17<br>3-5,8,10,11,<br>15 |
| Y | WO 2014/111595 A1 (ABB TECHNOLOGY LTD.),<br>24 July 2014 (24.07.2014),<br>page 46, lines 1 to 19; fig. 19<br>& WO 2015/110185 A1<br>page 20, lines 4 to 24; fig. 7 | 1,2,6,7,9,<br>12-14,16,17 |
| Y | JP 2015-12726 A (Toshiba Corp.),<br>19 January 2015 (19.01.2015),<br>paragraph [0004]<br>(Family: none) | 7,14 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| | |
|---|---|
| Date of the actual completion of the international search<br>14 June 2016 (14.06.16) | Date of mailing of the international search report<br>21 June 2016 (21.06.16) |
| Name and mailing address of the ISA/<br>Japan Patent Office<br>3-4-3,Kasumigaseki,Chiyoda-ku,<br>Tokyo 100-8915,Japan | Authorized officer<br><br>Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2016/060187

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | JP 2012-29490 A (Nissan Motor Co., Ltd.), 09 February 2012 (09.02.2012), paragraph [0053] & WO 2012/014725 A1 | 16 |
| Y | JP 2014-79048 A (Toyota Motor Corp.), 01 May 2014 (01.05.2014), paragraph [0026]; fig. 2 (Family: none) | 17 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０６０１８７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/497(2007.01)i, H02M7/48(2007.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/497, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１６年 |
| 日本国実用新案登録公報 | １９９６－２０１６年 |
| 日本国登録実用新案公報 | １９９４－２０１６年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y<br>A | JP 2013-121223 A (株式会社日立製作所)<br>2013.06.17, 段落[0018]-[0151],図 1-6<br>& US 2013/0148392 A1,段落[0030]-[0163],図 1-6 | 1,2,6,7,9,<br>12-14,16,17<br>3-5,8,10,11,<br>15 |
| Y | WO 2014/111595 A1 (ABB TECHNOLOGY LTD)<br>2014.07.24, 46 頁 1 行-19 行,図 19<br>& WO 2015/110185 A1,20 頁 4 行-24 行,図 7 | 1,2,6,7,9,<br>12-14,16,17 |

☑　Ｃ欄の続きにも文献が列挙されている。　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| １４．０６．２０１６ | ２１．０６．２０１６ |

| 国際調査機関の名称及びあて先 | 特許庁審査官（権限のある職員） | ５Ｇ | ３７９２ |
|---|---|---|---|
| 日本国特許庁（ＩＳＡ／ＪＰ）<br>郵便番号１００－８９１５<br>東京都千代田区霞が関三丁目４番３号 | 北嶋　賢二<br>電話番号　０３－３５８１－１１０１　内線　３５２６ | | |

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 2015-12726 A (株式会社東芝)<br>2015.01.19, 段落[0004] (ファミリーなし) | 7,14 |
| Y | JP 2012-29490 A (日産自動車株式会社)<br>2012.02.09, 段落[0053] & WO 2012/014725 A1 | 16 |
| Y | JP 2014-79048 A (トヨタ自動車株式会社)<br>2014.05.01, 段落[0026],図２ (ファミリーなし) | 17 |