

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 20 年 1 月 17 日 (2008.1.17)

【公開番号】特開 2006-155220 (P2006-155220A)
 【公開日】平成 18 年 6 月 15 日 (2006.6.15)
 【年通号数】公開・登録公報 2006-023
 【出願番号】特願 2004-344524 (P2004-344524)
 【国際特許分類】

G 0 6 F 12/06 (2006.01)

【F I】

G 0 6 F 12/06 5 2 1 H

G 0 6 F 12/06 5 2 5 A

【手続補正書】

【提出日】平成 19 年 11 月 27 日 (2007.11.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

内蔵メモリへアクセスする際のアクセスバス幅が異なる複数の機能処理モジュールからアクセスされる複数の内蔵メモリを搭載した半導体集積回路であって、

複数の機能処理モジュールのアクセスバス幅のうちの最も小さいビット幅に相当するビット構成の内蔵メモリを、該アクセスバス幅のうちの最も大きいビット幅に相当するビット数を満たす個数分有し、

各機能処理モジュールから内蔵メモリに対するアクセスを、内蔵メモリにアクセスする機能処理モジュールのアクセスバス幅に応じた個数の内蔵メモリに並列して実行するよう制御する制御手段を更に有することを特徴とする半導体集積回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 1

【補正方法】変更

【補正の内容】

【0 0 0 1】

本発明は、複数の機能処理モジュールからアクセスされる内蔵メモリを搭載した半導体集積回路に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 3

【補正方法】変更

【補正の内容】

【 0 0 1 3 】

内蔵メモリへアクセスする際のアクセスバス幅が異なる複数の機能処理モジュールからアクセスされる複数の内蔵メモリを搭載した半導体集積回路であって、複数の機能処理モジュールのアクセスバス幅のうちの最も小さいビット幅に相当するビット構成の内蔵メモリを、該アクセスバス幅のうちの最も大きいビット幅に相当するビット数を満たす個数分有し、各機能処理モジュールから内蔵メモリに対するアクセスを、内蔵メモリにアクセスする機能処理モジュールのアクセスバス幅に応じた個数の内蔵メモリに並列して実行するよう制御する制御手段を更に有することを特徴とする。

【 手続補正 5 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 4

【 補正方法 】 削除

【 補正の内容 】