

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 29 日(29.11.2012)



(10) 国際公開番号

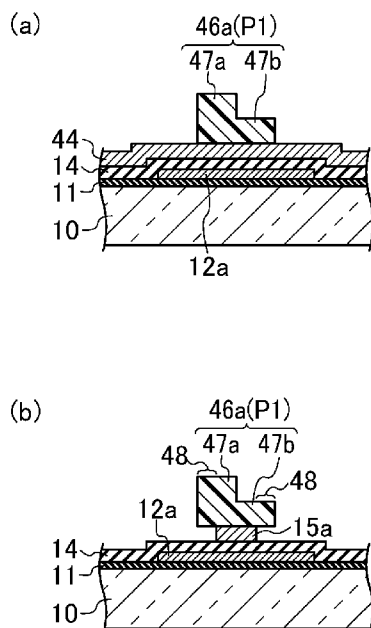
WO 2012/160800 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2012/003311
- (22) 国際出願日: 2012 年 5 月 21 日(21.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-115941 2011 年 5 月 24 日(24.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 齊藤 正樹
(SAITOH, Masaki).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA &
PARTNERS); 〒5410053 大阪府大阪市中央区本町
2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法

[図7]



(57) Abstract: A resist layer (46a) comprising a thick film section (47a), which is relatively thick, at one side thereof, and a thin film section (47b), which is relatively thin, at the other side thereof is formed using a multiple-tone mask. A gate electrode (15a) is formed at a place where it will be provided on a semiconductor layer (12a) so as to be narrower than the resist layer (46a), by executing isotropic etching to a conductive film (44) film-formed in advance using the resist layer (46a) as a mask, in order to form bulging sections (48) on the resist layer (46a) at both sides of the gate electrode (15a). Then, the whole thin film section (47b) is removed, the thick film section (47a) is made thinner, and impurities are injected into the semiconductor layer (12a) using the remaining resist layer (46a) and the gate electrode (15a) as a mask.

(57) 要約: 多階調マスクを用いて、相対的に厚い厚膜部 (47a) を一方側に、相対的に薄い薄膜部 (47b) を他方側に有するレジスト層 (46a) を形成し、先に成膜した導電膜 (44) をレジスト層 (46a) をマスクとして等方性エッチングすることで、半導体層 (12a) 対応箇所にレジスト層 (46a) より幅狭にゲート電極 (15a) を形成してレジスト層 (46a) にゲート電極 (15a) の両側方に張出部 (48) を構成し、次いで薄膜部 (47b) 全体を除去すると共に厚膜部 (47a) を薄膜化し、残ったレジスト層 (46a) 及びゲート電極 (15a) をマスクとして半導体層 (12a) に不純物を注入する。

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、片側にＬＤＤ（Lightly Doped Drain）領域を有するＬＤＤ構造の薄膜トランジスタ（Thin Film Transistor、以下、ＴＦＴと称する）を備えた半導体装置の製造方法に関し、特に、フォトマスクの削減及び製造工数の低減技術に関するものである。

背景技術

[0002] ＴＦＴを備える半導体装置は、ＩＣ（Integrated Circuit）などの電子回路を備える電子デバイスに広く利用されており、例えば、アクティブマトリクス駆動方式の液晶表示装置や有機ＥＬ（Electro Luminescence）表示装置などの各種表示装置にアクティブマトリクス基板として用いられている。

[0003] この半導体装置は、ＴＦＴの半導体層をポリシリコン（ $p-Si$ ）により形成した場合、当該半導体層をアモルファスシリコン（ $a-Si$ ）により形成した場合に比べてキャリア移動度が大きいので、高速動作が可能になる。このポリシリコンからなる半導体層を備えたＴＦＴで駆動回路や電源回路などの周辺回路を構成すれば、該周辺回路をアクティブマトリクス基板に一体的に作り込むことが可能になる。

[0004] このようなポリシリコンからなる半導体層を備えたＴＦＴには、トップゲート型（コプラナー型とも呼ばれる）の構造が採用されることが多い。一般的なトップゲート型のＴＦＴは、ベース基板上に設けられた半導体層と、該半導体層を覆うゲート絶縁膜と、該ゲート絶縁膜を介して半導体層の中央部分に重なるように設けられたゲート電極とを備えている。そして、上記半導体層には、ゲート電極対応箇所にチャネル領域が、該チャネル領域の両側方に不純物が高濃度に注入されたソース領域又はドレイン領域として機能する高濃度不純物領域がそれぞれ形成されている。

[0005] このトップゲート型のＴＦＴには、ホットキャリアによる特性劣化を防止

するためにドレイン領域の電界緩和構造として、LDD構造が好適に採用される場合がある。このLDD構造のTFETは、半導体層におけるチャンネル領域と各高濃度不純物領域との間にLDD領域と呼ばれる低濃度不純物領域を有し、該低濃度不純物領域によってドレイン領域における電界を緩和してホットキャリアの発生を抑えるようになっている。以下、このようにチャンネル領域の両側に低濃度不純物領域を有するLDD構造のTFETを両側LDD構造のTFETと称する。

[0006] 両側LDD構造のTFETでは、本来ホットキャリアの耐性向上に不要なソース領域側にも低濃度不純物領域が形成されている。このため、ソース領域側に設けられた低濃度不純物領域の抵抗はTFETの動作上においてオン時のソース領域とドレイン領域との間に直列に接続されることになり、この抵抗分だけTFETのオン電流が低下して、動作速度が落ちる問題がある。

[0007] そこで、両側LDD構造のTFETよりもオン電流特性の向上を図る構造のTFETとして、ドレイン領域側のみに低濃度不純物領域を有するLDD構造のTFETが知られている。以下、このようにチャンネル領域の片側のみに低濃度不純物領域を有するLDD構造のTFETを片側LDD構造のTFETと称する。

[0008] 片側LDD構造のTFETを備えた半導体装置は、ゲート電極を形成した後に、該ゲート電極の片側側部、つまり半導体層における低濃度不純物領域の形成箇所を覆うレジスト層を形成し、該レジスト層をマスクとして半導体層に不純物を高濃度に注入する工程と、上記レジスト層を除去した後にゲート電極をマスクとして半導体層に不純物を低濃度に注入する工程とを行って、製造することができる。

[0009] このような製造方法では、高濃度不純物注入用に低濃度不純物領域形成箇所をマスクとして機能するレジスト層を形成するためにフォトリソグラフィを追加する必要があり、工程数が増加すると共に、コストアップになるという問題があった。この問題は、上記両側LDD構造のTFETを備えた半導体層においても同様に生じる。

[0010] そこで、LDD構造のTFTを備えた半導体装置の製造方法に関して、フォトリソマスクの削減及び工程数の低減を可能にする手法が従来から提案されている。

[0011] 例えば、特許文献1には、ウェットエッチングで導電膜をパターニングすることによりゲート電極を形成し、該ゲート電極の形成に用いたレジスト層をマスクとして半導体層に不純物を高濃度に注入し、次いで、レジスト層を除去した後にゲート電極をマスクとして半導体層に不純物を低濃度に注入することが開示されている。この製造方法によれば、ゲート電極の形成の際に起こるサイドエッチングによりゲート電極がレジスト層内側に後退して該レジスト層よりも幅狭に形成されるので、1回目の不純物注入によって形成する各高濃度不純物領域とチャネル領域との間に不純物が注入されないオフセット領域を設けることができ、該各オフセット領域に、2回目の不純物注入によって低濃度不純物領域を形成することができる。

[0012] また、特許文献2には、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトリソマスク又はレクチルをゲート電極形成用のフォトリソグラフィ工程に適用して膜厚の厚い厚膜部分と該厚膜部分よりも膜厚の薄い薄膜部分とを片側側部に有する非対称のレジストパターンを形成し、これを利用してドライエッチングにより段差を有するゲート電極を形成し、その後に、ゲート電極の膜厚の薄い部分を通過させて半導体層に不純物元素を注入することにより、自己整合的に低濃度不純物領域（LDD領域）を形成することが開示されている。

先行技術文献

特許文献

[0013] 特許文献1：特開2001-85695号公報

特許文献2：特開2007-19490号公報

発明の概要

発明が解決しようとする課題

[0014] しかしながら、上記特許文献１の製造方法では、上述したサイドエッチングによるゲート電極の後退が全てのゲート電極の両側において一様に起こるため、１回目の不純物注入によってチャネル領域の両側方にオフセット領域が形成され、２回目の不純物注入によって両オフセット領域に低濃度不純物領域が形成される。したがって、必然的に全てのＴＦＴが両側ＬＤＤ構造となるので、半導体層への不純物注入をＬＤＤ構造の種類別に分けて行わないことには、チャネル領域の片側のみに低濃度不純物領域を形成できず、片側ＬＤＤ構造のＴＦＴを形成することができない。

[0015] さりとて、特許文献１の製造方法を採用した上で、両側ＬＤＤ構造のＴＦＴを構成する半導体層への不純物注入と、片側ＬＤＤ構造のＴＦＴを構成する半導体層への不純物注入とを別個に行うとすると、ゲート電極もＬＤＤ構造の種類別に別々の工程で形成しなければならず、製造工程が煩雑になる上に、結局は、フォトリソを追加せざるを得なくなり、工程数も増加し、コストアップになってしまう。

[0016] また、上記特許文献２の製造方法では、半導体層におけるチャネル領域の片側のみに低濃度不純物領域を形成可能であるものの、該低濃度不純物領域の線幅が、ゲート電極形成用のレジスト層の線幅及び膜厚のばらつき、さらにドライエッチングによるゲート電極の線幅ばらつきによって大きく変動する。その上、低濃度不純物領域のシート抵抗についても、膜厚の薄いゲート電極部分越しに不純物の注入を行うため、その注入濃度がゲート電極の膜厚のばらつきに影響を受けて変動する。このように同製造方法では、ＴＦＴ特性がばらつく要因が多過ぎて、良好な特性を有する片側ＬＤＤ構造のＴＦＴを安定して製造することが困難である。

[0017] 上述した諸問題は、ドレイン領域側のみにチャネル領域と不純物濃度が同一のオフセット領域が設けられたオフセット構造のＴＦＴを製造する場合にも同様に生じる。以下、このようにチャネル領域の片側のみにオフセット領域を有するオフセット構造のＴＦＴを片側オフセット構造のＴＦＴと称する。

[0018] 本発明は、斯かる点に鑑みてなされたものであり、その目的とするところは、片側ＬＤＤ構造あるいは片側オフセット構造のＴＦＴにおいて良好な特性を安定して得ると共に、該ＴＦＴを備えた半導体装置を少ない枚数のフォトマスクで工程数を抑えて低コストに製造することにある。

課題を解決するための手段

[0019] 上記の目的を達成するために、この発明は、ゲート電極形成用のレジスト層と、半導体層への不純物注入用のマスクとして機能するレジスト層とを一枚のフォトマスクで形成し、且つＴＦＴ特性がばらつく要因を極力少なくするように工夫したものである。

[0020] 具体的には、本発明は、片側ＬＤＤ構造あるいは片側オフセット構造のＴＦＴを備えた半導体装置を製造する方法を対象とし、以下の解決手段を講じたものである。

[0021] すなわち、第１の発明は、ベース基板上に半導体膜を成膜し、該半導体膜をパターニングすることにより、半導体層を形成する半導体層形成ステップと、上記半導体層を覆うようにゲート絶縁膜を成膜するゲート絶縁膜成膜ステップと、上記ゲート絶縁膜上にゲート電極形成用の導電膜を成膜する導電膜成膜ステップと、上記導電膜上に感光性樹脂膜を成膜する感光性樹脂膜成膜ステップと、上記感光性樹脂膜に対して照射される露光量を多階調マスクを用いて制御して露光処理を行った後に現像処理を行うことにより、上記感光性樹脂膜をパターニングして、上記半導体層対応箇所の一部に対し、相対的に厚い厚膜部を一方側に、相対的に薄い薄膜部を他方側に有するレジスト層を形成する感光性樹脂膜パターニングステップと、上記レジスト層をマスクとして上記導電膜を等方性を有するエッチングでパターニングすることにより、上記半導体層対応箇所に上記レジスト層よりも幅狭にゲート電極を形成すると共に、上記レジスト層に上記ゲート電極の両側方に庇状に張り出した張出部を構成する導電膜パターニングステップと、上記張出部を有するレジスト層を上記厚膜部構成部分である上記ゲート電極の片側側部だけに上記張出部が張り出す形状にする薄膜部除去ステップと、上記薄膜部除去ステッ

プの後に、上記レジスト層をマスクとして上記半導体層に対し、該半導体層の導電型とは異なる導電型の不純物を注入することにより、上記半導体層において、上記ゲート電極対応箇所の一側方に該ゲート電極対応箇所から上記張出部の張り出し分に相当する間隔をあけて、上記ゲート電極対応箇所の他側方に該ゲート電極対応箇所と間隔をあけずに不純物注入領域をそれぞれ形成する不純物注入ステップとを含むことを特徴とする。

[0022] この第1の発明では、感光性樹脂膜パターニングステップにて、半導体層形成箇所の一部に対し、厚膜部及び薄膜部を有して一方側と他方側とで厚さの異なるレジスト層が形成される。次いで、導電膜パターニングステップにて、レジスト層をマスクとして等方性を有するエッチングによりゲート電極が形成されると共に、レジスト層にゲート電極の両側方に張り出した張出部が構成される。さらに、薄膜部除去ステップにて、厚膜部と薄膜部との厚さの差を利用して、レジスト層がゲート電極の片側側部だけに張出部が張り出す形状とされる。そして、不純物注入ステップにて、上記薄膜部除去ステップを経たレジスト層をマスクとして半導体層に不純物を注入することにより、該半導体層におけるチャネル領域の両側方に不純物注入領域が形成される。このとき、レジスト層の張出部がゲート電極の片側側部だけに張り出しているので、半導体層におけるゲート電極対応箇所の一側方の不純物注入領域のみが該ゲート電極対応箇所から間隔をあけて形成される。

[0023] これら各ステップによれば、一枚のフォトマスク（多階調マスク）で2パターンのレジストパターン、つまり、薄膜部除去ステップ前のレジスト層からなる第1のレジストパターンと、薄膜部除去ステップ後の薄膜化された厚膜部構成部分だけのレジスト層からなる第2のレジストパターンとが形成される。そして、第1のレジストパターンがゲート電極形成用のマスクとして、第2のレジストパターンが半導体層への不純物注入に際して低濃度不純物領域あるいはオフセット領域形成箇所でのマスクとしてそれぞれ用いられる。これにより、ゲート電極形成用のレジスト層と、半導体層への不純物注入用のレジスト層との形成に必要なフォトマスクが一枚で済む。すなわち、ゲ

ート電極形成用のレジスト層とは別個に半導体層への不純物注入用のレジスト層を形成せずに済むので、フォトマスクの枚数削減と共に工程数も低減される。

[0024] しかも、低濃度不純物領域あるいはオフセット領域の線幅ばらつきの要因としては、サイドエッチングによるゲート電極の線幅ばらつきが支配的になり、他に当該低濃度不純物領域あるいはオフセット領域の線幅に大きく影響を及ぼす要因がなくなるので、低濃度不純物領域あるいはオフセット領域の線幅ばらつきが抑えられる。これにより、TF_T特性のばらつきを十分に抑えて、良好な特性の片側LDD構造あるいは片側オフセット構造のTF_Tが安定して得られる。

[0025] したがって、片側LDD構造あるいは片側オフセット構造のTF_Tにおいて良好な特性を安定して得ると共に、該TF_Tを備えた半導体装置を少ない枚数のフォトマスクで工程数を抑えて低コストに製造することが可能になる。

[0026] 第2の発明は、第1の発明の半導体装置の製造方法において、上記不純物注入ステップでは、上記不純物注入領域を形成すると共に、上記半導体層における上記ゲート電極対応箇所にチャネル領域を、これら不純物注入領域とチャネル領域との間に上記不純物が注入されないオフセット領域を形成し、上記オフセット領域には、上記不純物注入領域形成後の工程においても不純物を注入しないことを特徴とする。

[0027] この第2の発明では、不純物注入ステップにて、不純物が注入されずにチャネル領域と不純物濃度が同一のオフセット領域（張出部対応領域）が半導体層に形成される。そして、このオフセット領域に対してその後の工程においても不純物を注入せずに、該オフセット領域をそのままにするので、片側オフセット構造のTF_Tを備えた半導体装置を製造することができる。

[0028] これによれば、片側LDD構造のTF_Tを形成する場合には、不純物注入ステップの後にさらに上記オフセット領域に不純物を低濃度に注入する低濃度不純物注入ステップを行う必要があるのに対し、該低濃度不純物注入ステ

ップが不要であるので、片側LDD構造のTF Tを形成する場合に比べて、工程数を良好に抑えて、より安価に半導体装置を製造することが可能になる。

[0029] 第3の発明は、第1の発明の半導体装置の製造方法において、上記不純物注入ステップを高濃度不純物注入ステップとし、上記高濃度不純物注入ステップでは、上記不純物注入領域として高濃度不純物領域を形成し、上記高濃度不純物注入ステップの後に、残りの上記レジスト層を除去するレジスト層除去ステップと、上記レジスト層除去ステップの後に、上記ゲート電極をマスクとして上記半導体層に上記高濃度不純物注入ステップと同型の不純物を注入することにより、上記半導体層において、上記ゲート電極対応箇所にチャンネル領域を、該チャンネル領域の片側側方の上記高濃度不純物領域との間に低濃度不純物領域をそれぞれ形成する低濃度不純物注入ステップとをさらに含むことを特徴とする。

[0030] この第3の発明では、レジスト層除去ステップにてレジスト層が除去され、その後に、低濃度不純物注入ステップにてゲート電極をマスクとした半導体層への不純物注入により低濃度不純物領域が形成される。これら各ステップを行うことにより片側LDD構造のTF Tを備えた半導体装置を製造することができる。片側LDD構造のTF Tは、片側オフセット構造のTF Tにおけるオフセット領域の線幅の最適範囲に比べて低濃度不純物領域の線幅の最適範囲が広く、設計の余裕度が格段に高いので、高オン電流と低オフ電流とを両立させた良好なTF Tを容易に実現することができる。したがって、片側オフセット構造のTF Tを備えた半導体装置を製造する場合に比べて、半導体装置の動作不良をより確実になくすことが可能になる。

[0031] さらに、ゲート絶縁膜のみを介して半導体層に不純物の注入を行うので、低濃度不純物領域のシート抵抗のばらつきが、上記特許文献2に記載の如くゲート電極越しに不純物の注入を行う場合に比べて抑えられる。これにより、TF T特性がばらつく要因を極力少なくして、良好な特性の片側LDD構造のTF Tが安定して得られる。

[0032] 第4の発明は、ベース基板上に半導体膜を成膜し、該半導体膜をパターンニングすることにより、第1半導体層及び第2半導体層を形成する半導体層形成ステップと、上記第1半導体層及び第2半導体層を覆うようにゲート絶縁膜を成膜するゲート絶縁膜成膜ステップと、上記ゲート絶縁膜上にゲート電極形成用の導電膜を成膜する導電膜成膜ステップと、上記導電膜上に感光性樹脂膜を成膜する感光性樹脂膜成膜ステップと、上記感光性樹脂膜に対して照射される露光量を多階調マスクを用いて制御して、上記第1半導体層対応箇所の一部に対し、相対的に厚い厚膜部を一方側に、相対的に薄い薄膜部を他方側に有する第1レジスト層を形成すると共に、上記第2半導体層対応箇所の一部に上記薄膜部よりも厚い第2レジスト層を形成する感光性樹脂膜パターンニングステップと、上記第1レジスト層及び第2レジスト層をマスクとして上記導電膜を等方性を有するエッチングでパターンニングすることにより、上記第1半導体層対応箇所及び第2半導体層対応箇所に、対応する上記第1レジスト層又は第2レジスト層よりも幅狭にゲート電極をそれぞれ形成すると共に、上記第1レジスト層及び第2レジスト層に上記ゲート電極の両側方に庇状に張り出した張出部をそれぞれ構成する導電膜パターンニングステップと、上記第1レジスト層を上記厚膜部構成部分である上記ゲート電極の片側側部だけに上記張出部が張り出す形状にすると共に、上記第2レジスト層を薄膜化して残す薄膜部除去ステップと、上記薄膜部除去ステップの後に、上記第1レジスト層をマスクとして上記第1半導体層に、上記第2レジスト層をマスクとして上記第2半導体層に、当該両半導体層の導電型とは異なる導電型の不純物をそれぞれ注入することにより、上記第1半導体層において、上記ゲート電極対応箇所の一側方に該ゲート電極対応箇所から上記張出部の張り出し分に相当する間隔をあけて、上記ゲート電極対応箇所の他側方に該ゲート電極対応箇所と間隔をあけずに不純物注入領域をそれぞれ形成すると共に、上記第2半導体層における上記ゲート電極対応箇所の両側方に該ゲート電極対応箇所から上記張出部の張り出し分に相当する間隔をあけて不純物注入領域を形成する不純物注入ステップとを含むことを特徴とする。

[0033] この第4の発明でも、上記第1の発明と同様な各ステップを経て、第1半導体層におけるゲート電極対応箇所の一側方の不純物注入領域のみが該ゲート電極対応箇所から間隔をあけて形成されるので、片側LDD構造あるいは片側オフセット構造のTFETにおいて良好な特性を安定して得ると共に、該TFETを備えた半導体装置を少ない枚数のフォトリソで工程数を抑えて低コストに製造することが可能になる。

[0034] また、この第4の発明では、感光性樹脂膜パターニングステップにて、第2半導体層対応箇所の一部に第1半導体層対応箇所に形成した第1レジスト層の薄膜部よりも厚い第2レジスト層が形成される。次いで、導電膜パターニングステップにて、第2半導体層対応箇所にゲート電極が形成されると共に、第2レジスト層にゲート電極の両側方に張り出した張出部が構成される。さらに、薄膜部除去ステップにて、第2レジスト層が薄膜化されて残される。そして、不純物注入ステップにて、薄膜化された第2レジスト層をマスクとして第2半導体層に不純物を注入することにより、該半導体層におけるチャネル領域の両側方に不純物注入領域が形成される。このとき、レジスト層の張出部はゲート電極の両側部に張り出しているため、第2半導体層におけるゲート電極対応箇所の両側方の各不純物注入領域が該ゲート電極対応箇所から間隔をあけて形成される。

[0035] これら各ステップによれば、第1半導体層が構成する片側LDD構造あるいは片側オフセット構造のTFETと、第2半導体層が構成する両側LDD構造あるいは両側オフセット構造のTFETとを併せて形成することが可能である。片側LDD構造あるいは片側オフセット構造のTFETと両側LDD構造あるいは両側オフセット構造のTFETとを組み合わせれば形成可能な回路の種類が大幅に増えるので、これら両構造のTFETを併せて形成可能なことは回路設計上のメリットが大きい。そして、要求される特性に応じたTFETを適宜採用して回路を構成することで、優れた性能を有する半導体装置を実現可能である。

[0036] 第5の発明は、ベース基板上に半導体膜を成膜し、該半導体膜をパターニ

ングすることにより、第1半導体層及び第2半導体層を形成する半導体層形成ステップと、上記第1半導体層及び第2半導体層を覆うようにゲート絶縁膜を成膜するゲート絶縁膜成膜ステップと、上記ゲート絶縁膜上にゲート電極形成用の導電膜を成膜する導電膜成膜ステップと、上記導電膜上に感光性樹脂膜を成膜する感光性樹脂膜成膜ステップと、上記感光性樹脂膜に対して照射される露光量を多階調マスクを用いて制御して、上記第1半導体層対応箇所の一部に対し、相対的に厚い厚膜部を一方側に、相対的に薄い薄膜部を他方側に有する第1レジスト層を形成すると共に、上記第2半導体層対応箇所の一部に上記薄膜部と同等かそれ以下の厚さの第2レジスト層を形成する感光性樹脂膜パターニングステップと、上記第1レジスト層及び第2レジスト層をマスクとして上記導電膜を等方性を有するエッチングでパターニングすることにより、上記第1半導体層対応箇所及び第2半導体層対応箇所に、対応する上記第1レジスト層及び第2レジスト層よりも幅狭にゲート電極をそれぞれ形成すると共に、上記第1レジスト層及び第2レジスト層に上記ゲート電極の両側方に庇状に張り出した張出部をそれぞれ構成する導電膜パターニングステップと、上記第1レジスト層を上記厚膜部構成部分である上記ゲート電極の片側側部だけに上記張出部が張り出す形状にすると共に、上記第2レジスト層の全体を除去する薄膜部除去ステップと、上記薄膜部除去ステップの後に、上記第1レジスト層をマスクとして上記第1半導体層に、上記ゲート電極をマスクとして上記第2半導体層に、当該両半導体層の導電型とは異なる導電型の不純物をそれぞれ注入することにより、上記第1半導体層において、上記ゲート電極対応箇所の一侧方に該ゲート電極対応箇所から上記張出部の張り出し分に相当する間隔をあけて、上記ゲート電極対応箇所その他側方に該ゲート電極対応箇所と間隔をあけずに不純物注入領域をそれぞれ形成すると共に、上記第2半導体層における上記ゲート電極対応箇所の両側方に該ゲート電極対応箇所と間隔をあけずに不純物注入領域を形成する不純物注入ステップとを含むことを特徴とする。

[0037] この第5の発明でも、上記第1の発明と同様な各ステップを経て、第1半

導体層におけるゲート電極対応箇所の一側方の不純物注入領域のみが該ゲート電極対応箇所から間隔をあけて形成されるので、片側ＬＤＤ構造あるいは片側オフセット構造のＴＦＴにおいて良好な特性を安定して得ると共に、該ＴＦＴを備えた半導体装置を少ない枚数のフォトマスクで工程数を抑えて低コストに製造することが可能になる。

[0038] また、この第５の発明では、感光性樹脂膜パターニングステップにて、第２半導体層対応箇所の一部に第１半導体層対応箇所に形成した第１レジスト層の薄膜部と同等かそれ以下の厚さの第２レジスト層が形成される。次いで、導電膜パターニングステップにて、第２半導体層対応箇所にゲート電極が形成されると共に、第２レジスト層にゲート電極の両側方に張り出した張出部が構成される。さらに、薄膜部除去ステップにて、第２レジスト層の全体が除去される。そして、不純物注入ステップにて、ゲート電極をマスクとして第２半導体層に不純物を注入することにより、該半導体層におけるチャネル領域の両側方に不純物注入領域が形成される。このとき、第２レジスト層は既に除去されているので、第２半導体層におけるゲート電極対応箇所の両側方の各不純物注入領域は該ゲート電極対応箇所と間隔をあけずに形成される。

[0039] これら各ステップによれば、第１半導体層が構成する片側ＬＤＤ構造あるいは片側オフセット構造のＴＦＴと、第２半導体層が構成する低濃度不純物領域もオフセット領域も有しないノーマル構造のＴＦＴとを併せて形成することが可能である。片側ＬＤＤ構造あるいは片側オフセット構造のＴＦＴとノーマル構造のＴＦＴとを組み合わせれば形成可能な回路の種類が大幅に増えるので、これら両構造のＴＦＴを併せて形成可能なことは回路設計上のメリットが大きい。そして、要求される特性に応じたＴＦＴを適宜採用して回路を構成することで、優れた性能を有する半導体層を実現可能である。

[0040] 第６の発明は、第１～第５の発明のいずれか１つの半導体装置の製造方法において、上記感光性樹脂膜パターニングステップでは、上記多階調マスクとしてグレートーンマスクを用いることを特徴とする。

- [0041] この第6の発明では、多階調マスクとしてグレートンマスクを用いる。
グレートンマスクは、一般的に、ハーフトンマスクに比べて安価である
ので、半導体装置の製造にかかるコストが低減される。
- [0042] 第7の発明は、ベース基板上に半導体膜を成膜し、該半導体膜をパターニ
ングすることにより、第1半導体層及び第2半導体層を形成する半導体層形
成ステップと、上記第1半導体層及び第2半導体層を覆うようにゲート絶縁
膜を成膜するゲート絶縁膜成膜ステップと、上記第1半導体層及び第2半導
体層の少なくとも一方に不純物を注入することにより、上記第1半導体層が
第1導電型に、上記第2半導体層が第2導電型になるように上記第1半導体
層及び第2半導体層の少なくとも一方が含有する不純物濃度を調整する導電
型調整ステップと、上記導電型調整ステップの後に上記ゲート絶縁膜上にゲ
ート電極形成用の導電膜を成膜する導電膜成膜ステップと、上記導電膜上に
第1感光性樹脂膜を成膜する第1感光性樹脂膜成膜ステップと、上記第1感
光性樹脂膜をパターニングすることにより、上記第1半導体層対応箇所の全
体に第1レジスト層を、上記第2半導体層対応箇所の一部に第2レジスト層
をそれぞれ形成する第1感光性樹脂膜パターニングステップと、上記第1レ
ジスト層及び第2レジスト層をマスクとして上記導電膜をエッチングでパタ
ーニングすることにより、上記第2半導体層対応箇所にゲート電極を形成す
る第1の導電膜パターニングステップと、上記第2レジスト層をマスクとし
て上記第2半導体層に第1導電型の不純物を注入することにより、上記第2
半導体層のゲート電極対応箇所にチャネル領域を、該チャネル領域の両側方
に不純物注入領域をそれぞれ形成する一方、上記第1レジスト層をマスクと
して上記第1半導体層には第1導電型の不純物を注入しないでおく第1導電
型不純物注入ステップと、上記第1導電型不純物注入ステップの後に上記第
1レジスト層及び第2レジスト層を除去する第1及び第2レジスト層除去ス
テップと、上記導電膜上に第2感光性樹脂膜を成膜する第2感光性樹脂膜成
膜ステップと、上記第2感光性樹脂膜に対して照射される露光量を多階調マ
スクを用いて制御して、上記第1半導体層対応箇所の一部に対し、相対的に

厚い厚膜部を一方側に、相対的に薄い薄膜部を他方側に有する第3レジスト層を形成すると共に、上記第2半導体層対応箇所の全体に上記薄膜部よりも厚い第4レジスト層を形成する第2感光性樹脂膜パターンニングステップと、上記第3レジスト層及び第4レジスト層をマスクとして上記導電膜を等方性を有するエッチングでパターンニングすることにより、上記第1半導体層対応箇所に上記第3レジスト層よりも幅狭にゲート電極を形成すると共に、上記第4レジスト層に上記ゲート電極の両側方に庇状に張り出した張出部をそれぞれ構成する第2の導電膜パターンニングステップと、上記第2の導電膜パターンニングステップの後に、上記第3レジスト層を上記厚膜部構成部分である上記ゲート電極の片側側部だけに上記張出部が張り出す形状にすると共に、上記第4レジスト層を薄膜化して残す薄膜部除去ステップと、上記薄膜部除去ステップの後に、上記第3レジスト層をマスクとして上記第1半導体層に第2導電型の不純物を注入することにより、上記第1半導体層において、上記ゲート電極対応箇所の一侧方に該ゲート電極対応箇所から上記張出部の張り出し分に相当する間隔をあけて、上記ゲート電極対応箇所の他側方に該ゲート電極対応箇所と間隔をあけずに不純物注入領域をそれぞれ形成する一方、上記第4レジスト層をマスクとして上記第2半導体層には第2導電型の不純物を注入しないでおく第2導電型不純物注入ステップとを含むことを特徴とする。

[0043] この第7の発明でも、上記第1の発明と同様な各ステップ（半導体層形成ステップ、ゲート絶縁膜成膜ステップ、導電膜成膜ステップ、第2感光性樹脂膜成膜ステップ、第2感光性樹脂膜パターンニングステップ、第2の導電膜パターンニングステップ、薄膜部除去ステップ及び第2導電型不純物注入ステップ）を経て、第1半導体層におけるゲート電極対応箇所の一侧方の不純物注入領域のみが該ゲート電極対応箇所から間隔をあけて形成されるので、片側LDD構造あるいは片側オフセット構造のTFETにおいて良好な特性を安定して得ると共に、該TFETを備えた半導体装置を少ない枚数のフォトマスクで工程数を抑えて低コストに製造することが可能になる。

[0044] また、この第7の発明では、導電型調整ステップにて、第1半導体層と第2半導体層とが異なる導電型になるように調整される。次いで、第1感光性樹脂膜成膜ステップにて、ゲート電極形成用の導電膜上に第1感光性樹脂膜が成膜される。さらに、第1感光性樹脂膜パターンニングステップにて、第1半導体層対応箇所の全体に第1レジスト層が、第2半導体層対応箇所の一部に第2レジスト層がそれぞれ形成される。そして、第1の導電膜パターンニングステップにて、第2半導体層対応箇所だけにゲート電極が形成される。続いて、第1導電型不純物注入ステップにて、第2半導体層だけに不純物注入領域が形成される。その後、第1及び第2レジスト層除去ステップにて、第1レジスト層及び第2レジスト層が除去される。

[0045] 以上の各ステップによれば、一方が片側LDD構造あるいは片側オフセット構造を有する導電型の異なるn型TFET及びp型TFETが同一基板上に併せて形成される。これにより、これらn型TFETとp型TFETとを組み合わせることでCMOS (Complementary Metal-Oxide Semiconductor) を構成することが可能になる。CMOSは、スイッチングの高速化、消費電力の低減及び集積度の向上が可能であるという特性を有し、適正な回路規模を実現するのに適した素子である。したがって、半導体装置において、消費電力を低減し、且つ各種回路を省スペース設計で実現することが可能になると共に、優れた性能を有する半導体装置を実現可能になる。

[0046] 第8の発明は、第7の発明の半導体装置の製造方法において、上記第2導電型不純物注入ステップを高濃度不純物注入ステップとし、上記高濃度不純物注入ステップでは、上記不純物注入領域として高濃度不純物領域を形成し、上記高濃度不純物注入ステップの後に、残りの上記第1レジスト層を除去する第1レジスト層除去ステップと、上記第1レジスト層除去ステップの後に、上記ゲート電極をマスクとして上記第1半導体層に第2導電型の不純物を注入することにより、上記第1半導体層において、上記ゲート電極対応箇所にチャネル領域を、該チャネル領域の片側側方の上記高濃度不純物領域との間に低濃度不純物領域をそれぞれ形成する低濃度不純物注入ステップとを

さらに含むことを特徴とする。

[0047] この第8の発明でも、第3の発明と同様に、片側LDD構造のTFETを備えた半導体装置を製造することができるので、片側オフセット構造のTFETを備えた半導体装置を製造する場合に比べて、半導体装置の動作不良をより確実になくすることが可能になる。

[0048] さらに、ゲート絶縁膜のみを介して半導体層に不純物の注入を行うので、低濃度不純物領域のシート抵抗のばらつきが、上記特許文献2に記載の如くゲート電極越しに不純物の注入を行う場合に比べて抑えられる。これにより、TFET特性がばらつく要因を極力少なくして、良好な特性の片側LDD構造のTFETが安定して得られる。

[0049] 第9の発明は、第7又は第8の発明の半導体装置の製造方法において、上記第2感光性樹脂膜パターンニングステップでは、上記多階調マスクとしてグレートーンマスクを用いることを特徴とする。

[0050] この第9の発明でも、第6の発明と同様に、多階調マスクとして一般的にハーフトーンマスクに比べて安価なグレートーンマスクを用いるので、半導体装置の製造にかかるコストが低減される。

[0051] 第10の発明は、第1～第9の発明のいずれか1つの半導体装置の製造方法において、上記半導体層形成ステップでは、上記半導体膜を結晶化して結晶質半導体膜にすることを特徴とする。

[0052] この第10の発明では、半導体層形成ステップにて半導体膜を結晶化して結晶質半導体膜にするので、第1半導体層及び第2半導体層は結晶質半導体からなる。結晶質半導体は、非晶質半導体と比較して非常に高いキャリア移動度を有する。このため、結晶質半導体からなる半導体層を用いて形成したTFETは、例えば、表示装置において、表示領域を構成する各画素のスイッチング用のTFETに好適に採用可能であると共に、駆動回路や電源回路などの周辺回路のTFETとしても利用でき、当該TFETで周辺回路を各画素のスイッチング用のTFETと同一基板に一体的に作り込んだフルモノリシック型の表示装置を具体的に実現することができる。

発明の効果

[0053] 本発明によれば、ゲート電極形成用のレジスト層と、半導体層への不純物注入用の低濃度不純物領域あるいはオフセット領域形成箇所でマスクとして機能するレジスト層とを一枚のフォトマスクで形成し、且つTFT特性がばらつく要因を極力少なくできるので、片側LDD構造あるいは片側オフセット構造のTFTにおいて良好な特性を安定して得ることができると共に、該TFTを備えた半導体装置を少ない枚数のフォトマスクで工程数を抑えて低コストに製造することができる。これにより、製造コストを低減しながらも、半導体装置に良好な機能を発揮させることができる。

図面の簡単な説明

[0054] [図1]図1は、実施形態1に係る半導体装置が備える片側LDD構造のTFTを概略的に示す平面図である。

[図2]図2は、図1のII-II線における断面構造を示す断面図である。

[図3]図3(a)～(c)は、実施形態1に係る半導体装置の製造方法における半導体層形成工程を示す図2対応箇所の断面図である。

[図4]図4は、実施形態1に係る半導体装置の製造方法におけるゲート絶縁膜成膜工程と不純物準位調整工程とを示す図2対応箇所の断面図である。

[図5]図5(a)～(c)は、実施形態1に係る半導体装置の製造方法におけるゲート電極形成工程の前半ステップを示す図2対応箇所の断面図である。

[図6]図6は、実施形態1に係る半導体層の製造方法で用いるグレートーンマスクの構成を模式的に示す平面図である。

[図7]図7(a)，(b)は、実施形態1に係る半導体装置の製造方法におけるゲート電極形成工程の後半ステップを示す図2対応箇所の断面図である。

[図8]図8(a)，(b)は、実施形態1に係る半導体装置の製造方法におけるn型高濃度不純物領域形成工程を示す図2対応箇所の断面図である。

[図9]図9は、実施形態1に係る半導体装置の製造方法におけるn型低濃度不純物領域形成工程を示す図2対応箇所の断面図である。

[図10]図10(a)～(c)は、実施形態1に係る半導体装置の製造方法に

における層間絶縁膜形成工程以降の各工程を示す図 2 対応箇所の断面図である。

[図11]図 1 1 は、実施形態 1 の変形例に係る半導体装置が備える片側オフセット構造の T F T の断面構造を示す断面図である。

[図12]図 1 2 (a) ~ (c) は、実施形態 1 の変形例に係る半導体装置の製造方法における n 型高濃度不純物領域形成工程を示す図 1 1 対応箇所の断面図である。

[図13]図 1 3 (a) ~ (c) は、実施形態 1 の変形例に係る半導体装置の製造方法における層間絶縁膜形成工程以降の各工程を示す断面図である。

[図14]図 1 4 は、実施形態 2 に係る半導体装置が備える両側 L D D 構造の T F T を概略的に示す平面図である。

[図15]図 1 5 は、実施形態 2 に係る半導体装置が備える片側 L D D 構造の T F T 及び両側 L D D 構造の T F T の断面構造を図中左側から順に示す断面図である。

[図16]図 1 6 は、実施形態 2 に係る半導体装置の製造方法における半導体層形成工程を示す図 1 5 対応箇所の断面図である。

[図17]図 1 7 は、実施形態 2 に係る半導体装置の製造方法におけるゲート絶縁膜成膜工程及び不純物準位調整工程を示す図 1 5 対応箇所の断面図である。

[図18]図 1 8 (a) ~ (c) は、実施形態 2 に係る半導体装置の製造方法におけるゲート電極形成工程の前半ステップを示す図 1 5 対応箇所の断面図である。

[図19]図 1 9 (a) , (b) は、実施形態 2 に係る半導体装置の製造方法におけるゲート電極形成工程の後半ステップを示す図 1 5 対応箇所の断面図である。

[図20]図 2 0 (a) , (b) は、実施形態 2 に係る半導体装置の製造方法における n 型高濃度不純物領域形成工程を示す図 1 5 対応箇所の断面図である。

[図21]図21は、実施形態2に係る半導体装置の製造方法におけるn型低濃度不純物領域形成工程を示す図15対応箇所の断面図である。

[図22]図22(a)～(c)は、実施形態2に係る半導体装置の製造方法における層間絶縁膜形成工程以降の各工程を示す図15対応箇所の断面図である。

[図23]図23は、実施形態2の変形例に係る半導体装置が備える片側オフセット構造のTFET及び両側オフセット構造（チャネル領域の両側にオフセット領域を有するオフセット構造）のTFETの断面構造を図中左側から順に示す断面図である。

[図24]図24(a)～(c)は、実施形態2の変形例に係る半導体装置の製造方法におけるn型高濃度不純物領域形成工程を示す図23対応箇所の断面図である。

[図25]図25(a)～(c)は、実施形態2の変形例に係る半導体装置の製造方法における層間絶縁膜形成工程以降の各工程を示す図23対応箇所の断面図である。

[図26]図26は、実施形態3に係る半導体装置が備えるノーマル構造のn型TFETを概略的に示す平面図である。

[図27]図27は、実施形態3に係る半導体装置が備える片側LDD構造のn型TFET、両側LDD構造のn型TFET及びノーマル構造のn型TFETの断面構造を図中左側から順に示す断面図である。

[図28]図28は、実施形態3に係る半導体装置の製造方法における半導体層形成工程を示す図27対応箇所の断面図である。

[図29]図29は、実施形態3に係る半導体装置の製造方法におけるゲート絶縁膜成膜工程及び不純物準位調整工程を示す図27対応箇所の断面図である。

[図30]図30(a)～(c)は、実施形態3に係る半導体装置の製造方法におけるゲート電極形成工程の前半ステップを示す図27対応箇所の断面図である。

[図31]図3 1 (a), (b)は、実施形態3に係る半導体装置の製造方法におけるゲート電極形成工程の後半ステップを示す図2 7 対応箇所の断面図である。

[図32]図3 2 (a), (b)は、実施形態3に係る半導体装置の製造方法におけるn型高濃度不純物領域形成工程を示す図2 7 対応箇所の断面図である。

[図33]図3 3は、実施形態3に係る半導体装置の製造方法におけるn型低濃度不純物領域形成工程を示す図2 7 対応箇所の断面図である。

[図34]図3 4 (a) ~ (c)は、実施形態3に係る半導体装置の製造方法における層間絶縁膜形成工程以降の各工程を示す図2 7 対応箇所の断面図である。

[図35]図3 5は、実施形態3の変形例に係る半導体装置が備える片側オフセット構造のn型TF T、両側オフセット構造のn型TF T及びノーマル構造のn型TF Tの断面構造を図中左側から順に示す断面図である。

[図36]図3 6 (a) ~ (c)は、実施形態3の変形例に係る半導体装置の製造方法におけるn型高濃度不純物領域形成工程を示す図3 5 対応箇所の断面図である。

[図37]図3 7 (a) ~ (c)は、実施形態3の変形例に係る半導体装置の製造方法における層間絶縁膜形成工程以降の各工程を示す図3 5 対応箇所の断面図である。

[図38]図3 8は、実施形態4に係る半導体装置が備える片側LDD構造のn型TF T、両側LDD構造のn型TF T、ノーマル構造のn型TF T及びノーマル構造のp型TF Tの断面構造を図中左側から順に示す断面図である。

[図39]図3 9は、実施形態4に係る半導体装置の製造方法における半導体層形成工程を示す図3 8 対応箇所の断面図である。

[図40]図4 0は、実施形態4に係る半導体装置の製造方法におけるゲート絶縁膜成膜工程を示す図3 8 対応箇所の断面図である。

[図41]図4 1 (a), (b)は、実施形態4に係る半導体装置の製造方法に

における導電型調整工程を示す図38対応箇所の断面図である。

[図42]図42(a), (b)は、実施形態4に係る半導体装置の製造方法における第1のゲート電極形成工程の前半ステップを示す図38対応箇所の断面図である。

[図43]図43(a), (b)は、実施形態4に係る半導体装置の製造方法における第1のゲート電極形成工程の後半ステップを示す図38対応箇所の断面図である。

[図44]図44は、実施形態4に係る半導体装置の製造方法におけるp型高濃度不純物領域形成工程を示す図38対応箇所の断面図である。

[図45]図45(a), (b)は、実施形態4に係る半導体装置の製造方法における第2のゲート電極形成工程の前半ステップを示す図38対応箇所の断面図である。

[図46]図46(a), (b)は、実施形態4に係る半導体装置の製造方法における第2のゲート電極形成工程の後半ステップを示す図38対応箇所の断面図である。

[図47]図47(a), (b)は、実施形態4に係る半導体装置の製造方法におけるn型高濃度不純物領域形成工程を示す図38対応箇所の断面図である。

[図48]図48は、実施形態4に係る半導体装置の製造方法におけるn型低濃度不純物領域形成工程を示す図38対応箇所の断面図である。

[図49]図49(a), (b)は、実施形態4に係る半導体装置の製造方法における層間絶縁膜形成工程以降の各工程を示す図38対応箇所の断面図である。

[図50]図50は、実施形態4の変形例に係る半導体装置が備える片側オフセット構造のn型TFET、両側オフセット構造のn型TFET、ノーマル構造のn型TFET及びノーマル構造のp型TFETの断面構造を図中左側から順に示す断面図である。

[図51]図51(a), (b)は、実施形態4の変形例に係る半導体装置の製

造方法における n 型高濃度不純物領域形成工程を示す図 50 対応箇所の断面図である。

[図52]図 52 (a), (b) は、実施形態 4 の変形例に係る半導体装置の製造方法における層間絶縁膜形成工程以降の各工程を示す図 50 対応箇所の断面図である。

発明を実施するための形態

[0055] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0056] 《発明の実施形態 1》

図 1 は、この実施形態 1 に係る半導体装置 S が備える片側 LDD 構造の n 型 TFT の概略平面図である。図 2 は、図 1 の II-II 線における断面構造を示す断面図である。

[0057] 本実施形態の半導体装置 S は、図 2 に示すように、ベース基板であるガラス基板などの絶縁性基板 10 と、該絶縁性基板 10 上に設けられた図 1 にも示す片側 LDD 構造の n 型 TFT 20 LNa とを備えている。この半導体装置 S は、例えば、アクティブマトリクス駆動方式の液晶表示装置を構成するアクティブマトリクス基板であって、片側 LDD 構造の n 型 TFT 20 LNa がゲートドライバやソースドライバなどの駆動回路の能動素子として機能するものである。

[0058] 上記片側 LDD 構造の n 型 TFT 20 LNa は、半導体層 12 a の絶縁性基板 10 側とは反対側にゲート電極 15 a が配置されたトップゲート型の構造を有している。また、絶縁性基板 10 の表面には、下地絶縁膜 11 が全面に設けられている。

[0059] すなわち、片側 LDD 構造の n 型 TFT 20 LNa は、絶縁性基板 10 上に、下地絶縁膜 11 を介して設けられた半導体層 12 a と、該半導体層 12 a を覆うように設けられたゲート絶縁膜 14 と、該ゲート絶縁膜 14 を介して上記半導体層 12 a の中央部分に重なるように設けられたゲート電極 15 a と、該ゲート電極 15 a を挟む位置で上記半導体層 12 a に互いに離間し

て接続されたソース電極 18a 及びドレイン電極 19a（図 1 では二点鎖線で示す）とを備えている。

[0060] 上記下地絶縁膜 11 は、例えば、窒化シリコン膜と酸化シリコン膜とが順に積層されてなる。上記半導体層 12a は、例えばポリシリコンなどの結晶質半導体からなる。これにより、片側 LDD 構造の n 型 TFT20Ln は、キャリア移動度が大きく、高速動作が可能になっている。

[0061] この半導体層 12a には、ゲート電極 15a 対応箇所にチャネル領域 13c が、該チャネル領域 13c の一側方に該チャネル領域 13c と間隔をあけずにソース領域として機能する n 型高濃度不純物領域 13ns が、上記チャネル領域 13c の他側方に該チャネル領域 13c から所定の間隔をあけてドレイン領域として機能する n 型高濃度不純物領域 13nd がそれぞれ形成されている。そして、半導体層 12a におけるドレイン領域として機能する一方の n 型高濃度不純物領域 13nd とチャネル領域 13c との間には、LDD 領域と呼ばれる n 型低濃度不純物領域 13nl が形成されている。

[0062] 上記チャネル領域 13c には、閾値電圧を制御するためにボロン（B）などの p 型不純物が含まれている。また、各 n 型高濃度不純物領域 13ns，13nd には、リン（P）などの n 型不純物が含まれている。さらに、n 型低濃度不純物領域 13nl にも、リン（P）などの n 型不純物が n 型高濃度不純物領域 13ns，13nd に比べて低濃度に含まれている。

[0063] 上記ゲート絶縁膜 14 は、例えば窒化シリコン又は酸化シリコンなどからなる。また、上記ゲート電極 15a は、例えば、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデンタングステン（MoW）又はクロム（Cr）などからなる。

[0064] さらに、ゲート絶縁膜 14 上には、ゲート電極 15a を覆うように層間絶縁膜 16 が設けられている。そして、層間絶縁膜 16 及びゲート絶縁膜 14 には、半導体層 12a における一对の n 型高濃度不純物領域 13ns，13nd のそれぞれに対応する箇所にこれら両絶縁膜 14，16 を貫通して当該半導体層 12a に達するコンタクトホール 17 が形成されている。

[0065] これら各コンタクトホール17には、例えば、アルミニウム（Al）、タantal（Ta）、チタン（Ti）、モリブデントングステン（MoW）又はクロム（Cr）などの導電性材料が充填されている。そして、層間絶縁膜16上には、上記ソース電極18a及びドレイン電極19aが設けられている。

[0066] ソース電極18aは、一方のコンタクトホール17を介してソース領域として機能するn型高濃度不純物領域13nsに接続されている。一方、ドレイン電極19aは、他方のコンタクトホール17を介してドレイン領域として機能するn型高濃度不純物領域13ndに接続されている。これらソース電極18a及びドレイン電極19aは、上記導電性材料と同一材料からなる。

[0067] 上述した片側LDD構造のn型TFT2OLNaは、保護絶縁膜21によって覆われている。保護絶縁膜21は、例えばアクリルベースの有機絶縁材料からなる。この保護絶縁膜21上には、図示しないが、必要に応じて電極や配線などの導電部が形成されている。この導電部は、例えば、保護絶縁膜21に形成されたコンタクトホールを介してTFT2OLNaのドレイン電極19aなどに接続されている。

[0068] ー製造方法ー

次に、上記半導体装置Sの製造方法について、図3（a）～（c）～図10（a）～（c）を参照しながら一例を挙げて説明する。

[0069] 図3（a）～（c）は、半導体層形成工程を示す断面図である。図4は、ゲート絶縁膜成膜工程及び不純物準位調整工程を示す断面図である。図5（a）～（c）は、ゲート電極形成工程の前半ステップを示す断面図である。図6は、ゲート電極形成工程で用いるグレートンマスク60の模式平面図である。図7（a）、（b）は、ゲート電極形成工程の後半ステップを示す断面図である。図8（a）、（b）は、n型高濃度不純物領域形成工程を示す断面図である。図9は、n型低濃度不純物領域形成工程を示す断面図である。図10（a）～（c）は、層間絶縁膜形成工程以降の各工程を示す断面

図である。なお、図3 (a) ~ (c) ~ 図5 (a) ~ (c) 及び図7 (a) , (b) ~ 図10 (a) ~ (c) は、図2 対応箇所をそれぞれ示している。

[0070] 本実施形態に係る半導体装置Sの製造方法は、下地絶縁膜形成工程と、半導体層形成工程と、ゲート絶縁膜成膜工程と、不純物準位調整工程と、ゲート電極形成工程と、n型高濃度不純物領域形成工程と、n型低濃度不純物領域形成工程と、層間絶縁膜形成工程と、ソース・ドレイン電極形成工程と、保護絶縁膜形成工程とを含む。

[0071] <下地絶縁膜形成工程>

まず、ベース基板となるガラス基板などの絶縁性基板10を準備する。そして、準備した絶縁性基板10上に、CVD (Chemical Vapor Deposition) 法により、窒化シリコン膜及び酸化シリコン膜を順に成膜することにより、これらが積層されてなる下地絶縁膜11を形成する。

[0072] <半導体層形成工程>

上記下地絶縁膜11が形成された基板上に、LPCVD (Low Pressure CVD) 法により、図3 (a) に示すように、非晶質半導体膜であるアモルファスシリコン膜40 (例えば厚さ40 nm ~ 50 nm程度) を成膜する。

[0073] 続いて、このアモルファスシリコン膜40にエキシマレーザーやYAG (Yttrium Aluminum Garnet) レーザーなどのレーザービーム41を照射することにより、図3 (b) に示すように、該アモルファスシリコン膜40を結晶化させて結晶質半導体膜の一種であるポリシリコン膜42とする。

[0074] 次いで、このポリシリコン膜42を、第1のフォトリソグラフィを用いたフォトリソグラフィーでパターニングすることにより、図3 (c) に示すように、半導体層12aを形成する。本実施形態では、この段階において、半導体層12aのエネルギー準位が下地絶縁膜11の影響を受けてドナー準位側に偏る。

[0075] なお、本実施形態では、レーザー照射によりアモルファスシリコン膜40を結晶化してポリシリコン膜42にしているが、これに限らない。ポリシリコン膜42は、例えば、アモルファスシリコン膜40に結晶化を助長

する触媒元素としてニッケル（Ni）などの金属元素を添加した後に熱処理を行うことで、該アモルファスシリコン膜40を結晶化する固相成長法（SPC；Solid Phase Crystallization）により形成してもよく、その他の公知の方法により形成しても構わない。

[0076] この半導体層形成工程は、本発明における半導体層形成ステップに対応する。

[0077] ＜ゲート絶縁膜成膜工程＞

上記半導体層12aが形成された基板上に、CVD法により、図4に示すように、この半導体層12aを覆う窒化シリコン膜又は酸化シリコン膜（例えば厚さ50nm～120nm程度）を成膜して、これをゲート絶縁膜14とする。

[0078] このゲート絶縁膜成膜工程は、本発明におけるゲート絶縁膜成膜ステップに対応する。

[0079] ＜不純物準位調整工程＞

上記ゲート絶縁膜14に覆われた半導体層12aの全体に対して、イオンドーピング法により、p型不純物としてボロン（B）を低濃度に注入する。

[0080] これにより、半導体層12aにおける不純物準位をアクセプタ準位にし、その深さを、後に形成されるチャネル領域13cでの導電特性がこの半導体層12aが構成するn型TFETONaに所定の閾値電圧をもたらすように調整する。図4に示す矢印43は、このときのボロン（B）の注入方向を示している。

[0081] なお、この不純物準位調整工程は、必ずしも行う必要はなく、半導体層12aの有する不純物準位の種別とその深さを考慮し、必要に応じて行えばよい。

[0082] ＜ゲート電極形成工程＞

上記不純物準位が調整された半導体層12aを備える基板上に、スパッタリング法により、図5（a）に示すように、例えば、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデンタングステン（MoW）

若しくはクロム（Cr）などからなる金属膜、又はこれらの積層膜を成膜して、これをゲート電極形成用の導電膜44とする（導電膜成膜ステップ）。

[0083] 次いで、ゲート電極形成用の導電膜44上に、スピンコート法又はスリットコート法により、図5（b）に示すように、ポジ型の感光性樹脂を塗布して感光性樹脂膜45（例えば厚さ1 μ m～2 μ m程度）を成膜する（感光性樹脂膜成膜ステップ）。

[0084] 続いて、図5（c）に示すように、未硬化の感光性樹脂膜45に対して照射される露光量を第2のフォトマスクを用いて制御して露光処理を行う。この露光処理では、第2のフォトマスクとして、多階調マスクの一種である図6に示すグレートーンマスク60を用いる。

[0085] グレートーンマスク60は、図6に示すように、光を透過する透過部61と、光を全く透過しない遮光部62との他に、光の一部を遮る半透過部63を備えている。遮光部62には、遮光膜64が全面に形成されている。半透過部63には、多数の遮光層65がストライプ状に配列され、これら各遮光層65の間に露光機の解像度以下のスリット66が構成されている。

[0086] 本実施形態で用いるグレートーンマスク60において、上記遮光部62は、当該グレートーンマスク60を感光性樹脂膜45に対向させて所定の位置に配置させたときに、半導体層12a対応箇所のゲート電極形成領域上の一方側（図5（c）で左側）に位置するように形成されている。一方、半透過部63は、同じくグレートーンマスク60を感光性樹脂膜45に対向させて所定の位置に配置させたときに、半導体層12a対応箇所のゲート電極形成領域上の他方側（図5（c）で右側）に位置するように形成されている。

[0087] 感光性樹脂膜45に対して露光処理を行う際には、このグレートーンマスク60を、図5（c）に示すように、感光性樹脂膜45に対向させて上記所定の位置に配置させた後、該グレートーンマスク60の絶縁性基板10とは反対側から紫外線Lを照射する。そうして、グレートーンマスク60を介して感光性樹脂膜45を露光する。

[0088] このとき、遮光層65による半透過部63のストライプパターンは微細で

あるため、半透過部 6 3 を介して感光性樹脂膜 4 5 を露光した場合には、該感光性樹脂膜 4 5 部分は、ストライプ状に露光されず、遮光層 6 5 により露光量が低減されて透過部 6 1 よりも少ない露光量で平均的に露光される。

[0089] これにより、感光性樹脂膜 4 5 において、遮光部 6 2 対向箇所であるゲート電極形成領域の一方側部分（図 5（c）で左側部分）を全く露光しないでおくと共に、半透過部 6 3 対向箇所であるゲート電極形成領域の他方側部分（図 5（c）で右側部分）を透過部 6 1 対向箇所よりも少ない露光量で露光する。

[0090] その後、露光処理が行われた感光性樹脂膜 4 5 に対して現像処理を行う。これにより、感光性樹脂膜 4 5 をパターンニングして、図 7（a）に示すように、ゲート電極形成用に一方側と他方側とで厚さの異なるレジスト層 4 6 a を形成する（感光性樹脂膜パターンニングステップ）。

[0091] より具体的に述べると、半導体層 1 2 a 対応箇所におけるゲート電極形成領域に対して、そのドレイン領域形成予定側に相対的に厚い厚膜部 4 7 a（例えば厚さ $1\ \mu\text{m}$ ～ $2\ \mu\text{m}$ 程度）を、そのソース領域形成予定側に相対的に薄い薄膜部 4 7 b（例えば厚さ $0.5\ \mu\text{m}$ ～ $1\ \mu\text{m}$ 程度）を有し、且つ形成予定のゲート電極 1 5 a よりも若干幅広なレジスト層 4 6 a を形成する。このレジスト層 4 6 a は第 1 のレジストパターン P 1 を構成する。

[0092] そして、このレジスト層 4 6 a をマスクとして、上記導電膜 4 4 を等方性を有するウェットエッチングでパターンニングすることにより、図 7（b）に示すように、半導体層 1 2 a 対応箇所にゲート電極 1 5 a を形成する（導電膜パターンニングステップ）。

[0093] このとき、エッチング時間を調整して、サイドエッチングにより、レジスト層 4 6 a の周縁部に重なる導電膜 4 4 部分までも除去し、ゲート電極 1 5 a をレジスト層 4 6 a 内側に後退させてレジスト層 4 6 a よりも幅狭に形成する。これにより、レジスト層 4 6 a には、ゲート電極 1 5 a の両側方に庇状に張り出した張出部 4 8 が構成される。

[0094] < n 型高濃度不純物領域形成工程 >

上記レジスト層46aをアッシングにより表面側から徐々に後退させて、図8(a)に示すように、薄膜部47bの全体が除去された時点でアッシングを止める(薄膜部除去ステップ)。

[0095] これにより、薄膜部47bについては完全に除去すると共に、厚膜部47aについては薄膜化して残し、レジスト層26aをゲート電極15aの片側側部だけに張出部48が張り出す形状にする。この段階で残された厚膜部構成部分からなるレジスト層46aは第2のレジストパターンP2を構成する。

[0096] 次に、このレジスト層46a及びゲート電極15aをマスクとして半導体層12aに対して、イオンドーピング法により、図8(b)に示すように、n型不純物としてリン(P)を高濃度に注入する(高濃度不純物注入ステップ; 不純物注入ステップ)。図8(b)に示す矢印49は、このときのリン(P)の注入方向を示している。

[0097] これにより、半導体層12aにおけるレジスト層46a及びゲート電極15a対応箇所の両側方に、ソース領域及びド레인領域として機能するn型高濃度不純物領域13ns, 13ndが形成される。

[0098] すなわち、半導体層12aには、ゲート電極15a対応箇所がなすチャネル領域形成部分13c'の一側方(図8(b)で右側)に該チャネル領域形成部分13c'と間隔をあけずにソース領域として機能するn型高濃度不純物領域13nsが形成されると共に、チャネル領域形成部分13c'の他側方(図8(b)で左側)に該チャネル領域形成部分13c'からレジスト層46aの張出部48の張り出し分に相当する間隔をあけてド레인領域として機能するn型高濃度不純物領域13ndが形成される。そして、半導体層12aにおけるド레인領域として機能するn型高濃度不純物領域13ndとチャネル領域形成部分13c'の間には、不純物が注入されていないオフセット領域13oが形成される。

[0099] <n型低濃度不純物領域形成工程>

上記のように半導体層12aにn型高濃度不純物領域13ns, 13nd

をそれぞれ形成した後、残りのレジスト層46aをレジスト剥離液やアッシングなどにより完全に除去する（レジスト層除去ステップ）。

[0100] そして、ゲート電極15aをマスクとして半導体層12aに、イオンドーピング法により、図9に示すように、n型不純物としてリン（P）を低濃度に注入する（低濃度不純物注入ステップ）。図9に示す矢印50は、このときのリン（P）の注入方向を示している。

[0101] これにより、半導体層12aの各n型高濃度不純物領域13ns, 13ndにリン（P）が追加で注入される。それと共に、上記オフセット領域13oにもリン（P）が注入されて、該オフセット領域13oにn型低濃度不純物領域13nlが形成される。そして、この半導体層12aのゲート電極15a対応箇所には、チャネル領域13cが自己整合的に形成される。

[0102] <層間絶縁膜形成工程>

上記チャネル領域13c、n型低濃度不純物領域13nl及びn型高濃度不純物領域13ns, 13ndが形成された半導体層12aを備える基板上に、CVD法により、窒化シリコン膜及び酸化シリコン膜を順に成膜して、これらの積層膜からなる層間絶縁膜16を形成する。

[0103] そして、層間絶縁膜16とゲート絶縁膜14とを、第3のフォトマスクを用いたフォトリソグラフィーでパターニングすることにより、図10（a）に示すように、当該両絶縁膜14, 16に対して、半導体層12aにおける一对のn型高濃度不純物領域13ns, 13ndのそれぞれに達するコンタクトホール17を形成する。

[0104] <ソース・ドレイン電極形成工程>

上記層間絶縁膜16が形成された基板上に、スパッタリング法により、例えば、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデンタングステン（MoW）若しくはクロム（Cr）などからなる金属膜、又はこれらの積層膜を成膜して、これをソース電極18a及びドレイン電極19a形成用の導電膜とする。

[0105] そして、この導電膜を、第4のフォトマスクを用いたフォトリソグラフィ

ーでパターニングすることにより、図10(b)に示すように、ソース電極18a及びドレイン電極19aを形成する。

[0106] <保護絶縁膜形成工程>

上記ソース電極18a及びドレイン電極19aが形成された基板上に、スピンコート法又はスリットコート法により、アクリルベースの有機絶縁樹脂を塗布して絶縁膜を成膜する。

[0107] そして、この未硬化の絶縁膜を、第5のフォトマスクを用いて露光処理した後に現像処理することによりパターニングして、図10(c)に示すように、保護絶縁膜21を形成する。このとき、保護絶縁膜21には、当該絶縁膜21上に後に導電部を形成する場合、片側LDD構造のn型TFET20LNaのドレイン電極19aとその導電部とのコンタクトをとるためなどのコンタクトホールを形成しておく。

[0108] しかる後、必要に応じて、保護絶縁膜21が形成された基板上に、第6のフォトマスクを用いたフォトリソグラフィーにより、先に形成したコンタクトホールを介してTFET20LNaに接続するように電極や配線などの導電部を形成する。

[0109] 以上の各工程を行うことによって、片側LDD構造のn型TFET20LNaを備える半導体装置Sを製造することができる。

[0110] ー実施形態1の効果ー

この実施形態1によると、一枚のフォトマスク（グレートンマスク60）で2パターンのレジストパターンP1、P2、つまり、ゲート電極形成工程及びn型高濃度不純物領域形成工程での厚膜部47a及び薄膜部47bを有するレジスト層46aからなる第1のレジストパターンP1と、n型低濃度不純物領域形成工程での薄膜化された厚膜部構成部分だけのレジスト層46aからなる第2のレジストパターンP2とを形成し、第1のレジストパターンP1をゲート電極15a形成用のマスクとして、第2のレジストパターンP2を半導体層12aへの不純物注入用の低濃度不純物領域13n形成箇所でのマスクとしてそれぞれ用いるので、ゲート電極15a形成用のレジ

スト層 46a と、半導体層 12a への不純物注入用のレジスト層 46a との形成に必要なフォトマスクを一枚で済ませることができる。

[0111] しかも、低濃度不純物領域 13n1 の線幅ばらつきの要因としては、サイドエッチングによるゲート電極 15a の線幅ばらつきが支配的になり、他に当該低濃度不純物領域 13n1 の線幅に大きく影響を及ぼす要因がなくなるので、低濃度不純物領域 13n1 の線幅ばらつきを抑えることができる。さらに、ゲート絶縁膜 14 のみを介して半導体層 12a に高濃度不純物の注入を行うので、低濃度不純物領域 13n1 のシート抵抗のばらつきが、特許文献 2 に記載の如くゲート電極越しに高濃度不純物の注入を行う場合に比べて抑えることができる。これにより、TFT 特性がばらつく要因を極力少なくして、良好な特性の片側 LDD 構造の n 型 TFT 20LNa を安定して得ることができる。

[0112] したがって、片側 LDD 構造の n 型 TFT 20LNa において良好な特性を安定して得ることができると共に、該 n 型 TFT 20LNa を備えた半導体装置 S を少ない枚数のフォトマスクで工程数を抑えて低コストに製造することができる。

[0113] 《実施形態 1 の変形例》

図 11 は、この変形例に係る半導体装置 S が備える片側オフセット構造の n 型 TFT 20ONa の断面構造を示す断面図である。

[0114] 本変形例の半導体装置 S は、片側 LDD 構造の n 型 TFT 20LNa に代えて、片側オフセット構造の n 型 TFT 20ONa を備えている。この片側オフセット構造の TFT 20ONa は、片側 LDD 構造の n 型 TFT 20LNa と同じトップゲート型の構造を有している。

[0115] 半導体層 12a には、上記実施形態 1 と同様に、ゲート電極 15a 対応箇所にチャネル領域 13c が、該チャネル領域 13c の両側方にソース領域及びドレイン領域として機能する n 型高濃度不純物領域 13ns, 13nd がそれぞれ形成されている。そして、この半導体層 12a におけるドレイン領域として機能する一方の n 型高濃度不純物領域 13nd とチャネル領域 13

cとの間には、n型低濃度不純物領域13nに代えて、オフセット領域13oが形成されている。このオフセット領域13oにも、チャネル領域13cと同様にボロン(B)などのp型不純物が含まれており、該チャネル領域13cと同一の不純物濃度を有している。

[0116] ー製造方法ー

上記のような片側オフセット構造のn型TFT2ONaを備えた半導体装置Sを製造する方法について、図12(a)～(c)及び図13(a)～(c)を参照しながら一例を挙げて説明する。

[0117] 図12(a)～(c)は、n型高濃度不純物領域形成工程を示す断面図である。図13(a)～(c)は、層間絶縁膜形成工程以降の各工程を示す断面図である。なお、これら図12(a)～(c)及び図13(a)～(c)は、図11対応箇所をそれぞれ示している。

[0118] この変形例に係る半導体装置Sの製造方法は、下地絶縁膜形成工程と、半導体層形成工程と、ゲート絶縁膜成膜工程と、不純物準位調整工程と、ゲート電極形成工程と、n型高濃度不純物領域形成工程と、層間絶縁膜形成工程と、ソース・ドレイン電極形成工程と、保護絶縁膜形成工程とを含み、n型低濃度不純物領域形成工程を含まない。

[0119] 上記下地絶縁膜形成工程、半導体層形成工程、ゲート絶縁膜成膜工程、不純物準位調整工程及びゲート電極形成工程については、上記実施形態1と同様であるので、その詳細な説明を省略する。

[0120] <n型高濃度不純物領域形成工程>

ゲート電極形成工程にてゲート電極15aを形成した後に、レジスト層46aをアッシングにより表面側から徐々に後退させて、図12(a)に示すように、薄膜部47bの全体が除去された時点でアッシングを止める(薄膜部除去ステップ)。

[0121] これにより、薄膜部47bについては完全に除去すると共に、厚膜部47aについては薄膜化して残し、レジスト層26aをゲート電極15aの片側側部だけに張出部48が張り出す形状にする。この段階で残された厚膜部構

成部分からなるレジスト層 4 6 a は第 2 のレジストパターン P 2 を構成する。

[0122] 次いで、レジスト層 4 6 a 及びゲート電極 1 5 a をマスクとして半導体層 1 2 a に対して、イオンドーピング法により、図 1 2 (b) に示すように、n 型不純物としてリン (P) を高濃度に注入する (不純物注入ステップ)。

[0123] これにより、半導体層 1 2 a におけるレジスト層 4 6 a 及びゲート電極 1 5 a 対応箇所の両側方には、ソース領域及びドレイン領域として機能する n 型高濃度不純物領域 1 3 n s, 1 3 n d が形成される。このとき、ドレイン領域として機能する n 型高濃度不純物領域 1 3 n d は、ゲート電極 1 5 a 対応箇所からレジスト層 4 6 a の張出部 4 8 の張り出し分に相当する間隔をあけて形成される。それと共に、半導体層 1 2 a のゲート電極 1 5 a 対応箇所にチャネル領域 1 3 c が、該チャネル領域 1 3 c とドレイン領域として機能する n 型高濃度不純物領域 1 3 n d との間にオフセット領域 1 3 o がそれぞれ形成される。

[0124] しかる後、図 1 2 (c) に示すように、残りのレジスト層 4 6 a をレジスト剥離液やアッシングなどにより完全に除去する。

[0125] <層間絶縁膜形成工程以降の各工程>

上記 n 型高濃度不純物領域形成工程の後に、上記実施形態 1 と同様にして、図 1 3 (a) ~ (c) に示すように、層間絶縁膜形成工程、ソース・ドレイン電極形成工程及び保護絶縁膜形成工程を順に行う。

[0126] 以上のようにして、半導体層 1 2 a のオフセット領域 1 3 o に対し、n 型高濃度不純物領域 1 3 n s, 1 3 n d 形成後の各工程においても不純物を注入しないで、片側オフセット構造の T F T 2 O O N a を備える半導体装置 S を製造することができる。

[0127] ー実施形態 1 の変形例の効果ー

この変形例によれば、上記実施形態 1 と同様の効果を得ることができる上に、半導体層 1 2 a のオフセット領域 1 3 o への不純物注入 (低濃度不純物注入ステップ) が不要であるので、上記実施形態 1 の如く片側 L D D 構造の

n型TFT2OLNaを形成する場合に比べて、工程数を良好に抑えて、より安価に半導体装置Sを製造することができる。

[0128] 《発明の実施形態2》

図14は、この実施形態2に係る半導体装置Sが備える両側LDD構造のn型TFT2OLNbを示す概略平面図である。図15は、片側LDD構造のn型TFT2OLNa及び両側LDD構造のn型TFT2OLNbの断面構造を図中左側から順に示す断面図である。この図15において、両側LDD構造のn型TFT2OLNbの断面図は、図14のXV-XV線における断面構造を示している。なお、以降の実施形態では、図1～図13(a)～(c)と同一の構成箇所については、同一符号を付して上記実施形態1の説明に譲ることにし、その詳細な説明を省略する。

[0129] 本実施形態の半導体装置Sは、図15に示すように、絶縁性基板10上に、片側LDD構造のTFT2OLNaに加えて、両側LDD構造のTFT2OLNbをも備えている。

[0130] 片側LDD構造のn型TFT2OLNaは、上記実施形態1で説明した同構造のn型TFT2OLNaと同じ構成であって、上記半導体層12aに相当する第1半導体層12aを備えている。

[0131] 両側LDD構造のn型TFT2OLNbは、図14及び図15に示すように、片側LDD構造のn型TFT2OLNaと同じトップゲート型の構造を有しており、絶縁性基板10上に、下地絶縁膜11を介して設けられた第2半導体層12bと、該第2半導体層12bを覆うように設けられたゲート絶縁膜14と、該ゲート絶縁膜14を介して第2半導体層12bの中央部分に重なるように設けられたゲート電極15bと、該ゲート電極15bを挟む位置で上記第2半導体層12bに互いに離間して接続されたソース電極18b及びドレイン電極19b（図14では二点鎖線で示す）とを備えている。

[0132] 上記第2半導体層12bは、第1半導体層12aと同じポリシリコンなどの結晶質半導体からなる。この第2半導体層12bには、ゲート電極15a対応箇所にチャネル領域13cが、該チャネル領域13cの両側方に該チャ

ネル領域 13c から所定の間隔をあけてソース領域及びドレイン領域として機能する一対の n 型高濃度不純物領域 13ns, 13nd がそれぞれ形成されている。そして、第 2 半導体層 12b には、チャネル領域 13c と各 n 型高濃度不純物領域 13ns, 13nd との間に、n 型低濃度不純物領域 13nl が形成されている。

[0133] 第 2 半導体層 12b のチャネル領域 13c、n 型低濃度不純物領域 13nl 及び n 型高濃度不純物領域 13ns, 13nd には、第 1 半導体層 12a と同様に、リン (P) などの n 型不純物又はボロン (B) などの p 型不純物が含まれている。

[0134] ゲート絶縁膜 14 には、上記片側 LDD 構造の n 型 TFT 20Ln と当該両側 LDD 構造の n 型 TFT 20Lnb とで共通の膜が用いられている。両側 LDD 構造の n 型 TFT 20Lnb のゲート電極 15b は、片側 LDD 構造の n 型 TFT 20Lna のゲート電極 15a と同一材料からなる。また、両側 LDD 構造の n 型 TFT 20Lnb のソース電極 18b 及びドレイン電極 19b も、片側 LDD 構造の n 型 TFT 20Lna のソース電極 18a 及びドレイン電極 19a と同一材料からなる。

[0135] ー製造方法ー

次に、上記のような片側 LDD 構造の TFT 20Lna 及び両側 LDD 構造の TFT 20Lnb を備えた半導体装置 S の製造方法について、図 16 ～ 図 22 (a) ～ (c) を参照しながら一例を挙げて説明する。

[0136] 図 16 は、半導体層形成工程を示す断面図である。図 17 は、ゲート絶縁膜成膜工程及び不純物準位調整工程を示す断面図である。図 18 及び図 19 は、ゲート電極形成工程を示す断面図である。図 20 は、n 型高濃度不純物領域形成工程を示す断面図である。図 21 は、n 型低濃度不純物領域形成工程を示す断面図である。図 22 (a) ～ (c) は、層間絶縁膜形成工程以降の各工程を示す断面図である。なお、これら図 16 ～ 図 22 (a) ～ (c) は、図 15 対応箇所をそれぞれ示している。

[0137] 本実施形態に係る半導体装置 S の製造方法は、下地絶縁膜形成工程と、半

導体層形成工程と、ゲート絶縁膜成膜工程と、不純物準位調整工程と、ゲート電極形成工程と、n型高濃度不純物領域形成工程と、n型低濃度不純物領域形成工程と、層間絶縁膜形成工程と、ソース・ドレイン電極形成工程と、保護絶縁膜形成工程とを含む。

[0138] 上記下地絶縁膜形成工程については、上記実施形態1と同様であるので、その詳細な説明を省略する。

[0139] <半導体層形成工程>

上記実施形態1と同様にしてポリシリコン膜42を形成した後、該ポリシリコン膜42を第1のフォトリソグラフィを用いたフォトリソグラフィーでパターニングすることにより、図16に示すように、第1半導体層12a及び第2半導体層12bを形成する（半導体層形成ステップ）。本実施形態でも、この段階において、第1半導体層12a及び第2半導体層12bのエネルギー準位が下地絶縁膜11の影響を受けてドナー準位側に偏る。

[0140] <ゲート絶縁膜成膜工程>

上記第1半導体層12a及び第2半導体層12bが形成された基板上に、上記実施形態1と同様にして、図17に示すように、ゲート絶縁膜14を成膜する（ゲート絶縁膜成膜ステップ）。

[0141] <不純物準位調整工程>

上記ゲート絶縁膜14に覆われた第1半導体層12a及び第2半導体層12bの全体に対し、上記実施形態1と同様にして、p型不純物としてボロン(B)を低濃度に注入する。

[0142] これにより、第1半導体層12a及び第2半導体層12bにおける不純物準位をアクセプタ準位にし、その深さを、後に形成されるチャネル領域13cでの導電特性がこれら各半導体層12a、12bが構成するn型TFET 2OLNa、2OLNbに所定の閾値電圧をもたらすように調整する。

[0143] なお、この不純物準位調整工程は、必ずしも行う必要はなく、第1半導体層12a及び第2半導体層12bの有する不純物準位の種別とその深さを考慮し、必要に応じて行えばよい。

[0144] <ゲート電極形成工程>

上記不純物準位が調整された第1半導体層12a及び第2半導体層12bを備える基板上に、上記実施形態1と同様にして、図18(a)に示すように、ゲート電極形成用の導電膜44を成膜する（導電膜成膜ステップ）。

[0145] 次に、ゲート電極形成用の導電膜44上に、上記実施形態1と同様にして、図18(b)に示すように、ポジ型の感光性樹脂を塗布して感光性樹脂膜45（例えば厚さ1 μ m～2 μ m程度）を成膜する（感光性樹脂膜成膜ステップ）。

[0146] 続いて、図18(c)に示すように、未硬化の感光性樹脂膜45に対して照射される露光量を第2のフォトマスクを用いて制御して露光処理を行う。この露光処理では、第2のフォトマスクとして、多階調マスクの一種である図6に示すグレートンマスク60を用いる。

[0147] 本実施形態で用いるグレートンマスク60において、上記遮光部62は、当該グレートンマスク60を感光性樹脂膜45に対向させて所定の位置に配置させたときに、第1半導体層12a対応箇所のゲート電極形成領域上の一方側（図18(c)で左側）と、第2半導体層12b対応箇所のゲート電極形成領域上とに位置するように形成されている。一方、半透過部63は、同じくグレートンマスク60を感光性樹脂膜45に対向させて所定の位置に配置させたときに、第1半導体層12a対応箇所のゲート電極形成領域上の他方側（図18(c)で右側）に位置するように形成されている。

[0148] 感光性樹脂膜45に対して露光処理を行う際には、このグレートンマスク60を、図18(c)に示すように、感光性樹脂膜45に対向させて上記所定の位置に配置させた後、該グレートンマスク60の絶縁性基板10とは反対側から紫外線Lを照射する。そうして、グレートンマスク60を介して感光性樹脂膜45を露光する。

[0149] これにより、感光性樹脂膜45において、遮光部62対向箇所である第1半導体層12a対応箇所におけるゲート電極15a形成領域の一方側部分（図18(c)で左側部分）と、第2半導体層12c対応箇所のゲート電極1

5 b 形成領域の全体とを全く露光しないでおくと共に、半透過部 6 3 対向箇所である第 1 半導体層 1 2 a 対応箇所におけるゲート電極 1 5 a 形成領域の他方側部分（図 1 8（c）で右側部分）を透過部 6 1 対向箇所よりも少ない露光量で露光する。

[0150] その後、露光処理が行われた感光性樹脂膜 4 5 に対して現像処理を行う（感光性樹脂膜パターニングステップ）。これにより、感光性樹脂膜 4 5 をパターニングして、図 1 9（a）に示すように、第 1 半導体層 1 2 a 対応箇所のゲート電極形成用に上記実施形態 1 と同様なレジスト層である第 1 レジスト層 4 6 a を、第 2 半導体層 1 2 b 対応箇所のゲート電極形成用に均一な厚さの第 2 レジスト層 4 6 b をそれぞれ形成する。

[0151] より具体的に述べると、第 1 半導体層 1 2 a 対応箇所におけるゲート電極形成領域に対しては、そのドレイン領域形成予定側に厚膜部 4 7 a を、そのソース領域形成予定側に薄膜部 4 7 b を有し、且つ形成予定のゲート電極 1 5 a よりも若干幅広な第 1 レジスト層 4 6 a を形成する。また、第 2 半導体層 1 2 b 対応箇所におけるゲート電極形成領域に対しては、形成予定のゲート電極 1 5 b よりも若干幅広で上記厚膜部 4 7 a と同程度の均一な厚さの第 2 レジスト層 4 6 b を形成する。これら第 1 レジスト層 4 6 a 及び第 2 レジスト層 4 6 b は第 1 のレジストパターン P 1 を構成する。

[0152] そして、これら第 1 レジスト層 4 6 a 及び第 2 レジスト層 4 6 b をマスクとして、上記導電膜 4 4 を等方性を有するウェットエッチングでパターニングすることにより、図 1 9（b）に示すように、第 1 半導体層 1 2 a 対応箇所及び第 2 半導体層 1 2 b 対応箇所にゲート電極 1 5 a，1 5 b をそれぞれ形成する（導電膜パターニングステップ）。

[0153] このとき、エッチング時間を調整して、サイドエッチングにより、第 1 レジスト層 4 6 a 及び第 2 レジスト層 4 6 b の周縁部に重なる導電膜 4 4 部分までも除去し、各ゲート電極 1 5 a，1 5 b を各レジスト層 4 6 a，4 6 b 内側に後退させて対応する第 1 レジスト層 4 6 a 又は第 2 レジスト層 4 6 b よりも幅狭に形成する。これにより、第 1 レジスト層 4 6 a 及び第 2 レジス

ト層 4 6 b には、ゲート電極 1 5 a, 1 5 b の両側方に庇状に張り出した張出部 4 8 がそれぞれ構成される。

[0154] <n 型高濃度不純物領域形成工程>

上記第 1 レジスト層 4 6 a 及び第 2 レジスト層 4 6 b をアッシングにより表面側から除去に後退させて、図 2 0 (a) に示すように、薄膜部 4 7 b の全体が除去された時点でアッシングを止める（薄膜部除去ステップ）。

[0155] これにより、第 1 レジスト層 4 6 a については、薄膜部 4 7 b を完全に除去すると共に、厚膜部 4 7 a を薄膜化して残し、ゲート電極 2 6 a の片側側部だけに張出部 4 8 が張り出す形状にする。また、第 2 レジスト層 4 6 b については、その全体を薄膜化して残す。この段階で残された第 1 レジスト層 4 6 a 及び第 2 レジスト層 4 6 b は第 2 のレジストパターン P 2 を構成する。

[0156] 次に、薄膜化した厚膜部構成部分からなる第 1 レジスト層 4 6 a 及びゲート電極 1 5 a をマスクとして第 1 半導体層 1 2 a に、薄膜化した第 2 レジスト層 4 6 b をマスクとして第 2 半導体層 1 2 b に、イオンドーピング法により、図 2 0 (b) に示すように、n 型不純物としてリン (P) を高濃度にそれぞれ注入する（不純物注入ステップ；高濃度不純物注入ステップ）。

[0157] これにより、第 1 半導体層 1 2 a には、ゲート電極 1 5 a 対応箇所がなすチャネル領域形成部分 1 3 c' の一方側（図 2 0 (b) で右側）に該チャネル領域形成部分 1 3 c' と間隔をあけずにソース領域として機能する n 型高濃度不純物領域 1 3 n s が形成されると共に、チャネル領域形成部分 1 3 c' の他方側（図 1 7 (b) で左側）に該チャネル領域形成部分 1 3 c' から第 1 レジスト層 4 6 a の張出部 4 8 の張り出し部分に相当する間隔をあけてドレイン領域として機能する n 型高濃度不純物領域 1 3 n d が形成される。そして、第 1 半導体層 1 2 a におけるドレイン領域として機能する n 型高濃度不純物領域 1 3 n d とチャネル領域形成部分 1 3 c' との間には、不純物が注入されていないオフセット領域 1 3 o が形成される。

[0158] 一方、第 2 半導体層 1 2 b には、ゲート電極 1 5 b 対応箇所がなすチャネ

ル領域形成部分 1 3 c' の両側方に該チャネル領域形成部分 1 3 c' から第 2 レジスト層 4 6 b の張出部 4 8 の張り出し分に相当する間隔をあけてソース領域及びドレイン領域として機能する n 型高濃度不純物領域 1 3 n s, 1 3 n d が形成される。そして、第 2 半導体層 1 2 b におけるチャネル領域形成部分 1 3 c' と各 n 型高濃度不純物領域 1 3 n s, 1 3 n d との間には、不純物が注入されていないオフセット領域 1 3 o が形成される。

[0159] <n 型低濃度不純物領域形成工程>

上記のように第 1 半導体層 1 2 a 及び第 2 半導体層 1 2 b に n 型高濃度不純物領域 1 3 n s, 1 3 n d をそれぞれ形成した後、残りの第 1 レジスト層 4 6 a 及び第 2 レジスト層 4 6 b をレジスト剥離液やアッシングなどにより完全に除去する（レジスト層除去ステップ）。

[0160] そして、ゲート電極 1 5 a, 1 5 b をマスクとして第 1 半導体層 1 2 a 及び第 2 半導体層 1 2 b に対し、イオンドーピング法により、図 2 1 に示すように、n 型不純物としてリン（P）を低濃度に注入する（低濃度不純物注入ステップ）。

[0161] これにより、第 1 半導体層 1 2 a 及び第 2 半導体層 1 2 b の各 n 型高濃度不純物領域 1 3 n s, 1 3 n d にリン（P）が追加で注入される。それと共に、第 1 半導体層 1 2 a 及び第 2 半導体層 1 2 b における各オフセット領域 1 3 o にもリン（P）が注入されて、該各オフセット領域 1 3 o に n 型低濃度不純物領域 1 3 n l が形成される。そして、第 1 半導体層 1 2 a 及び第 2 半導体層 2 b のゲート電極 1 5 a, 1 5 b 対応箇所には、チャネル領域 1 3 c が自己整合的にそれぞれ形成される。

[0162] <層間絶縁膜形成工程以降の各工程>

上記 n 型低濃度不純物領域形成工程の後に、上記実施形態 1 と同様にして、図 2 2（a）～（c）に示すように、層間絶縁膜形成工程、ソース・ドレイン電極形成工程及び保護絶縁膜形成工程を順に行う。

[0163] 以上の各工程を行うことによって、片側 L D D 構造の T F T 2 O L N a 及び両側 L D D 構造の T F T 2 O L N b を備えた半導体装置 S を製造すること

ができる。

[0164] －実施形態 2 の効果－

この実施形態 2 によると、上記実施形態 1 と同様の効果を得ることができる上に、片側 LDD 構造の TFT2OLNa と両側 LDD 構造の TFT2OLLNb とを併せて同一基板 10 上に形成することができる。これら両種 LDD 構造の TFT2OLNa, 2OLLNb の組合せにより、形成可能な回路の種類が大幅に増えるので、回路設計上の自由度を高くすることができる。そして、要求される特性に応じた種類の LDD 構造の n 型 TFT2OLNa, 2OLLNb を適宜採用して回路を構成することで、優れた性能を有する半導体装置 S を実現することができる。

[0165] 《実施形態 2 の変形例》

図 23 は、この変形例に係る半導体装置 S が備える片側オフセット構造の n 型 TFT2OONa 及び両側 LDD 構造の n 型 TFT2OONb の断面構造を図中左側から順にそれぞれ示す断面図である。

[0166] 本変形例の半導体装置 S は、図 23 に示すように、絶縁性基板 10 上に、片側 LDD 構造の n 型 TFT2OLNa に代えて片側オフセット構造の n 型 TFT2OONa を、両側 LDD 構造の n 型 TFT2OLLNb に代えて両側 LDD 構造の n 型 TFT2OONb を備えている。

[0167] 片側オフセット構造の n 型 TFT2OONa は、上記実施形態 1 の変形例で説明した同構造の TFT2OONa と同じ構成であって、半導体層 12a に相当する第 1 半導体層 12a を備えている。両側オフセット構造の n 型 TFT2OONb は、両側 LDD 構造の n 型 TFT2OLLNb と同じトップゲート型の構造を有しており、第 2 半導体層 12b を備えている。

[0168] 第 2 半導体層 12b には、上記実施形態 2 にと同様に、ゲート電極 15b 対応箇所にチャネル領域 13c が、該チャネル領域 13c の両側方に該チャネル領域 13c から所定の間隔をあけてソース領域及びドレイン領域として機能する n 型高濃度不純物領域 13ns, 13nd がそれぞれ形成されている。そして、この第 2 半導体層 12b におけるチャネル領域 13c と各 n 型

高濃度不純物領域 13ns, 13nd との間には、n 型低濃度不純物領域 13nl に代えて、チャネル領域 13c と同一の不純物濃度を有するオフセット領域 13o が形成されている。

[0169] ー製造方法ー

上記のような片側オフセット構造の n 型 TFT2ONa 及び両側オフセット構造の n 型 TFT2ONb を備えた半導体装置 S を製造する方法について、図 24 (a) ~ (c) 及び図 25 (a) ~ (c) を参照しながら一例を挙げて説明する。

[0170] 図 24 (a) ~ (c) は、n 型高濃度不純物領域形成工程を示す断面図である。図 25 (a) ~ (c) は、層間絶縁膜形成工程以降の各工程を示す断面図である。なお、これら図 24 (a) ~ (c) 及び図 25 (a) ~ (c) は、図 23 対応箇所をそれぞれ示している。

[0171] この変形例に係る半導体装置 S の製造方法は、下地絶縁膜形成工程と、半導体層形成工程と、ゲート絶縁膜成膜工程と、不純物準位調整工程と、ゲート電極形成工程と、n 型高濃度不純物領域形成工程と、層間絶縁膜形成工程と、ソース・ドレイン電極形成工程と、保護絶縁膜形成工程とを含むが、低濃度不純物領域形成工程は含まない。

[0172] 上記下地絶縁膜形成工程、半導体層形成工程、ゲート絶縁膜成膜工程、不純物準位調整工程及びゲート電極形成工程については、上記実施形態 1 と同様であるので、その詳細な説明を省略する。

[0173] <n 型高濃度不純物領域形成工程>

ゲート電極形成工程にてゲート電極 15a, 15b を形成した後に、第 1 レジスト層 46a 及び第 2 レジスト層 46b をアッシングにより表面側から徐々に後退させて、図 24 (a) に示すように、薄膜部 47b の全体が除去された時点でアッシングを止める（薄膜部除去ステップ）。

[0174] これにより、第 1 レジスト層 46a については、薄膜部 47b を完全に除去すると共に、厚膜部 47a を薄膜化して残し、ゲート電極 15a の片側側部だけに張出部 48 が張り出す形状にする。また、第 2 レジスト層 46b に

については、その全体を薄膜化して残す。この段階で残された第1レジスト層46a及び第2レジスト層46bは第2のレジストパターンP2を構成する。

[0175] 次いで、薄膜化した厚膜部構成部分からなる第1レジスト層46a及びゲート電極15aをマスクとして第1半導体層12aに、薄膜化した第2レジスト層46bをマスクとして第2半導体層12bに、イオンドーピング法により、図24(b)に示すように、n型不純物としてリン(P)を高濃度にそれぞれ注入する(不純物注入ステップ)。

[0176] これにより、第1半導体層12aにおける第1レジスト層46a及びゲート電極15a対応箇所の両側方には、ソース領域及びドレイン領域として機能するn型高濃度不純物領域13ns, 13ndが形成される。このとき、ドレイン領域として機能するn型高濃度不純物領域13ndは、ゲート電極15a対応箇所から第1レジスト層46aの張出部48の張り出し分に相当する間隔をあけて形成される。それと共に、第1半導体層12aのゲート電極15a対応箇所にチャネル領域13cが、該チャネル領域13cとドレイン領域として機能するn型高濃度不純物領域13ndとの間にオフセット領域13oがそれぞれ形成される。

[0177] 一方、第2半導体層12bにおける第2レジスト層46b対応箇所の両側方にも、ソース領域及びドレイン領域として機能するn型高濃度不純物領域13ns, 13ndが形成される。このとき、両n型高濃度不純物領域13ns, 13ndは、ゲート電極対応箇所から第2レジスト層46bの張出部48の張り出し分に相当する間隔をあけて形成される。それと共に、第2半導体層12bのゲート電極15b対応箇所にチャネル領域13cが、該チャネル領域13cと各n型高濃度不純物領域13ns, 13ndとの間にオフセット領域13oがそれぞれ形成される。

[0178] しかる後、図24(c)に示すように、残りの第1レジスト層46a及び第2レジスト層46bをレジスト剥離液やアッシングなどにより完全に除去する。

[0179] <層間絶縁膜形成工程以降の各工程>

上記 n 型高濃度不純物領域形成工程の後に、上記実施形態 1 と同様にして、図 25 (a) ~ (c) に示すように、層間絶縁膜形成工程、ソース・ドレイン電極形成工程及び保護絶縁膜形成工程を順に行う。

[0180] 以上のようにして、第 1 半導体層 12a 及び第 2 半導体層 12b の各オフセット領域 13o に対し、n 型高濃度不純物領域 13ns, 13nd 形成後の工程においても不純物を注入しないで、片側オフセット構造の TFT20ONa 及び両側オフセット構造の TFT20ONb を備える半導体装置 S を製造することができる。

[0181] ー実施形態 2 の変形例の効果ー

この変形例によれば、上記実施形態 2 と同様の効果を得ることができる上に、第 1 半導体層 12a 及び第 2 半導体層 12b の各オフセット領域 13o への不純物注入（低濃度不純物注入ステップ）が不要であるので、上記実施形態 2 の如く片側 LDD 構造の n 型 TFT20LNa 及び両側 LDD 構造の TFT20LNb を形成する場合に比べて、工程数を良好に抑えて、より安価に半導体装置 S を製造することができる。

[0182] 《発明の実施形態 3》

図 26 は、この実施形態 3 に係る半導体装置 S が備えるノーマル構造の n 型 TFT20NN を示す概略平面図である。図 27 は、片側 LDD 構造の n 型 TFT20LNa、両側 LDD 構造の TFT20LNb 及びノーマル構造の n 型 TFT20NN の断面構造を図中左側から順に示す断面図である。この図 27 において、ノーマル構造の n 型 TFT20NN の断面図は、図 26 の XXVII-XXVII 線における断面構造を示している。なお、以降の実施形態では、図 14 ~ 図 25 (a) ~ (c) と同一の構成箇所についても、同一符合を付して上記実施形態 2 の説明に譲ることにし、その詳細な説明を省略する。

[0183] 本実施形態の半導体装置 S は、図 27 に示すように、絶縁性基板 10 上に、片側 LDD 構造の n 型 TFT20LNa 及び両側 LDD 構造の n 型 TFT

20LNbに加えて、半導体層12cに低濃度不純物領域13nlもオフセット領域13oも有しないノーマル構造のn型TF T20NNをも備えている。

[0184] 片側LDD構造のn型TF T20LNaは、上記実施形態1で説明した同構造のn型TF T20LNaと同じ構成であって、半導体層12aに相当する第1半導体層12aを備えている。両側LDD構造のn型TF T20LNbは、上記実施形態2で説明した同構造のn型TF T20LNbと同じ構成であって、第2半導体層12bに相当する第3半導体層12bを備えている。

[0185] ノーマル構造のn型TF T20NNは、図26及び図27に示すように、他のn型TF T20LNa、20LNbと同じトップゲート型の構造を有しており、絶縁性基板10上に、下地絶縁膜11を介して設けられた第2半導体層12cと、該第2半導体層12cを覆うように設けられたゲート絶縁膜14と、該ゲート絶縁膜14を介して第2半導体層12cの中央部分に重なるように設けられたゲート電極15cと、該ゲート電極15cを挟んで上記第2半導体層12cに互いに離間して接続されたソース電極18c及びドレイン電極19c（図26では二点鎖線で示す）とを備えている。

[0186] 上記第2半導体層12cは、第1半導体層12a及び第3半導体層12bと同じポリシリコンなどの結晶質半導体からなる。この第2半導体層12cには、ゲート電極15a対応箇所にチャネル領域13cが、該チャネル領域13cの両側方に該チャネル領域13cと間隔をあけずにソース領域及びドレイン領域として機能する一対のn型高濃度不純物領域13ns、13ndがそれぞれ形成されている。

[0187] 第2半導体層12cのチャネル領域13c及び各n型高濃度不純物領域13ns、13ndには、第1半導体層12a及び第3半導体層12bと同様な不純物、つまりリン（P）などのn型不純物又はボロン（B）などのp型不純物が含まれている。

[0188] ゲート絶縁膜14には、上記片側LDD構造のn型TF Tと両側LDD構

造のn型TFT20LNbとノーマル構造のn型TFT20NNとで共通の膜が用いられている。ノーマル構造のn型TFT20NNのゲート電極15cは、両LDD構造のn型TFT20LNa, 20LNbのゲート電極15a, 15bと同一材料からなる。また、ノーマル構造のn型TFT20NNのソース電極18c及びドレイン電極19cも、両LDD構造のn型TFT20LNa, 20LNbのソース電極18a, 18b及びドレイン電極19a, 19bと同一材料からなる。

[0189] ー製造方法ー

次に、上記のような片側LDD構造のTFT20LNa、両側LDD構造のTFT20LNb及びノーマル構造のn型TFT20NNを備えた半導体装置Sの製造方法について、図28～図34(a)～(c)を参照しながら一例を挙げて説明する。

[0190] 図28は、半導体層形成工程を示す断面図である。図29は、ゲート絶縁膜成膜工程及び不純物準位調整工程を示す断面図である。図30(a)～(c)及び図31(a), (b)は、ゲート電極形成工程を示す断面図である。図32(a), (b)は、n型高濃度不純物領域形成工程を示す断面図である。図33は、n型低濃度不純物領域形成工程を示す断面図である。図34(a)～(c)は、層間絶縁膜形成工程以降の各工程を示す断面図である。なお、これら図28～図34(a)～(c)は、図27対応箇所をそれぞれ示している。

[0191] 本実施形態に係る半導体装置Sの製造方法は、下地絶縁膜形成工程と、半導体層形成工程と、ゲート絶縁膜成膜工程と、不純物準位調整工程と、ゲート電極形成工程と、n型高濃度不純物領域形成工程と、n型低濃度不純物領域形成工程と、層間絶縁膜形成工程と、ソース・ドレイン電極形成工程と、保護絶縁膜形成工程とを含む。

[0192] 上記下地絶縁膜形成工程については、上記実施形態1と同様であるので、その詳細な説明を省略する。

[0193] <半導体層形成工程>

上記実施形態 1 と同様にしてポリシリコン膜 4 2 を形成した後、該ポリシリコン膜 4 2 を第 1 のフォトマスクを用いたフォトリソグラフィーでパターンニングすることにより、図 2 8 に示すように、第 1 半導体層 1 2 a、第 2 半導体層 1 2 c 及び第 3 半導体層 1 2 b を形成する（半導体層形成ステップ）。本実施形態でも、この段階において、第 1 半導体層 1 2 a、第 2 半導体層 1 2 c 及び第 3 半導体層 1 2 b のエネルギー準位が下地絶縁膜 1 1 の影響を受けてドナー準位側に偏る。

[0194] <ゲート絶縁膜成膜工程>

上記第 1 半導体層 1 2 a、第 2 半導体層 1 2 c 及び第 3 半導体層 1 2 b が形成された基板上に、上記実施形態 1 と同様にして、図 2 9 に示すように、ゲート絶縁膜 1 4 を成膜する（ゲート絶縁膜成膜ステップ）。

[0195] <不純物準位調整工程>

上記ゲート絶縁膜 1 4 に覆われた第 1 半導体層 1 2 a、第 2 半導体層 1 2 c 及び第 3 半導体層 1 2 b の全体に対し、上記実施形態 1 と同様にして、p 型不純物としてボロン（B）を低濃度に注入する。

[0196] これにより、第 1 半導体層 1 2 a、第 2 半導体層 1 2 c 及び第 3 半導体層 1 2 b における不純物準位をアクセプタ準位にし、その深さを、後に形成されるチャネル領域 1 3 c での導電特性がこれら各半導体層 1 2 a、1 2 b、1 2 c が構成する n 型 TFT 2 0 L N a、2 0 L N b、2 0 N N に所定の閾値電圧をもたらすように調整する。

[0197] なお、この不純物準位調整工程は、必ずしも行う必要はなく、第 1 半導体層 1 2 a、第 2 半導体層 1 2 c 及び第 3 半導体層 1 2 b の有する不純物準位の種別とその深さを考慮し、必要に応じて行えばよい。

[0198] <ゲート電極形成工程>

上記不純物準位が調整された第 1 半導体層 1 2 a、第 2 半導体層 1 2 c 及び第 3 半導体層 1 2 b を備える基板上に、上記実施形態 1 と同様にして、図 3 0（a）に示すように、ゲート電極形成用の導電膜 4 4 を成膜する（導電膜成膜ステップ）。

[0199] 次いで、ゲート電極形成用の導電膜44上に、上記実施形態1と同様にし、図30(b)に示すように、ポジ型の感光性樹脂を塗布して感光性樹脂膜45(例えば厚さ1 μ m~2 μ m程度)を成膜する(感光性樹脂膜成膜ステップ)。

[0200] 続いて、図30(c)に示すように、未硬化の感光性樹脂膜45に対して照射される露光量を第2のフォトマスクを用いて制御して露光処理を行う。この露光処理では、第2のフォトマスクとして、多階調マスクの一種である図6に示すグレートンマスク60を用いる。

[0201] 本実施形態で用いるグレートンマスク60において、上記遮光部62は、当該グレートンマスク60を感光性樹脂膜45に対向させて所定の位置に配置させたときに、第1半導体層12a対応箇所のゲート電極形成領域上の一方側(図30(c)で左側)と、第3半導体層12b対応箇所のゲート電極形成領域上とに位置するように形成されている。一方、半透過部63は、同じくグレートンマスク60を感光性樹脂膜45に対向させて所定の位置に配置させたときに、第1半導体層12a対応箇所のゲート電極形成領域上の他方側(図30(c)で右側)と、第2半導体層12c対応箇所のゲート電極形成領域上とに位置するように形成されている。

[0202] 感光性樹脂膜45に対して露光処理を行う際には、このグレートンマスク60を、図30(c)に示すように、感光性樹脂膜45に対向させて上記所定の位置に配置させた後、該グレートンマスク60の絶縁性基板10とは反対側から紫外線Lを照射する。そうして、グレートンマスク60を介して感光性樹脂膜45を露光する。

[0203] これにより、感光性樹脂膜45において、遮光部62対向箇所である第1半導体層12a対応箇所におけるゲート電極形成領域の一方側部分(図30(c)で左側部分)と、第3半導体層12b対応箇所のゲート電極形成領域の全体とを全く露光しないでおくと共に、半透過部63対向箇所である第1半導体層12a対応箇所におけるゲート電極形成領域の他方側部分(図30(c)で右側部分)と、第2半導体層12c対応箇所のゲート電極形成領域

とを透過部 6 1 対向箇所よりも少ない露光量で露光する。

[0204] その後、露光処理が行われた感光性樹脂膜 4 5 に対して現像処理を行う（感光性樹脂膜パターニングステップ）。これにより、感光性樹脂膜 4 5 をパターニングして、図 3 1（a）に示すように、第 1 半導体層 1 2 a 対応箇所のゲート電極形成用に上記実施形態 1 と同様なレジスト層である第 1 レジスト層 4 6 a を、第 2 半導体層 1 2 c 対応箇所のゲート電極形成用に相対的に薄い均一な厚さの第 2 レジスト層 4 6 c を、第 3 半導体層 1 2 b 対応箇所のゲート電極形成用に相対的に厚い均一な厚さの第 3 レジスト層 4 6 b をそれぞれ形成する。

[0205] より具体的に述べると、第 1 半導体層 1 2 a 対応箇所におけるゲート電極形成領域に対しては、そのドレイン領域形成予定側に厚膜部 4 7 a を、そのソース領域形成予定側に薄膜部 4 7 b を有し、且つ形成予定のゲート電極 1 5 a よりも若干幅広な第 1 レジスト層 4 6 a を形成する。第 2 半導体層 1 2 c 対応箇所におけるゲート電極形成領域に対しては、形成予定のゲート電極 1 5 c よりも若干幅広で上記薄膜部 4 7 b と同程度の均一な厚さの第 2 レジスト層 4 6 c を形成する。また、第 3 半導体層 1 2 b 対応箇所におけるゲート電極形成領域に対しては、形成予定のゲート電極 1 5 b よりも若干幅広で上記厚膜部 4 7 a と同程度の均一な厚さの第 3 レジスト層 4 6 b を形成する。これら第 1 レジスト層 4 6 a、第 2 レジスト層 4 6 c 及び第 3 レジスト層 4 6 b は第 1 のレジストパターン P 1 を構成する。

[0206] そして、これら第 1 レジスト層 4 6 a、第 2 レジスト層 4 6 c 及び第 3 レジスト層 4 6 b をマスクとして、上記導電膜 4 4 を等方性を有するウェットエッチングでパターニングすることにより、図 3 1（b）に示すように、第 1 半導体層 1 2 a 対応箇所、第 2 半導体層 1 2 c 対応箇所及び第 3 半導体層 1 2 b 対応箇所にゲート電極 1 5 a、1 5 b、1 5 c をそれぞれ形成する（導電膜パターニングステップ）。

[0207] このとき、エッチング時間を調整して、サイドエッチングにより、第 1 レジスト層 4 6 a、第 2 レジスト層 4 6 c 及び第 3 レジスト層 4 6 b の周縁部

に重なる導電膜 4 4 部分までも除去し、各ゲート電極 1 5 a, 1 5 b, 1 5 c を各レジスト層 4 6 a, 4 6 b, 4 6 c 内側に後退させて対応する第 1 レジスト層 4 6 a、第 2 レジスト層 4 6 c 又は第 3 レジスト層 4 6 b よりも幅狭に形成する。これにより、第 1 レジスト層 4 6 a、第 2 レジスト層 4 6 c 及び第 3 レジスト層 4 6 b には、ゲート電極 1 5 a, 1 5 b, 1 5 c の両側に庇状に張り出した張出部 4 8 がそれぞれ構成される。

[0208] <n 型高濃度不純物領域形成工程>

上記第 1 レジスト層 4 6 a、第 2 レジスト層 4 6 c 及び第 3 レジスト層 4 6 b をアッシングにより表面側から除去に後退させて、図 3 2 (a) に示すように、薄膜部 4 7 b 及び第 2 レジスト層 4 6 c の全体が除去された時点でアッシングを止める（薄膜部除去ステップ）。

[0209] これにより、第 1 レジスト層 4 6 a については、薄膜部 4 7 b を完全に除去すると共に、厚膜部 4 7 a を薄膜化して残し、ゲート電極 1 5 a の片側側部だけに張出部 4 8 が張り出す形状にする。第 2 レジスト層 4 6 c については、その全体を完全に除去する。また、第 3 レジスト層 4 6 b については、その全体を薄膜化して残す。この段階で残された第 1 レジスト層 4 6 a 及び第 3 レジスト層 4 6 b は第 2 のレジストパターン P 2 を構成する。

[0210] 次に、薄膜化した厚膜部構成部分からなる第 1 レジスト層 4 6 a 及びゲート電極 1 5 a をマスクとして第 1 半導体層 1 2 a に、ゲート電極 1 5 c をマスクとして第 2 半導体層 1 2 c に、薄膜化した第 3 レジスト層 4 6 b をマスクとして第 3 半導体層 1 2 b に、イオンドーピング法により、図 3 2 (b) に示すように、n 型不純物としてリン (P) を高濃度にそれぞれ注入する（不純物注入ステップ；高濃度不純物注入ステップ）。

[0211] これにより、第 1 半導体層 1 2 a には、ゲート電極 1 5 a 対応箇所がなすチャネル領域形成部分 1 3 c' の一方側（図 3 2 (b) で右側）に該チャネル領域形成部分 1 3 c' と間隔をあけずにソース領域として機能する n 型高濃度不純物領域 1 3 n s が形成されると共に、チャネル領域形成部分 1 3 c' の他方側（図 3 2 (b) で左側）に該チャネル領域形成部分 1 3 c' から

第1レジスト層46aの張出部48の張り出し部分に相当する間隔をあけてドレイン領域として機能するn型高濃度不純物領域13ndが形成される。そして、第1半導体層12aにおけるドレイン領域として機能するn型高濃度不純物領域13ndとチャネル領域形成部分13c'の間には、不純物が注入されていないオフセット領域13oが形成される。

[0212] 一方、第2半導体層12cには、ゲート電極15c対応箇所の両側方に該ゲート電極15c対応箇所と間隔をあけずにソース領域及びドレイン領域として機能するn型高濃度不純物領域13ns, 13ndが形成される。そして、第2半導体層12cのゲート電極15c対応箇所には、チャネル領域13cが自己整合的に形成される。

[0213] また、第3半導体層13bには、ゲート電極15b対応箇所がなすチャネル領域形成部分13c'の両側方に該チャネル領域形成部分13'から第3レジスト層46bの張出部48の張り出し分に相当する間隔をあけてn型高濃度不純物領域が13ns, 13nd形成される。そして、第3半導体層12bにおけるチャネル領域形成部分13'と各n型高濃度不純物領域13ns, 13ndとの間には、不純物が注入されていないオフセット領域13oが形成される。

[0214] <n型低濃度不純物領域形成工程>

上記のように第1半導体層12a、第2半導体層12c及び第3半導体層12bにn型高濃度不純物領域13ns, 13ndをそれぞれ形成した後、残りの第1レジスト層46a及び第3レジスト層46bをレジスト剥離液やアッシングなどにより除去する（レジスト層除去ステップ）。

[0215] そして、ゲート電極15a, 15b, 15cをマスクとして第1半導体層12a、第2半導体層12c及び第3半導体層12bに対し、イオンドーピング法により、図33に示すように、n型不純物としてリン(P)を低濃度に注入する（低濃度不純物注入ステップ）。

[0216] これにより、第1半導体層12a、第2半導体層12c及び第3半導体層12bの各n型高濃度不純物領域13ns, 13ndにリン(P)が追加で

注入される。それと共に、第1半導体層12a及び第3半導体層12bにおける各オフセット領域13oにもリン(P)が注入されて、該各オフセット領域13oにn型低濃度不純物領域13n1が形成される。そして、第1半導体層12a及び第3半導体層12bのゲート電極15a, 15b対応箇所には、チャネル領域13cが自己整合的にそれぞれ形成される。

[0217] <層間絶縁膜形成工程以降の各工程>

上記n型低濃度不純物領域形成工程の後に、上記実施形態1と同様にして、図34(a)～(c)に示すように、層間絶縁膜形成工程、ソース・ドレイン電極形成工程及び保護絶縁膜形成工程を順に行う。

[0218] 以上の各工程を行うことによって、片側LDD構造のTFT20LNa、両側LDD構造のTFT20LNb及びノーマル構造のn型TFT20NNを備えた半導体装置Sを製造することができる。

[0219] ー実施形態3の効果ー

この実施形態3によると、上記実施形態1と同様の効果を得ることができる上に、片側LDD構造のn型TFT20LNaと両側LDD構造のn型TFT20LNbとノーマル構造のn型TFT20NNとを併せて同一基板10上に形成することができる。これら両LDD構造のn型TFT20LNa, 20LNbとノーマル構造のn型TFT20NNとの組合せにより、形成可能な回路の種類がノーマル構造のn型TFTが加わった分だけ上記実施形態2よりもさらに増えるので、回路設計上の自由度をよりいっそう高くすることができる。そして、要求される特性に応じた構造のn型TFT20LNa, 20LNb, 20NNを適宜採用して回路を構成することで、優れた性能を有する半導体装置Sを実現することができる。

[0220] 《実施形態3の変形例》

図35は、この変形例に係る半導体装置Sが備える片側オフセット構造のn型TFT20ONa、両側オフセット構造のn型TFT20ONb及びノーマル構造のn型TFT20NNを左側から順にそれぞれ示す断面図である。

[0221] 本変形例の半導体装置Sは、図35に示すように、片側LDD構造のn型TFT2OLNaに代えて片側オフセット構造のn型TFT2OONaを、両側LDD構造のn型TFT2OLNbに代えて両側LDD構造のn型TFT2OONbを備えている。

[0222] 片側オフセット構造のTFT2OONaは、上記実施形態1の変形例で説明した同構造のTFT2OONaと同じ構成である。両側オフセット構造のn型TFT2OONbは、上記実施形態2の変形例で説明した同構造のn型TFT2OONbと同じ構成である。

[0223] ー製造方法ー

上記のような片側オフセット構造のn型TFT2OONa、両側オフセット構造のTFT2OONb及びノーマル構造のn型TFT2ONNを備えた半導体装置Sを製造する方法について、図36(a)～(c)及び図37(a)～(c)を参照しながら一例を挙げて説明する。

[0224] 図36(a)～(c)は、n型高濃度不純物領域形成工程を示す断面図である。図37(a)～(c)は、層間絶縁膜形成工程以降の各工程を示す断面図である。なお、これら図36(a)～(c)及び図37(a)～(c)は、図35対応箇所をそれぞれ示している。

[0225] この変形例に係る半導体装置Sの製造方法は、下地絶縁膜形成工程と、半導体層形成工程と、ゲート絶縁膜成膜工程と、不純物準位調整工程と、ゲート電極形成工程と、n型高濃度不純物領域形成工程と、層間絶縁膜形成工程と、ソース・ドレイン電極形成工程と、保護絶縁膜形成工程とを含むが、低濃度不純物領域形成工程は含まない。

[0226] 上記下地絶縁膜形成工程、半導体層形成工程、ゲート絶縁膜成膜工程、不純物準位調整工程及びゲート電極形成工程については、上記実施形態1と同様であるので、その詳細な説明を省略する。

[0227] <n型高濃度不純物領域形成工程>

ゲート電極形成工程にて各ゲート電極15a、15b、15cを形成した後に、第1レジスト層46a、第2レジスト層46c及び第3レジスト層4

6 bをアッシングにより表面側から徐々に後退させて、図36 (a)に示すように、薄膜部47 b及び第2レジスト層46 cの全体が除去された時点でアッシングを止める（薄膜部除去ステップ）。

[0228] これにより、第1レジスト層46 aについては、薄膜部47 bを完全に除去すると共に、厚膜部47 aを薄膜化して残し、ゲート電極15 aの片側側部だけに張出部48が張り出す形状にする。第2レジスト層46 cについては、その全体を完全に除去する。また、第3レジスト層46 bについては、その全体を薄膜化して残す。この段階で残された第1レジスト層46 a及び第3レジスト層46 bは第2のレジストパターンP2を構成する。

[0229] 次に、薄膜化した厚膜部構成部分からなる第1レジスト層46 a及びゲート電極15 aをマスクとして第1半導体層12 aに、ゲート電極15 cをマスクとして第2半導体層12 cに、薄膜化した第3レジスト層46 bをマスクとして第3半導体層12 bに、イオンドーピング法により、図36 (b)に示すように、n型不純物としてリン(P)を高濃度にそれぞれ注入する（不純物注入ステップ）。

[0230] これにより、第1半導体層12 aにおける第1レジスト層46 a及びゲート電極15 a対応箇所の両側方には、ソース領域及びドレイン領域として機能するn型高濃度不純物領域13 n s, 13 n dが形成される。このとき、ドレイン領域として機能するn型高濃度不純物領域13 n dは、ゲート電極15 a対応箇所から第1レジスト層46 aの張出部48の張り出し分に相当する間隔をあけて形成される。それと共に、第1半導体層12 aのゲート電極15 a対応箇所にチャネル領域13 cが、該チャネル領域13 cとドレイン領域として機能するn型高濃度不純物領域13 n dとの間にオフセット領域13 oがそれぞれ形成される。

[0231] 一方、第2半導体層12 cには、ゲート電極15 c対応箇所の両側方に該ゲート電極15 c対応箇所と間隔をあけずにソース領域及びドレイン領域として機能するn型高濃度不純物領域13 n s, 13 n dが形成される。そして、第2半導体層12 cのゲート電極15 c対応箇所には、チャネル領域1

3 c が自己整合的に形成される。

[0232] また、第3半導体層12bにおける第3レジスト層46b対応箇所の両側方にも、ソース領域及びドレイン領域として機能するn型高濃度不純物領域13ns, 13ndが形成される。このとき、両n型高濃度不純物領域13ns, 13ndは、ゲート電極対応箇所から第3レジスト層46bの張出部48の張り出し分に相当する間隔をあけて形成される。それと共に、第3半導体層12bのゲート電極15b対応箇所にチャネル領域13cが、該チャネル領域13cと各n型高濃度不純物領域13ns, 13ndとの間にオフセット領域13oがそれぞれ形成される。

[0233] しかる後、図36(c)に示すように、残りの第1レジスト層46a及び第3レジスト層46bをレジスト剥離液やアッシングなどにより除去する。

[0234] <層間絶縁膜形成工程以降の各工程>

上記n型高濃度不純物領域形成工程の後に、上記実施形態1と同様にして、図37(a)～(c)に示すように、層間絶縁膜形成工程、ソース・ドレイン電極形成工程及び保護絶縁膜形成工程を順に行う。

[0235] 以上のようにして、第1半導体層12a及び第3半導体層12bの各オフセット領域13oに対し、n型高濃度不純物領域13ns, 13nd形成後の各工程においても不純物を注入しないで、片側オフセット構造のn型TF T200Na、両側オフセット構造のn型TF T200Nb及びノーマル構造のn型TF T200Nを備える半導体装置Sを製造することができる。

[0236] ー実施形態3の変形例の効果ー

この変形例によれば、上記実施形態3と同様の効果を得ることができる上に、第1半導体層12a及び第3半導体層12bの各オフセット領域13oへの不純物注入（低濃度不純物注入ステップ）が不要であるので、上記実施形態3の如く片側LDD構造のn型TF T20LNa及び両側LDD構造のTF T20LNbを形成する場合に比べて、工程数を良好に抑えて、より安価に半導体装置Sを製造することができる。

[0237] 《発明の実施形態4》

図38は、この実施形態3に係る半導体装置Sが備える片側LDD構造のn型TFT20LNa、両側LDD構造のn型TFT20LNb、ノーマル構造のn型TFT20NN及びp型TFT20NPの断面構造を図中左側から順にそれぞれ示す断面図である。なお、以降の実施形態では、図26～図37(a)～(c)と同一の構成箇所についても、同一符号を付して上記実施形態3の説明に譲ることにし、その詳細な説明を省略する。

[0238] 本実施形態の半導体装置Sは、図38に示すように、絶縁性基板10上に、片側LDD構造のn型TFT20LNa、両側LDD構造のn型TFT20LNb及びノーマル構造のn型TFT20NNに加えて、ノーマル構造のp型TFT20NPをも備えている。

[0239] 片側LDD構造のn型TFT20LNaは、上記実施形態1で説明した同構造のTFT20LNaと同じ構成であって、半導体層12aに相当する第1半導体層12aを備えている。両側LDD構造のn型TFT20LNbは、上記実施形態2で説明した同構造のn型TFT20LNbと同じ構成であって、第2半導体層12bに相当する第3半導体層12bを備えている。また、ノーマル構造のn型TFT20NNは、上記実施形態3で説明した同構造のn型TFT20NNと同じ構成であって、第2半導体層12cに相当する第4半導体層12cを備えている。

[0240] ノーマル構造のp型TFT20NPは、図38に示すように、他のTFT20LNa、20LNb、20NNと同様なトップゲート型の構造を有しており、絶縁性基板10上に、下地絶縁膜11を介して設けられた第2半導体層12dと、該第2半導体層12dを覆うように設けられたゲート絶縁膜14と、該ゲート絶縁膜14を介して第2半導体層12dの中央部分に重なるように設けられたゲート電極15dと、該ゲート電極15dを挟んで上記第2半導体層12dに互いに離間して接続されたソース電極18d及びドレイン電極19dとを備えている。

[0241] 上記第2半導体層12dは、第1半導体層12a、第3半導体層12b及び第4半導体層12cと同じポリシリコンなどの結晶質半導体からなる。こ

の第2半導体層12dには、ゲート電極15d対応箇所にチャネル領域13cが、該チャネル領域13cの両側方に該チャネル領域13cと間隔をあけずにソース領域及びドレイン領域として機能する一対のp型高濃度不純物領域13ps, 13pdがそれぞれ形成されている。

[0242] この第2半導体層12dのチャネル領域13cには、閾値電圧を制御するためにリン(P)などのn型不純物が含まれている。また、各p型高濃度不純物領域13ps, 13pdには、ボロン(B)などのp型不純物が含まれている。

[0243] ゲート絶縁膜14には、両LDD構造のn型TFT20LNa, 20LNb及びノーマル構造のn型TFT20NNとノーマル構造のp型TFT20NPとで共通の膜が用いられている。ノーマル構造のp型TFT20NPのゲート電極15dは、両LDD構造のn型TFT20LNa, 20LNb及びノーマル構造のn型TFT20NNのゲート電極15a, 15b, 15cと同一材料からなる。また、ノーマル構造のp型TFT20NPのソース電極18d及びドレイン電極19dも、両LDD構造のn型TFT20LNa, 20LNb及びノーマル構造のn型TFT20NNのソース電極18a, 18b, 18c及びドレイン電極19a, 19b, 19cと同一材料からなる。

[0244] ー製造方法ー

次に、上記のような片側LDD構造のTFT20LNa、両側LDD構造のTFT20LNb、ノーマル構造のn型TFT20NN及びp型TFT20PNを備えた半導体装置Sの製造方法について、図39～図49(a), (b)を参照しながら一例を挙げて説明する。

[0245] 図39は、半導体層形成工程を示す断面図である。図40は、ゲート絶縁膜成膜工程及び不純物準位調整工程を示す断面図である。図41(a), (b)は、導電型調整工程を示す断面図である。図42(a), (b)及び図43(a), (b)は、第1のゲート電極形成工程を示す断面図である。図44は、p型高濃度不純物領域形成工程を示す断面図である。図45(a)

，（b）及び図46（a），（b）は、第2のゲート電極形成工程を示す断面図である。図47（a），（b）は、n型高濃度不純物領域形成工程を示す断面図である。図48は、n型低濃度不純物領域形成工程を示す断面図である。図49（a），（b）は、層間絶縁膜形成工程以降の各工程を示す断面図である。なお、これら図39～図49（a），（b）は、図38対応箇所をそれぞれ示している。

[0246] 本実施形態に係る半導体装置Sの製造方法は、下地絶縁膜形成工程と、半導体層形成工程と、ゲート絶縁膜成膜工程と、導電型調整工程と、第1のゲート電極形成工程と、p型高濃度不純物領域形成工程と、第2のゲート電極形成工程と、n型高濃度不純物領域形成工程と、n型低濃度不純物領域工程と、層間絶縁膜形成工程と、ソース・ドレイン電極形成工程と、保護絶縁膜形成工程とを含む。

[0247] 上記下地絶縁膜形成工程については、上記実施形態1と同様であるので、その詳細な説明を省略する。

[0248] <半導体層形成工程>

上記実施形態1と同様にしてポリシリコン膜42を形成した後、該ポリシリコン膜42を第1のフォトリソグラフィを用いたフォトリソグラフィーでパターニングすることにより、図39に示すように、第1半導体層12a、第2半導体層12d、第3半導体層12b及び第4半導体層12cを形成する（半導体層形成ステップ）。本実施形態でも、この段階において、第1半導体層12a、第2半導体層12d、第3半導体層12b及び第4半導体層12cのエネルギー準位が下地絶縁膜11の影響を受けてドナー準位側に偏る。

[0249] <ゲート絶縁膜成膜工程>

上記第1半導体層12a、第2半導体層12d、第3半導体層12b及び第4半導体層12cが形成された基板上に、上記実施形態1と同様にして、図40に示すように、ゲート絶縁膜14を成膜する（ゲート絶縁膜成膜ステップ）。

[0250] <導電型調整工程>

この導電型調整工程では、第1半導体層12a、第3半導体層12b及び第4半導体層12cの導電型が第1導電型であるp型に、第2半導体層12dの導電型が第2導電型であるn型になるように、これら第1半導体層12a、第2半導体層12d、第3半導体層12b及び第4半導体層12cが含有する不純物濃度を調整する。

[0251] 例えば、まず、ゲート絶縁膜14に覆われた第1半導体層12a、第2半導体層12d、第3半導体層12b及び第4半導体層12cの全体に対して、イオンドーピング法により、図41(a)に示すように、p型不純物としてボロン(B)を低濃度に注入する。図41(a)に示す矢印51は、このときのボロン(B)の注入方向を示している。

[0252] これにより、第2半導体層12dにおけるドナー準位の深さを、後に形成されるチャネル領域13cでの導電特性が当該第2半導体層12dが構成するp型TFET2ONPに所定の閾値電圧をもたらすように調整する。

[0253] 次に、ゲート絶縁膜14上に、スピンコート法により、感光性樹脂を塗布して感光性樹脂膜を成膜する。そして、この感光性樹脂膜を、第2のフォトリソマスクを用いてパターニングすることにより、図41(b)に示すように、p型TFET2ONPを構成する第2半導体層12d対応箇所を覆うレジスト層52を形成する。

[0254] その後、このレジスト層52をマスクとして、第1半導体層12a、第3半導体層12b及び第4半導体層12cの全体に対して、イオンドーピング法により、p型不純物としてボロン(B)をさらに注入する。図41(b)に示す矢印53は、このときのボロン(B)の注入方向を示している。

[0255] これにより、第1半導体層12a、第3半導体層12b及び第4半導体層12cにおける不純物準位をアクセプタ準位にし、その深さを、後に形成されるチャネル領域13cでの導電特性がこれら各半導体層12a、12b、12cが構成するTFET2OLNa, 2OLNb, 2ONNに所定の閾値電圧をもたらすように調整する。

[0256] なお、p型TFET2ONPを構成する第2半導体層12bへの前半のボロ

ン（Ｂ）注入は、必ずしも行う必要はなく、 p 型ＴＦＴ２０ＮＰを構成する第２半導体層１２ｂの有するドナー準位の深さを考慮し、必要に応じて行えばよい。

[0257] この導電型調整工程は、本発明における導電型調整ステップに対応する。

[0258] ＜第１のゲート電極形成工程＞

上記導電型が調整された第１半導体層１２ａ、第２半導体層１２ｄ、第３半導体層１２ｂ及び第４半導体層１２ｃを備える基板上に、上記実施形態１と同様にして、図４２（ａ）に示すように、ゲート電極形成用の導電膜４４を成膜する（導電膜成膜ステップ）。

[0259] 次に、ゲート電極形成用の導電膜４４上に、スピコート法又はスリットコート法により、図４２（ｂ）に示すように、ポジ型の感光性樹脂を塗布して第１感光性樹脂膜５４（例えば厚さ $1\mu\text{m}$ ～ $2\mu\text{m}$ 程度）を成膜する（第１感光性樹脂膜成膜ステップ）。

[0260] 続いて、未硬化の第１感光性樹脂膜５４に対して照射される露光量を第３のフォトマスクを用いて制御して露光処理を行った後に現像処理を行うことにより、該第１感光性樹脂膜５４をパターンニングして、図４３（ａ）に示すように、第１半導体層１２ａ対応箇所の全体にレジスト層（第１レジスト層）５５ａを、第２半導体層１２ｄ対応箇所におけるゲート電極形成領域にレジスト層（第２レジスト層）５５ｄを、第３半導体層１２ｂ対応箇所の全体にレジスト層５５ｂを、第４半導体層１２ｃ対応箇所の全体にレジスト層５５ｃをそれぞれ形成する（第１感光性樹脂膜パターンニングステップ）。

[0261] そして、これらレジスト層５５ａ，５５ｄ，５５ｂ，５５ｃをマスクとして、上記導電膜４４を異方性の強いドライエッチングでパターンニングすることにより、図４３（ｂ）に示すように、第２半導体層１２ｄ対応箇所にゲート電極１５ｄを形成する（第１の導電膜パターンニングステップ）。

[0262] ＜ p 型高濃度不純物領域形成工程＞

上記第１のゲート電極形成工程にてゲート電極１５ｄを形成した後に、レジスト層５５ａ，５５ｄ，５５ｂ，５５ｃをマスクとして第３半導体層１２

cに対して、イオンドーピング法により、図44に示すように、p型不純物としてボロン(B)を高濃度に注入する(第1導電型不純物注入ステップ)。図44に示す矢印56は、このときのボロン(B)の注入方向を示している。

[0263] これにより、第2半導体層12dにおけるゲート電極15d対応箇所の両側方には、ソース領域及びドレイン領域として機能するp型高濃度不純物領域13phが形成される。そして、第2半導体層12dのゲート電極15d対応箇所には、チャネル領域13cが自己整合的に形成される。

[0264] しかる後、レジスト層55a, 55d, 55b, 55cをレジスト剥離液やアッシングなどにより除去する(第1及び第2レジスト層除去ステップ)。

[0265] <第2のゲート電極形成工程>

上記のようにゲート電極15dを形成して残ったゲート電極形成用の導電膜44上に、上記実施形態1と同様にして、図45(a)に示すように、ポジ型の感光性樹脂を塗布し、第2感光性樹脂膜45(例えば厚さ1 μ m~2 μ m程度)を成膜する(第2感光性樹脂膜成膜ステップ)。

[0266] 続いて、図45(b)に示すように、未硬化の第2感光性樹脂膜45に対して照射される露光量を第4のフォトマスクを用いて制御して露光処理を行う。この露光処理では、第4のフォトマスクとして、多階調マスクの一種である図6に示すグレートンマスク60を用いる。

[0267] 本実施形態で用いるグレートンマスク60において、上記遮光部62は、当該グレートンマスク60を第2感光性樹脂膜45に対向させて所定の位置に配置させたときに、第1半導体層12a対応箇所のゲート電極形成領域上の一方側(図45(b)で左側)と、第2半導体層12d対応箇所の全領域上と、第3半導体層12b対応箇所のゲート電極形成領域上とに位置するように形成されている。一方、半透過部63は、同じくグレートンマスク60を第2感光性樹脂膜45に対向させて所定の位置に配置させたときに、第1半導体層12a対応箇所のゲート電極形成領域上の他方側(図45(

b)で右側)と、第4半導体層12c対応箇所のゲート電極形成領域上に位置するように形成されている。

[0268] 第2感光性樹脂膜45に対して露光処理を行う際には、このグレートンマスク60を、図45(b)に示すように、第2感光性樹脂膜45に対向させて上記所定の位置に配置させた後、該グレートンマスク60の絶縁性基板10とは反対側から紫外線Lを照射する。そうして、グレートンマスク60を介して第2感光性樹脂膜45を露光する。

[0269] これにより、第2感光性樹脂膜45において、遮光部62対向箇所である第1半導体層12a対応箇所におけるゲート電極15a形成領域の一方側部分(図45(b)で左側部分)と、第2半導体層12d対応箇所の全領域と、第3半導体層12b対応箇所のゲート電極15b形成領域の全体とを全く露光しないでおくと共に、半透過部63対向箇所である第1半導体層12a対応箇所におけるゲート電極形成領域の他方側部分(図45(b)で右側部分)と、第4半導体層12c対応箇所のゲート電極形成領域とを透過部61対向箇所よりも少ない露光量で露光する。

[0270] その後、露光処理が行われた第2感光性樹脂膜45に対して現像処理を行う(感光性樹脂膜パターニングステップ)。これにより、第2感光性樹脂膜45をパターニングして、図46(a)に示すように、第1半導体層12a対応箇所のゲート電極形成用に上記実施形態1と同様なレジスト層(第3レジスト層)46aを、第2半導体層12d対応箇所の全体に相対的に厚い均一な厚さのレジスト層(第4レジスト層)46dを、第3半導体層12b対応箇所のゲート電極形成用に相対的に厚い均一な厚さのレジスト層46bを、第4半導体層12c対応箇所のゲート電極形成用に相対的に薄い均一な厚さのレジスト層46cをそれぞれ形成する。

[0271] より具体的に述べると、第1半導体層12a対応箇所におけるゲート電極形成領域に対しては、そのドレイン領域形成予定側に厚膜部47aを、そのソース領域形成予定側に薄膜部47bを有し、且つ形成予定のゲート電極15aよりも若干幅広なレジスト層46aを形成する。第2半導体層12d対

応箇所全領域に対しては、上記厚膜部47aと同程度の均一な厚さのレジスト層46dを形成する。第3半導体層12b対応箇所におけるゲート電極形成領域に対しては、形成予定のゲート電極15bよりも若干幅広で上記厚膜部47aと同程度の均一な厚さのレジスト層46bを形成する。また、第4半導体層12c対応箇所におけるゲート電極形成領域に対しては、形成予定のゲート電極15cよりも若干幅広で上記薄膜部47bと同程度の均一な厚さのレジスト層46cを形成する。これらレジスト層46a、46d、46b、46cは第1のレジストパターンP1を構成する。

[0272] そして、これらレジスト層46a、46d、46b、46cをマスクとして、上記導電膜44を等方性を有するウェットエッチングでパターニングすることにより、図46(b)に示すように、第1半導体層12a対応箇所、第3半導体層12b対応箇所及び第4半導体層12c対応箇所にゲート電極15a、15b、15cをそれぞれ形成する（導電膜パターニングステップ）。

[0273] このとき、エッチング時間を調整して、サイドエッチングにより、各レジスト層46a、46b、46cの周縁部に重なる導電膜44部分までも除去し、各ゲート電極15a、15b、15cを各レジスト層46a、46b、46c内側に後退させて対応するレジスト層46a、46b、46cよりも幅狭に形成する。これにより、各レジスト層46a、46b、46cには、ゲート電極15a、15b、15cの両側方に庇状に張り出した張出部48がそれぞれ構成される。

[0274] <n型高濃度不純物領域形成工程>

上記レジスト層46a、46b、46c、46cをアッシングにより表面側から除去に後退させて、図47(a)に示すように、薄膜部47b及びレジスト層46cの全体が除去された時点でアッシングを止める（薄膜部除去ステップ）。

[0275] これにより、レジスト層46aについては、薄膜部47bを完全に除去すると共に、厚膜部47aを薄膜化して残し、ゲート電極15aの片側側部だ

けに張出部48が張り出す形状にする。レジスト層46d, 46bについては、その全体を薄膜化して残す。また、レジスト層46cについては、その全体を完全に除去する。この段階で残されたレジスト層46a, 46d, 46bは第2のレジストパターンP2を構成する。

[0276] 次いで、薄膜化した厚膜部構成部分からなるレジスト層46a及びゲート電極15aをマスクとして第1半導体層12aに、薄膜化したレジスト層46bをマスクとして第3半導体層12bに、ゲート電極15bをマスクとして第4半導体層12cに、イオンドーピング法により、図47(b)に示すように、n型不純物としてリン(P)を高濃度にそれぞれ注入する(不純物注入ステップ; 高濃度不純物注入ステップ)。

[0277] これにより、第1半導体層12aには、ゲート電極15a対応箇所がなすチャネル領域形成部分13c'の一方側(図47(b)で右側)に該チャネル領域形成部分13c'と間隔をあけずにソース領域として機能するn型高濃度不純物領域13nsが形成されると共に、チャネル領域形成部分13c'の他方側(図47(b)で左側)に該チャネル領域形成部分13c'からレジスト層46aの張出部48の張り出し部分に相当する間隔をあけてドレイン領域として機能するn型高濃度不純物領域13ndが形成される。そして、第1半導体層12aにおけるドレイン領域として機能するn型高濃度不純物領域13ndとチャネル領域形成部分13c'の間には、不純物が注入されていないオフセット領域13oが形成される。

[0278] 一方、第3半導体層13bには、ゲート電極15b対応箇所がなすチャネル領域形成部分13c'の両側方に該チャネル領域形成部分13c'からレジスト層46bの張出部48の張り出し分に相当する間隔をあけてn型高濃度不純物領域が13ns, 13nd形成される。そして、第3半導体層12bにおけるチャネル領域形成部分13'と各n型高濃度不純物領域13ns, 13ndとの間には、不純物が注入されていないオフセット領域13oが形成される。

[0279] また、第4半導体層12cには、ゲート電極15c対応箇所の両側方に該

ゲート電極 15 c 対応箇所と間隔をあけずにソース領域及びド레인領域として機能する n 型高濃度不純物領域 13 n s, 13 n d が形成される。そして、第 4 半導体層 12 c には、ゲート電極 15 c 対応箇所にチャネル領域 13 c が自己整合的に形成される。

[0280] <n 型低濃度不純物領域形成工程>

上記のように第 1 半導体層 12 a、第 3 半導体層 12 c 及び第 4 半導体層 12 b に n 型高濃度不純物領域 12 n s, 12 n d をそれぞれ形成した後、残りのレジスト層 46 a, 46 d, 46 b をレジスト剥離液やアッシングなどにより除去する（第 3 レジスト層除去ステップ；レジスト層除去ステップ）。

[0281] そして、ゲート電極 15 a, 15 b, 15 c, 15 d をマスクとして第 1 半導体層 12 a、第 2 半導体層 12 d、第 3 半導体層 12 b 及び第 4 半導体層 12 c に対し、イオンドーピング法により、図 48 に示すように、n 型不純物としてリン（P）を低濃度に注入する（低濃度不純物注入ステップ）。

[0282] これにより、第 1 半導体層 12 a、第 3 半導体層 12 b 及び第 4 半導体層 12 c の各 n 型高濃度不純物領域 13 n s, 13 n d にリン（P）が追加で注入される。それと共に、第 1 半導体層 12 a 及び第 3 半導体層 12 b における各オフセット領域 13 o にもリン（P）が注入されて、該各オフセット領域 13 o に n 型低濃度不純物領域 13 n l が形成される。そして、第 1 半導体層 12 a 及び第 3 半導体層 2 b のゲート電極 15 a, 15 b 対応箇所には、チャネル領域 13 c が自己整合的にそれぞれ形成される。

[0283] このとき、第 2 半導体層 12 d の各 p 型高濃度不純物領域 13 p h にもリン（P）が注入されるが、低濃度のため該各 p 型高濃度不純物領域 13 p h の特性にさして影響はない。

[0284] <層間絶縁膜形成工程以降の各工程>

上記 n 型低濃度不純物領域形成工程の後に、上記実施形態 1 と同様にして、図 49（a），（b）に示すように、層間絶縁膜形成工程及びソース・ド레인電極形成工程を順に行い、さらにその後に保護絶縁膜形成工程も行う

。

[0285] 以上の各工程を行うことによって、片側LDD構造のTFT20LNa、両側LDD構造のTFT20LNb、ノーマル構造のn型TFT20NN及びp型TFT20NPを備えた半導体装置Sを製造することができる。

[0286] ー実施形態4の効果ー

この実施形態4によると、上記実施形態1と同様の効果を得ることができる上に、片側LDD構造のn型TFT20LNaと両側LDD構造のn型TFT20LNbとノーマル構造のn型TFT20NNとノーマル構造のp型TFT20NPとを併せて同一基板10上に形成することができる。これら両LDD構造のn型TFT20LNa、20LNbとノーマル構造のn型TFT20NN及びp型TFT20NPとの組合せにより、形成可能な回路の種類がノーマル構造のp型TFTが加わった分だけ上記実施形態3よりもさらに増えるので、回路設計上の自由度を可及的に高くすることができる。

[0287] しかも、n型TFT20LNa、20LNb、20NNとp型TFTNPとを組み合わせることでCMOSを構成することができるので、半導体装置Sにおいて、消費電力を低減し、且つ各種回路を省スペース設計で実現できると共に、優れた性能を有する半導体装置Sを実現することができる。

[0288] 《実施形態4の変形例》

図50は、この変形例に係る半導体装置Sが備える片側オフセット構造のn型TFT20ONa、両側オフセット構造のn型TFT20ONb、ノーマル構造のn型TFT20NN及びp型TFT20NPを図中左側から順にそれぞれ示す断面図である。

[0289] 本変形例の半導体装置Sは、図50に示すように、片側LDD構造のn型TFT20LNaに代えて片側オフセット構造のn型TFT20ONaを、両側LDD構造のn型TFT20LNbに代えて両側LDD構造のn型TFT20ONbを備えている。

[0290] 片側オフセット構造のTFT20ONaは、上記実施形態1の変形例で説明した同構造のTFT20ONaと同じ構成である。両側オフセット構造の

n型TF T 2 0 0 N bは、上記実施形態2の変形例で説明した同構造のn型TF T 2 0 0 N bと同じ構成である。

[0291] －製造方法－

上記のような片側オフセット構造のn型TF T 2 0 0 N a、両側オフセット構造のTF T 2 0 0 N b、ノーマル構造のn型TF T 2 0 N N及びp型TF T 2 0 N Pを備えた半導体装置Sを製造する方法について、図5 1 (a)、(b)及び図5 2 (a)、(b)を参照しながら一例を挙げて説明する。

[0292] 図5 1 (a)、(b)は、n型高濃度不純物領域形成工程を示す断面図である。図5 2 (a)、(b)は、層間絶縁膜形成工程以降の各工程を示す断面図である。なお、これら図5 1 (a)、(b)及び図5 2 (a)、(b)は、図5 0対応箇所をそれぞれ示している。

[0293] この変形例に係る半導体装置Sの製造方法は、下地絶縁膜形成工程と、半導体層形成工程と、ゲート絶縁膜成膜工程と、導電型調整工程と、第1のゲート電極形成工程と、p型高濃度不純物領域形成工程と、第2のゲート電極形成工程と、n型高濃度不純物領域形成工程と、層間絶縁膜形成工程と、ソース・ドレイン電極形成工程と、保護絶縁膜形成工程とを含むが、n型低濃度不純物領域工程を含まない。

[0294] 上記下地絶縁膜形成工程と、半導体層形成工程、ゲート絶縁膜成膜工程、導電型調整工程、第1のゲート電極形成工程、p型高濃度不純物領域形成工程及び第2のゲート電極形成工程については、上記実施形態4と同様であるので、その詳細な説明を省略する。

[0295] ＜n型高濃度不純物領域形成工程＞

第2のゲート電極形成工程にて各ゲート電極1 5 a、1 5 b、1 5 cを形成した後に、レジスト層4 6 a、4 6 d、4 6 b、4 6 cをアッシングにより表面側から徐々に後退させて、図5 1 (a)に示すように、薄膜部4 7 b及びレジスト層4 6 cの全体が除去された時点でアッシングを止める（薄膜部除去ステップ）。

[0296] これにより、レジスト層4 6 aについては、薄膜部4 7 bを完全に除去す

ると共に、厚膜部47aを薄膜化して残し、ゲート電極15aの片側側部だけに張出部48が張り出す形状にする。レジスト層46d, 46bについては、その全体を薄膜化して残す。また、レジスト層46cについては、その全体を完全に除去する。この段階で残されたレジスト層46a, 46d, 46bは第2のレジストパターンP2を構成する。

[0297] 次いで、薄膜化した厚膜部構成部分からなるレジスト層46a及びゲート電極15aをマスクとして第1半導体層12aに、薄膜化したレジスト層46bをマスクとして第3半導体層12bに、ゲート電極15cをマスクとして第4半導体層12cに対し、イオンドーピング法により、図51(b)に示すように、n型不純物としてリン(P)を高濃度にそれぞれ注入する(不純物注入ステップ)。

[0298] これにより、第1半導体層12aにおけるレジスト層46a及びゲート電極15a対応箇所の両側方には、ソース領域及びドレイン領域として機能するn型高濃度不純物領域13ns, 13ndが形成される。このとき、ドレイン領域として機能するn型高濃度不純物領域13ndは、ゲート電極15a対応箇所からレジスト層46aの張出部48の張り出し分に相当する間隔をあけて形成される。それと共に、第1半導体層12aのゲート電極15a対応箇所にチャネル領域13cが、該チャネル領域13cとドレイン領域として機能するn型高濃度不純物領域13ndとの間にオフセット領域13oがそれぞれ形成される。

[0299] 一方、第3半導体層12bにおけるレジスト層46b対応箇所の両側方にも、ソース領域及びドレイン領域として機能するn型高濃度不純物領域13ns, 13ndが形成される。このとき、両n型高濃度不純物領域13ns, 13ndは、ゲート電極対応箇所からレジスト層46bの張出部48の張り出し分に相当する間隔をあけて形成される。それと共に、第3半導体層12bのゲート電極15b対応箇所にチャネル領域13cが、該チャネル領域13cと各n型高濃度不純物領域13ns, 13ndとの間にオフセット領域13oがそれぞれ形成される。

[0300] また、第4半導体層12cには、ゲート電極15c対応箇所の両側方に該ゲート電極15c対応箇所と間隔をあけずにソース領域及びド레인領域として機能するn型高濃度不純物領域13ns, 13ndが形成される。そして、第4半導体層12cのゲート電極15c対応箇所には、チャネル領域13cが自己整合的に形成される。

[0301] しかる後、残りのレジスト層46a, 46d, 46bをレジスト剥離液やアッシングなどにより除去する（第3レジスト層除去ステップ；レジスト層除去ステップ）。

[0302] <層間絶縁膜形成工程以降の各工程>

上記n型低濃度不純物領域形成工程の後に、上記実施形態1と同様にして、図52(a), (b)に示すように、層間絶縁膜形成工程及びソース・ド레인電極形成工程を順に行い、さらにその後に保護絶縁膜形成工程も行う。

[0303] 以上のようにして、第1半導体層12a及び第3半導体層12bの各オフセット領域13oに対し、n型高濃度不純物領域13ns, 13nd形成後の各工程においても不純物を注入しないで、片側オフセット構造のn型TF T200Na、両側オフセット構造のn型TF T200Nb、ノーマル構造のn型TF T200NN及びp型TF T200NPを備える半導体装置Sを製造することができる。

[0304] ー実施形態4の変形例の効果ー

この変形例によれば、上記実施形態4と同様の効果を得ることができる上に、第1半導体層12a及び第3半導体層12bの各オフセット領域13oへの不純物注入（低濃度不純物注入ステップ）が不要であるので、上記実施形態4の如く片側LDD構造のn型TF T200La及び両側LDD構造のTF T200Lbを形成する場合に比べて、工程数を良好に抑えて、より安価に半導体装置Sを製造することができる。

[0305] 《その他の実施形態》

上記実施形態1～4及びこれらの変形例について、以下のように変更して

もよい。

[0306] <半導体装置Sの構成>

上記実施形態3では、半導体装置Sが片側LDD構造のn型TF T 2 0 L N a及び両側LDD構造のn型TF T 2 0 L N bに加えてノーマル構造のn型TF T 2 0 N Nを備えているとしたが、本発明はこれに限らず、半導体装置Sは、片側LDD構造のn型TF T 2 0 L N a及びノーマル構造のn型TF T 2 0 N Nのみで構成されていてもよい。

[0307] また、上記実施形態4では、半導体装置Sが片側LDD構造のn型TF T 2 0 L N a、両側LDD構造のn型TF T 2 0 L N b及びノーマル構造のn型TF T 2 0 N Nに加えて、ノーマル構造のp型TF T 2 0 N Pを備えているとしたが、本発明はこれに限らない。例えば、半導体装置Sは、片側LDD構造のn型TF T 2 0 L N a、ノーマル構造のn型TF T 2 0 N N及びp型TF T 2 0 N Pのみで構成されていてもよく、片側LDD構造のn型TF T 2 0 L N a、両側LDD構造のn型TF T 2 0 L N b及びノーマル構造のp型TF T 2 0 N Pのみで構成されていても構わない。

[0308] <多階調マスクの構成>

上述したアクティブマトリクス基板1の製造方法では、多階調マスクとして、半透過部63に多数の遮光層65がストライプ状に配列されたグレートーンマスク60を用いるとしたが、本発明はこれに限らない。

[0309] 例えば、グレートーンマスク60の半透過部63は、遮光層が網目状に形成されていてもよい。また、グレートーンマスク60に代えて、多階調マスクとして、半透過膜を利用して中間露光を行うハーフトーンマスクを用いても構わない。

[0310] <不純物及びその注入法>

上記不純物準位調整工程、導電型調整工程、n型又はp型高濃度不純物領域形成工程、及びn型低濃度不純物領域形成工程では、イオンドーピング法により不純物を注入するとしたが、本発明はこれに限らず、イオンシャワードーピング法などの他の公知の方法により不純物を注入してもよい。

[0311] また、上記不純物準位調整工程、導電型調整工程、*n*型又は*p*型高濃度不純物領域形成工程、及び*n*型低濃度不純物領域形成工程では、*p*型不純物としてボロン（B）を、*n*型不純物としてリン（P）をそれぞれ用いたが、本発明はこれに限らず、*p*型不純物としてはガリウム（Ga）などのボロン（B）以外の*p*型不純物を用いてもよく、*n*型不純物としてはヒ素（As）などのリン（P）以外の*n*型不純物を用いても構わない。

[0312] 以上、本発明の好ましい実施形態及びその変形例について説明したが、本発明の技術的範囲は上記の実施形態及び変形例の範囲に限定されない。上記実施形態及び変形例が例示であり、それらの各構成要素や各処理プロセスの組合せに、さらにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0313] 例えば、上記実施形態1では、半導体装置Sが、アクティブマトリクス駆動方式の液晶表示装置を構成するアクティブマトリクス基板に適用されることを例示したが、これに限らない。本発明に係る半導体装置Sは、液晶表示装置だけでなく、有機EL表示装置やプラズマ表示装置などの各種表示装置にも適用することができる。さらにその他にも、メモリデバイスやイメージセンサーなどにも適用することができ、TFTを備える半導体装置であれば広く適用することが可能である。

産業上の利用可能性

[0314] 以上説明したように、本発明は、片側LDD構造あるいは片側オフセット構造のTFTを備える半導体装置の製造方法について有用であり、特に、片側LDD構造あるいは片側オフセット構造のTFTにおいて良好な特性を安定して得ると共に、該TFTを備えた半導体装置を少ない枚数のフォトリソで工程数を抑えて低コストに製造することが要望される半導体装置の製造方法に適している。

符号の説明

[0315] S 半導体装置
10 絶縁性基板（ベース基板）

1 2 a	第 1 半導体層
1 2 b	第 2 半導体層
1 2 c	第 3 半導体層
1 2 d	第 4 半導体層
1 3 c	チャネル領域
1 3 n s, 1 3 n d	n 型高濃度不純物領域
1 3 n l	n 型低濃度不純物領域
1 3 p s, 1 3 p d	p 型高濃度不純物領域
1 4	ゲート絶縁膜
1 5 a、1 5 b、1 5 c、1 5 d	ゲート電極
4 0	アモルファスシリコン膜（半導体膜）
4 2	ポリシリコン膜（結晶質半導体膜）
4 4	ゲート電極形成用の導電膜
4 5	感光性樹脂膜、第 2 感光性樹脂膜
4 6 a	第 1 レジスト層
4 6 b	第 2 レジスト層
4 6 c	第 3 レジスト層
4 6 d	第 4 レジスト層
4 7 a	厚膜部
4 7 b	薄膜部
4 8	張出部
5 0	グレートーンマスク（多階調マスク）

請求の範囲

[請求項1]

ベース基板上に半導体膜を成膜し、該半導体膜をパターンニングすることにより、半導体層を形成する半導体層形成ステップと、

上記半導体層を覆うようにゲート絶縁膜を成膜するゲート絶縁膜成膜ステップと、

上記ゲート絶縁膜上にゲート電極形成用の導電膜を成膜する導電膜成膜ステップと、

上記導電膜上に感光性樹脂膜を成膜する感光性樹脂膜成膜ステップと、

上記感光性樹脂膜に対して照射される露光量を多階調マスクを用いて制御して露光処理を行った後に現像処理を行うことにより、上記感光性樹脂膜をパターンニングして、上記半導体層対応箇所の一部に対し、相対的に厚い厚膜部を一方側に、相対的に薄い薄膜部を他方側に有するレジスト層を形成する感光性樹脂膜パターンニングステップと、

上記レジスト層をマスクとして上記導電膜を等方性を有するエッチングでパターンニングすることにより、上記半導体層対応箇所に上記レジスト層よりも幅狭にゲート電極を形成すると共に、上記レジスト層に上記ゲート電極の両側方に庇状に張り出した張出部を構成する導電膜パターンニングステップと、

上記張出部を有するレジスト層を上記厚膜部構成部分である上記ゲート電極の片側側部だけに上記張出部が張り出す形状にする薄膜部除去ステップと、

上記薄膜部除去ステップの後に、上記レジスト層をマスクとして上記半導体層に対し、該半導体層の導電型とは異なる導電型の不純物を注入することにより、上記半導体層において、上記ゲート電極対応箇所の一侧方に該ゲート電極対応箇所から上記張出部の張り出し分に相当する間隔をあけて、上記ゲート電極対応箇所の他側方に該ゲート電極対応箇所と間隔をあけずに不純物注入領域をそれぞれ形成する不純

物注入ステップとを含む

ことを特徴とする半導体装置の製造方法。

[請求項2]

請求項1に記載の半導体装置の製造方法において、

上記不純物注入ステップでは、上記不純物注入領域を形成すると共に、上記半導体層における上記ゲート電極対応箇所にチャネル領域を、これら不純物注入領域とチャネル領域との間に上記不純物が注入されないオフセット領域を形成し、

上記オフセット領域には、上記不純物注入領域形成後の工程においても不純物を注入しない

ことを特徴とする半導体装置の製造方法。

[請求項3]

請求項1に記載の半導体装置の製造方法において、

上記不純物注入ステップを高濃度不純物注入ステップとし、

上記高濃度不純物注入ステップでは、上記不純物注入領域として高濃度不純物領域を形成し、

上記高濃度不純物注入ステップの後に、残りの上記レジスト層を除去するレジスト層除去ステップと、

上記レジスト層除去ステップの後に、上記ゲート電極をマスクとして上記半導体層に上記高濃度不純物注入ステップと同型の不純物を注入することにより、上記半導体層において、上記ゲート電極対応箇所にチャネル領域を、該チャネル領域の片側側方の上記高濃度不純物領域との間に低濃度不純物領域をそれぞれ形成する低濃度不純物注入ステップとをさらに含む

ことを特徴とする半導体装置の製造方法。

[請求項4]

ベース基板上に半導体膜を成膜し、該半導体膜をパターンニングすることにより、第1半導体層及び第2半導体層を形成する半導体層形成ステップと、

上記第1半導体層及び第2半導体層を覆うようにゲート絶縁膜を成膜するゲート絶縁膜成膜ステップと、

上記ゲート絶縁膜上にゲート電極形成用の導電膜を成膜する導電膜成膜ステップと、

上記導電膜上に感光性樹脂膜を成膜する感光性樹脂膜成膜ステップと、

上記感光性樹脂膜に対して照射される露光量を多階調マスクを用いて制御して、上記第1半導体層対応箇所の一部に対し、相対的に厚い厚膜部を一方側に、相対的に薄い薄膜部を他方側に有する第1レジスト層を形成すると共に、上記第2半導体層対応箇所の一部に上記薄膜部よりも厚い第2レジスト層を形成する感光性樹脂膜パターンニングステップと、

上記第1レジスト層及び第2レジスト層をマスクとして上記導電膜を等方性を有するエッチングでパターンニングすることにより、上記第1半導体層対応箇所及び第2半導体層対応箇所に、対応する上記第1レジスト層又は第2レジスト層よりも幅狭にゲート電極をそれぞれ形成すると共に、上記第1レジスト層及び第2レジスト層に上記ゲート電極の両側方に庇状に張り出した張出部をそれぞれ構成する導電膜パターンニングステップと、

上記第1レジスト層を上記厚膜部構成部分である上記ゲート電極の片側側部だけに上記張出部が張り出す形状にすると共に、上記第2レジスト層を薄膜化して残す薄膜部除去ステップと、

上記薄膜部除去ステップの後に、上記第1レジスト層をマスクとして上記第1半導体層に、上記第2レジスト層をマスクとして上記第2半導体層に、当該両半導体層の導電型とは異なる導電型の不純物をそれぞれ注入することにより、上記第1半導体層において、上記ゲート電極対応箇所の一側方に該ゲート電極対応箇所から上記張出部の張り出し分に相当する間隔をあけて、上記ゲート電極対応箇所の他側方に該ゲート電極対応箇所と間隔をあけずに不純物注入領域をそれぞれ形成すると共に、上記第2半導体層における上記ゲート電極対応箇所の

両側方に該ゲート電極対応箇所から上記張出部の張り出し分に相当する間隔をあけて不純物注入領域を形成する不純物注入ステップとを含む

ことを特徴とする半導体装置の製造方法。

[請求項5]

ベース基板上に半導体膜を成膜し、該半導体膜をパターンニングすることにより、第1半導体層及び第2半導体層を形成する半導体層形成ステップと、

上記第1半導体層及び第2半導体層を覆うようにゲート絶縁膜を成膜するゲート絶縁膜成膜ステップと、

上記ゲート絶縁膜上にゲート電極形成用の導電膜を成膜する導電膜成膜ステップと、

上記導電膜上に感光性樹脂膜を成膜する感光性樹脂膜成膜ステップと、

上記感光性樹脂膜に対して照射される露光量を多階調マスクを用いて制御して、上記第1半導体層対応箇所の一部に対し、相対的に厚い厚膜部を一方側に、相対的に薄い薄膜部を他方側に有する第1レジスト層を形成すると共に、上記第2半導体層対応箇所の一部に上記薄膜部と同等かそれ以下の厚さの第2レジスト層を形成する感光性樹脂膜パターンニングステップと、

上記第1レジスト層及び第2レジスト層をマスクとして上記導電膜を等方性を有するエッチングでパターンニングすることにより、上記第1半導体層対応箇所及び第2半導体層対応箇所に、対応する上記第1レジスト層及び第2レジスト層よりも幅狭にゲート電極をそれぞれ形成すると共に、上記第1レジスト層及び第2レジスト層に上記ゲート電極の両側方に庇状に張り出した張出部をそれぞれ構成する導電膜パターンニングステップと、

上記第1レジスト層を上記厚膜部構成部分である上記ゲート電極の片側側部だけに上記張出部が張り出す形状にすると共に、上記第2レ

ジスト層の全体を除去する薄膜部除去ステップと、

上記薄膜部除去ステップの後に、上記第1レジスト層をマスクとして上記第1半導体層に、上記ゲート電極をマスクとして上記第2半導体層に、当該両半導体層の導電型とは異なる導電型の不純物をそれぞれ注入することにより、上記第1半導体層において、上記ゲート電極対応箇所の一側方に該ゲート電極対応箇所から上記張出部の張り出し分に相当する間隔をあけて、上記ゲート電極対応箇所の他側方に該ゲート電極対応箇所と間隔をあけずに不純物注入領域をそれぞれ形成すると共に、上記第2半導体層における上記ゲート電極対応箇所の両側方に該ゲート電極対応箇所と間隔をあけずに不純物注入領域を形成する不純物注入ステップとを含むことを特徴とする半導体装置の製造方法。

[請求項6] 請求項1～5のいずれか1項に記載の半導体装置の製造方法において、

上記感光性樹脂膜パターンニングステップでは、上記多階調マスクとしてグレートーンマスクを用いることを特徴とする半導体装置の製造方法。

[請求項7] ベース基板上に半導体膜を成膜し、該半導体膜をパターンニングすることにより、第1半導体層及び第2半導体層を形成する半導体層形成ステップと、

上記第1半導体層及び第2半導体層を覆うようにゲート絶縁膜を成膜するゲート絶縁膜成膜ステップと、

上記第1半導体層及び第2半導体層の少なくとも一方に不純物を注入することにより、上記第1半導体層が第1導電型に、上記第2半導体層が第2導電型になるように上記第1半導体層及び第2半導体層の少なくとも一方が含有する不純物濃度を調整する導電型調整ステップと、

上記導電型調整ステップの後に上記ゲート絶縁膜上にゲート電極形

成用の導電膜を成膜する導電膜成膜ステップと、

上記導電膜上に第1感光性樹脂膜を成膜する第1感光性樹脂膜成膜ステップと、

上記第1感光性樹脂膜をパターンニングすることにより、上記第1半導体層対応箇所の全体に第1レジスト層を、上記第2半導体層対応箇所の一部に第2レジスト層をそれぞれ形成する第1感光性樹脂膜パターンニングステップと、

上記第1レジスト層及び第2レジスト層をマスクとして上記導電膜をエッチングでパターンニングすることにより、上記第2半導体層対応箇所にゲート電極を形成する第1の導電膜パターンニングステップと、

上記第2レジスト層をマスクとして上記第2半導体層に第1導電型の不純物を注入することにより、上記第2半導体層のゲート電極対応箇所にチャネル領域を、該チャネル領域の両側方に不純物注入領域をそれぞれ形成する一方、上記第1レジスト層をマスクとして上記第1半導体層には第1導電型の不純物を注入しないでおく第1導電型不純物注入ステップと、

上記第1導電型不純物注入ステップの後に上記第1レジスト層及び第2レジスト層を除去する第1及び第2レジスト層除去ステップと、

上記導電膜上に第2感光性樹脂膜を成膜する第2感光性樹脂膜成膜ステップと、

上記第2感光性樹脂膜に対して照射される露光量を多階調マスクを用いて制御して、上記第1半導体層対応箇所の一部に対し、相対的に厚い厚膜部を一方側に、相対的に薄い薄膜部を他方側に有する第3レジスト層を形成すると共に、上記第2半導体層対応箇所の全体に上記薄膜部よりも厚い第4レジスト層を形成する第2感光性樹脂膜パターンニングステップと、

上記第3レジスト層及び第4レジスト層をマスクとして上記導電膜を等方性を有するエッチングでパターンニングすることにより、上記第

1 半導体層対応箇所に上記第3レジスト層よりも幅狭にゲート電極を形成すると共に、上記第3レジスト層に上記ゲート電極の両側方に庇状に張り出した張出部をそれぞれ構成する第2の導電膜パターンニングステップと、

上記第2の導電膜パターンニングステップの後に、上記第3レジスト層を上記厚膜部構成部分である上記ゲート電極の片側側部だけに上記張出部が張り出す形状にすると共に、上記第4レジスト層を薄膜化して残す薄膜部除去ステップと、

上記薄膜部除去ステップの後に、上記第3レジスト層をマスクとして上記第1半導体層に第2導電型の不純物を注入することにより、上記第1半導体層において、上記ゲート電極対応箇所の一侧方に該ゲート電極対応箇所から上記張出部の張り出し分に相当する間隔をあけて、上記ゲート電極対応箇所の他側方に該ゲート電極対応箇所と間隔をあけずに不純物注入領域をそれぞれ形成する一方、上記第4レジスト層をマスクとして上記第2半導体層には第2導電型の不純物を注入しないで第2導電型不純物注入ステップとを含むことを特徴とする半導体装置の製造方法。

[請求項8]

請求項7に記載の半導体装置の製造方法において、

上記第2導電型不純物注入ステップを高濃度不純物注入ステップとし、

上記高濃度不純物注入ステップでは、上記不純物注入領域として高濃度不純物領域を形成し、

上記高濃度不純物注入ステップの後に、残りの上記第3レジスト層を除去する第3レジスト層除去ステップと、

上記第3レジスト層除去ステップの後に、上記ゲート電極をマスクとして上記第1半導体層に第2導電型の不純物を注入することにより、上記第1半導体層において、上記ゲート電極対応箇所にチャネル領域を、該チャネル領域の片側側方の上記高濃度不純物領域との間に低

濃度不純物領域をそれぞれ形成する低濃度不純物注入ステップとをさらに含む

ことを特徴とする半導体装置の製造方法。

[請求項9]

請求項7又は8に記載の半導体装置の製造方法において、

上記第2感光性樹脂膜パターンニングステップでは、上記多階調マスクとしてグレートンマスクを用いる

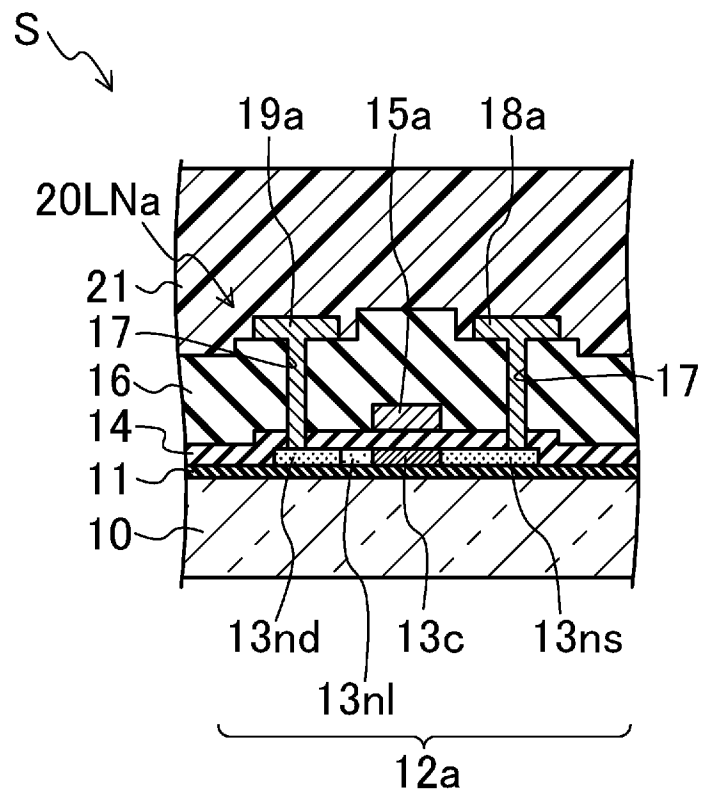
ことを特徴とする半導体装置の製造方法。

[請求項10]

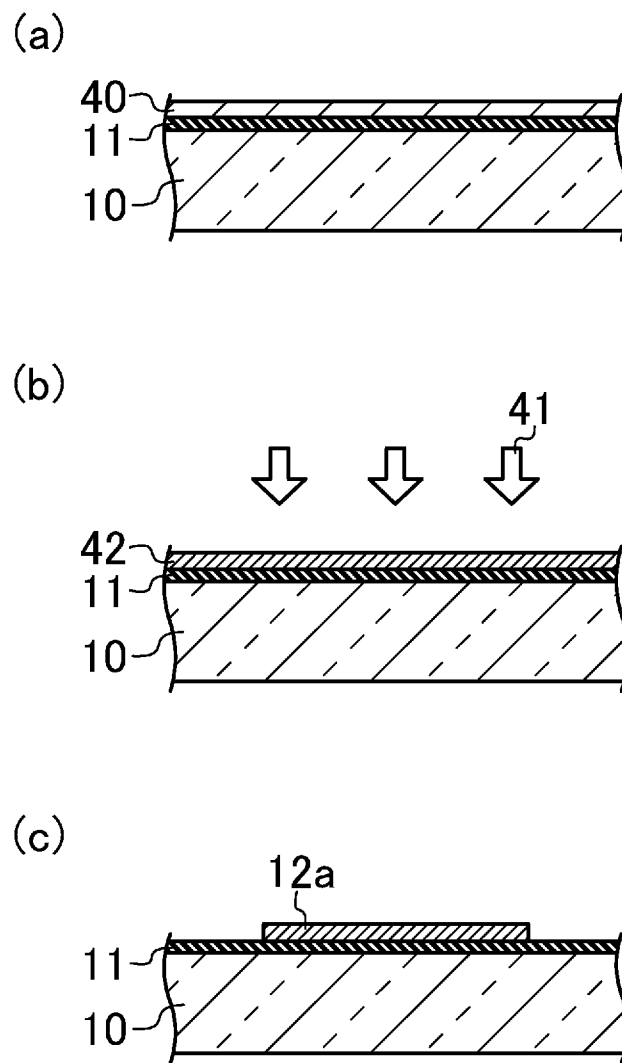
請求項1～9のいずれか1項に記載の半導体装置の製造方法において、

上記半導体層形成ステップでは、上記半導体膜を結晶化して結晶質半導体膜にする

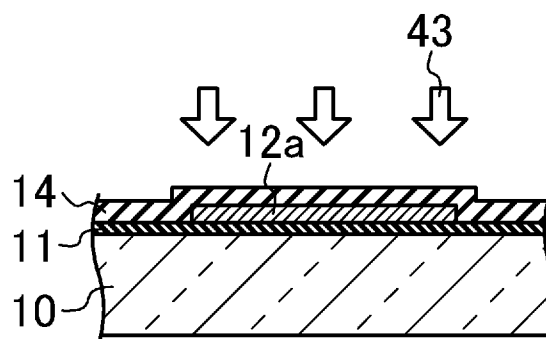
ことを特徴とする半導体装置の製造方法。

S

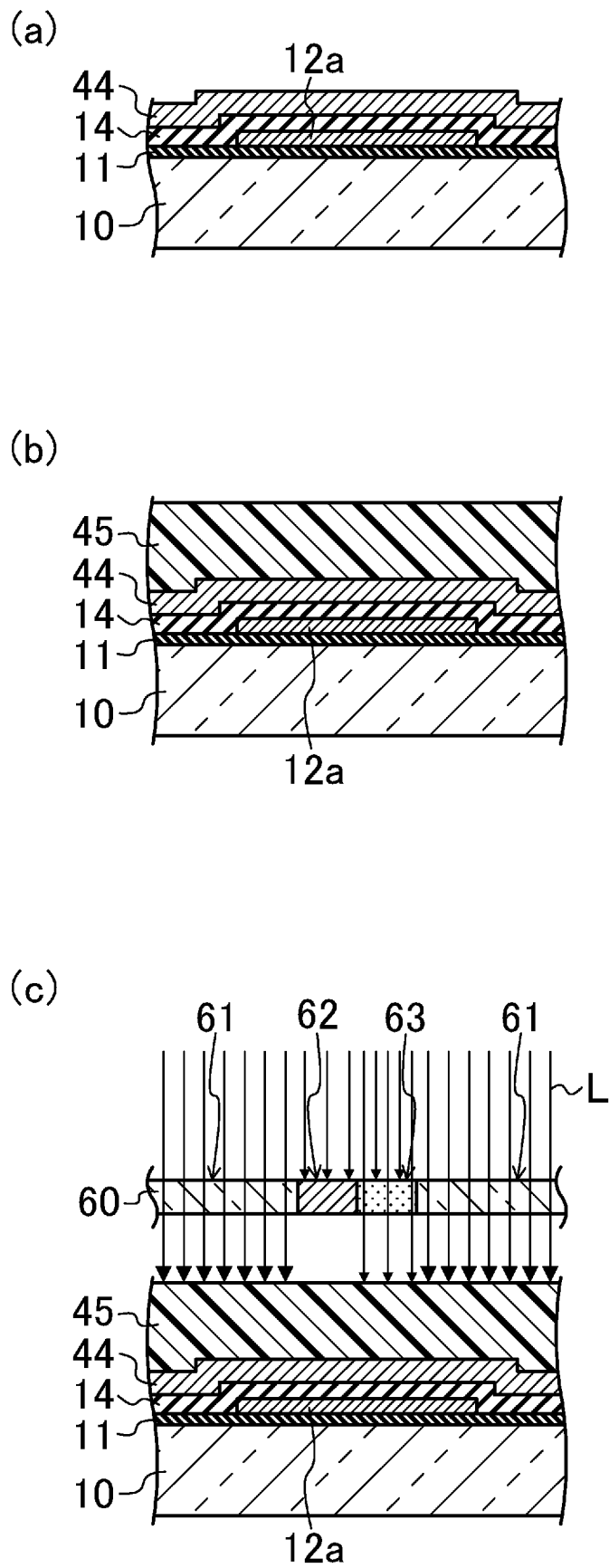
[図3]



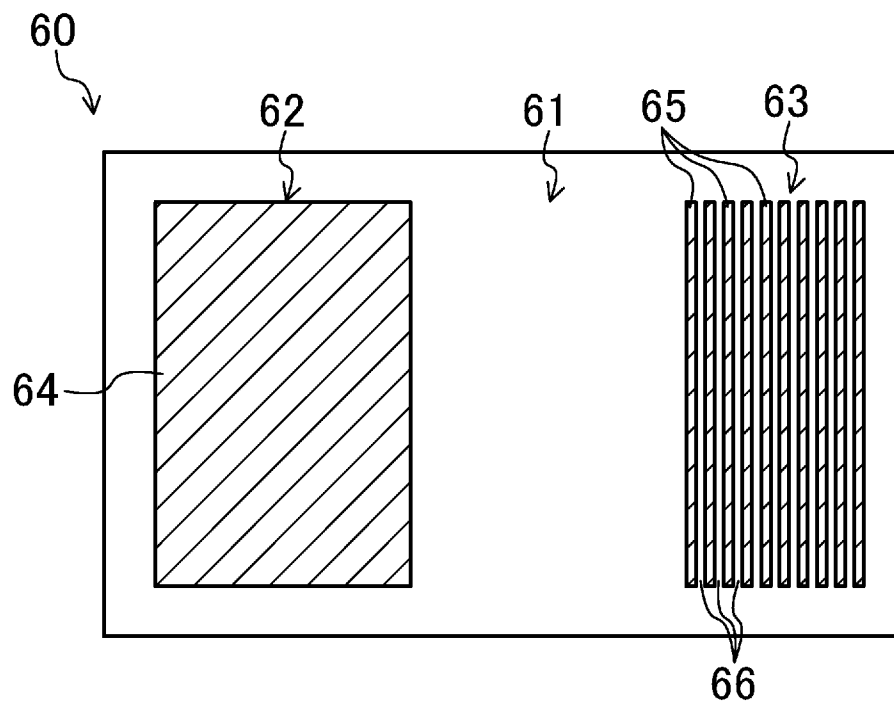
[図4]



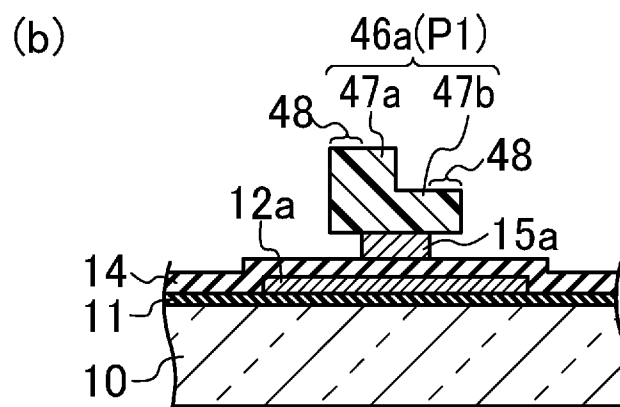
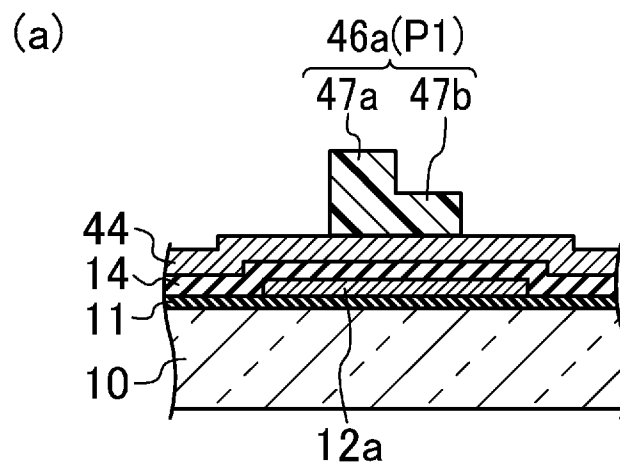
[図5]



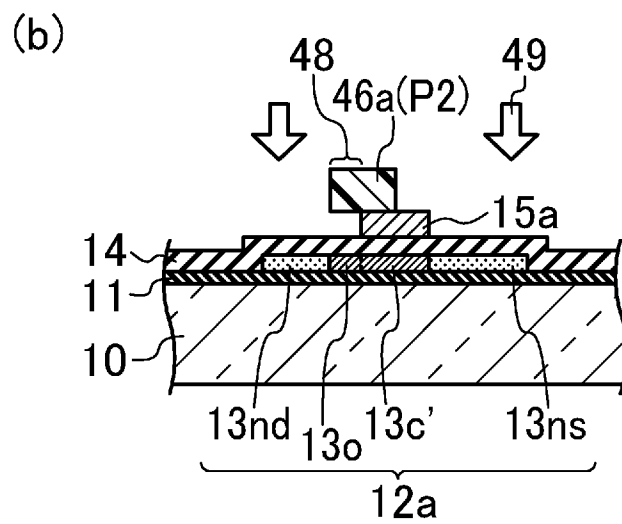
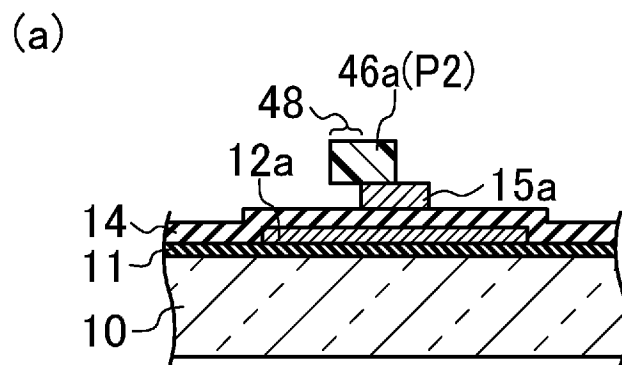
[図6]



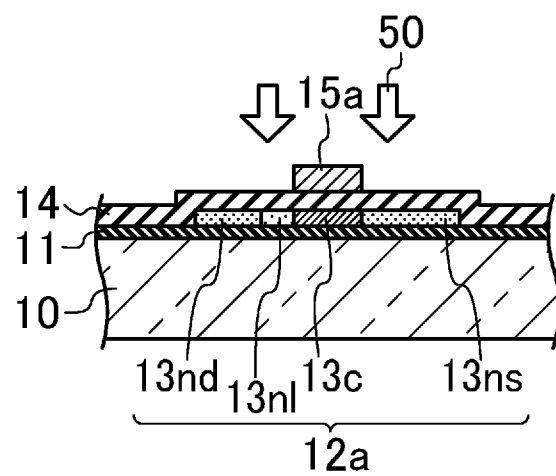
[図7]



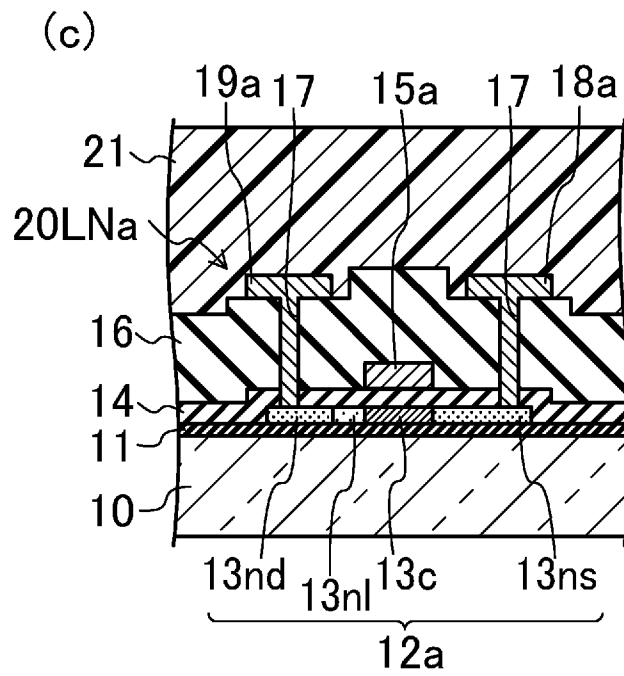
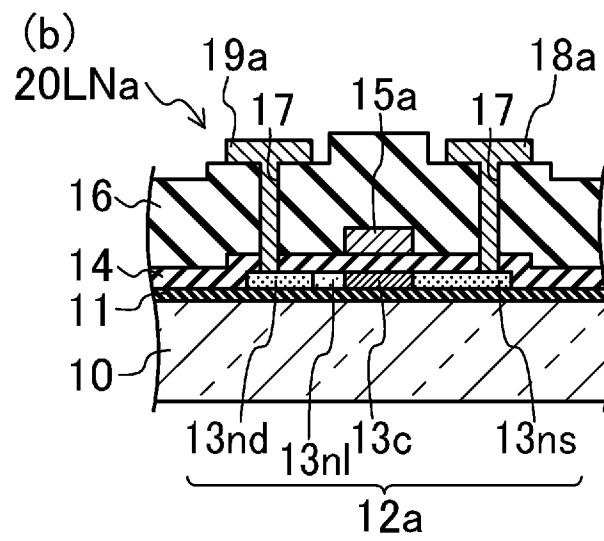
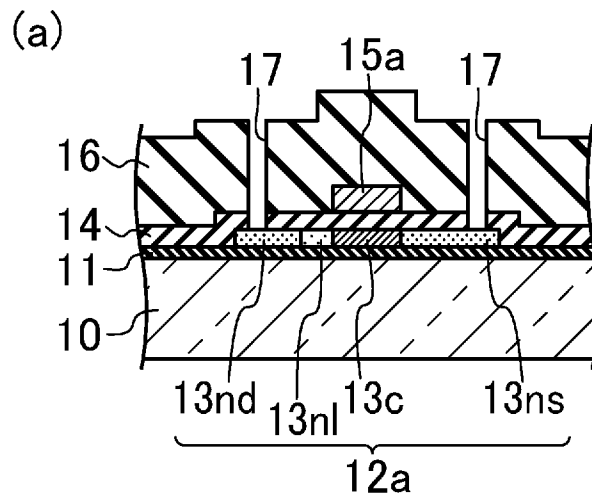
[図8]



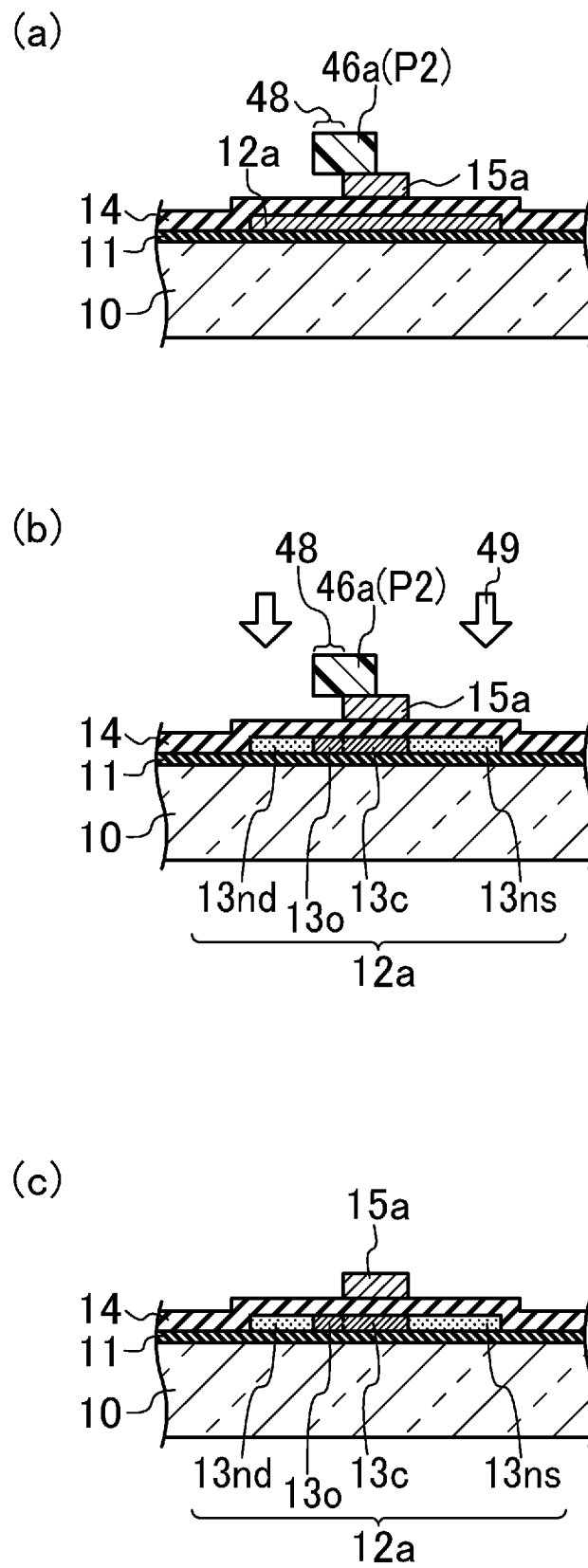
[図9]



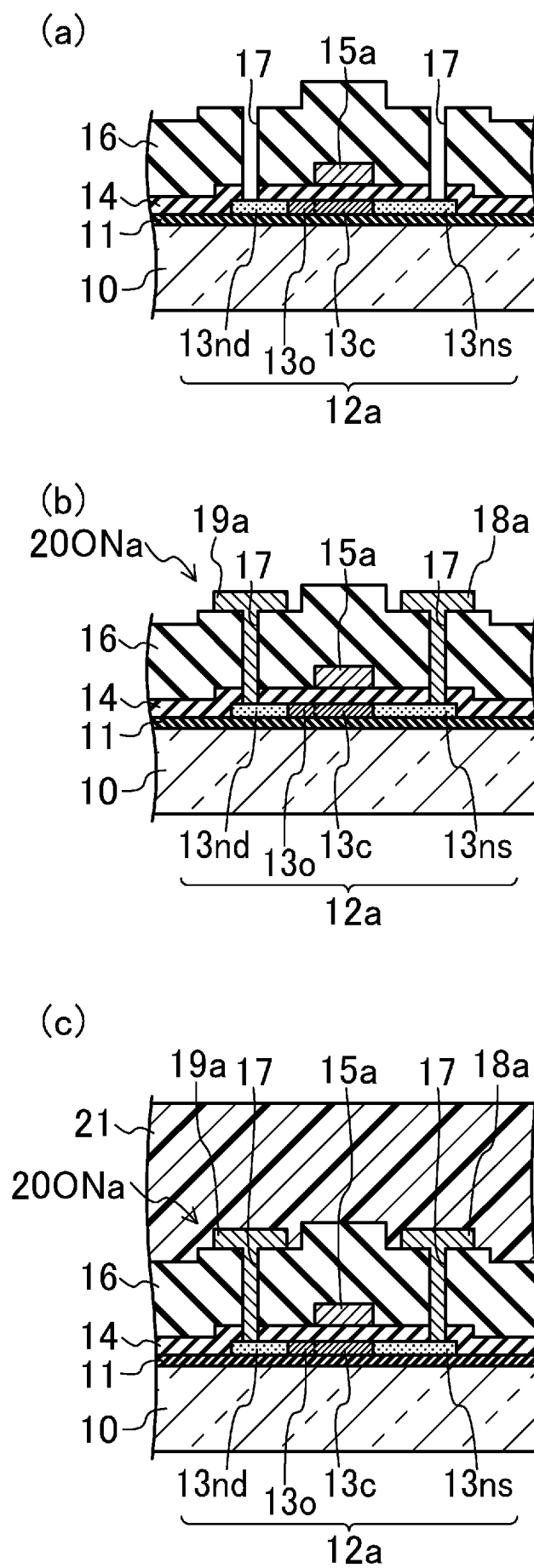
[図10]



[図12]



[図13]



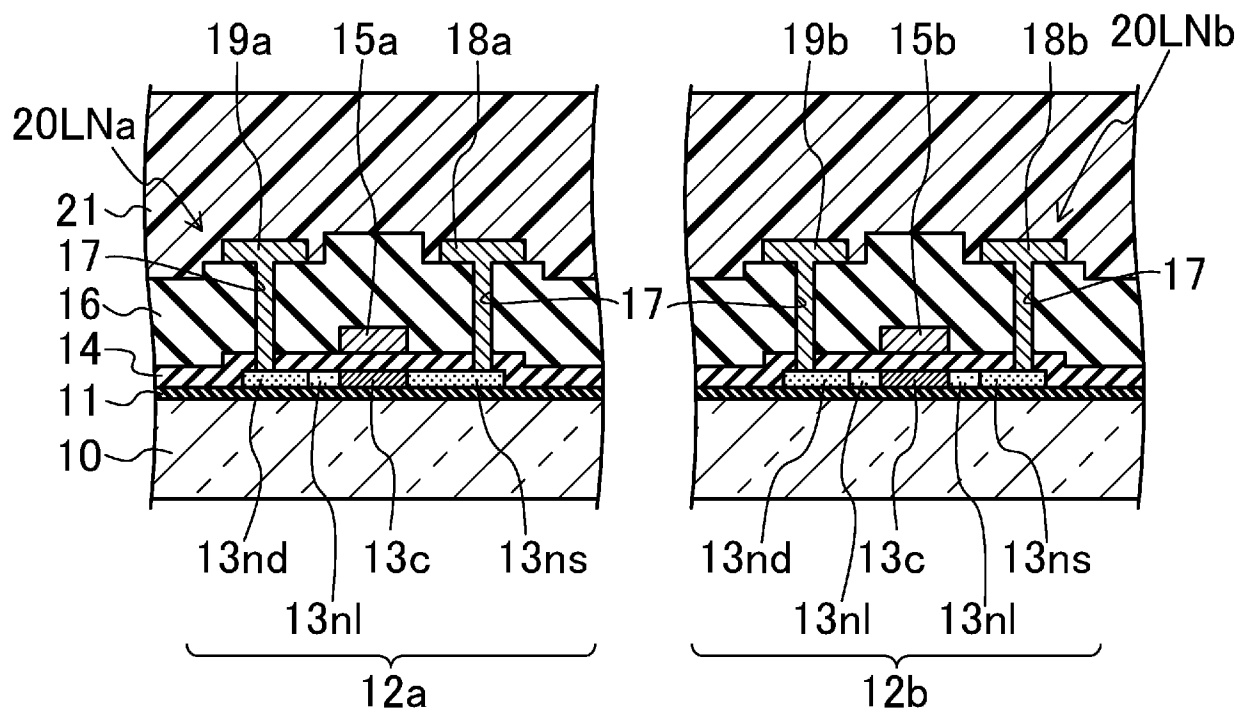
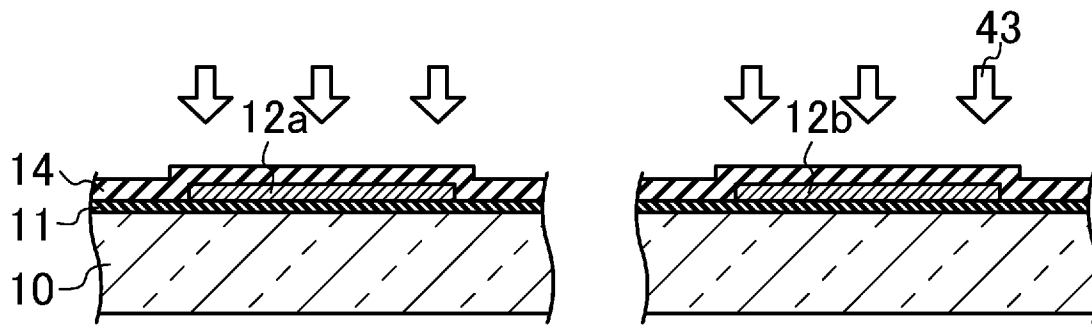
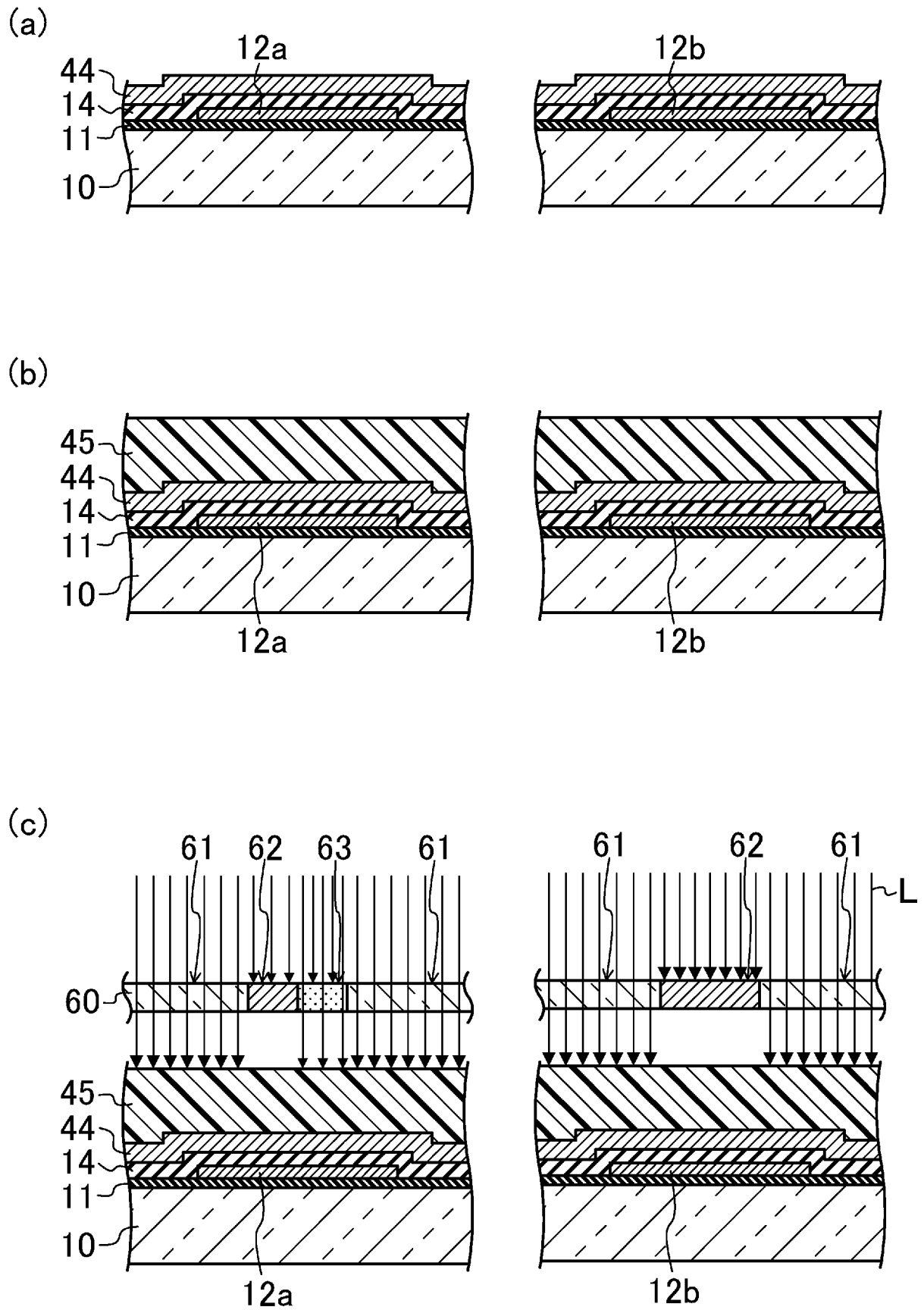
[illegible]S

Figure 2 shows two cross-sectional views of the semiconductor device. The left view, labeled 12a, shows a substrate 10 with a first layer 11 and a second layer 12a. The right view, labeled 12b, shows a substrate 10 with a first layer 11 and a second layer 12b. The layers 11 and 12a/b are shown with different hatching patterns to indicate they are different materials.

[図17]

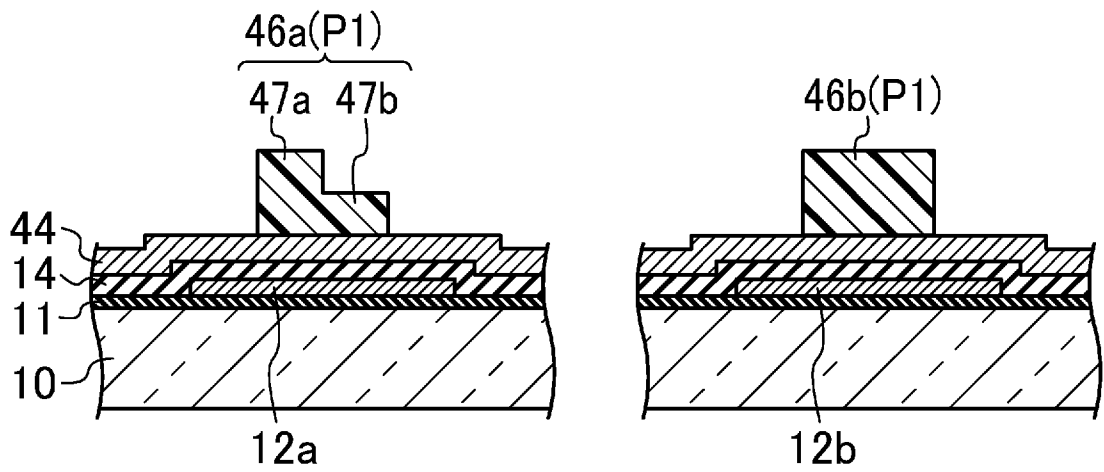


[図18]

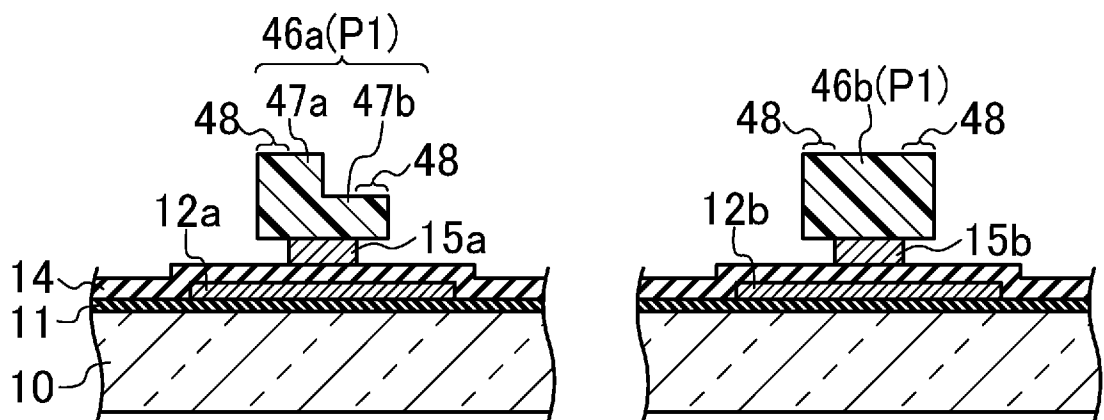


[図19]

(a)

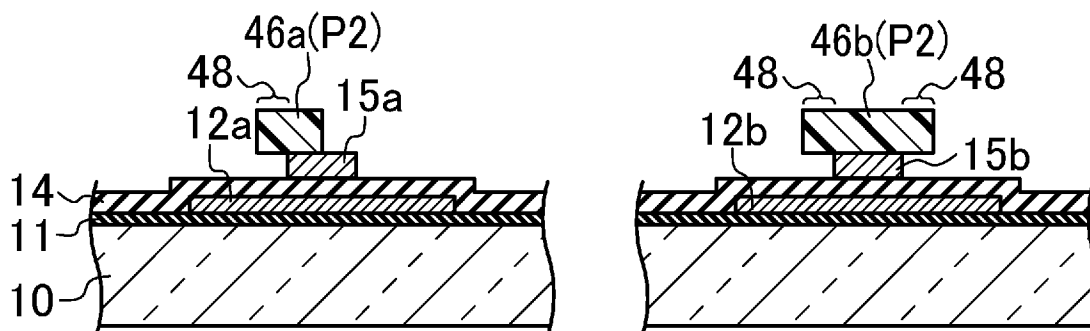


(b)

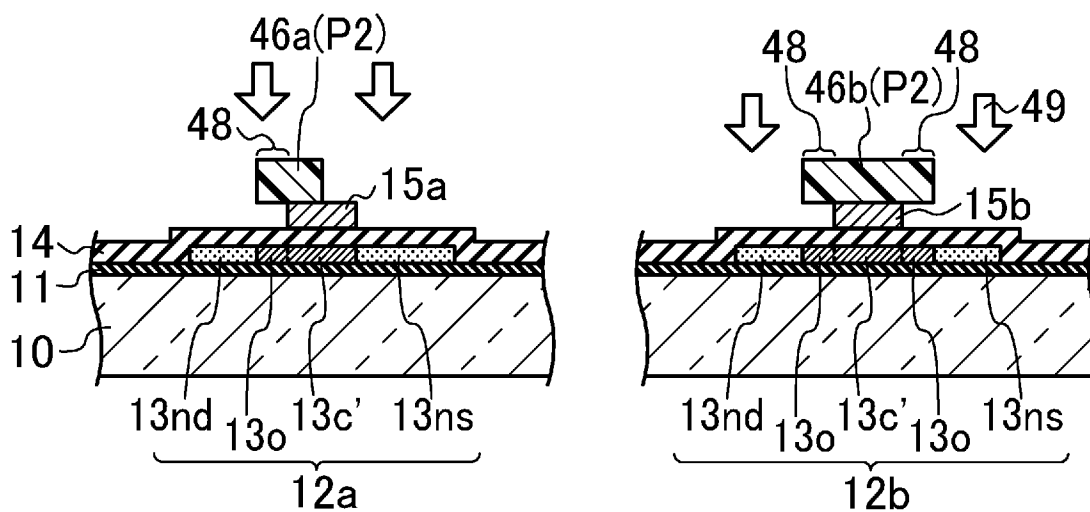


[図20]

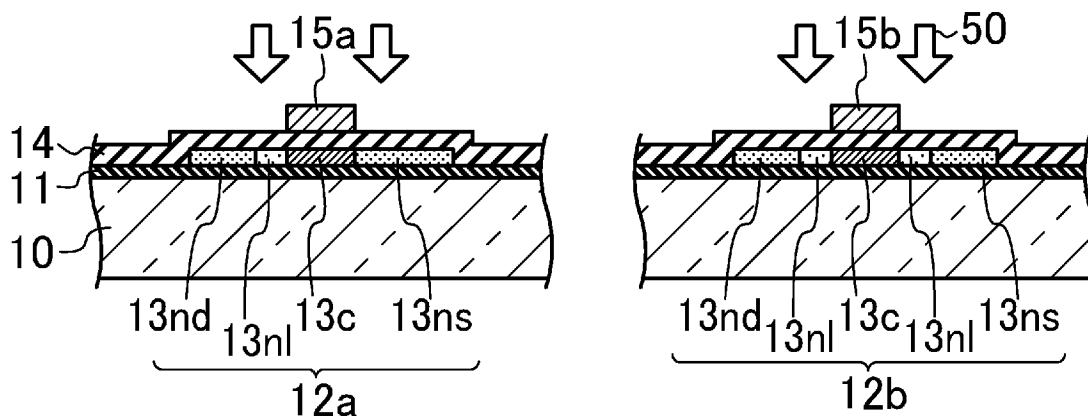
(a)



(b)

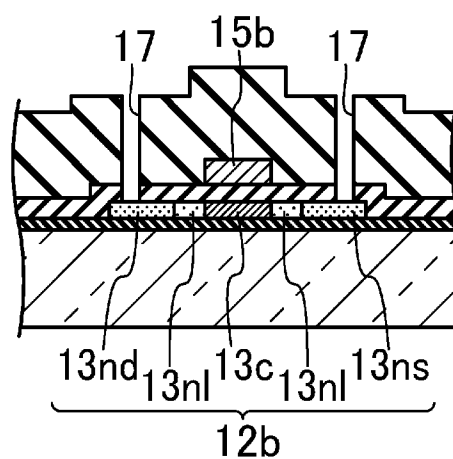
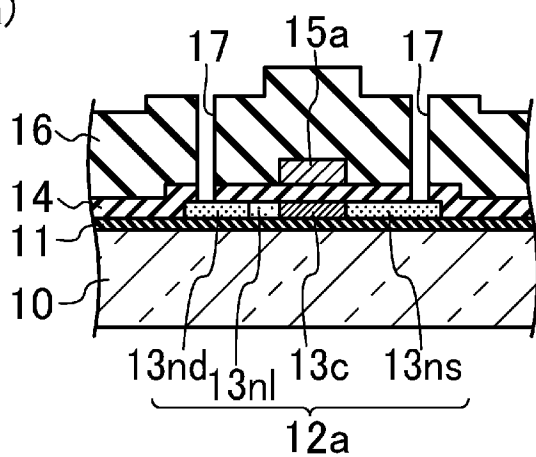


[図21]

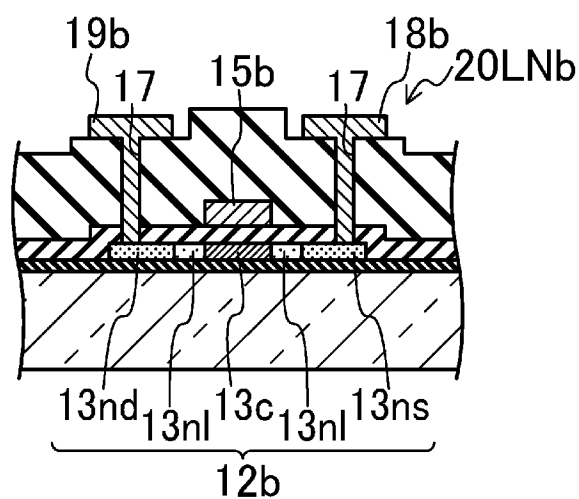
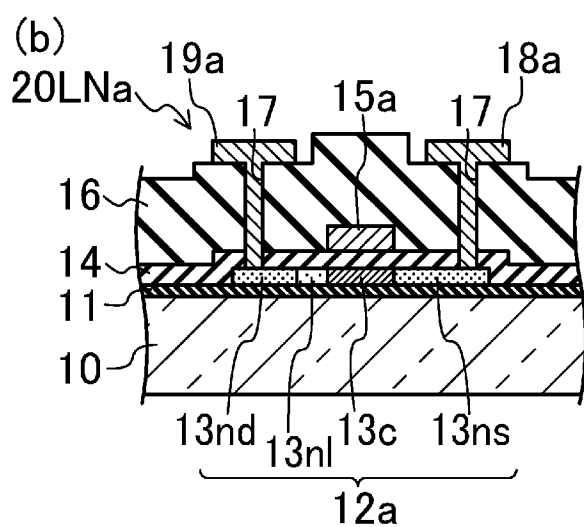


[図22]

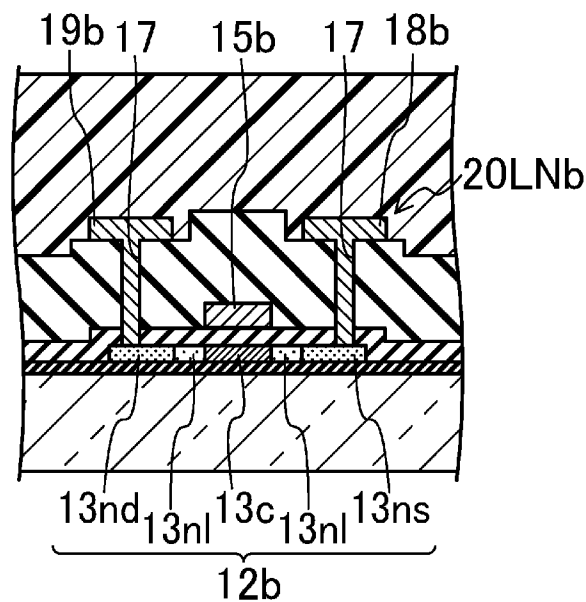
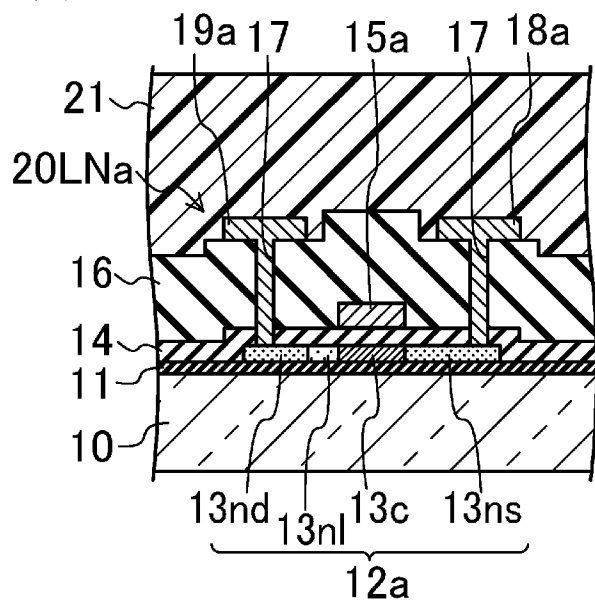
(a)



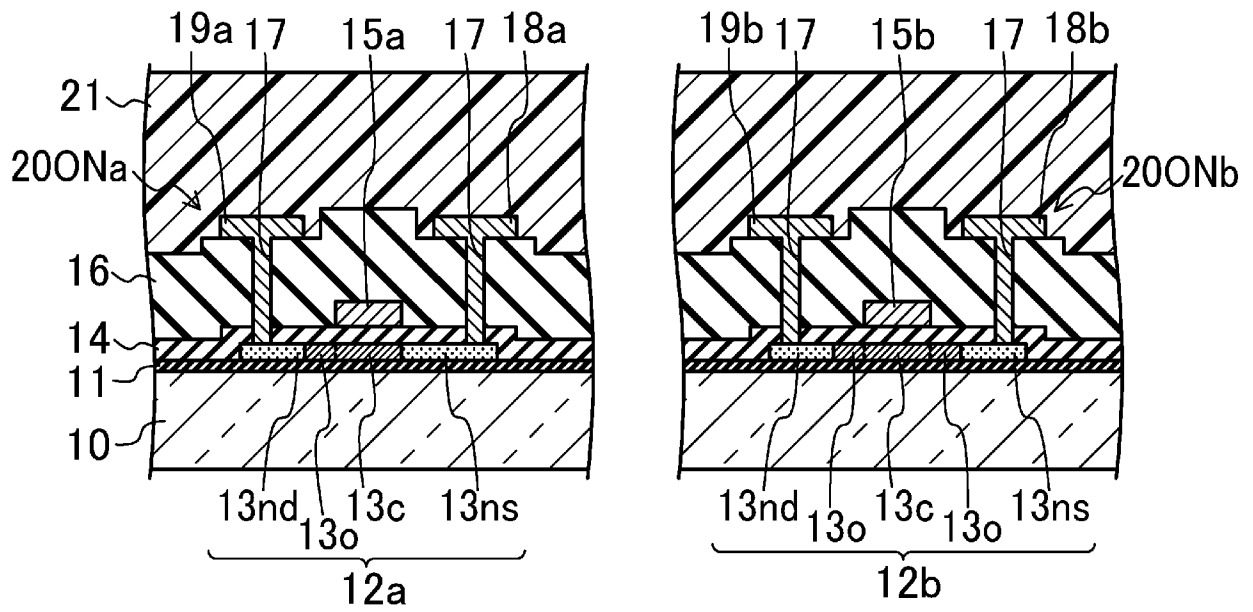
(b)



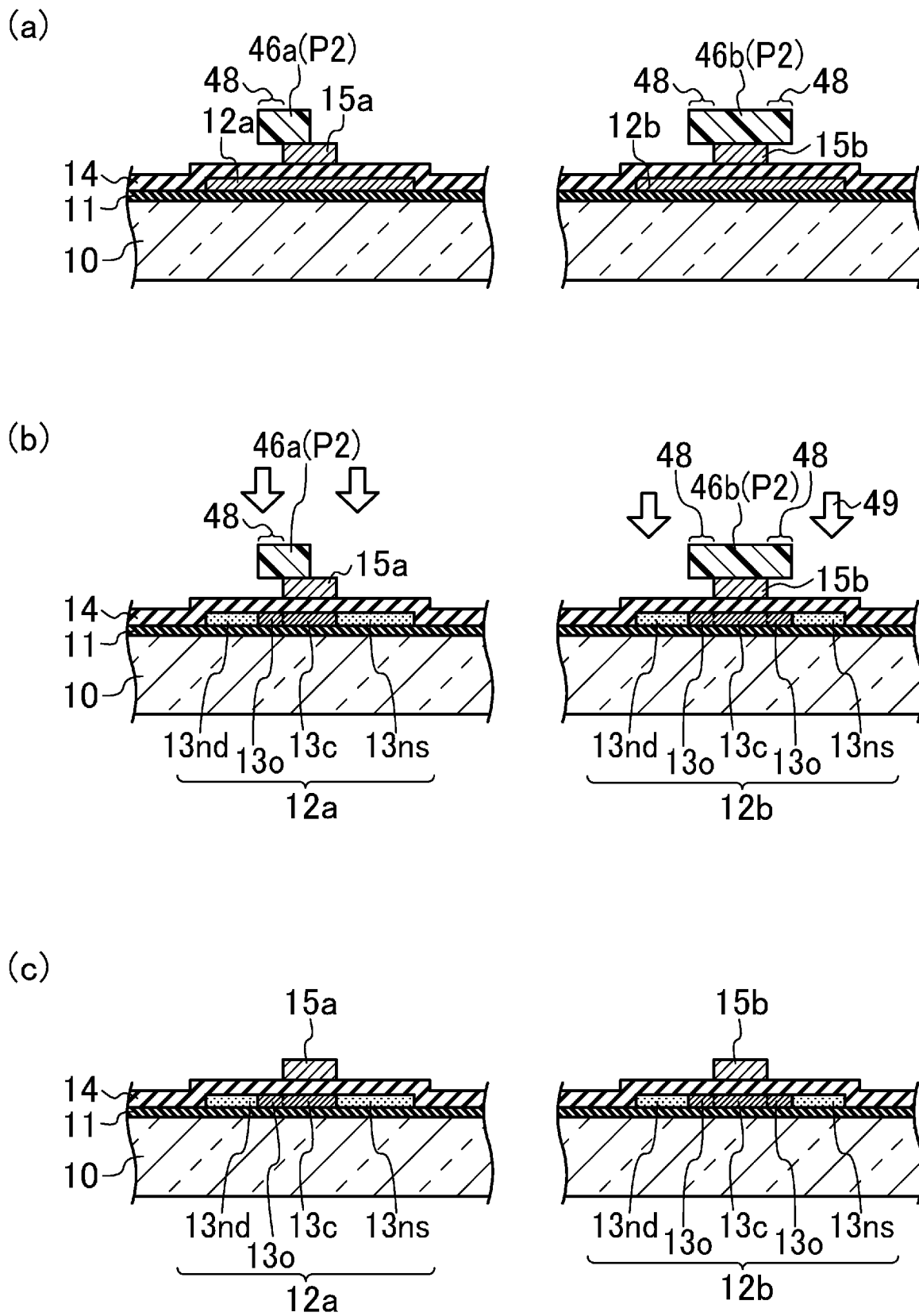
(c)



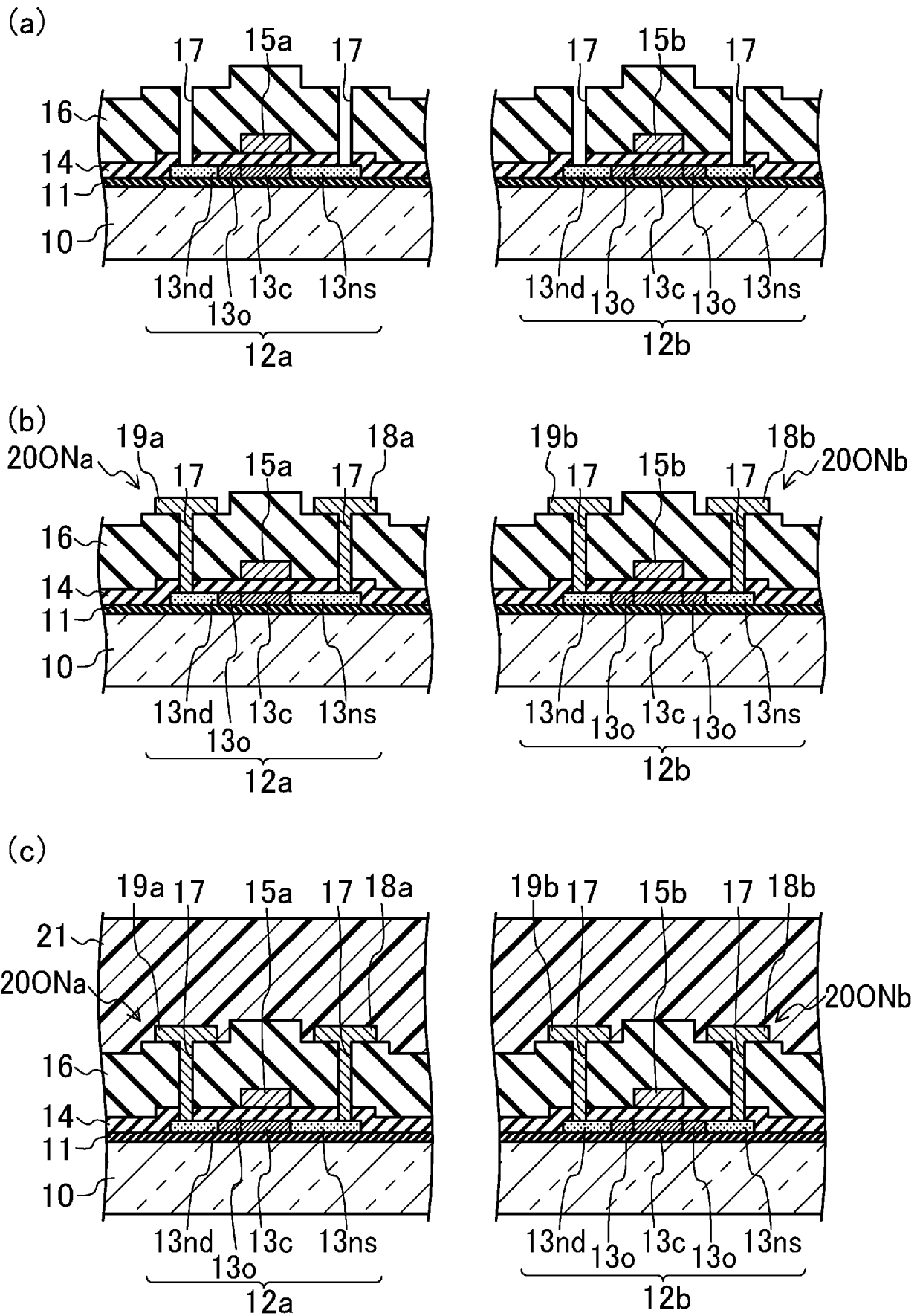
[図23]

S

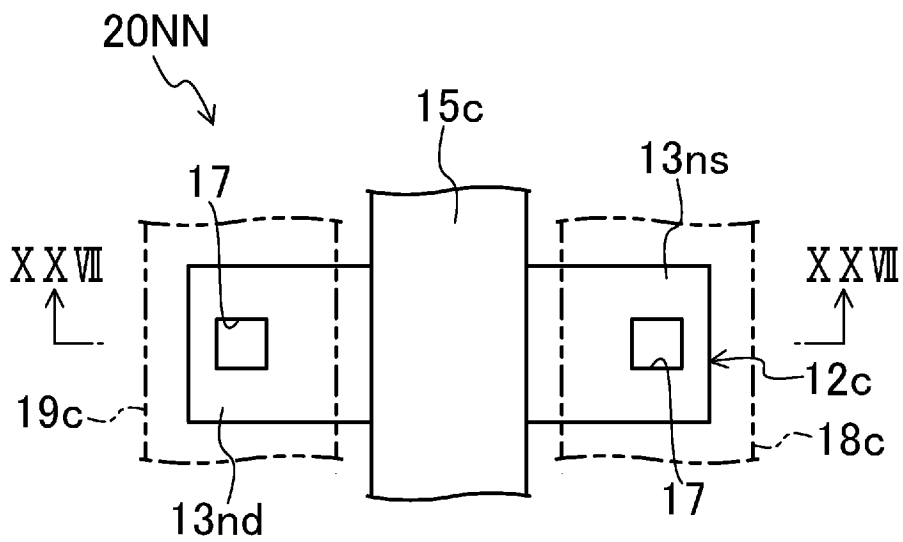
[図24]



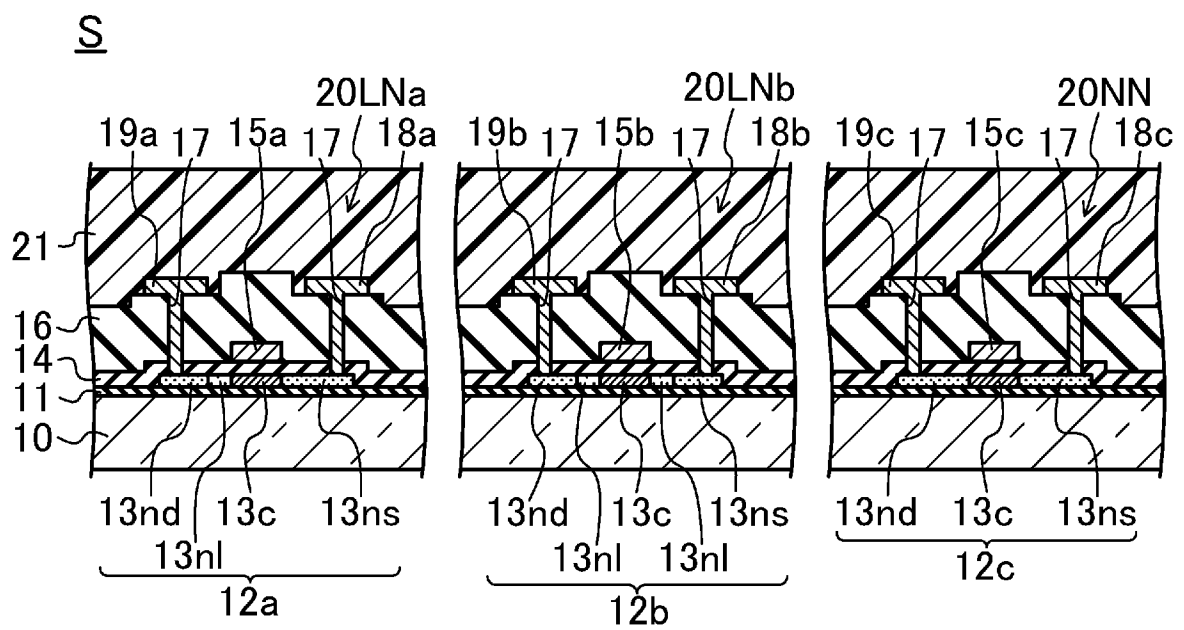
[図25]



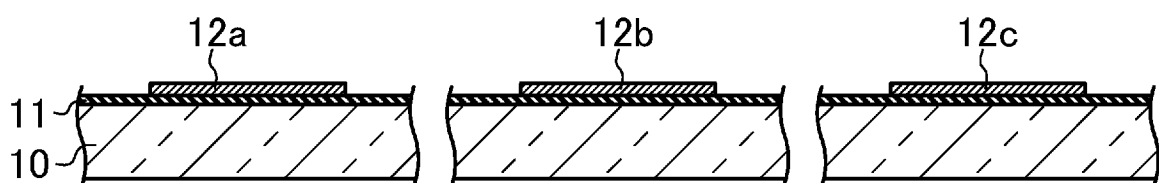
[図26]



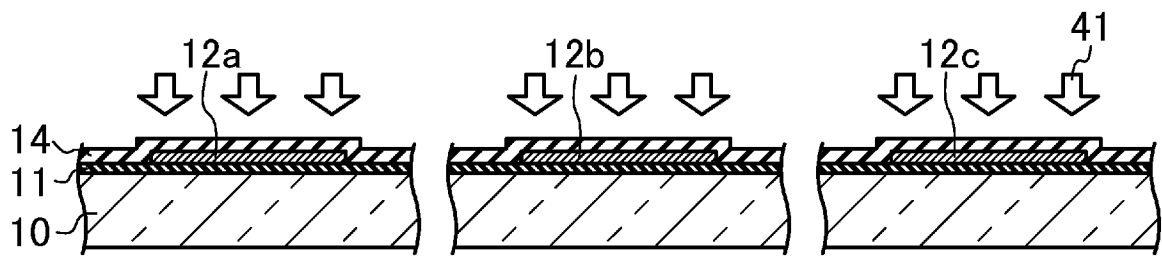
[図27]



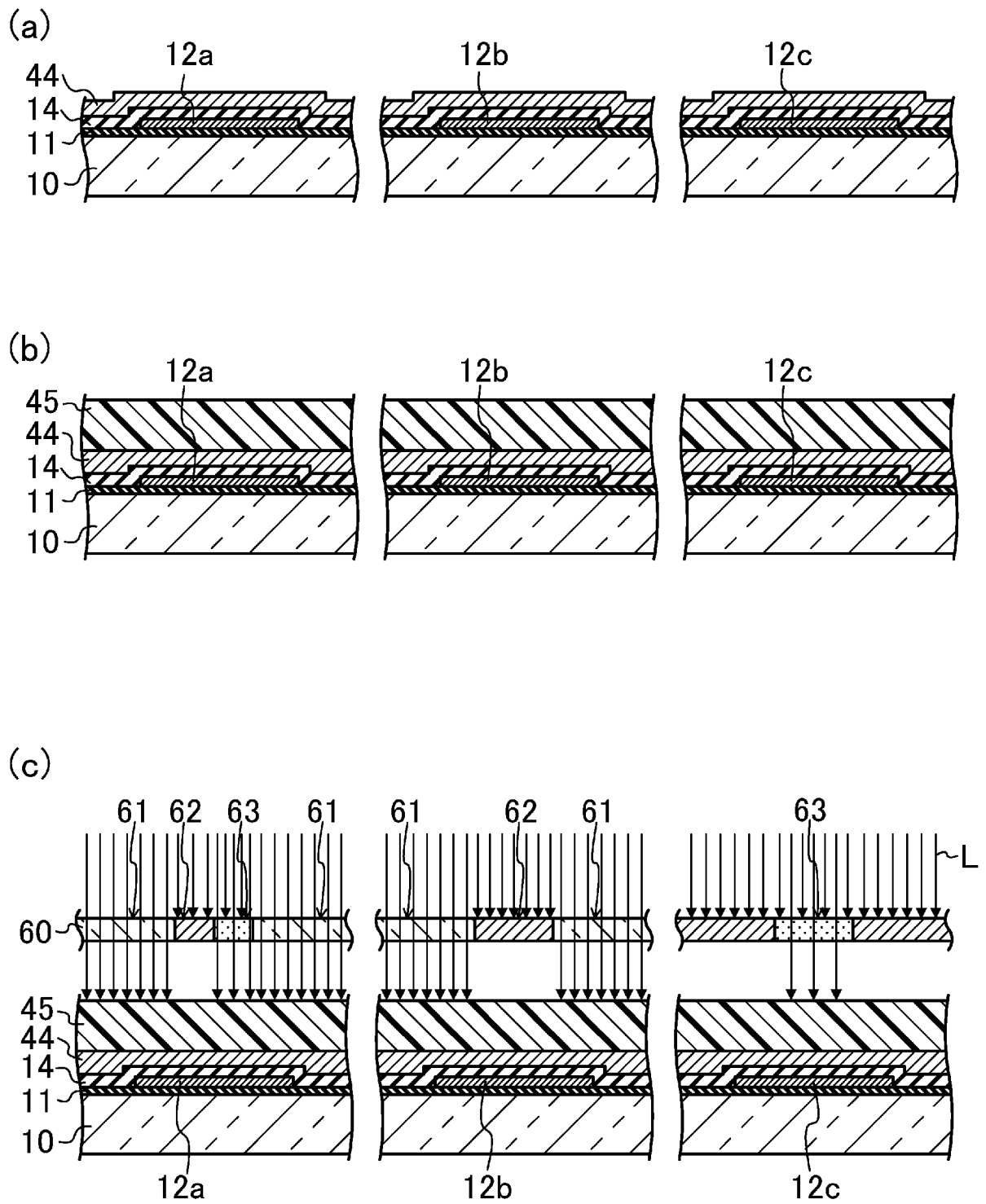
[図28]



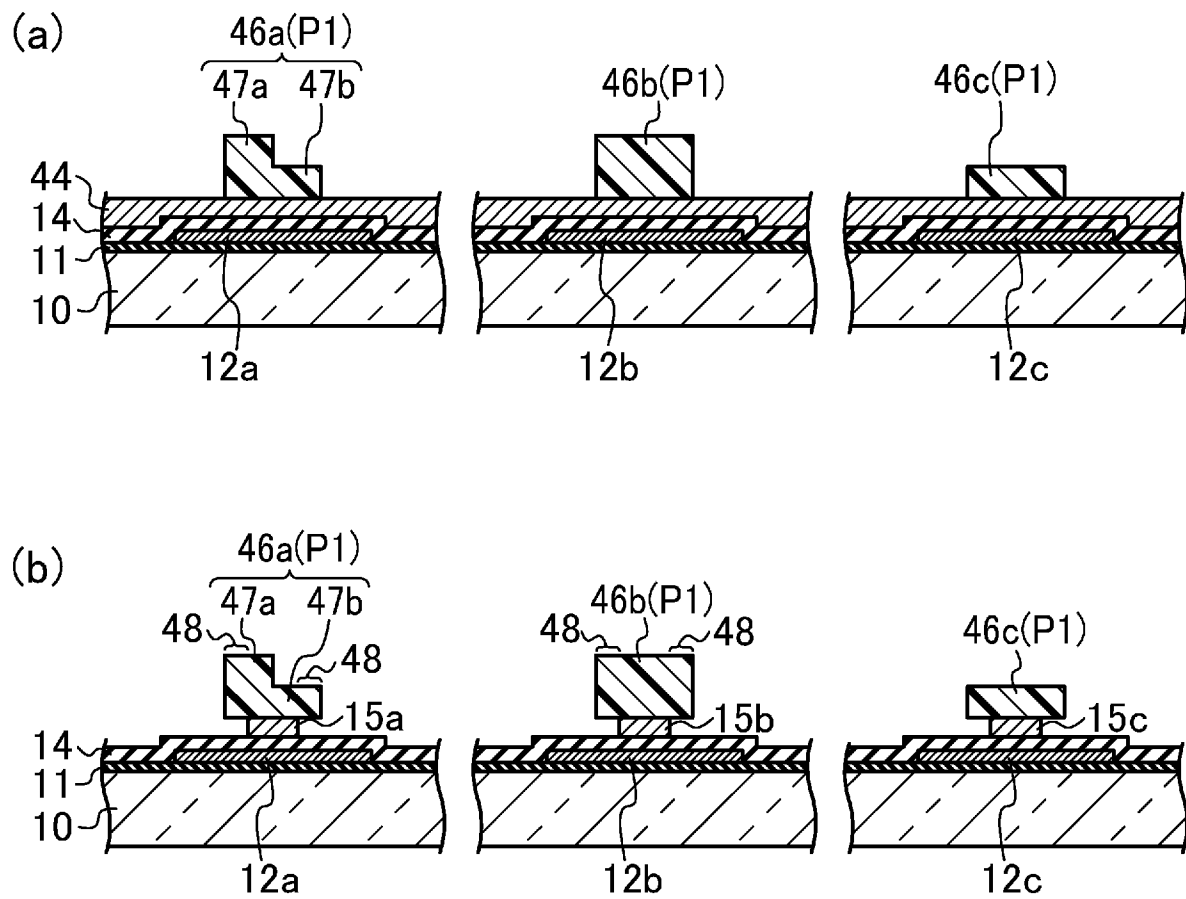
[図29]



[図30]

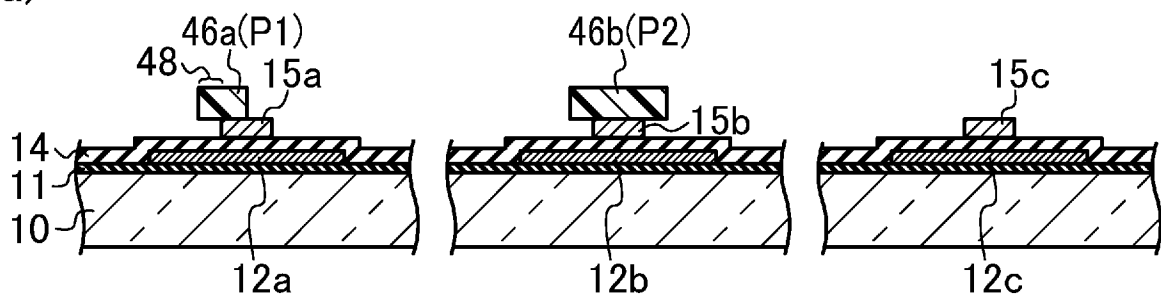


[図31]

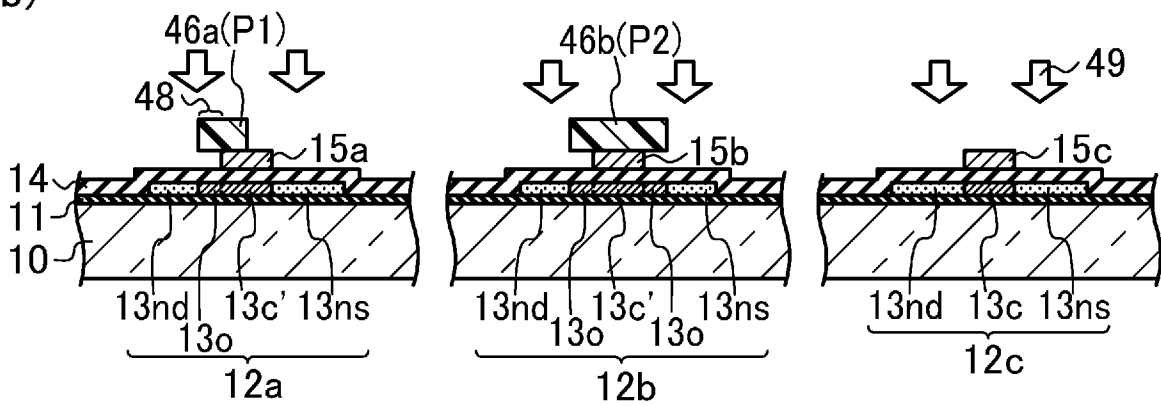


[図32]

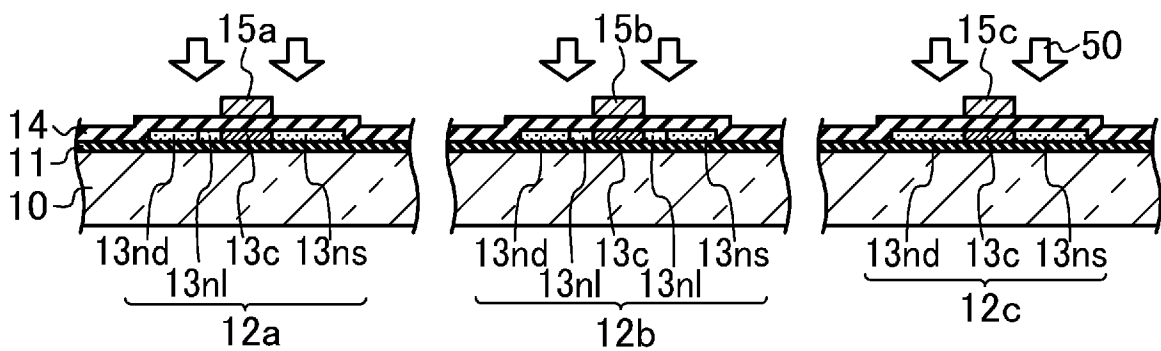
(a)



(b)

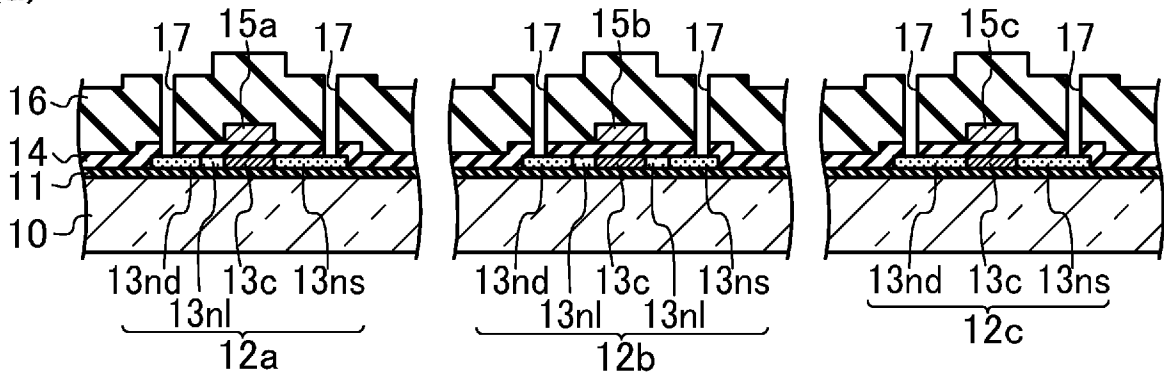


[図33]

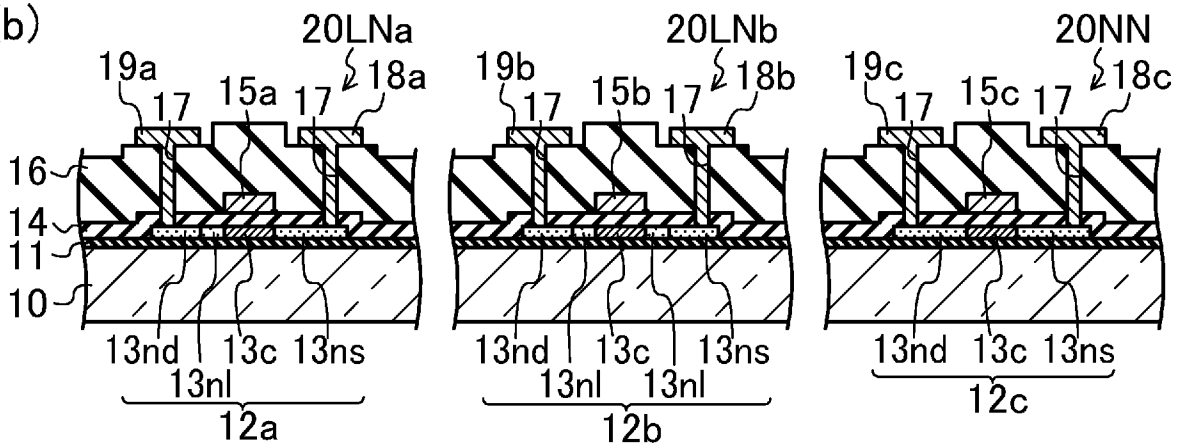


[図34]

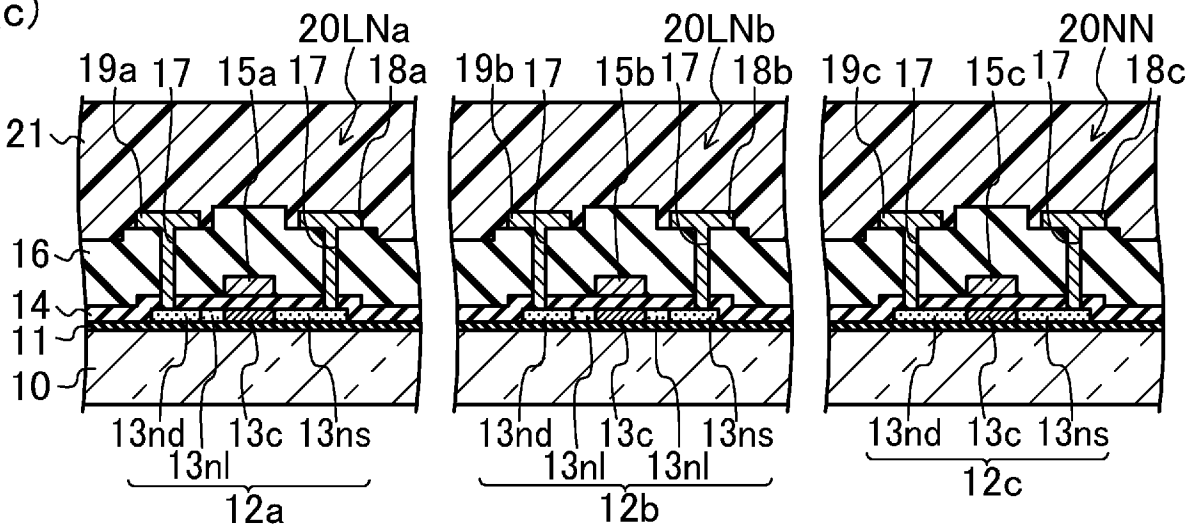
(a)



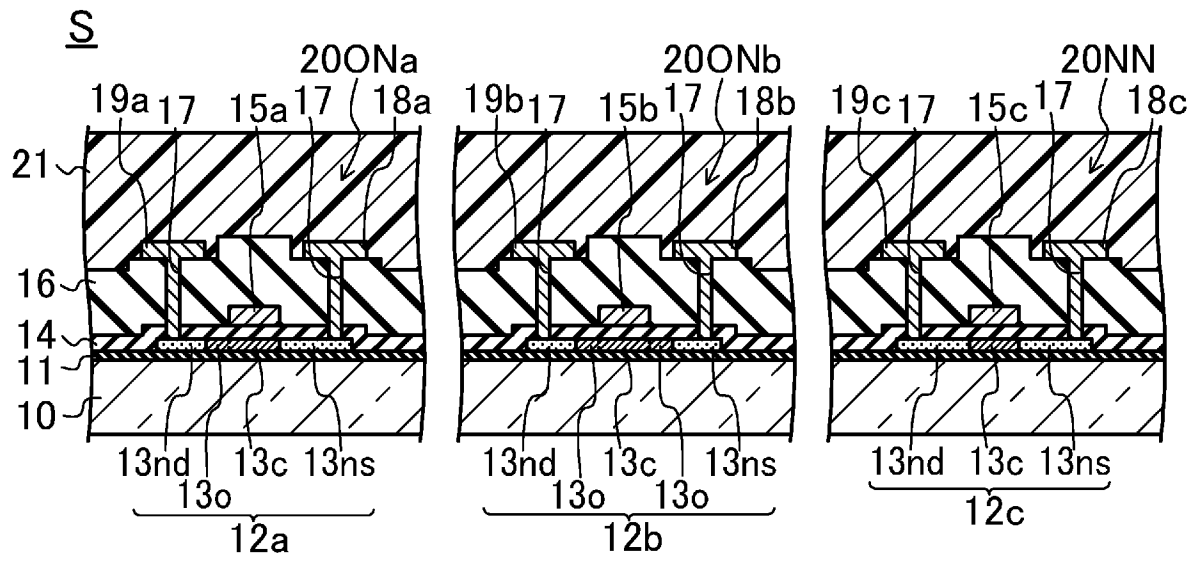
(b)



(c)

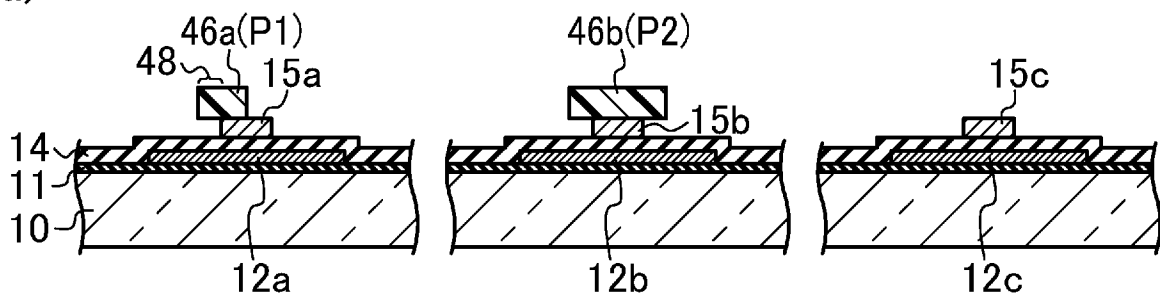


[図35]

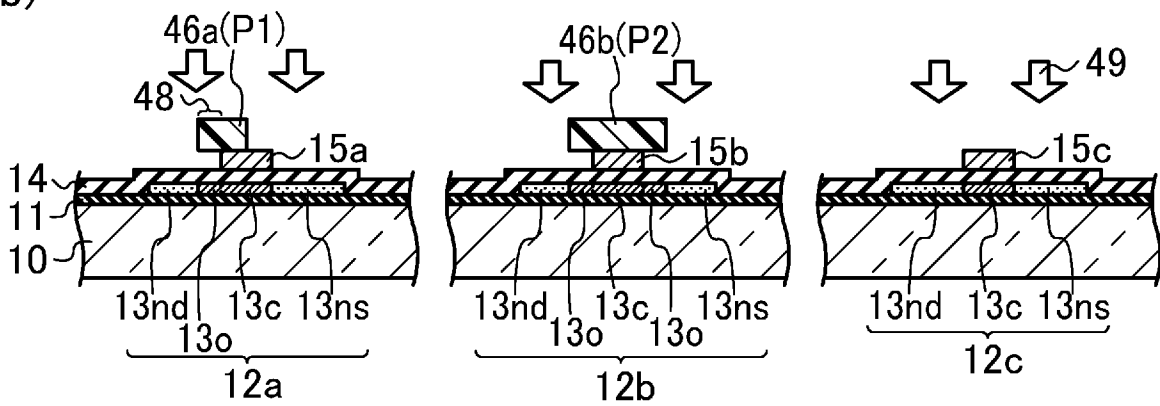


[図36]

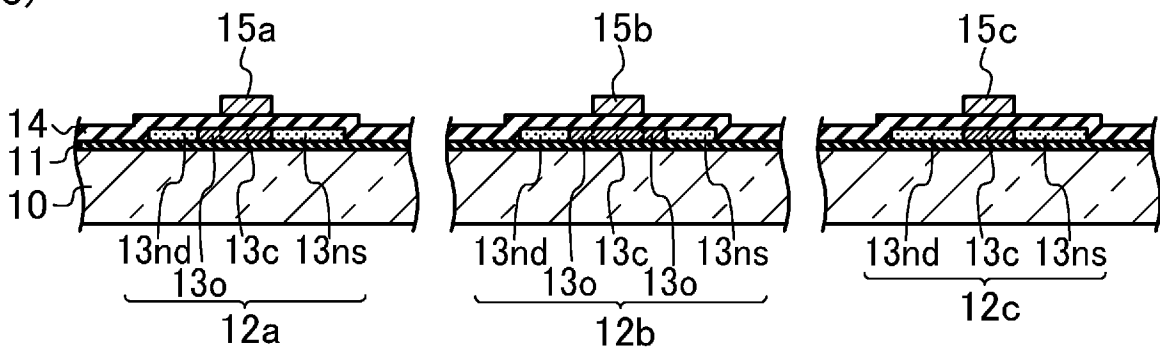
(a)



(b)

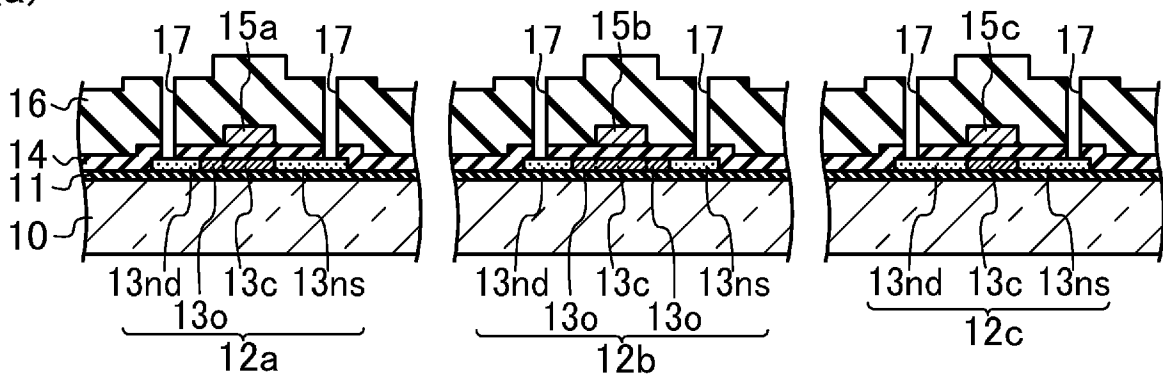


(c)

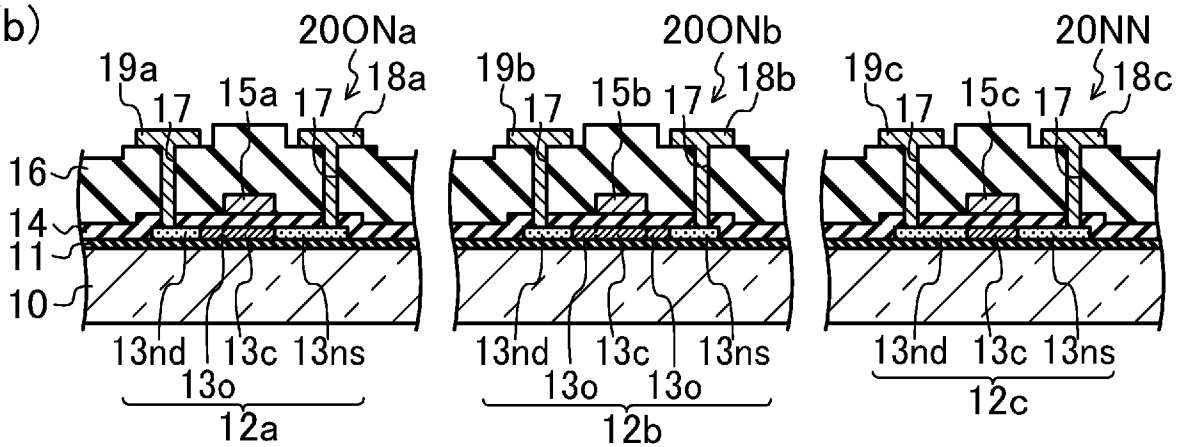


[図37]

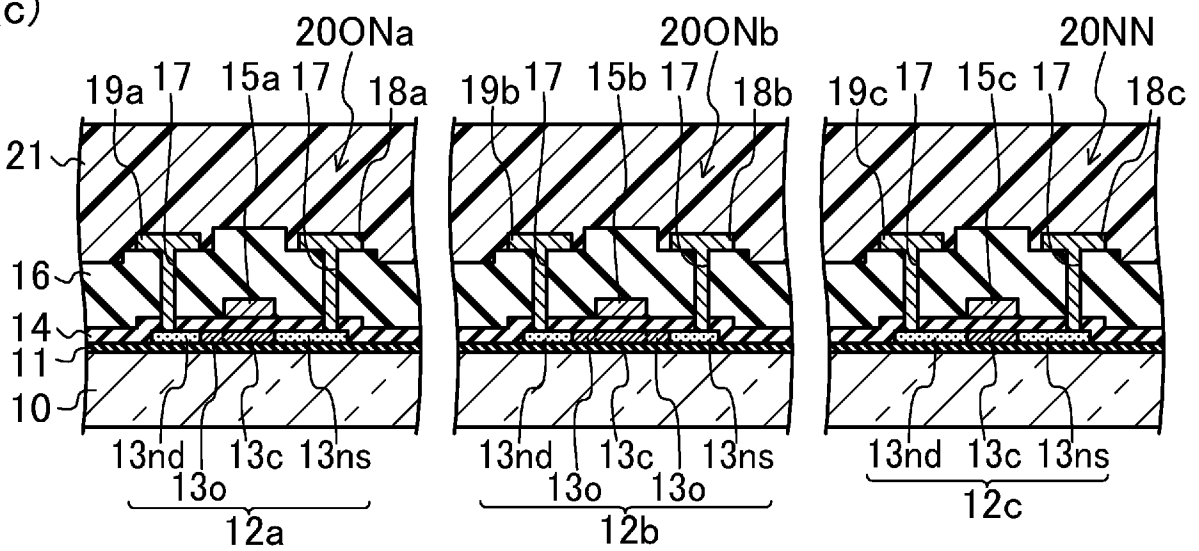
(a)



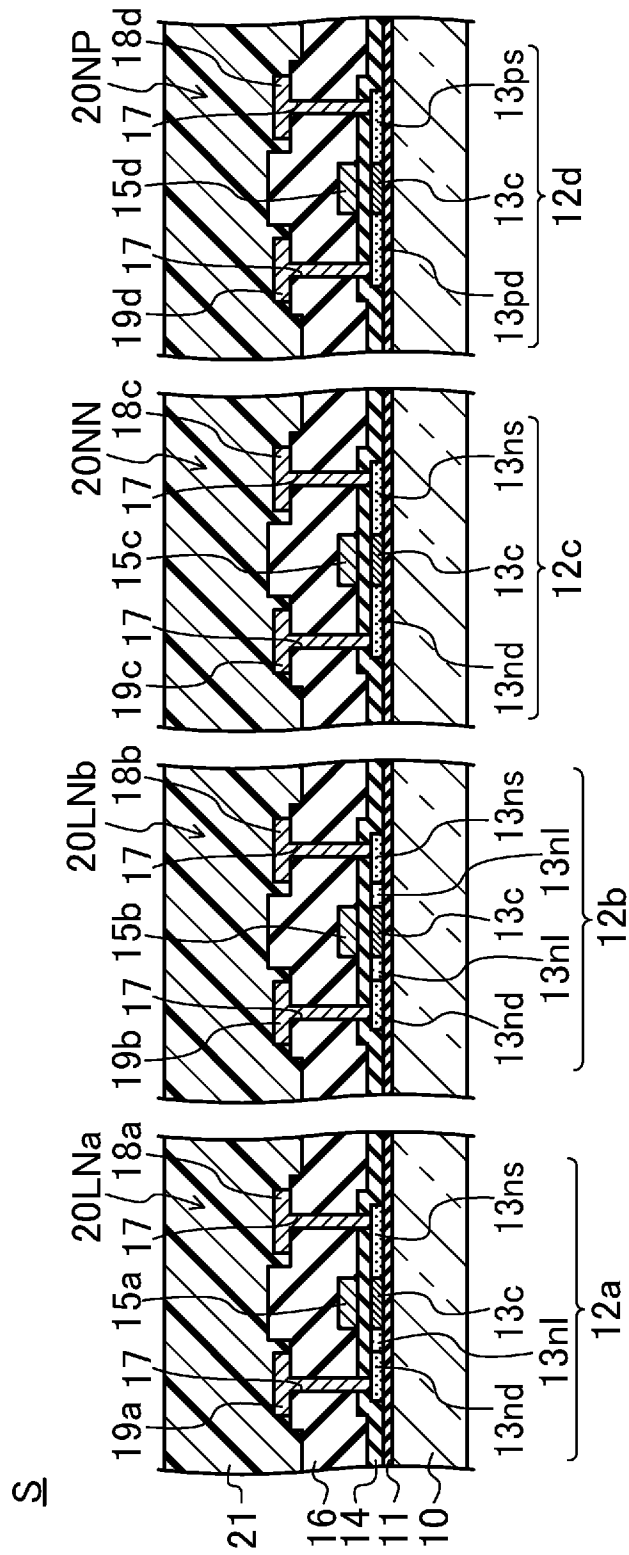
(b)



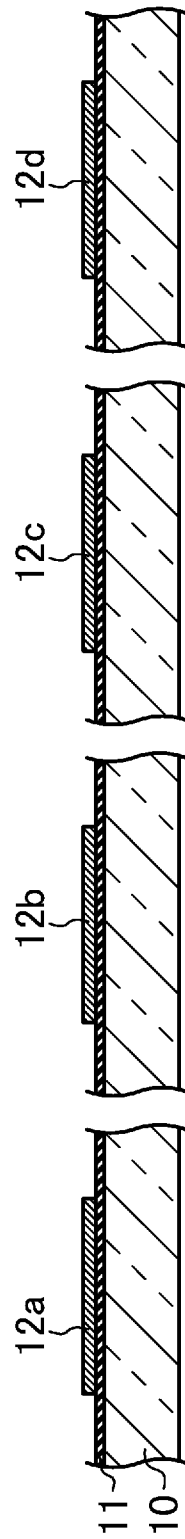
(c)



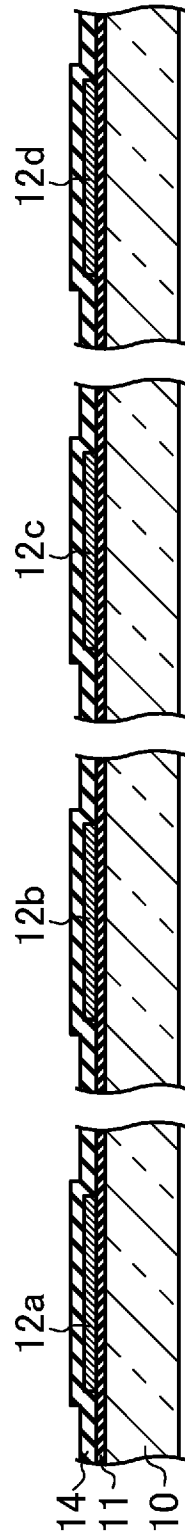
[図38]



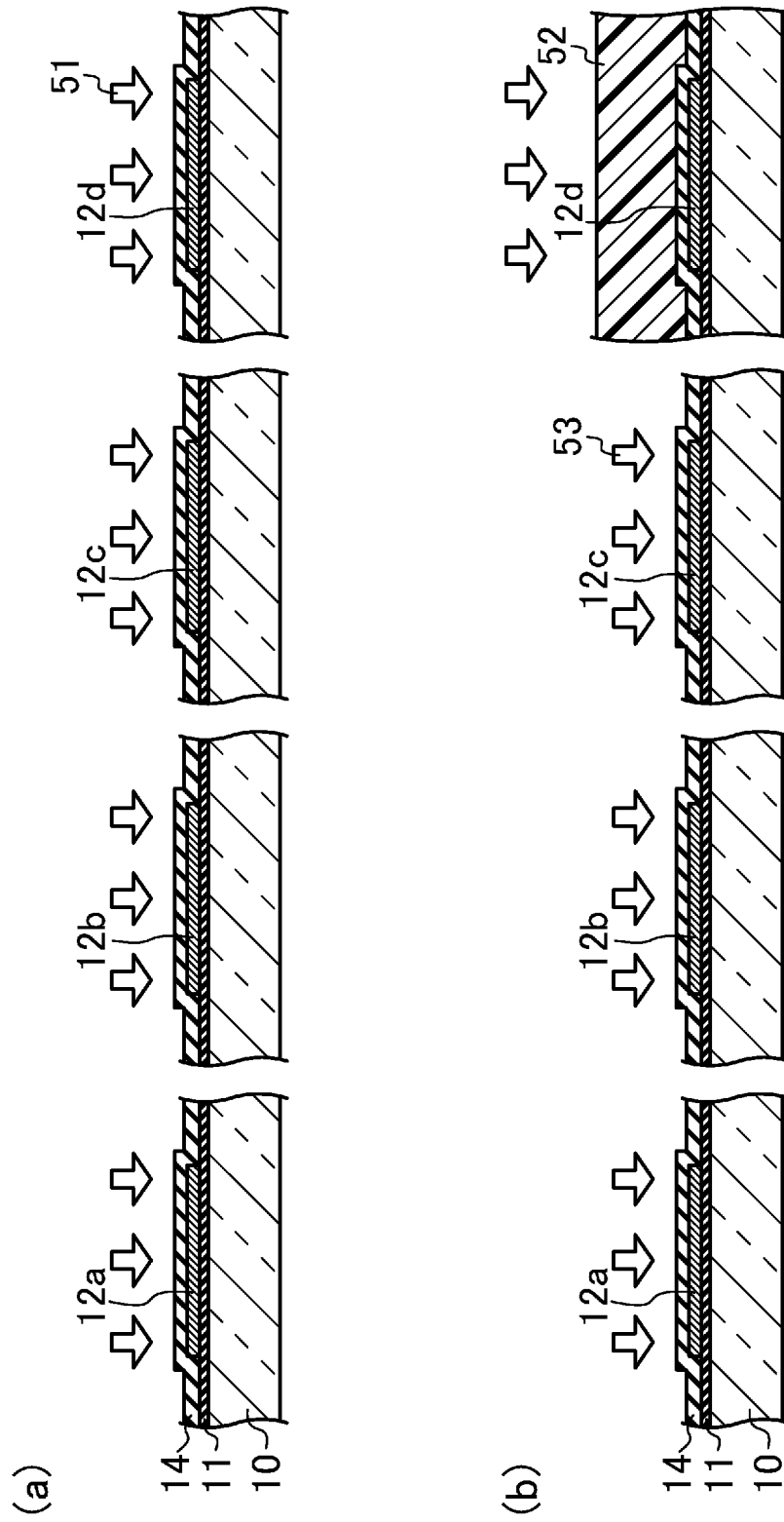
[図39]



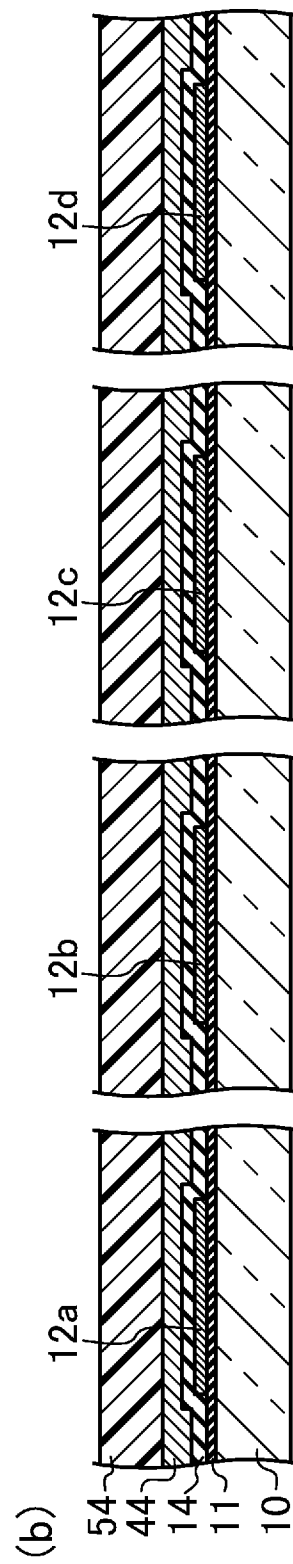
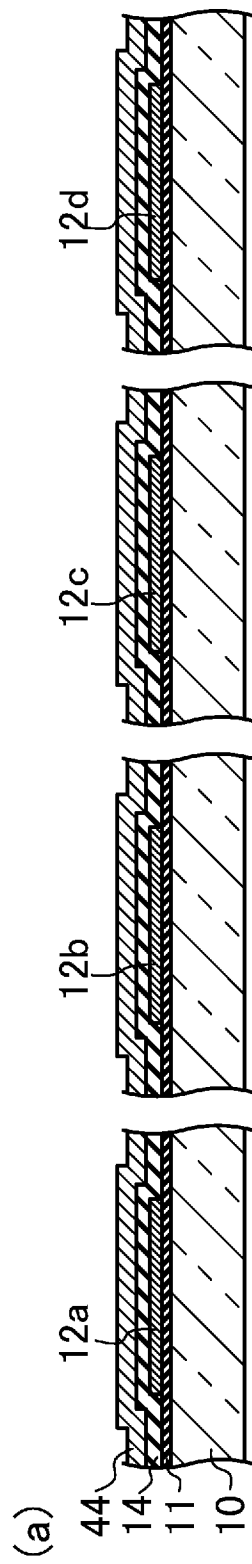
[図40]



[図41]



[図42]



[図43]

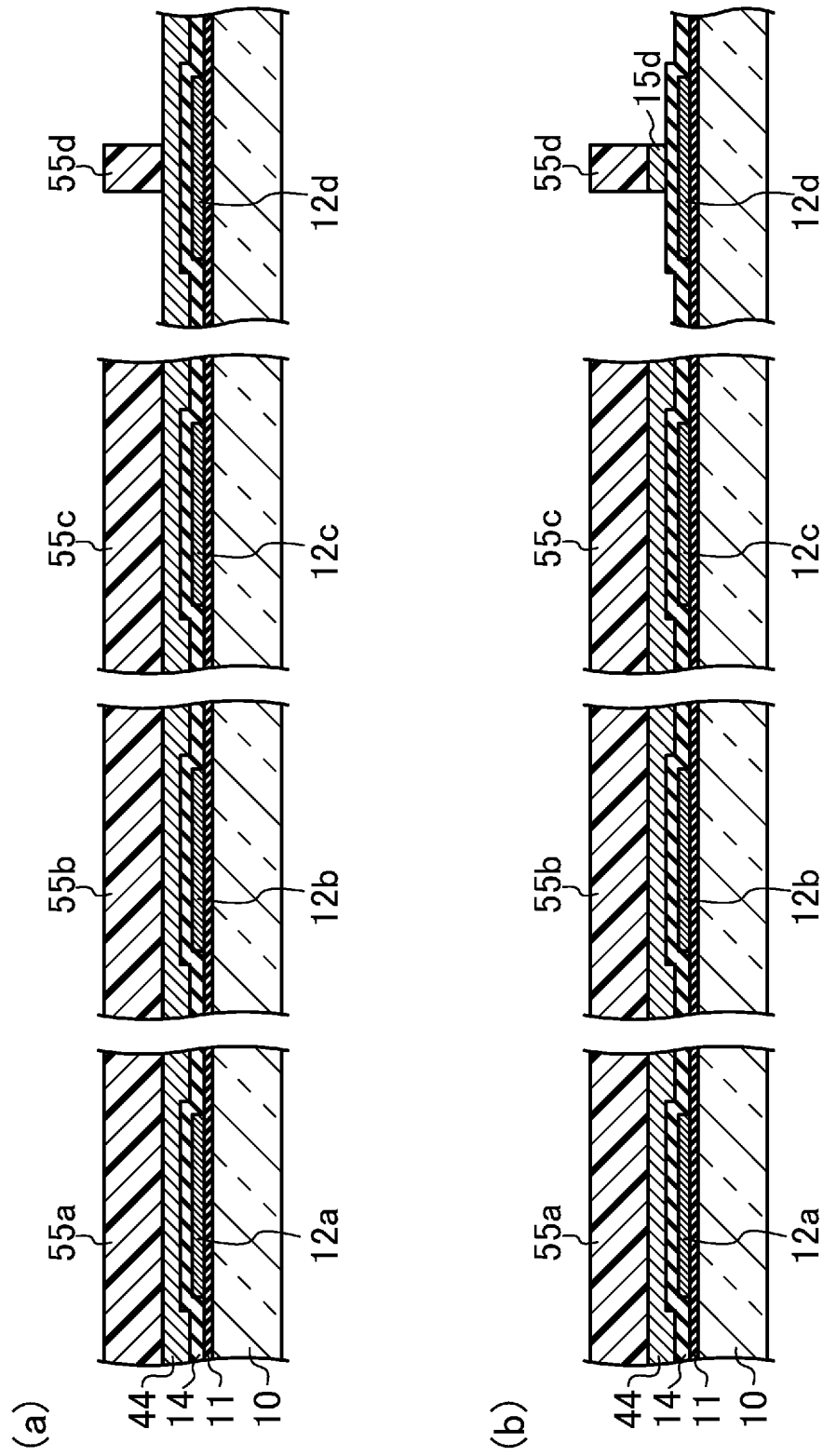
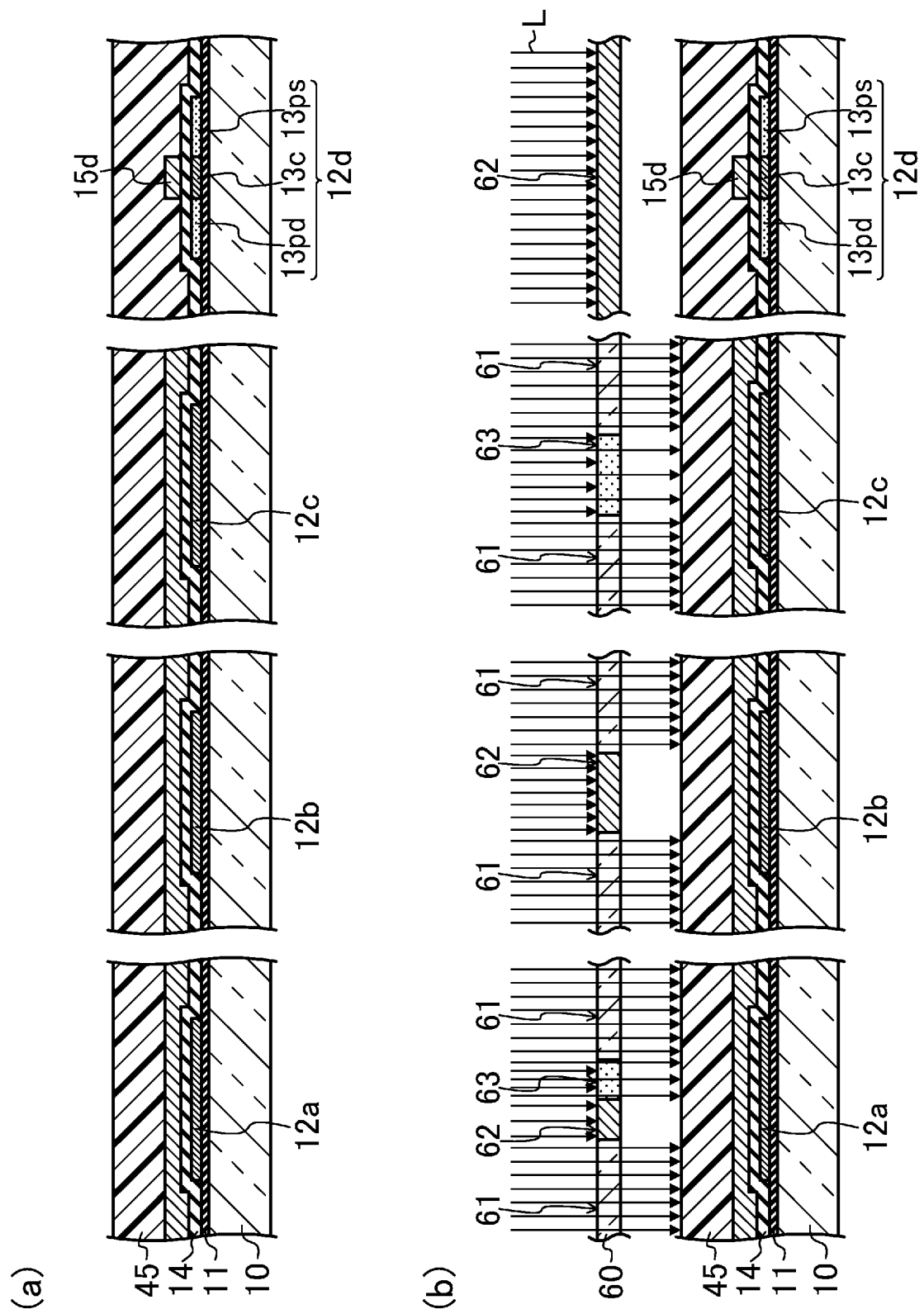


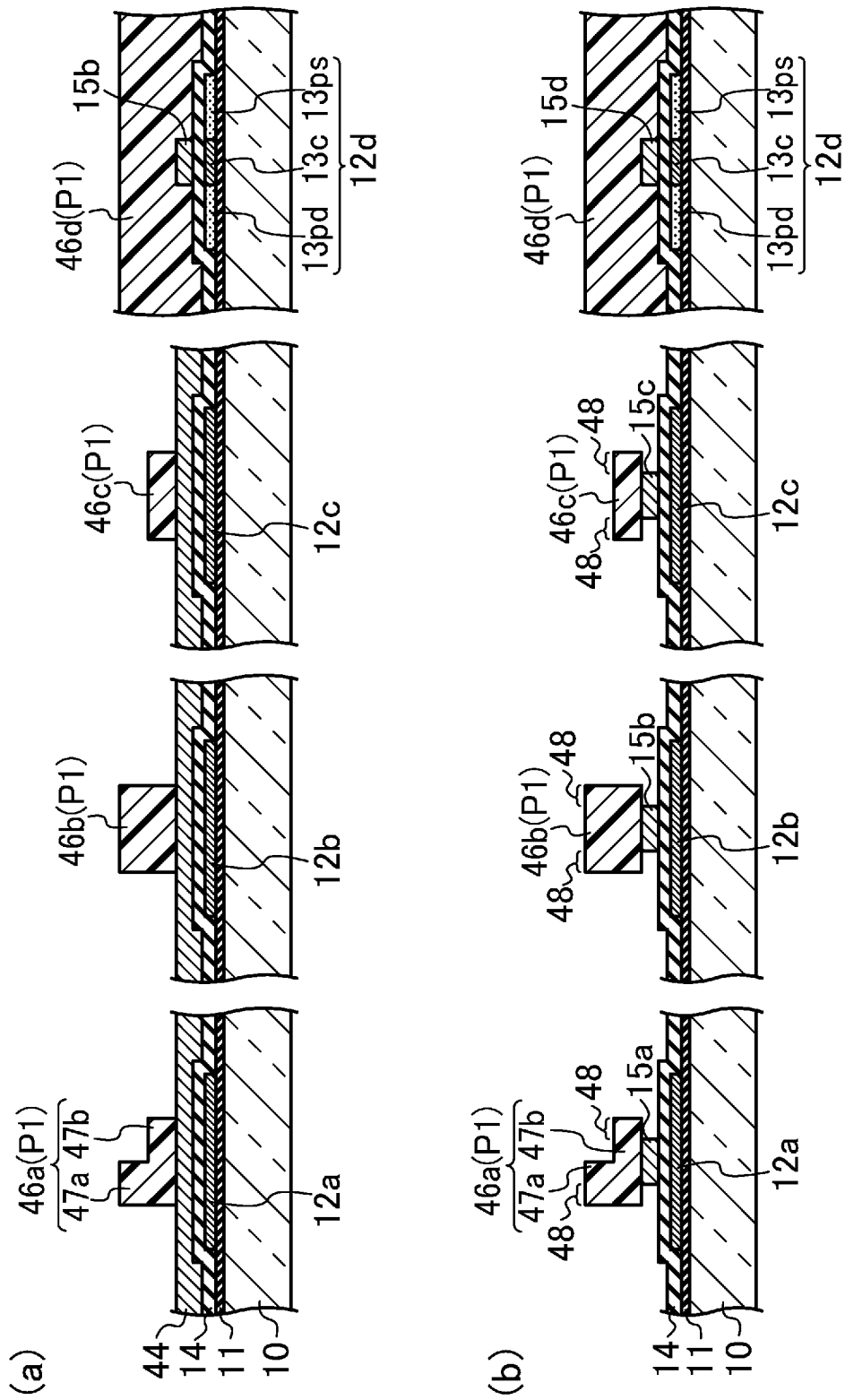
Figure 1 shows four cross-sectional views of a semiconductor device in different stages of a manufacturing process, labeled (a), (b), (c), and (d). The views are arranged horizontally from left to right.

- View (a):** Shows a substrate 10 with a layer 11, a patterned layer 14, and a layer 44. Arrows indicate the direction of the process.
- View (b):** Shows the addition of a layer 55b. Arrows indicate the direction of the process.
- View (c):** Shows the addition of a layer 55c. Arrows indicate the direction of the process.
- View (d):** Shows the addition of a layer 55d and a layer 56. The layers 13pd, 13c, and 13ps are shown. Arrows indicate the direction of the process.

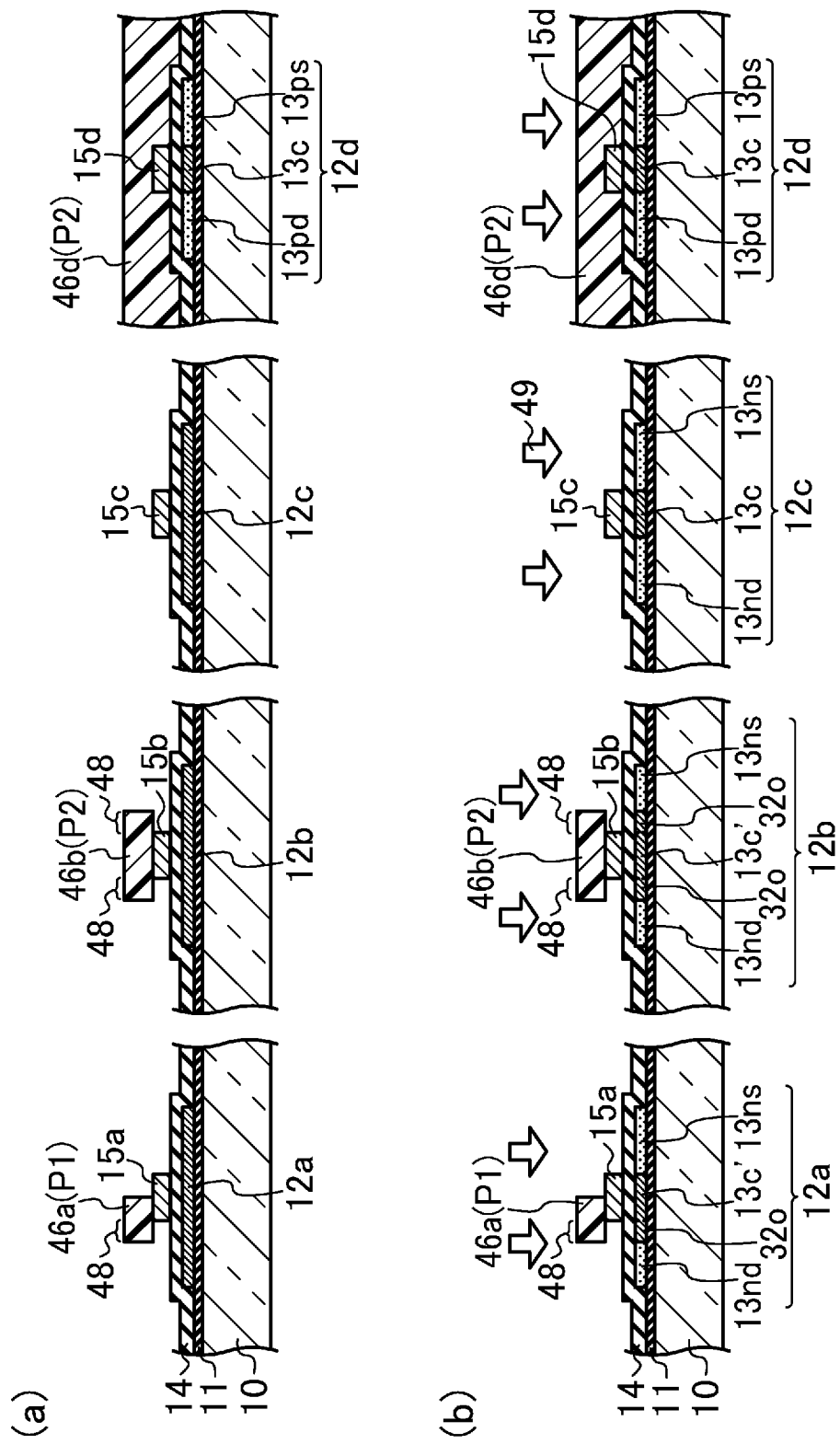
[図45]



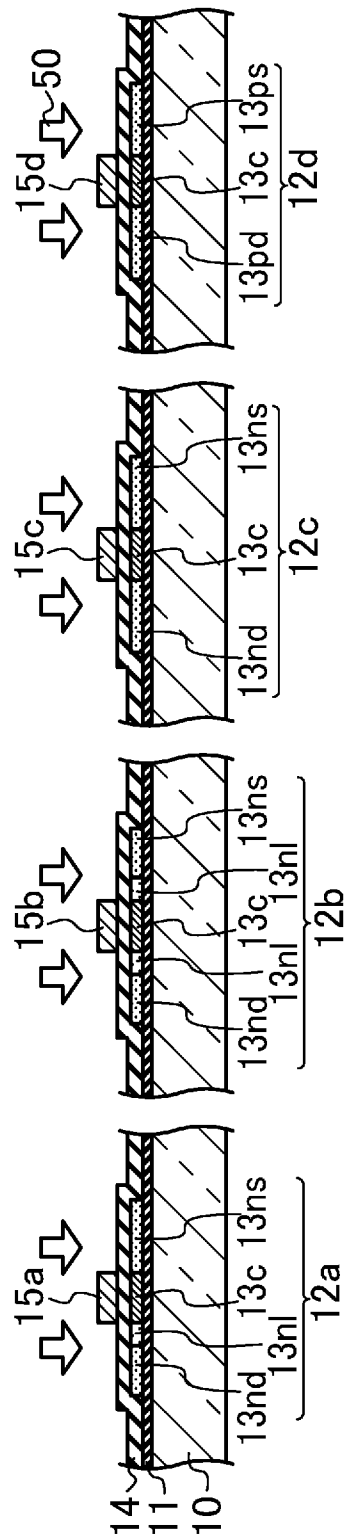
[図46]



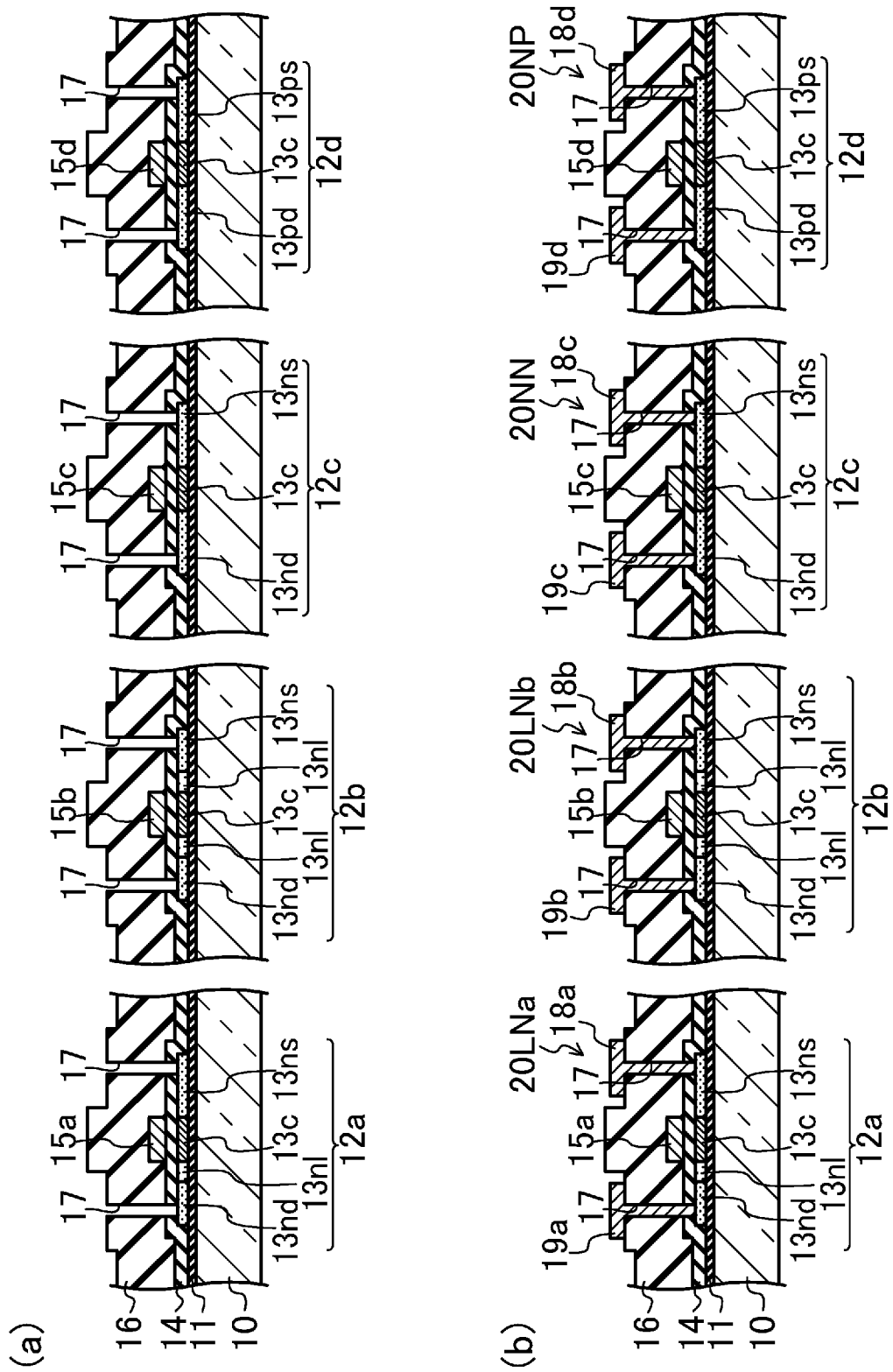
[図47]



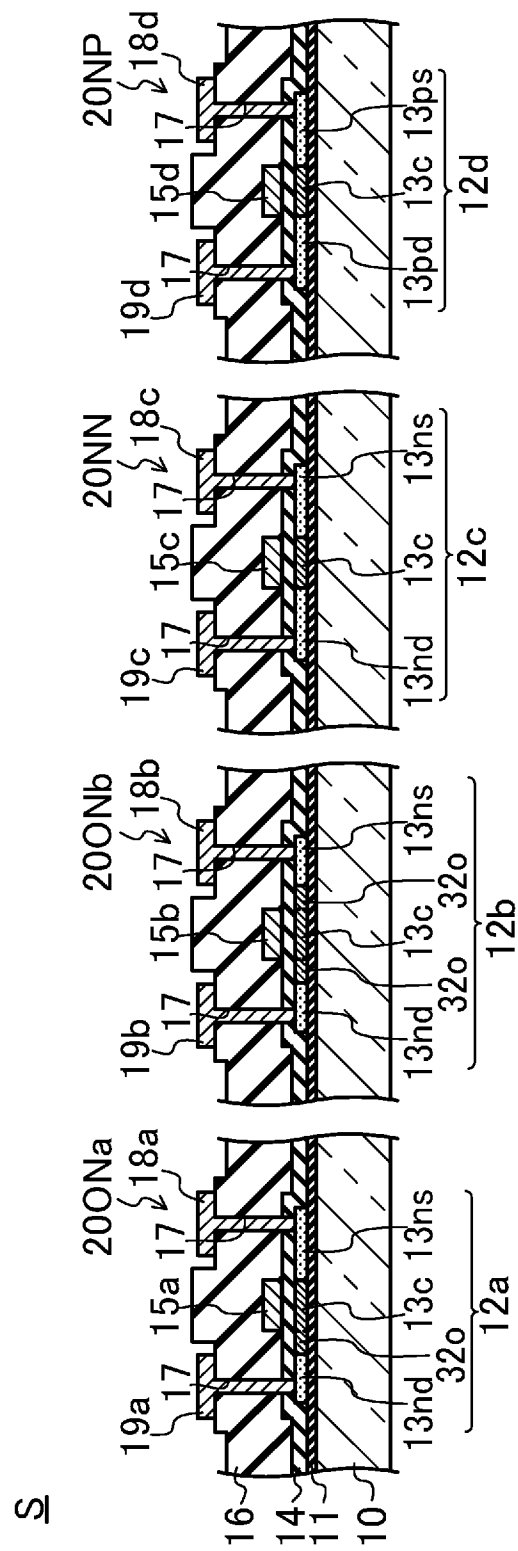
[図48]



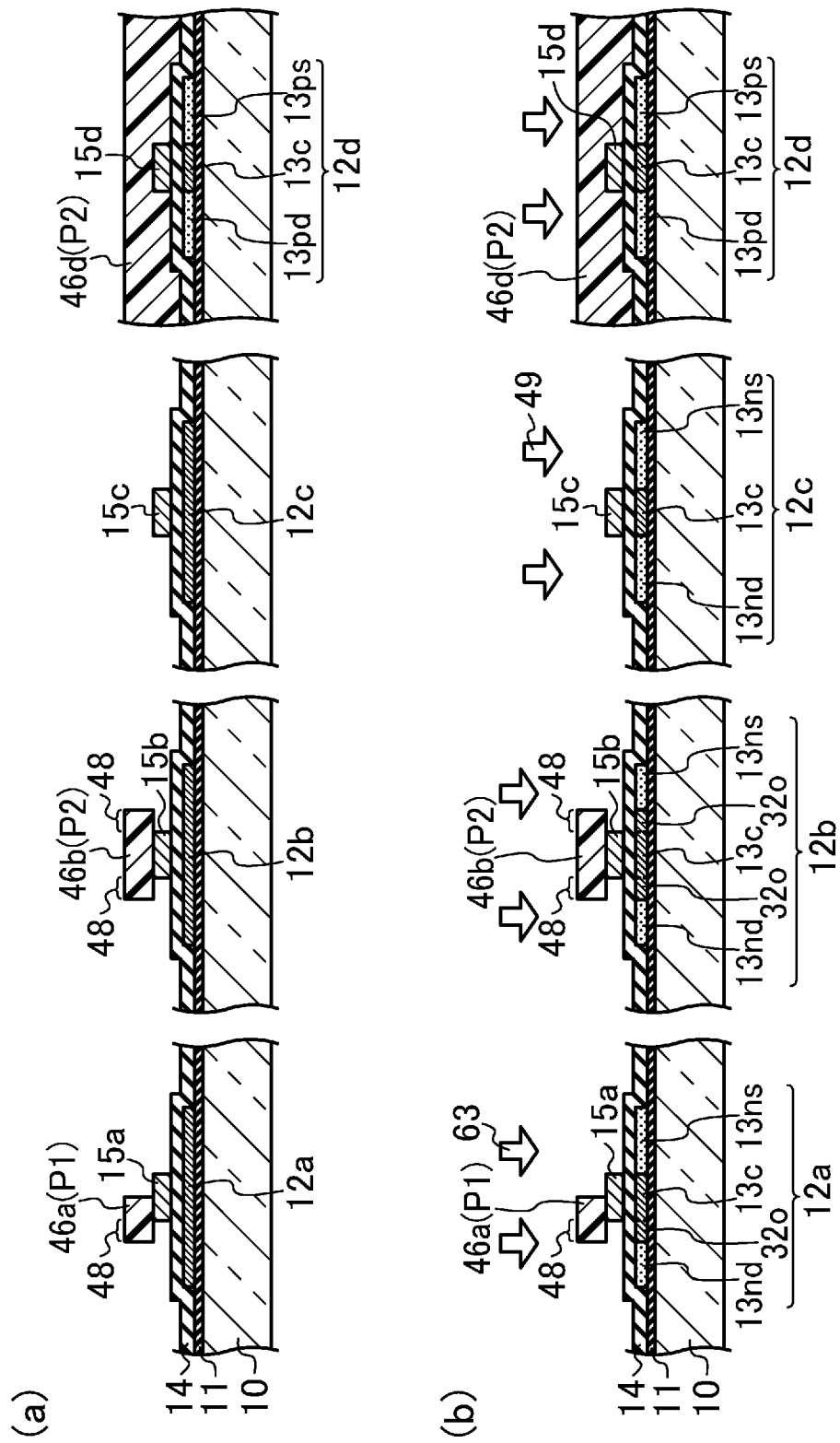
[図49]



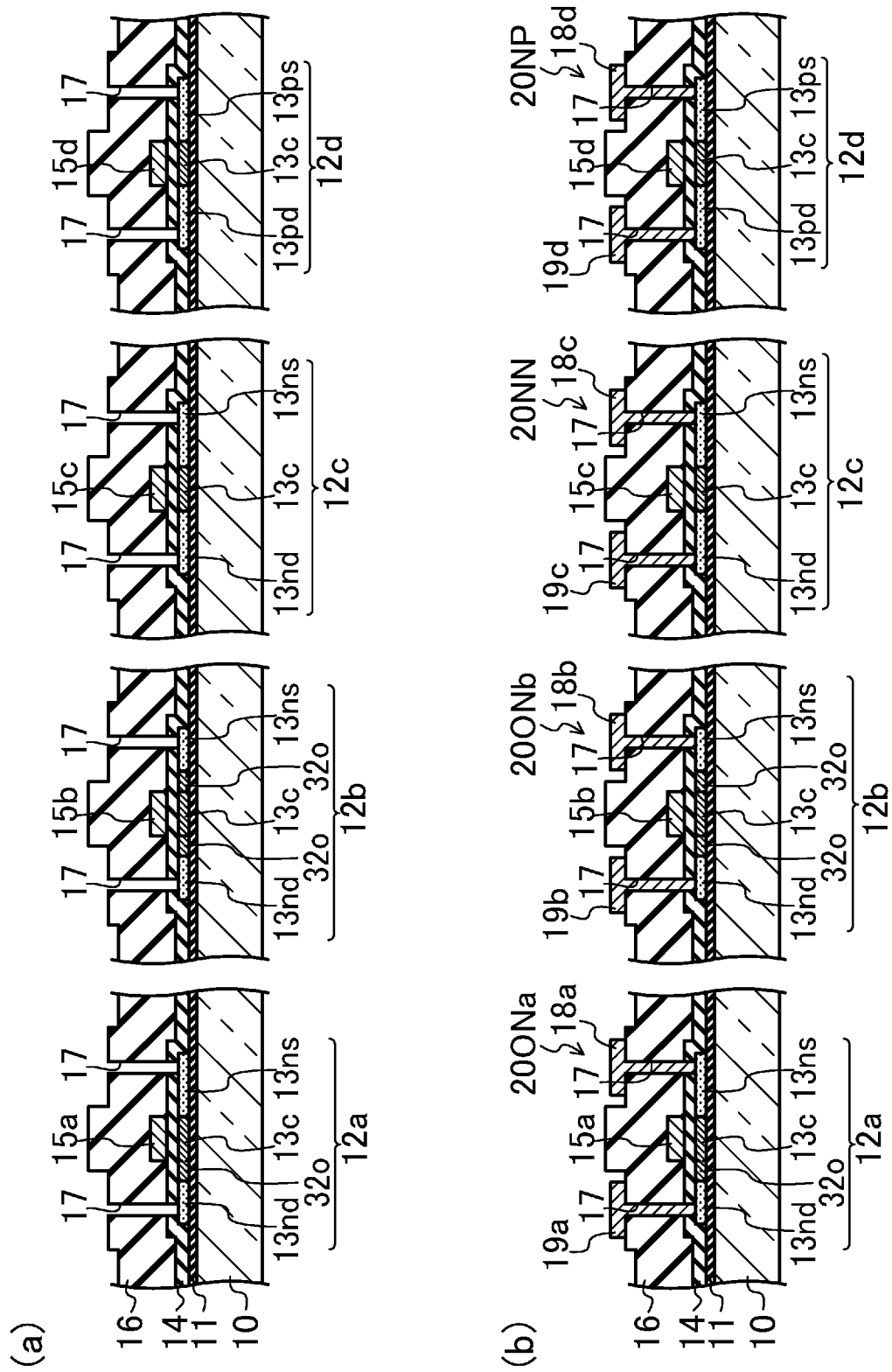
[図50]



[図51]



[図52]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003311

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 7-226518 A (Semiconductor Energy Laboratory Co., Ltd., TDK Corp.), 22 August 1995 (22.08.1995), paragraphs [0023] to [0047]; fig. 1, 2 & US 5741718 A & US 5604139 A	1-3, 6, 10 4, 5, 7-9
Y A	JP 2008-47891 A (Samsung SDI Co., Ltd.), 28 February 2008 (28.02.2008), paragraphs [0019] to [0021]; fig. 2A, 2B & US 2008/0044958 A1 & KR 10-0796609 B1 & CN 101127328 A	1-3, 6, 10 4, 5, 7-9
Y A	JP 2003-282880 A (Hitachi Displays, Ltd.), 03 October 2003 (03.10.2003), paragraphs [0023] to [0035]; fig. 4 & US 2003/0178650 A1 & US 2006/0006392 A1 & TW 230289 B & CN 1460979 A	1-3, 6, 10 4, 5, 7-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 July, 2012 (11.07.12)

Date of mailing of the international search report

24 July, 2012 (24.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003311

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-232651 A (Semiconductor Energy Laboratory Co., Ltd.), 14 October 2010 (14.10.2010), paragraph [0217]; fig. 19, 22 & US 2010/0224878 A1 & CN 101826521 A & KR 10-2010-0100659 A & TW 201044595 A	6
A	JP 2010-87334 A (Seiko Epson Corp.), 15 April 2010 (15.04.2010), entire text; all drawings (Family: none)	4, 5, 7-9
A	JP 2007-19490 A (Semiconductor Energy Laboratory Co., Ltd.), 25 January 2007 (25.01.2007), entire text; all drawings & US 2006/0278875 A1 & US 2010/0015764 A1 & KR 10-2006-0128718 A & CN 1877799 A	4, 5, 7-9
A	JP 2008-305882 A (Seiko Epson Corp.), 18 December 2008 (18.12.2008), entire text; all drawings (Family: none)	4, 5, 7-9
A	JP 2002-313810 A (Hitachi, Ltd.), 25 October 2002 (25.10.2002), entire text; all drawings & US 2002/0104992 A1 & US 2003/0209709 A1 & US 2005/0242354 A1 & TW 583424 B & KR 10-2002-0065388 A & CN 1375735 A & CN 1790138 A & CN 1881617 A	4, 5, 7-9
A	JP 2001-85695 A (Seiko Epson Corp.), 30 March 2001 (30.03.2001), entire text; all drawings & US 6306693 B1 & TW 457723 B & KR 10-2001-0030345 A & CN 1288254 A	4, 5, 7-9

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 7-226518 A（株式会社半導体エネルギー研究所、ティーディーケイ株式会社）1995.08.22, 段落[0023]-[0047], 図 1, 2 & US 5741718 A & US 5604139 A	1-3, 6, 10 4, 5, 7-9
Y A	JP 2008-47891 A（三星エスディアイ株式会社）2008.02.28, 段落[0019]-[0021], 図 2A, 2B & US 2008/0044958 A1 & KR 10-0796609 B1 & CN 101127328 A	1-3, 6, 10 4, 5, 7-9

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 7 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

大橋 達也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

4 6 8 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2003-282880 A (株式会社 日立ディスプレイズ) 2003. 10. 03, 段落[0023]-[0035], 図 4 & US 2003/0178650 A1 & US 2006/0006392 A1 & TW 230289 B & CN 1460979 A	1-3, 6, 10 4, 5, 7-9
Y	JP 2010-232651 A (株式会社半導体エネルギー研究所) 2010. 10. 14, 段落[0217], 図 19, 22 & US 2010/0224878 A1 & CN 101826521 A & KR 10-2010-0100659 A & TW 201044595 A	6
A	JP 2010-87334 A (セイコーエプソン株式会社) 2010. 04. 15, 全文、全図 (ファミリーなし)	4, 5, 7-9
A	JP 2007-19490 A (株式会社半導体エネルギー研究所) 2007. 01. 25, 全文、全図 & US 2006/0278875 A1 & US 2010/0015764 A1 & KR 10-2006-0128718 A & CN 1877799 A	4, 5, 7-9
A	JP 2008-305882 A (セイコーエプソン株式会社) 2008. 12. 18, 全文、全図 (ファミリーなし)	4, 5, 7-9
A	JP 2002-313810 A (株式会社日立製作所) 2002. 10. 25, 全文、全図 & US 2002/0104992 A1 & US 2003/0209709 A1 & US 2005/0242354 A1 & TW 583424 B & KR 10-2002-0065388 A & CN 1375735 A & CN 1790138 A & CN 1881617 A	4, 5, 7-9
A	JP 2001-85695 A (セイコーエプソン株式会社) 2001. 03. 30, 全文、全図 & US 6306693 B1 & TW 457723 B & KR 10-2001-0030345 A & CN 1288254 A	4, 5, 7-9