

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
G11C 11/40

(45) 공고일자 1991년06월07일  
(11) 공고번호 91-003603

(21) 출원번호	특1988-0003238	(65) 공개번호	특1988-0011805
(22) 출원일자	1988년03월25일	(43) 공개일자	1988년10월31일
(30) 우선권 주장	70766 1987년03월25일 일본(JP)		
(71) 출원인	가부시키가이샤 도시바 아오이 조이치		
	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		
(72) 발명자	마츠오 료스케		
	일본국 가나가와현 가와사키시 사이와이구 고무가이 도시바정 1번지 가 부시키가이샤 도시바 다마가와공장내 고야나기 마사루		
	일본국 가나가와현 가와사키시 사이와이구 고무가이 도시바정 1번지 가 부시키가이샤 도시바 다마가와공장내		
(74) 대리인	김윤배		

**심사관 : 김영길 (책자공보 제2315호)**

**(54) 슈미트입력형 반도체집적회로**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

슈미트입력형 반도체집적회로

[도면의 간단한 설명]

제 1 도는 본 발명에 따른 반도체집적회로에서의 입력회로의 제1실시예를 나타낸 회로도.

제 2 도는 제 1 도에 도시된 입력회로의 임출력특성을 나타낸 도면.

제 3 도는 제 1 도에 도시된 입력회로의 입력잡음과 임계치전압사이의 관계를 나타낸 도면.

제 4 도는 제 1 도에 도시된 입력회로에서 제어신호를 발생시키는 회로의 실제적인 구성예를 나타낸 도면.

제 5 도는 제 4 도에 도시된 제어신호발생회로의 동작을 설명하기 위한 타이밍 차트.

제 6 도는 본 발명에 따른 반도체집적회로에서의 입력회로의 제2실시예를 나타낸 도면.

제 7 도는 제 6 도에 도시된 입력회로의 임출력특성을 나타낸 도면.

제 8 도는 제 6 도에 도시된 입력회로의 입력잡음과 임계치전압사이의 관계를 나타낸 도면.

제 9 도는 본 발명에 따른 반도체집적회로에서의 입력회로의 제3실시예를 나타낸 회로도이다.

\* 도면의 주요부분에 대한 부호의 설명

10 : 칩 12 : 입력회로

14 : 내부회로 16 : 출력회로

18 : 제어신호발생회로 161 : 출력버퍼

VDD : 전원 VSS : 접지

Q1~Q6, Q11~Q15 : MOS FET C : 캐패시터

VOUT : 신호출력단자 VIN : 입력신호

$\emptyset$  : 제어신호

VON, VOFF, VOFF' : 임계치전압

RAS : 행어드레스스트로브신호

CAS : 열어드레스스트로브신호

OE1,  $\overline{\text{OE2}}$ ,  $\emptyset$  T1,  $\emptyset$  T2 : 신호

I1~I6 : 인버터

WE : 기록이네이블신호

[발명의 상세한 설명]

본 발명은 반도체집적회로에 관한 것으로, 특히 전원잡음에 의한 회로의 오동작을 방지하는 기능을 갖춘 반도체집적회로에 관한 것이다.

반도체집적회로의 동작중에는 회로의 전원선(예컨대 공급전원선과 접지선)을 통해서 전류가 흐르게 되는데, 이 전류가 큰 경우에는 전원전위가 변동하게 된다. 이러한 전원전위의 변동은 회로의 오동작을 초래하므로 전원잡음이라 불리워진다.

즉, 입출력데이터가 다비트로 구성된 반도체메모리와 같은 반도체집적회로에 있어서는 기억된 데이터를 독출하기 위해 각 출력버퍼로부터 "1"레벨이 출력되거나 또는 각 출력버퍼로부터 "0"레벨이 출력되는 경우에 전원잡음이 발생하게 되는데, 각 출력버퍼에서 "1"레벨이 출력되는 경우에는 전원선으로부터 부하로 공급되는 전하의 공급타이밍이 지연되어 전원선의 전위가 급속히 낮아지게 되고, 이와는 달리 각 출력버퍼로부터 "0"레벨이 출력되는 경우에는 접지선의 전위가 급속히 높아지게 된다. 그리고 전원선과 접지선 사이에는 용량성분이 존재하므로 전원선의 전위가 결함에 의한 영향으로 갑자기 감소한 경우에는 접지선의 전위도 감소하게 되고, 역으로 접지선의 전위가 갑자기 증가한 경우에는 전원선의 전위도 그에 따라 증가하게 된다.

또한, 반도체집적회로의 경우에는 칩상에 형성된 모든 회로(입력회로, 내부회로, 출력회로)는 전원선에 공통으로 접속되어 있기 때문에 출력버퍼의 구동을 통해 발생된 전원잡음은 입력회로에서 검출된 입력신호의 레벨을 변화시키게 된다. 따라서 입력신호에 잡음이 포함되지 않는 경우에도 입력회로는 잡음을 포함한 것처럼 동작하게 된다.

즉, "0"레벨의 입력신호가 입력회로로 공급되는 동안 전원선 및 접지선의 전위를 낮추는 전원잡음이 되는 경우에는 입력신호의 전위가 명백히 상승하게 되므로 입력회로는 이 신호를 "1"레벨의 신호로서 검출하게 되고, 역으로 "1"레벨의 입력신호가 입력회로로 공급되는 동안 전원잡음이 발생하는 경우에는 입력신호의 저위가 분명히 낮아지게 되므로 입력회로는 이 신호를 "0"레벨의 신호로서 검출하게 된다.

따라서 통상 입력회로는 슈미트트리거회로로 구성하여 상기한 입력신호의 오검출이 일어나지 않도록 하고 있다. 이러한 슈미트트리거회로는 각각 다른 2개의 임계치전압(VON, VOFF)을 갖추고 있는데, 그중 제1전압(VON)은 입력신호가 "0"레벨로부터 "1"레벨로 상승하는 것을 검출하는데 사용되고, 제2전압(VOFF)은 입력신호가 "1"레벨로부터 "0"레벨로 강하되는 것을 검출하는데 사용된다. 잘알려진 바와 같이 슈미트트리거회로는 히스테리시스 입출력특성을 갖는다.

입력회로를 슈미트트리거회로로 구성하는 경우에는 다음과 같은 이점을 얻을 수 있다. 즉, 전원잡음이 슈미트트리거회로의 히스테리시스전압(=VON-VOFF)보다 대체로 작은 경우에는 회로의 오동작이 발생되지 않으므로, 히스테리시스전압이 높으면 높을수록 더 큰 입력회로의 잡음에 견딜 수 있게 된다. 그러나, 만일 입력회로의 히스테리시스전압이 소정값을 넘게 되면 입력신호의 동작마진이 감소하게 되므로, 히스테리시스전압을 소정값 이상으로 할 수 없게 된다. 따라서, 전원잡음이 큰 경우에는 입력회로의 오동작이 초래되게 되는 결점이 있다.

이에 본 발명은, 상기한 실정을 감안하여 발명된 것으로, 전원잡음이 발생되더라도 정확하게 동작할 수 있고, 입력신호에 대해 큰 동작마진을 갖는 반도체집적회로를 제공함에 그 목적이 있다.

상기한 목적을 달성하기 위한 본 발명의 반도체집적회로는 하나의 단일 칩상에 형성됨과 더불어 모두 공통전원선에 접속된 입력회로와 내부회로 및 출력회로를 갖추고; 상기 입력회로는 전원선과 신호출력단자 사이에 위치한 부하회로와, 상기 신호출력단자와 접지선사이에 직렬로 접속됨과 더불어 각각의 게이트에 입력신호가 공급되는 서로 동일 도전형인 제1 및 제2FET, 일단이 전원선에 접속됨과 더불어 다른 단이 상기 제1 및 제2FET의 직렬접속점에 접속되고 게이트가 상기 신호출력단자에 접속되는 제3FET, 일단의 소정의 전위가 공급됨과 더불어 다른 단이 상기 제1 및 제2FET의 직렬접속점에 접속되어서 전원선과 접지선의 전위가 내부회로 및 출력회로의 동작에 따라 변동할 때 제어신호에 의해 소정시간구간동안 턴온되는 제4FET를 포함하는 구성으로 되어 있다.

이하, 도면을 참조해서 본 발명의 실시예를 설명한다.

제 1 도는 본 발명에 따른 반도체집적회로에 설치되는 입력회로의 제1실시예를 나타낸 것으로서, 이 입력회로는 하나의 칩상에 내부회로 및 출력회로와 함께 형성되게 되고, 이 모든 3개의 회로(입력회로, 내부회로, 출력회로)는 공통전원선[전원(VDD)선, 접지(VSS)선]에 접속되게 된다.

제 1 도에 도시된 바와같이 입력회로는 캐패시터(C)와 N형 MOS FET(Q1~Q6)로 구성되어 있다. 여기서 캐패시터(C)와 MOS FET(Q1,Q2)는 서로 접속되어부스트랩(bootstrap)형 부하회로를 구성하고 있는데, 이 부하회로는 전원(VDD)선과 신호출력단자(VOUT)사이에 접속되고, 또 신호출력단자(VOUT)와 접지(VSS)선 사이에는 MOS FET(Q3,Q4)의 소오스-드레스트로가 직렬로 접속되어 입력신호(VIN)가 외부적으로 그 MOS FET(Q3,Q4)의 게이트로 공급되도록 되어 있다. 그리고 MOS FET(Q5)는 그 일단이 전원(VDD)선에 접속되면서 다른 단은 MOS FET(Q3, Q4)의 접속점에 접속되고, 그 게이트는 신호출력단자(VOUT)에 접속되어 있다. 또한 MOS FET(Q6)는 그 일단이 전원(VDD)선에 접속되면서 다른 단은 상기 MOS FET(Q3,Q4)의 접속점에 접속되고, 그 게이트에 제어신호( $\emptyset$ )가 공급되는데, 여기서 상기 제어신호( $\Phi$ )는 전원잡음이 발생하는 모든 시간구간동안 "1"레벨을 유지하게 된다.

상기한 바와같이 구성된 입력회로에 있어서, MOS FET(Q5)는 출력단자(VOUT)의 전위에 따라 제어되고 MOS FET(Q3,Q4)의 접속점에서의 전위는 MOS FET(Q5)의 동작상태에 따라 변하게 된다. 따라서 입력회로는 제 2 도에 실선으로 도시된 바와같은 히스테리시스특성을 갖게 된다.

한편, 전원잡음이 발생되는 소정기간동안 제어신호( $\Phi$ )는 "1"레벨로 유지되므로 MOS FET(Q6)는 그 기간동안 턴온되어 MOS FET(Q3,Q4)의 접속점에서의 전위는 상승하게 된다. 즉, 제 2 도에 점선으로 나타낸 바와같이 입력신호(VIN)와 출력신호(VOUT)가 각각 "0" 및 "1"레벨로 유지되는 동안 "0" 레벨의 제어신호( $\Phi$ )가 MOS FET(Q6)로 공급되어 임계치전압(VON)이 신호(VIN)가 신호(VON)로 상승하는 상승엣지에서 발생하게 된다.

그러므로 입력신호(VIN)의 "0"레벨이 검출될 때 접지전위(VSS)를 저하시키는 전원잡음이 발생되어 제 3 도에 도시된 바와같이 잡음이 "0"레벨의 입력신호(VIN)에 혼합되더라도 입력신호를 정확하게 검출할 수 있게 된다. 따라서 내부회로의 오동작을 방지할 수 있게 된다.

한편, 제어신호( $\Phi$ )는 소정기간이 경과된 후에는 다시 "0"레벨로 되므로 만일 전원잡음이 소멸하고 입력신호(VIN)의 레벨이 "0"에서 "1"로 변하면, 전압(VON)은 임계치전압으로 설정된다.

따라서 이러한 회로를 제 1 도에 도시된 반도체메모리의 입력회로로 사용하게 되면 출력버퍼의 구동중에 대체로 "0"레벨이 보상되는 열어드레스스트로브신호(CAS)나 행어드레스스트로브신호(RAS)의 입력회로로서 효과적이게 된다.

상기한 바와같이 전원잡음은 전원(VDD)선으로부터 큰 전류가 흘러나올때와 접지(VSS)선으로 큰 전류가 흐를 때 발생되므로, 제어신호( $\Phi$ )로서 예컨대 출력버퍼를 활성화시키기 위한 신호(OE1)의 상승시에 대응하여 "1"레벨로 상승되고 소정 시간구간동안 "1"레벨로 을 유지한후 "0"레벨 복귀되는 신호를 사용할 수 있게 된다.

제 4 도는 출력버퍼를 활성화시키는 신호(OE1)에 따라 소정기간동안 "1"레벨의 제어신호( $\Phi$ )를 발생시키는 제어신호발생회로의 구성을 도시해 놓은것으로서, 제 4 도에 있어서 참조부호12는 제 1 도에 도시한 입력회로를 나타내는데, 이 입력회로가12)는 내부회로(14) 및 출력회로(16)와 함께 하나의 칩(10)상에 형성되고, 더욱이 제어신호발생회로(18)도 칩(10)상에 형성되게 된다.

또한, 상기 제어신호발생회로(18)는 종속접속된 6개의 인버터(11~16)와, 5개의 N형 MOS FET(Q11~Q15)로 구성된다. 여기서 FET(Q11,Q12)는 각 소오스와 드레인사이 전류통로가 전원(VDD)선과 접지(VSS)선 사이에 직렬로 접속되면서, MOS FET(Q11)의 게이트에는 신호( $\overline{OE2}$ )가 공급되고 MOS FET(Q12)의 게이트에는 신호( $\Phi T1$ )가공급되게 된다. 또한 MOS FET(Q11,Q12)의 직렬 접속되어 있고, 접속점은 MOS FET(Q13)의 소오스와 드레인 사이의 전류통로를 통해 MOS FET(Q14)의 게이트에 MOS FET(Q13)의 게이트는 전원(VDD)선에 접속되어 있다. 그리고 내부회로에(14)로부터의 신호(OE1)는 MOS FET(Q15)의 드레인에 소오스가 접속된 MOS FET(Q14)의 드레인으로 공급되고, MOS FET(Q15)의 소오스는 접지(VSS)선에 접속되면서 신호( $\Phi T2$ )가 그 게이트로 공급되며, MOS FET(Q14,Q15)의 접속점의 전위가 제어신호( $\Phi$ )고서 입력회로(12)로 인가된다.

또한 신호(OE1)는 종속접속된 인버터중 제 1단 인버터(11)의 입력단자로 공급되어 신호( $\Phi T1$ )가 제 4인버터(14)의 출력으로서 출력되고, 신호( $\Phi T2$ )가 최종인버터(16)의 출력으로서 출력된다.

그리고 출력버퍼(16)가 활성화될 때 내부회로(14)로부터 출력되는 신호(OE1)는 "0"레벨로부터 "1"레벨로 상승하게 되고, 신호( $\overline{OE2}$ )는 "1"레벨로부터 "0"레벨로 떨어지게 되는데, 이때 제 5 도에 도시된 바와같이 신호( $\Phi T1$ )는 인버터(11~14)에 의한 신호(OE1)의 지연시간에 대응하는 시간후에 상승하게 되고, 신호( $\Phi T2$ )는 신호( $\Phi T2$ )H보다 인버터(15,16)에 의한 지연시간에 대응하는 시간만큼 더울 늦게 시간후에 상승하게 된다.

그러므로 제어신호발생회로(18)에 있어서 MOS FET(Q14,Q15)의 접속점으로부터 출력되는 제어신호( $\Phi$ )는 신호(OE1)의 상승후부터 신호( $\Phi T2$ )의 상승시까지의 시간구간동안 "1"레벨을 유지하게 된다.

제 6 도는 본 발명의 제 2 실시예에 따른 입력회로는 도시해 놓은 것으로서, 이 입력회로는 제 1 도에 도시된 입력회로와 유사한 방법으로 일단이 N형 MOS FET(Q3,Q4)의 접속점에 접속된 N형 MOS FET(Q6)의 게이트로 제어신호( $\Phi$ )를 인가함에 의해 히스테리시스특성이 변화된다. 단지 이 입력회로에 있어서는 MOS FET(Q6)의 다른 단이 전원(VDD)선 대신 접지(VSS)선에 접속되어 있다.

상기한 구성으로 된 입력회로에 있어서, 제어신호( $\Phi$ )가 "1"레벨로 되면, MOS FET(Q6)가 턴온되어 MOS FET(Q3,Q4)의 접속점의 전위가 낮아지게 된다. 이에따라 입력신호(VIN)가 "1"레벨이고, 출력단자의 전위, 즉 출력신호(VOUT)가 "0"레벨일 때 "1"레벨의 제어신호가 공급되면 입력신호(VIN)가 낮아질 때의 임계치전압(VOFF)이 VOFF'로 낮아지게 되므로 그 임출력특성은 제7도에 도시된 바와같이 되게 된다.

그러므로 입력신호(VIN)의 "1"레벨이 검출될 때 접지전위(VSS)를 상승시키는 전원잡음이 발생하여 "1"레벨의 입력신호(VIN)에 제 8 도에 도시한 바와같은 잡음이 혼합되더라도, VOFF가 VOFF'로 낮아져서 회로의 오동작을 방지할 수 있게 된다.

따라서, 상기한 입력회로는 출력버퍼의 구동중에 통상 "1"레벨로 되는 기록이네이블신호(WE)의 검출회로로서도 유효하게 된다.

제 9 도는 본 발명의 제3실시예에 따른 입력회로를 도시해 놓은것으로서, 이 입력회로에 있어서는

제 1 도에 도시된 회로에 부가해서 N형 MOS FET(Q7)가 MOS FET(Q3,Q4)의 접속점과 MOS FET(Q6)의 일 단 사이에 삽입되어 있는바, 이 MOS FET(Q7)의 스위칭동작은 신호입출력단자의 전위로 제어되게 된다.

이와같은 구성에 의하면 입력신호(VIN)가 "0"레벨에서 "1"레벨로 상승하기 시작하면, 신호출력단자의 전위가 낮아지기 시작하면서 트랜지스터(Q7)가 턴오프상태로 되어 MOS FET(Q6)에 의한 전하공급이 차단된다. 그러므로 이 회로에서는 입력신호가 "1"레벨에서 "0"레벨로 전위하는 도중에 제어신호(∅)가 "1"레벨로 되어도 임계치전압(VON)이 상승되지 않게된다. 따라서 출력신호(VOUT)의 변동이 방지되어 안정된 동작이 보정되게 된다.

더욱이 전원잡음이 발생하는 것은 출력버퍼의 구동시에만 한정되지 않고 예컨대 메모리 회로에서 비트선을 선충전시킬때에도 전원잡음이 발생되므로 제어신호(∅)를 선충전신호에 따라서 소정시간동안 "1"레벨로 설정하여도 잡음내량을 향상시킬수 있게 된다.

### (57) 청구의 범위

#### 청구항 1

입력회로(12)가 하나의 칩(10)상에 내부회로 (14) 및 출력회로 (16)와 함께 형성됨과 더불어, 이들 입력회로(12)와 내부회로(14) 및 출력회로 (16)가 전원선(VDD,VSS)에 공통으로 접속되어 있는 반도체 집적회로에 있어서, 상기 입력회로 (12)가, 전원전위공급단자(VDD)와 신호출력단자(VOUT) 사이에 배열된 부하회로와 상기 신호출력단자(VOUT)와 접지전위공급단자(VSS)사이에서 직렬로 접속됨과 더불어 각각의 게이트에 입력신호(VIN)가 공급되는 서로 동일 도전형인 제1 및 제2FET(Q3,Q4), 일단이 상기 전원전위공급단자(VDD)에 접속됨과 더불어 다른 단이 상기 제1 및 제2 FET(Q3,Q4)의 직렬접속점에 접속되고, 게이트가 상기 신호출력단자(VOUT)에 접속된 제3 FET(Q5) 및 일단에 소정 전위가 공급됨과 더불어 다른단이 상기 제1 및 제2 FET(Q3,Q4)의 직렬접속점에 접속되고 전원전위공급선과 접지전위공급선의 전위가 상기 내부회로(14) 또는 출력회로 (16)의 동작에 따라 변동될 때 제어신호(∅)에 의해 소정시간동안 턴온되는 제4 FET(Q6)를 포함하여 구성된 것을 특징으로 하는 쉬미트입력형 반도체집적회로.

#### 청구항 2

제 1 항에 있어서, 상기 제4FET(Q6)는 상기 출력회로(16)의 출력버퍼(16)가 구동된 후 소정의 시간 구간동안 턴온되는 것을 특징으로 하는 쉬미트입력형 반도체집적회로.

#### 청구항 3

제 1 항에 있어서, 상기 제4FET(Q6)의 일단이 상기 전원전위공급선에 접속되어 있는 것을 특징으로 하는 쉬미트입력형 반도체집적회로.

#### 청구항 4

제 1 항에 있어서, 상기 제4FET(Q6)의 일단이 상기 접지전위공급선에 접속되어 있는 것을 특징으로 하는 쉬미트입력형 반도체집적회로.

#### 청구항 5

제 3 항에 있어서, 상기 반도체 집적회로는 반도체 메모리이고, 상기 입력회로로 입력되는 입력신호는 행어드레스스트로브신호인 것을 특징으로하는 쉬미트입력형 반도체집적회로.

#### 청구항 6

제 3 항에 있어서, 상기 반도체 집적회로는 반도체 메모리이고, 상기 입력회로로 입력되는 입력신호는 열어드레스스트로브신호인 것을 특징으로하는 쉬미트입력형 반도체집적회로.

#### 청구항 7

제 3 항에 있어서, 상기 반도체 집적회로는 반도체 메모리이고, 상기 입력회로로 입력되는 입력신호는 출력이네이블 신호인 것을 특징으로하는 쉬미트입력형 반도체집적회로

#### 청구항 8

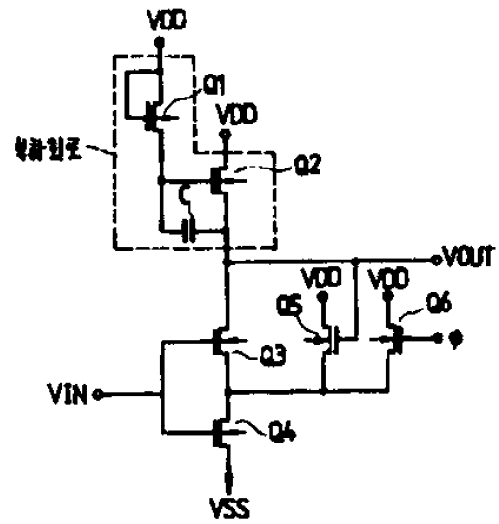
제 4 항에 있어서, 상기 반도체 집적회로는 반도체 메모리이고, 상기 입력회로로 입력되는 입력신호는 기록이네이블 신호인 것을 특징으로하는 쉬미트입력형 반도체 집적회로

#### 청구항 9

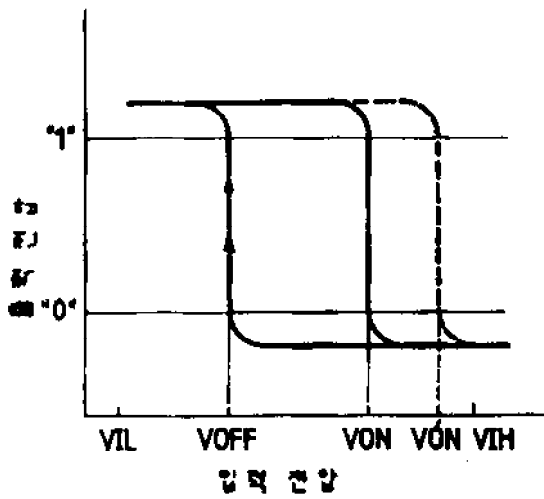
제 1 항에 있어서, 상기입력회로 (12)에, 상기 제1 및 제2FET(Q3,Q4)의 접속점과 상기 제4FET(Q6)의 다른 단사이에 그 소오스 및 드레인사이의 전류통로가 위치됨과 더불어, 신호출력단자(VOUT)의 전위에 의해 제어되는 제5FET(Q7)가 추가로 갖추어진 것을 특징으로 하는 쉬미트입력형 반도체집적회로.

### 도면

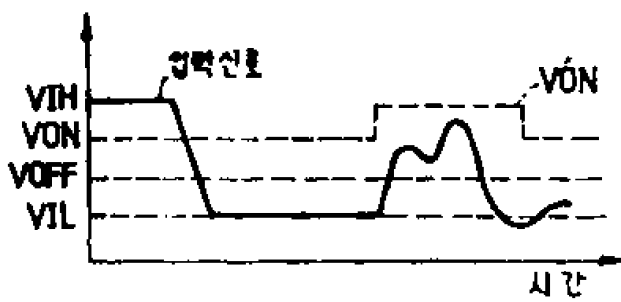
도면1



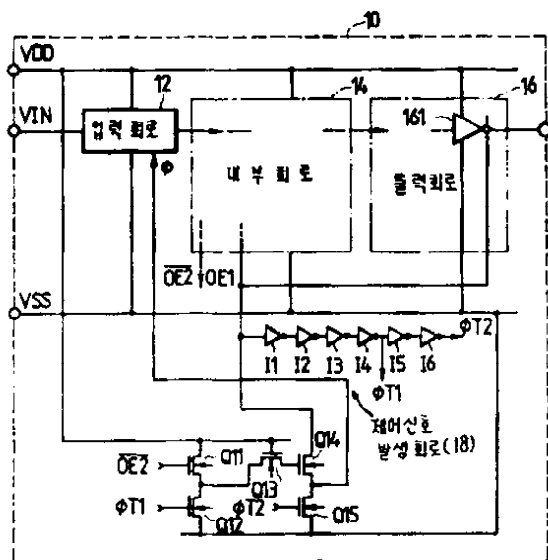
도면2



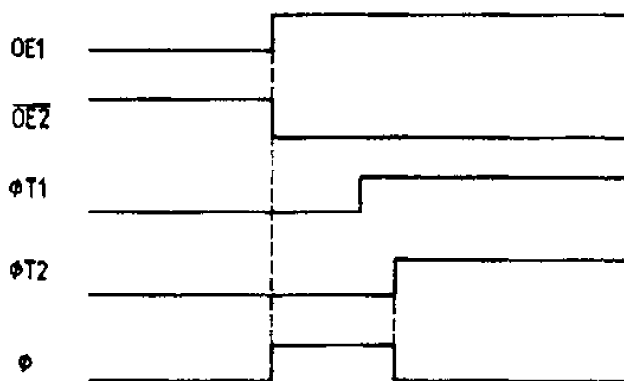
도면3



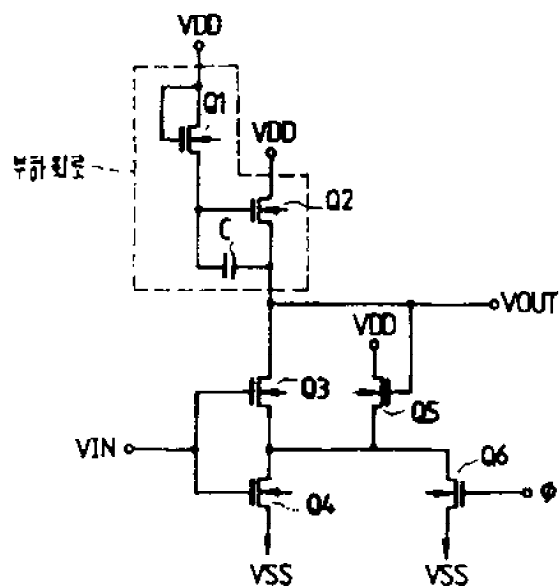
도면4



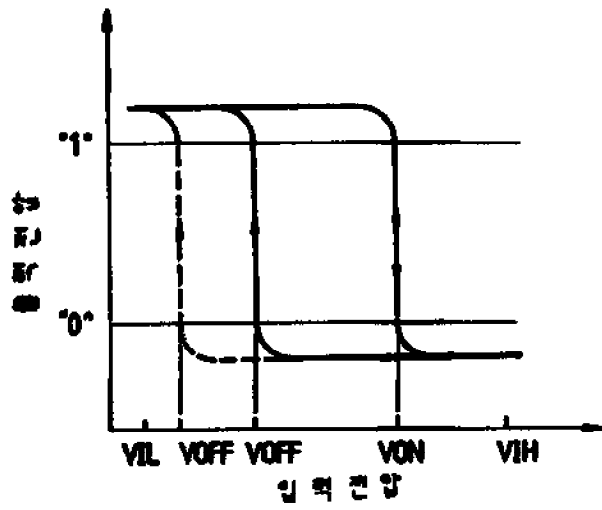
도면5



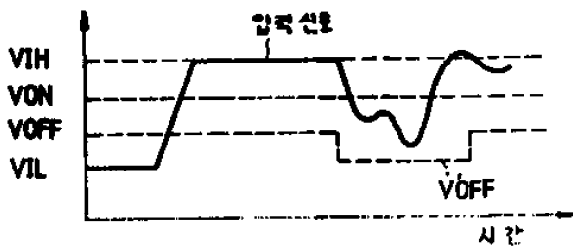
도면6



도면7



도면8



도면9

