

國 籍：(中) 日本
(英) JAPAN

5. 姓 名：(中) 河原尊之
(英) KAWAHARA, TAKAYUKI

國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/02/20 ; 2004-043948 ☒ 有主張優先權
2. 日本 ; 2005/01/07 ; 2005-001979 ☒ 有主張優先權

國 籍：(中) 日本
(英) JAPAN

5. 姓 名：(中) 河原尊之
(英) KAWAHARA, TAKAYUKI

國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2004/02/20 ; 2004-043948 ☒ 有主張優先權
2. 日本 ; 2005/01/07 ; 2005-001979 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於半導體裝置及半導體記憶裝置，特別是關於非揮發性記憶體或搭載有非揮發性記憶體之系統 LSI（微電腦）。

【先前技術】

以高速、高集成之非揮發性記憶體為目標，相變化記憶體之開發正往前邁進中。關於相變化記憶體，在非專利文獻 1、2、3 或專利文獻 1 中有記載。例如，如非專利文獻 1 所示般，在相變化記憶體中，稱為硫族化合物（chalcogenide）材料之相變化材料係利用依據狀態而電阻不同，以記憶資訊。相變化電阻之改寫，係藉由流通電流令其發熱，以使狀態改變來進行。也稱為重置（RESET）動作之高電阻（非晶質化），係藉由保持在比較高溫而進行，也稱為設定（SET）動作之低電阻化（結晶化），係藉由於足夠期間保持在比較低溫而進行。相變化材料之讀出動作，係在不使相變化電阻之狀態改變之範圍內通以電流而進行。

在非專利文獻 2 及專利文獻 1 中，係針對相變化電阻之特性做敘述。進而，在非專利文獻 3 中，係針對藉由相變化電阻與 NMOS 電晶體所構成之記憶體單元而做敘述。

在這些文獻中，不限於高速之 ROM（Read-Only Memory：唯讀記憶體），也述及非揮發性之 RAM（

(2)

Random Access Memory：隨機存取記憶體）之可能性，也言及一併具有 ROM 與 RAM 之功能的統合型記憶體之實現。相變化記憶體以相變化電阻之電極面積小者，可令以小的電力使相變化電阻做相變化故，微縮較為容易。另外，相變化電阻大為變化故，可以實現高速之讀出動作。基於這些理由，藉由相變化記憶體之高速非揮發性記憶體的實現受到期待。

[非專利文獻 1] 美國電機電子工程師學會國際固態電路會議，技術文獻摘要，第 202 頁至第 203 頁（2002 年）（2002 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 202-203.）

[非專利文獻 2] 美國電機電子工程師學會國際電子裝置會議，技術摘要，第 923 頁至第 926 頁（2002 年）（2002 IEEE International Electron Devices Meeting, Technical Digest, pp. 923-926.）

[非專利文獻 3] 非揮發性半導體記憶體工作會，技術文獻摘要，第 91 頁至第 92 頁（2003 年）（2003 Non-Volatile Semiconductor Memory Workshop, Digest of Technical Papers, pp. 91-92.）

[專利文獻 1] 日本專利特開 2003-100084 號公報

【發明內容】

[發明所欲解決之課題]

本申請案發明人等，在進行本申請案之發明時，針對

(3)

將相變化元件與微電腦混合搭載而使用一事做了檢討。在與微電腦混合搭載而使用之情形，爲了使相變化記憶體區塊的面積變小，相變化記憶體區塊所使用之 MOS 電晶體係考慮使用在微電腦之中央處理裝置等所使用之最小加工尺寸的 MOS 電晶體。但是，最小加工尺寸之 MOS 電晶體需要使用在中央處理裝置等所使用之核心電壓（例如 1.2V）。爲什麼呢？此係由於如將比核心電壓還高之電壓供應給 MOS 電晶體時，由於耐壓之關係，MOS 電晶體有被破壞之虞。但是，如使用在中央處理裝置等所使用之 MOS 電晶體時，電流只能流通 40 微安培之程度，有注意到，需要比較大的電流之 RESET 動作變得困難。因此，爲了使給予相變化元件之電壓變高，例如，如使用在輸入輸出電路等所使用之耐壓高的 MOS 電晶體時，則面積會增加。

另外，在 SET 時，雖需要通以比 RESET 時小之電流，在讀出時，雖需要通以比 SET 時小之電流，但是，在中央處理裝置等所使用之最小加工尺寸之 MOS 電晶體的電流偏差大之故，要控制電壓之施加而使個別之動作電流不重疊，如此會變得相當困難。因此，在 SET 時，資料被 RESET 之錯誤寫入，或在讀出中，資料被破壞之資料破壞乃變成問題。

如前述般，相變化記憶體區塊盡管係藉由基於流通於相變化材料之電流的大小，以使其之電阻值改變而記憶資訊，但是，利用相變化元件之記憶體區塊如使用在微電腦

(4)

等所使用之 MOS 電晶體時，要獲得大電流會變得困難，知道需要比較大電流之重置動作會變得困難。另外，MOS 電晶體彼此之電流有偏差故，在設定動作時，流通於相變化元件之電流值，與重置動作時，流通於相變化元件之電流值之間，知道需要採用大的餘裕。

[解決課題用手段]

如簡單說明在本申請案說明書所揭示之發明中的代表性者之概要，則如下述：

第 1：具有記憶體單元與輸入輸出電路，令記憶體單元所使用之 MOS 電晶體的臨界值電壓之絕對值比輸入輸出電路所使用之 MOS 電晶體之臨界值電壓之絕對值小。進而，期望使記憶體單元所使用之 MOS 電晶體之臨界值電壓的絕對值比中央處理裝置所使用之 MOS 電晶體之臨界值電壓的絕對值小。

第 2：對於記憶體單元，設置延伸存在於與字元線相同方向之源極線，在前述源極線設置源極驅動器電路。進而，期望前述源極線在讀取動作時，設為比接地電位還高之電位。

第 3：在對於記憶資訊之記憶體單元的設定動作時與重置動作時，令流通於源極線與位元線之電流之流向改變。

第 4：在待機時，對連接於記憶體單元之字元線供給負電壓。

(5)

第 5：對於記憶體單元之讀取動作時，對位元線供給比寫入時所供給之電壓還小之電壓。

第 6：對於記憶體單元，設置延伸存在於與字元線相同方向之源極線，令連接於源極線之記憶體單元之數目比連接於位元線之記憶體單元之數目多。

第 7：採用設置全域位元線，在前述全域位元線連接複數之位元線之構造。

第 8：任意地組合前述第 1 至第 7 之個別的構造。

[發明效果]

如依據本發明，可以實現在低電壓之穩定的動作。

【實施方式】

以下，針對本發明之半導體記憶裝置之幾個合適之事例，利用圖面加以說明。構成實施例之各功能區塊之電路元件，並無特別限制，係藉由周知之 CMOS（互補型 MOS 電晶體）等之積體電路技術，而形成在如單結晶矽之一個半導體基板上。圖面上，MOS 電晶體之基板電位的連接上，雖無特別加以明記，但是，只要 MOS 電晶體可正常動作之範圍，其連接方法並無特別限定。另外，在無特別事先指明之情形，設訊號之低位準為「L」，高位準為「H」。

第 1 圖係適用本申請案發明之單晶片微電腦 10 之一例。單晶片微電腦雖無特別限制，但是，係包含：中央處

(6)

理裝置 CPU、中斷控制電路 INTC、利用相變化元件之 4 百萬位元組 (MB) 之記憶體區塊 PCROM、1 千位元組 (KB) 之內部記憶體 RAM、計時器 TIM、串列通訊介面 SCI、A/D 轉換器 ADC、第 1 至第 9 輸入輸出埠 IOP1~IOP9、以及時鐘脈衝產生器 CPG，係藉由周知之半導體製造技術而形成在一個半導體基板上。

中央處理裝置 CPU 與中斷控制電路 INTC、4MB 之相變化記憶體 PCROM、1KB 之內部記憶體 RAM、計時器 TIM、SCI、A/D 轉換器 ADC、第 1 至第 9 輸入輸出埠 IOP1~IOP9 係藉由內部匯流排 1000 而相互連接，藉由中央處理裝置 CPU 之控制，進行讀取／寫入。前述內部匯流排 1000 係包含位址匯流排、資料匯流排、讀取訊號、寫入訊號、功能區塊選擇訊號、及系統時鐘脈衝等。系統時鐘脈衝係以未圖示出之水晶振盪元等為基準，由時鐘脈衝產生器 CPG 所適當產生。另外，也可以不連接水晶振盪元，而輸入外部時鐘脈衝。電壓產生電路 VGEN 係接受外部電壓 VDDC (例如 1.2V)，供應相變化記憶體 PCROM 所使用之電壓。另外，在本實施例中，外部電壓係被供應以 VDDC 與 VDDI (例如 3.3V)，VDDC 係被供應給中央處理裝置 CPU 等之電路區塊，VDDI 係被供應給輸入輸出電路 IO。另外，在由外部只供應 1 種之電壓的情形，也可將藉由電壓產生電路 VGEN 所產生之電壓供應給中央處理裝置 CPU 等之電路區塊。

中斷控制電路 INTC 係控制來自計時器 TIM、串列通

(7)

訊介面 SCI、A/D 轉換器 730 等之中斷要求訊號，對 CPU 要求中斷。輸入輸出埠 IOP1~IOP9 係兼用為位址匯流排輸出、資料匯流排輸入輸出、匯流排控制訊號輸入輸出、中斷要求訊號輸入等。這些兼用功能係藉由動作模式及軟體所選擇。另外，各輸入輸出埠 IOP1~IOP9 係藉由輸入輸出電路 IO 而連接於外部端子。另外，輸入輸出電路 IO 係被供應以比供應給中央處理裝置 CPU 等之內部電路的電壓還高之電壓。

第 2 圖係顯示說明本發明用之前述單晶片微電腦的重要部位之概念圖。第 2 圖係顯示利用相變化元件所構成之記憶體區塊 100 與控制記憶體區塊 100 之記憶體控制器 MEM_CNT、鎖存器電路 (FF0、FF1、FF2、FF3)、中央處理裝置 CPU、輸入輸出電路 IO。

記憶體區塊 100 之詳細，於之後做說明。記憶體控制器 MEM_CNT 係藉由控制電路 CONTROL 以及用於確認寫入資料是否被正確寫入之比較電路 CMP 所構成。控制電路 CONTROL 係包含有，測量將寫入動作之記憶體單元予以低電阻化之 SET 動作的時間之計時器電路 TIMER_SET，及測量將記憶體單元予以高電阻化之 RESET 動作的時間之計時器電路 TIMER_RESET。記憶體控制器 MEM_CNT 係接受寫入資料 WDATA 及寫入許可訊號 WE、讀出許可訊號 RE，產生寫入資料 WDATAI 及控制訊號 CNT，以控制記憶體區塊 100。計時器電路 TIMER_SET 係將令 SET 動作結束之控制訊號 SETEND 輸出於記憶體

(8)

區塊 100，計時器電路 TIMER_RESET 係將令 RESET 動作結束之控制訊號 RESETEND 輸出於記憶體區塊 100。比較電路 CMP 係比較從記憶體區塊 100 所讀出之資料 RDATAI 與寫入資料 WDATAI 而輸出比較結果 WCH。對鎖存器電路 (FF0、FF1、FF2、FF) 輸入以在第 1 圖之時鐘脈衝產生器 CPG 中所產生之記憶體專用時鐘脈衝 CK_MEM。

接著，利用第 3 圖說明動作。開始，係在待機狀態 STANDBY。接著，以寫入週期 WRITE 來寫入資料。位址 ADD 與寫入資料 WDATA、寫入許可訊號 WE 係由中央處理裝置 CPU 而給予鎖存器電路 (FF0、FF1、FF2)，記憶體專用時鐘脈衝 CK_MEM 一由「L」變成「H」時，位址 ADD 被取入記憶體區塊 100，寫入資料 WDATA 與寫入許可訊號 WE 被取入記憶體控制器 MEM_CNT。記憶體控制器 MEM_CNT 係藉由產生寫入資料 WDATAI 與控制訊號 CNT 而送給記憶體區塊 100，得以開始在記憶體區塊 100 之寫入動作。在本發明中，寫入週期 WRITE 係被分為設定週期與重置週期。開始，進行 SET 動作，藉由計時器電路 TIMER_SET 以測量 SET 時間。一經過所期望之時間時，藉由將 SET 動作結束訊號 SETEND 送給記憶體區塊 100，在記憶體區塊 100 中，結束 SET 動作，開始 RESET 動作。同時，藉由計時器電路 TIMER_RESET，開始 RESET 時間之測量，一經過所期望之時間時，將 RESET 動作結束訊號 RESETEND 送往記憶體區塊 100，結束在記

(9)

記憶體區塊 100 之 RESET 動作。之後，因應需要，爲了確認寫入是否被正確進行，進行確認動作。在確認動作中，將寫入資料由記憶體區塊 100 予以讀出，以比較電路 CMP 來比較讀出的資料 RDATAI 與寫入資料 WDATAI，在一致之情形，WCH 由 `L` 變成 `H`，以確認被正確寫入。假如不一致，再度進行寫入。一正確地進行寫入，則將寫入結束訊號 WEND 送返中央處理裝置 CPU。另外，確認動作可以予以刪除，在此情形，比較電路 CMP 可以刪除。

在 READ 週期中，讀出資料。位址 ADD 與讀出許可訊號 RE 由中央處理裝置 CPU 而給予鎖存器電路 (FF0、FF3)，記憶體專用時鐘脈衝 CK_MEM 一由 `L` 變成 `H` 時，位址 ADD 被取入記憶體區塊 100，讀出許可訊號 RE 被取入記憶體控制器 MEM_CNT。記憶體控制器 MEM_CNT 係藉由產生控制訊號 CNT 而送往記憶體區塊 100，得以開始在記憶體區塊 100 之讀出動作。所讀出之資料 RDATAI 係經由記憶體控制器 MEM_CNT 而被送往中央處理裝置 CPU，讀出動作結束。另外，不用說 WRITE 動作與 READ 動作並無連續的必要。

接著，第 4 圖係顯示第 1 圖之計時器電路 (TIMER_SET、TIMER_RESET) 之詳細。計時器電路 TIMER_SET 係將 n 個正反器電路 FF_A 串聯連接之電路。另外，計時器電路 TIMER_RESET 係將 m 個正反器電路 FF_B 串聯連接之電路。在正反器電路 FF 中，清除訊號端

(10)

子 CLR 爲「L」位準時，經常對輸出端子 Q 輸出「L」位準。清除訊號端子 CLR 爲「H」時，時鐘脈衝端子 CK 一由「L」變成「H」時，將輸入端子 D 之值輸出於輸出端子 Q。在個別之正反器電路 FF 中，輸出端子 Q 係藉由反相器電路 INV 而連接於輸入端子 D。由中央處理裝置 CPU 來之基本時鐘脈衝訊號 CK_CPU 被輸入於計時器電路 TIMER_SET 之第 1 段的正反器 FF_A_0 與計時器電路 TIMER_RESET 之第 1 段的正反器 FF_B_0 之時鐘脈衝端子 CK。在此外之正反器電路 FF 中，前段之正反器電路之輸出端子 Q 則連接於時鐘脈衝端子 CK。計時器電路 TIMER_SET 之正反器電路 FF_A 的清除訊號端子 CLR 係連接有清除訊號 CLR_CPU。計時器電路 TIMER_SET 之最終段之正反器電路 FF_A_n 之輸出係成爲控制訊號 SETEND。另外，計時器電路 TIMER_RESET 之最終段的正反器電路 FF_B_m 之輸出係成爲控制訊號 RESETEND。計時器電路 TIMER_RESET 之正反器電路 FF_B 之清除訊號端子 CLR 係連接有控制訊號 SETEND。

在計時器動作前，清除訊號 CLR_CPU 係爲「L」，一成爲「H」時，SET 時間之測量由計時器電路 TIMER_SET 開始。基本時鐘脈衝訊號 CK_CPU 如轉換 $2n-1$ 次時，控制訊號 SETEND 由「L」變成「H」，輸出 SET 結束時刻。因此，爲了獲得所期望之 SET 時間，需要事先設定 n 之值。控制訊號 SETEND 一由「L」變成「H」時，此次，RESET 時間之測量由計時器電路

(11)

TIMER_RESET 開始。基本時鐘脈衝訊號 CK_CPU 一轉換 $2m-1$ 次，則控制訊號 RESETEND 由 'L' 變成 'H'，輸出 RESET 結束時刻。因此，爲了能獲得所期望之 RESET 時間，需要事先設定 m 之值。

如此，使用計時器，令流通於記憶元件之時間不同，可以設定動作與重置動作產生誤動作。

< 記憶體單元所使用之 MOS 電晶體之臨界值 >

接著，利用第 5 圖詳細說明記憶體區塊 100。記憶體陣列 ARRAY 係藉由複數之字元線 WL 與複數之位元線 BL 所構成，在字元線 WL 與位元線 BL 之交點連接有記憶體單元 CELL。各記憶體單元 CELL 係如舉記憶體單元 CELL00 之例所示般，以節點 N1 與字元線連接，以節點 N2 與位元線連接，以節點 N3 與接地電位連接。第 6 圖係顯示各記憶體單元 CELL 之詳細。記憶體單元之各個係以 N 通道型 MOS 電晶體 MN00 與記憶元件之 PCM00 所構成。記憶元件 PCM00 例如係稱爲相變化元件之元件，其特徵爲例如，在結晶狀態下，係爲 $1K\Omega \sim 10K\Omega$ 程度之低電阻，在非晶質狀態下，係爲 $100K\Omega$ 以上之高電阻的元件。另外，記憶元件 PCM00 可以施加在記憶元件之溫度而使其狀態改變。具體爲，藉由對記憶元件施加高的溫度，成爲非晶質狀態，藉由施加低的溫度，成爲結晶狀態。記憶元件 PCM00 成爲非晶質狀態，或成爲結晶狀態，係藉由變更流經記憶元件 PCM00 之電流值、及對記憶元件

(12)

PCM00 流通電流之時間，使得記憶元件 PCM00 之狀態改變。記憶元件 PCM00 雖無特別限制，但是，係使用稱為硫族化合物材料之相變化材料。硫族化合物材料係有 GeSbTe（鍺銻碲）或 ZnTe（鋅碲）等。字元線 WL0 係藉由節點 N1 而連接於 N 通道型 MOS 電晶體 MN00 之閘極，控制 N 通道型 MOS 電晶體，在選擇狀態成為導通狀態，在非選擇狀態成為關閉狀態。另外，本實施例之記憶體單元係依據記憶元件 PCM00 之電阻值，即流通於位元線與源極線之電流值的大小而讀出資訊。因此，可以如（a）圖所示般，相變化元件 PCM00 之一方的端子藉由節點 N3 而連接於接地電位，也可以如（b）圖所示般，PCM00 之一方的端子藉由節點 N2 而連接於位元線。如使用如（b）圖所示之記憶體單元，N 通道型 MOS 電晶體之源極直接連接於接地電位故，N 通道型 MOS 電晶體之閘極與源極的電壓變大，與（a）之記憶體單元比較，可以獲得大的電流。另外，在本說明書中，只要不特別言及，係使用（a）圖所示之記憶體單元。

於字元線 WL 係連接有字元驅動器電路（102、103）。例如，字元驅動器電路 102 係由反相器電路 INV0 所構成，藉由解碼器電路 ADEC 之資料，而選擇一個之字元線 WL。

於位元線 BL 係連接有預先充電電路（104、105、106、107）。具體為，例如預先充電電路 104 係以 P 通道型 MOS 電晶體 MP20 所構成，於汲極連接有位元線 BL0

(13)

，於閘極連接有控制訊號 PC0，於源極連接有電源電位線。另外，預先充電電路（104、105、106、107）係間隔一個而連接於控制訊號線 PC0、PC1。因此，並聯讀出、寫入之位元線 BL 係相隔一個而受到控制。即鄰接進行讀出動作或寫入動作之記憶體單元的記憶體單元，一定成為非選擇狀態。藉此，發熱之記憶體單元變成相隔一個，可以防止局部性地產生熱，能謀求提升半導體積體電路之穩定動作。

於位元線進而連接有寫入／讀出電路。例如，寫入／讀出電路係藉由對於位元線 BL0、BL1 之寫入電路 WTC、讀出位元線 BL0 之資料之感測放大器電路 150、讀出位元線 BL1 之資料之感測放大器電路 151 所構成。在寫入／讀出電路中，讀出資料 RDATAI0 被輸出，寫入資料 WDATAI0 被輸入。

控制電路 CNTL 係由記憶體控制器 MEM_CNT 接受控制訊號（SETEND、RESETEND、YADD、CNT）訊號，產生控制訊號（RS、PC、YSW、YSR）而予以輸出。

第 7 圖係顯示本發明之剖面圖。顯示有在記憶體單元 CELL 內所使用之 N 通道型 MOS 電晶體 MN_MEN_LVT、記憶體之周邊電路或中央處理裝置 CPU、鎖存器電路 FF 等之核心電路所使用之 N 通道型 MOS 電晶體 MN_CORE 與 P 通道型 MOS 電晶體 MP_CORE、輸入輸出電路 IO 等所使用之 N 通道型 MOS 電晶體 MN_IO 與 P 通道型 MOS 電晶體 MP_IO。製造為在記憶體單元 CELL 或核心電路所

(14)

使用之電晶體的閘極氧化膜（SI00、SI01、SI02）之厚度成為相等，製造為變成比在輸入輸出電路 IO 所使用之電晶體的閘極氧化膜（SI03、SI04）之厚度還薄之構造。另外，製造為閘極氧化膜（SI00、SI01、SI02）之橫方向的長度（通道長）成為相等，變成比在輸入輸出電路 IO 所使用之電晶體的閘極氧化膜（SI03、SI04）之橫方向的長度更短之構造。另外，在輸入輸出電路 IO 所使用之 N 通道型 MOS 電晶體 MN_IO 與 P 通道型 MOS 電晶體 MP_IO 之源極／汲極間供應以高電壓（例如 3.3V），在記憶體單元 CELL 內所使用之 N 通道型 MOS 電晶體 MN_MEM_LVT 與記憶體之周邊電路或中央處理裝置 CPU、鎖存器電路 FF 等之核心電路所使用之 N 通道型 MOS 電晶體 MN_CORE 與 P 通道型 MOS 電晶體 MP_CORE 之源極／汲極間供應以即使最大也比供應給輸入輸出電路 IO 之電壓還小之電壓（例如 1.2V）。

在本實施例中，於記憶體單元 CELL 所使用之電晶體 MN 係設為比輸入輸出電路 IO 所使用之 MOS 電晶體的臨界值電壓還小。輸入輸出電路 IO 所使用之 MOS 電晶體係被供應以高電壓故，為了抑制洩漏電流，係使用 0.7V 程度之比較高臨界值之 MOS 電晶體。相對於此，在使用相變化元件之情形，需要獲得充分之電流故，係使用臨界值電壓比輸入輸出電路所使用之 MOS 電晶體小，例如具有 0.5V 程度之臨界值電壓之 MOS 電晶體。藉此，與使用具有與輸入輸出電路 IO 相同程度之臨界值電壓的 MOS 電晶

(15)

體比較，可以獲得大的電流，能夠進行設定動作。另外，可獲得大的電流值故，設定動作、重置動作、讀取動作之電流的分開變得容易。在此情形，藉由設為與在中央處理裝置等所使用之 MOS 電晶體 MN CORE、MP CORE 同等之臨界值電壓，可以抑制光罩之追加，降低半導體裝置（微電腦等）之製造成本。

另外，本實施例之記憶元件係以記憶元件之結晶／非結晶狀態（或者電阻值）來記憶資訊故，即使設電晶體 MN 之臨界值電壓比較低，也不會有如以蓄積在電容器之電荷量來記憶資訊之 DRAM 般，所記憶的資訊被破壞的情形。

第 8 圖係顯示本發明之剖面圖的其他例子。與第 7 圖不同之點為，在所供給之最大的電壓相同之記憶體單元與中央處理裝置等中，記憶體單元所使用之 N 通道型 MOS 電晶體 MN_MEM_LVT 之臨界值電壓的絕對值比起在記憶體之周邊電路或中央處理裝置 CPU、鎖存器電路 FF 等之核心電路所使用之 N 通道型 MOS 電晶體 MN_CORE 與 P 通道型 MOS 電晶體 MP_CORE 之臨界值電壓的絕對值（例如 0.5V 程度），使得在記憶體單元所使用之 MOS 電晶體之臨界值電壓的絕對值更小（例如 0.2V～0V 之程度）。藉由如此，可以獲得更大之電流。藉此，可一面抑制面積之增加，一面獲得設定動作所必要之大的電流，變成能夠混合搭載於微電腦等。另外，可以獲得大電流故，變成可取得設定動作與重置動作之餘裕，能獲得相變化記憶體

(16)

之穩定動作。

第 29 圖係顯示第 5 圖所示之記憶體陣列 ARRAY 的平面圖與其之剖面圖。在本實施例中，相變化元件 PCM 係成為各記憶體單元所固有具有之構造。另外，字元線 WL 與源極線 SL 係延伸存在於相同方向，位元線 BL 係延伸存在於與字元線 WL 或源極線 SL 交叉之方向。選擇電晶體與相變化元件 PCM 係藉由接觸部 CNTC 而連接，選擇電晶體與位元線 BL 係藉由引孔 VIA 而連接。此處，接觸部 CNTC 之平面狀的大小係設為比相變化元件 PCM 之大小還小。即與相變化元件 PCM 接觸之接觸部 CNTC 的面積係設為比相變化元件 PCM 之面積小。藉此，電流集中，可以進行效率高之相變化元件的寫入。

利用第 9 圖說明詳細之動作。開始，由待機狀態 STANDBY 進行寫入動作。寫入動作由 3 個步驟形成。首先，是令元件結晶化而予以低電阻化之 SET 動作，接著，令元件非晶質化而予以高電阻化之 RESET 動作，最後，檢查寫入動作是否正確進行之 VERIFY-READ 動作。SET 動作一開始時，位址 ADD 與寫入資料 WDATAI 被輸入。位址 ADD 係被分成輸入於解碼器電路 ADEC 之 X 系位址 XADD 與輸入控制電路 CNTL 之 Y 系位址 YADD。X 系位址係以解碼器電路 ADEC 所解碼，被選擇之一個的字元線 WD 係由「L」轉換為「H」。在本實施例中，字元線 WD0 被選擇。Y 系位址係在控制電路 CNTL 被解碼，成為選擇列之訊號（YSW、YSR）。寫入資料 WDATAI 系

(17)

藉由控制訊號 (YSWT、YSEB) 所控制，選擇性地被輸入位元線 BL。在本實施例中，控制訊號 (YSWT0、YSWB0) 被活化，寫入資料 WDATA11 之資料被輸入位元線 BL2，位元線上升。此處，寫入電位是設為比電源電位小之第 1 電位。藉由以上之動作，對於記憶體單元 CELL02 之相變化元件 PCM02 開始 SET 動作。在 SET 動作中，例如位元線之電位設為 0.8V，在元件為高電阻化之情形，數微安培程度之電流繼續流通著。藉由設此狀態繼續 100 奈秒至數微秒 (例如，100 奈秒至 10 微秒)，元件結晶化而低電阻化。另一方面，對於事先低電阻化之元件也施加同樣之電壓。此時，變成 50 微安培以上之電流流通於元件。另外，在 SET 動作結束而低電阻化之元件，也流通以同樣大之電流。

藉由計時器電路 TIMER_SET 電路而測量 SET 時間，一到達所期望之時間時，SET 結束訊號 SETEND 由 ' L ' 變成 ' H '，位元線 BL2 慢慢由第 1 電位轉換為 ' L '。此轉換如太快，元件被非晶質化，電阻值提高故，至少需要花上 5 奈秒以上令其轉換。轉換一結束，開始對於記憶體單元 CELL00 之 RESET 動作。寫入資料 WDATA10 之資料被輸入位元線 BL0，位元線變成比第 1 電位高之第 2 電位，例如設為電源電位 1.2V。在元件低電阻化之情形，數十微安培程度之電流由位元線繼續流向源極線。藉由令此狀態繼續 5 奈秒至數十奈秒 (例如 20 奈秒至 100 奈秒)，元件變成熔融狀態。

(18)

藉由計時器電路 `TIMER_RESET` 電路測量 `RESET` 時間，一成為所期望之時間時，`RESET` 結束訊號 `RESETEND` 由「L」變成「H」，開始 `RESET` 結束動作。藉由使位元線 `BL0` 快速由「H」轉換為「L」，令施加在元件之電壓急遽降低而予以急冷。藉由此急冷，記憶元件 `PCM00` 未被結晶化而非晶質化，變成高電阻。另一方面，對於事先高電阻化之元件也施加同樣之電壓。此時，變成對元件流通以數微安培以上之電流。但是，此時間如是數 10 奈秒之程度，元件的電阻不會變化，不成為問題。

接著，說明檢查寫入動作是否正確進行之 `VERIFY-READ` 動作。在 `VERIFY-READ` 動作開始時，藉由將控制訊號 `PC0` 設為「L」，使被寫入之記憶體單元 `CELL` 所連接的位元線（`BL0`、`BL2`）例如預先充電為 0.5V。接著，如使字元線 `WL0` 由「L」活化為「H」，同時令預先充電控制訊號 `PC0` 由「L」成為「H」使之不活化，使電流由位元線（`BL0`、`BL2`）朝向源極線 `SL0` 流動。在記憶體單元 `CELL00` 寫入有高電阻之值故，位元線 `BL0` 幾乎沒有變化。另一方面，在記憶體單元 `CELL02` 寫入有低電阻之值故，位元線 `BL2` 快速放電。藉由快速（例如數奈秒）放電所產生之熱量受到限制，記憶元件 `PCM02` 之結晶構造沒有變化，可以防止資料破壞。例如，可設對於記憶元件 `PCM02` 之電壓施加時間為 2 奈秒至 10 奈秒。位元線之電位確定後，藉由列控制訊號（`YSRT0`、`YSRB0`）而選擇所期望之放大器電路（`CINV0`、`CINV4`），位元線（`BL0`、

(19)

BL2) 之訊號被當成讀出資料 (RDATAI0、RDATA1) 而輸出。

最後，說明讀出動作之 READ 動作。在 READ 動作開始時，藉由使控制訊號 PC0 成為「L」，將被寫入之記憶體單元 CELL 所連接之位元線 (BL0、BL2) 例如預先充電為 0.5V。接著，令字元線 WL0 由「L」成為「H」令其活化，同時，令預先充電控制訊號 PC0 由「L」成為「H」使其不活化，使電流由位元線 (BL0、BL2) 朝源極線 SL0 流動。在記憶體單元 CELL00 被寫入有高電阻之值故，位元線 BL0 幾乎沒有變化。另一方面，在記憶體單元 CELL02 被寫入有低電阻之值故，位元線 BL2 快速放電。位元線之電位確定後，藉由列控制訊號 (YSRT0、YSRB0) 選擇所期望之放大器電路 (CINV0、CINV4)，位元線 (BL0、BL2) 之訊號被當成讀出資料 (RDATAI0、RDATA1) 而輸出。

另外，在本實施例中，雖以時間分割而進行設定動作與重置動作，但是，並不限定於此，也可以並行進行設定動作與重置動作。

< 源極線控制 >

第 10 圖係說明第 2 圖之記憶體區塊 100 之其他的實施例圖。第 10 圖之記憶體區塊 100，如與第 5 圖之記憶體區塊比較，並非設記憶體單元之第 3 節點為接地電位，而是連接於源極線 SL。另外，於各源極線 SL 連接有源極

(20)

驅動器電路，做成可以控制電位之構造。另外，源極線是進行字元線單位之控制故，延伸存在於與字元線延伸存在方向相同之方向。源極驅動器電路係由“與”電路 AND0 所構成，藉由解碼器電路 ADEC 之資料與控制訊號 RS 可以控制源極線 SL。寫入電路係以反相器 CINV1、3、5、7 所構成。另外，連接於源極線之記憶體單元的數目比連接於位元線之記憶體單元的數目多。藉此，位元線其負載變輕，可以令其高速動作。

如前述般，如使用最小加工尺寸之 MOS 電晶體，則難於取得設定動作、重置動作之餘裕。因此，在本實施例中，設控制源極線成為可能，能變更在設定動作與重置動作所流通之電流的方向而構成。具體為，在流通比較小的電流之設定動作時，對位元線供應比源極線高之電位，在流通比較大的電流之重置動作時，對源極線供應比位元線高之電位。如此，藉由在設定動作與重置動作中，電流方向相反，在需要大的電流之 RESET 動作中，記憶體單元 CELL00 內之 N 通道型 MOS 電晶體 MN00 的閘極與源極之電位差變成電源電壓，可以獲得大的電流。另一方面，在比較小的電流即已經足夠之 SET 動作中，記憶體單元 CELL02 之 N 通道型 MOS 電晶體 MN02 的閘極與汲極之電位差變成比電源電位小之值，可以抑制為比較小的電流，容易區別 SET 動作與 RESET 動作。換言之，可在設動作時與重置動作時之電流值之間，取得大的餘裕。另外，在設定動作中，對位元線供應高電位故，節點 N3 側變成源

(21)

極，在重置動作中，對源極線供應高電位故，節點 N2 側成爲源極。進而，在設定動作中，閘極與源極之電位差變成比電源電壓小，此是閘極與源極線 SL0 之電位差即使爲電源電位，也有基於記憶元件 PCM02 所致之電壓降低份之故。另外，在第 5 圖所示之記憶體區塊中，設定動作、重置動作都驅動位元線，且爲了區別設定動作、重置動作，供應 2 種不同之電位。相對於此，在本實施例中，依據相變化元件之特性，藉由變更流經記憶體單元之電流的方向，可使供應給位元線之電位成爲 1 種類，會有寫入電路能變得簡化之情形。另外，在將記憶體單元設爲第 6 (b) 圖所示之構造的情形，不用說，電位關係變成相反。另外，在只令電流相反而無法做設定動作之情形，也可以於設定動作與重置動作中，變更位元線與源極線之間的電位差。在此情形，可以取得大的設定動作與重置動作之電流差故，控制也變得容易。

接著，利用第 11 圖說明詳細之動作。至 SET 動作開始之解碼器電路、字元線驅動電路等之動作，係與第 9 圖相同。在本實施例之 SET 動作中，例如，位元線之電位爲電源電壓之 1.2V，源極線 SL 保持爲 0V，元件高電阻化之情形，數微安培程度之電流繼續流通著。此電壓差可以設爲比電源電壓還小之值，也可以設爲比其還大之值，但是，藉由設爲相同之電源電壓，可使電壓產生電路 VGEN 之規模變小。藉由使此狀態持續 100 奈秒至數微秒（例如 100 奈秒至 10 微秒），元件結晶化而低電阻化。

(22)

另一方面，在預先低電阻化之元件也施加同樣之電壓。此時，變成對元件流通以 50 微安培以上之電流。另外，SET 動作結束而低電阻化之元件，也流通以同樣大之電流。

藉由計時器電路 TIMER_SET 電路而測量 SET 時間，一到達所期望之時間時，SET 結束訊號 SETEND 由「L」變成「H」，源極線 SL0 慢慢由「L」轉換為「H」。此轉換如太快，元件被非晶質化，電阻值提高故，至少需要花上 5 奈秒以上令其轉換。源極線 SL0 如慢慢轉換，在浮置狀態之位元線 (BL1、BL3) 也慢慢由「L」轉換為「H」。轉換一結束時，開始對於記憶體單元 CELL00 之 RESET 動作。在 RESET 動作中，例如，位元線之電位為 0V，源極線 SL 保持在電源電壓 1.2V，元件低電阻化之情形，數十為安培程度之電流由源極線持續流向位元線。藉由令此狀態繼續 5 奈秒至數十奈秒 (例如 20 奈秒至 100 奈秒)，元件變成熔融狀態。

藉由計時器電路 TIMER_RESET 電路測量 RESET 時間，一成為所期望之時間時，RESET 結束訊號 RESETEND 由「L」變成「H」，開始 RESET 結束動作。令控制訊號 PC0 由「H」轉換為「L」，令位元線 BL0 由「L」快速轉換為「H」，令施加在元件之電壓急遽降低而予以急冷。藉由此急冷，記憶元件 PCM00 未被結晶化而非晶質化，變成高電阻。為了令在非晶質化所需要之轉換時間 TF (例如數奈秒) 以下驅動位元線 BL 故，需要設

(23)

定令位元線之電容與預先充電用 P 通道型 MOS 電晶體（MP20、MP22）之導通電阻之積比轉換時間 T_F 短。具體為，可設連接於位元線之單元數為 128 位元或 256 位元之程度。另一方面，對事先高電阻化之元件也施加相同之電壓。此時，變成對元件流通以數微安培以上之電流。但是，此時間如是數 10 奈秒之程度，元件的電阻不會變化，不成為問題。因此，讀取時，藉由設對記憶元件施加電壓之時間為 2 奈秒至 10 奈秒，可以防止記憶破壞。

接著，說明檢查寫入動作是否正確進行之 VERIFY-READ 動作。在 □VERIFY-READ 動作開始時，藉由將控制訊號 PC0 設為「L」，使被寫入之記憶體單元 CELL 所連接的位元線（BL0、BL2）例如預先充電為電源電壓 1.2V。接著，如使字元線 WL0 由「L」活化為「H」，同時令預先充電控制訊號 PC0 由「L」成為「H」使之不活化，使電流由位元線（BL0、BL2）朝向源極線 SL0 流動。在記憶體單元 CELL00 寫入有高電阻之值故，位元線 BL0 幾乎沒有變化。另一方面，在記憶體單元 CELL02 寫入有低電阻之值故，位元線 BL2 快速放電。藉由快速（例如數奈秒）放電所產生之熱量受到限制，記憶元件 PCM02 之結晶構造沒有變化，可以防止資料破壞。位元線之電位確定後，藉由列控制訊號（YSRT0、YSRB0）而選擇所期望之放大器電路（CINV0、CINV4），位元線（BL0、BL2）之訊號被當成讀出資料（RDATAI0、RDATA1）而輸出。

最後，說明讀出動作之 READ 動作。在 READ 動作開

(24)

始時，藉由使控制訊號 PC0 成為「L」，將被寫入之記憶體單元 CELL 所連接之位元線 (BL0、BL2) 例如預先充電為電源電壓 1.2V。接著，令字元線 WL0 由「L」成為「H」令其活化，同時，令預先充電控制訊號 PC0 由「L」成為「H」使其不活化，使電流由位元線 (BL0、BL2) 朝源極線 SL0 流動。在記憶體單元 CELL00 被寫入有高電阻之值故，位元線 BL0 幾乎沒有變化。另一方面，在記憶體單元 CELL02 被寫入有低電阻之值故，位元線 BL2 快速放電。位元線之電位確定後，藉由列控制訊號 (YSRT0、YSRB0) 選擇所期望之放大器電路 (CINV0、CINV4)，位元線 (BL0、BL2) 之訊號被當成讀出資料 (RDATAI0、RDATA1) 而輸出。

如此，藉由在設定動作與重置動作中，電流方向相反，在需要大的電流之 RESET 動作中，記憶體單元 CELL00 內之 N 通道型 MOS 電晶體 MN00 的閘極與源極之電位差變成電源電壓，可以獲得大的電流。另一方面，在比較小的電流即已經足夠之 SET 動作中，記憶體單元 CELL02 之 N 通道型 MOS 電晶體 MN02 的閘極與汲極之電位差變成比電源電位小之值，可以抑制為比較小的電流，容易區別 SET 動作與 RESET 動作。進而，由需要令慢慢轉換之設定動作做重置動作時，驅動源極線，需要快速轉換之重置動作結束時及讀取動作時 (包含確認讀取時)，驅動位元線，如此分開使用故，藉由對源極線附加大的負荷，令位元線之負荷變小，不需要附加特別之電路可以做轉換時間

(25)

之控制。

另外，在本實施例中，雖設記憶體單元之臨界值電壓比較小，但是，不一定要使記憶體單元之臨界值電壓變小。在本實施例中，即使在不設記憶體單元之臨界值電壓為小電壓之情形，在設定動作與重置動作中，藉由變更流經記憶體單元 CELL 之電流的方向，也可以獲得前述之效果。但是，藉由設記憶體單元之臨界值電壓為小電壓，可使流經記憶體單元之電流變大，設定動作與重置動作之電流控制變得容易，可以實現穩定之動作。

< 讀取時之洩漏電流防止 >

接著，利用第 12 圖說明第 2 圖之記憶體區塊 100 之其他的實施例。如前述般，藉由使利用最小加工尺寸之 MOS 電晶體所獲得之電流變大，可以獲得重置電流。但是，如令臨界值電壓變低，即使是非選擇狀態，MOS 電晶體之洩漏電流也變大，洩漏電流留在讀出動作時，流入位元線，成為雜訊而有無法予以忽視之情形。另外，即使不是故意使記憶體單元所使用之 MOS 電晶體的臨界值電壓變小，基於 MOS 電晶體之微細化，副臨界值電流等之洩漏電流產生，成為雜訊而會有無法忽視之情形。

因此，第 12 圖所示之記憶體區塊 110，如與第 10 圖比較，包含於字元驅動器電路之反相器電路 INV2 的接地電位端子係連接於電源線 VWDS，成為在非選擇狀態中，被供應以比接地電位低之負電位之構造。即在非選擇狀態

(26)

中，對包含於記憶體單元之 MOS 電晶體的閘極供應以負電位故，MOS 電晶體之電阻值上升，洩漏電流變得不易流動。

接著，利用第 13 圖說明動作。開始，位於待機狀態 STANDBY，字元線之電位變成比接地電位還低之值，即 -0.3V 。藉此，在記憶體單元 CELL 之 N 通道型 MOS 電晶體 MN 的閘極與源極之間被施加負電壓，可以降低洩漏電流。接著，進行寫入動作。設定動作與重置動作係與第 11 圖相同故，省略其說明。確認讀取動作時，選擇之字元線 WD 設為維持負電位。因此，在非選擇單元 CELL 之 N 通道型 MOS 電晶體 MN 的閘極與源極之間被施以負電壓，可以降低洩漏電流。藉此，可以防止基於非選擇記憶體單元 CELL 所致之位元線 BL 的電荷拔除，能高速進行穩定之讀出。另外，讀取動作也與確認讀取動作相同。

接著，利用第 14 圖說明解決基於非選擇單元 CELL 之洩漏電流所導致之雜訊問題之第 2 實施例的記憶體區塊 120。與第 10 圖之記憶體區塊主要的不同點是，源極驅動器電路 SDR 係由“與”電路 AND0、N 通道型 MOS 電晶體（MN20、MN21）、P 通道型 MOS 電晶體 MP30 所構成之點。另外，N 通道型 MOS 電晶體（MN20、MN21）與 P 通道型 MOS 電晶體 MP30 之閘極係連接於解碼器電路 ADEC 之資料。N 通道型 MOS 電晶體 MN21 之汲極係連接有電源線 SL。對電源線 SL 供應以比接地電位高、比電源電位低之源極線預先充電電位（例如 0.3V ）。另外，可

(27)

藉由控制訊號 RS 而控制源極線 SL。在本實施例中，源極驅動器電路係對待機狀態或非選擇狀態之源極線供應源極線預先充電電位。藉此，包含在非選擇狀態之記憶體單元之 MOS 電晶體的閘極與源極之間變成負電壓，可令洩漏電流減少。

接著，利用第 15 圖說明動作。另外，此處主要說明與第 11 圖之不同點。開始，處於待機狀態 STANDBY，字元線之電位成為接地電位。源極線 SL 係被設定為比接地電位高之值，例如 0.3V。藉此，在記憶體單元 CELL 之 N 通道型 MOS 電晶體 MN 的閘極與源極之間施加負電壓，可以減少洩漏電流。接著，進行寫入動作。在本實施例中，源極線被預先充電為 0.3V 故，SET 動作開始，字元線 WD0 受到選擇之同時，源極線 SL0 也成為接地電位。藉此，位元線 BL2 與源極線 SL0 之間產生電位差，記憶元件 PCM02 結晶化。接著，SET 結束訊號 SETEND 由「L」變成「H」，源極線 SL0 慢慢由「L」轉換為「H」。轉換一結束，位元線 BL0 與源極線 SL0 之間產生電位差，開始對於記憶體單元 CELL00 之 RESET 動作，記憶元件 PCM00 非晶質化。

接著，說明 VERIFY-READ 動作。VERIFY-READ 動作開始時，首先，將位元線預先充電為電源電位。接著，一令字元線 WL0 活化為「H」，電流由位元線（BL0、BL2）朝源極線 SL0 流動。此處，非選擇記憶體單元 CELL 之源極線 SL 變成比接地電位高之值故，在非選擇

(28)

單元 CELL 之 N 通道型 MOS 電晶體 MN 的閘極與源極兼施加負電壓，可減少洩漏電流。藉此，可以防止基於非選擇記憶體單元 CELL 所致之位元線 BL 的電荷拔除，能高速進行穩定之讀出。另外，讀取動作係與確認讀取動作相同。

如前述般，可以解決基於令記憶體單元所使用之電晶體的臨界值比 IO 電路所使用之 MOS 電晶體的臨界值小，且在設定動作與重置動作中，改變流通於記憶體單元之電流的方向之洩漏電流的問題，變成可以穩定動作。

另外，在第 12 圖～15 圖中，雖設記憶體單元之臨界值電壓比 IO 電路所使用之 MOS 電晶體的臨界值電壓小，但是，不一定要使記憶體單元之臨界值電壓比輸入輸出電路 IO 所使用之 MOS 電晶體的臨界值電壓小。例如，即使令與輸入輸出電路 IO 所使用之 MOS 電晶體的臨界值電壓相同，也有產生洩漏電流之情形。但是，藉由令記憶體單元所使用之 MOS 電晶體的臨界值電壓變小，可以一面獲得更大之電流，一面能進行穩定之讀出動作。另外，雖說明在設定動作與重置動作中，變更流通於記憶體單元之電流的方向，但是，並不限定於此。本實施例係在將產生洩漏電流之 MOS 電晶體使用於記憶體單元時，可以防止洩漏電流而降低讀出時之雜訊的實施例。

< 讀取時之資訊破壞防止 >

接著，利用第 16 圖說明第 2 圖所示之記憶體區塊

(29)

100 之其他的實施例。相變化元件係具有依據所被給予之溫度而電阻值改變之特性。因此，在令相變化元件記憶資訊之情形，雖然不需要改寫資訊，但是，在讀取時，會有電流通故，產生熱，資訊有被破壞之虞。此可藉由在讀取時（包含確認讀取時）快速令位元線放電，可以防止資訊破壞。但是，依據附加在位元線之電容等，會有無法快速放電之可能性。

因此，在本實施例中，在讀取動作時，藉由以比電源電位小，比源極線之電位大之電位（例如 0.6V）而預先充電位元線，在讀取時，可抑制流通於記憶體單元之電流值，防止資訊破壞。第 16 圖係顯示在讀取時，抑制流通於記憶體單元之電流值的記憶體區塊之實施例。與第 14 圖不同之主要點係如下述。

於位元線 BL 連接有讀取預先充電電路（134、135、136、137）。例如，預先充電電路 134 係以 P 通道型 MOS 電晶體 MP40 所構成，於汲極連接有位元線 BL0，於閘極連接有控制訊號 PC2，於源極連接有電源線 VBL。電源線 VBL 係比電源低之電壓，使用於讀出時。

於位元線 BL 也連接有放電電路（138、139、140、141），例如放電電路 138 係以 N 通道型 MOS 電晶體 MN40 所構成，於汲極連接有位元線 BL0，於閘極連接有控制訊號 DC0，於源極連接有接地電位。放電電路係使用於將位於位元線之電荷拔除為接地電位用。此係在 Y 開關 142、143、144、145 中，設位元線與感測放大器 150

(30)

之間為 P 通道型 MOS 電晶體故，無法將位元線拔除至接地電位故而所設置。另外，藉由設置放電電路，可高速拔除位元線。另外，在其他之實施例，為了高速拔除位元線，也可以設置放電電路。

於位元線 BL 進而連接有 Y 開關電路（142、143、144、145）。在 Y 開關電路（（142、143、144、145）也連接有寫入／讀出電路（150、151）。例如，Y 開關電路 142 係以 P 通道型 MOS 電晶體（MP45、MP50）所構成。P 通道型 MOS 電晶體 MP45 係使用在寫入時，汲極連接有位元線 BL0，閘極連接有控制訊號 YSW0，源極連接有寫入／讀出電路 150。P 通道型 MOS 電晶體 MP50 係使用於讀出時，汲極連接有位元線 BL0，閘極連接有控制訊號 YSR0，源極連接有寫入／讀出電路 150。

為寫入／讀出電路（150、151）之一的寫入／讀出電路 150 係由寫入電路之（INV4、INV14）與讀出電路所構成。讀出電路係藉由：以 N 通道型 MOS 電晶體（MN44、MN45、MN46）與 P 通道型 MOS 電晶體（MP58、MP59）所構成之感測放大器電路，與以 P 通道型 MOS 電晶體（MP54、MP55、MP56）所構成之感測放大器預先充電電路，與以 P 通道型 MOS 電晶體 MP57 所構成之參照用 Y 開關電路，與以反相器電路 INV5 所構成之輸出電路所成。感測放大器電路係由 P 通道型 MOS 電晶體（MP58、MP59）與 N 通道型 MOS 電晶體（MN44、MN45）所成之正反器，及令感測放大器活化之 N 通道型 MOS 電晶體 MN46

(31)

所成之門鎖型感測放大器電路。在 N 通道型 MOS 電晶體 MN46 之閘極連接有控制訊號 SA。感測放大器預先充電電路係由連接電源線 VBL 與感測放大器之內部節點之 P 通道型 MOS 電晶體 (MP54、MP55) 與均衡化感測放大器電路之內部節點之 P 通道型 MOS 電晶體 MP56 所構成。在 P 通道型 MOS 電晶體 (MP54、MP55、MP56) 之閘極連接有控制訊號 PC_AMP。參照用 Y 開關電路之 P 通道型 MOS 電晶體 MP57 的閘極係連接於控制訊號 YS_AMP，源極係連接於參照電壓之 VREF。在本實施例中，於讀出時，設位元線 BL 為比電源電位小之讀取電源電位 0.6V 故，使用差動型之感測放大器。另外，參照電位 VREF 可設為讀取電源電位與接地電位之間的電位。例如，在本實施例中，使用源極電位 VSL (例如 0.3V) 故，藉由構成為供給 VSL 之電位，可以使電壓產生電路 VGEN 變小。在寫入／讀出電路 150 中，讀出資料 RDATAI0 被輸出，寫入資料 WDATAI0 被輸入。藉由作成此種構造，在讀取時，可令位元線成為比電源電位小之電源電位，能令流通於記憶元件之電流變小，可防止資訊破壞，提升可靠性。

接著，利用第 17 圖、第 18 圖說明動作。設定動作、重置動作係與第 15 圖相同。另外，在本實施例中，設設定動作時之位元線與源極線之間的電位差比重置動作時之位元線與源極線之間的電位差小。在第 15 圖中，令預先充電為 0.3V 之源極線在設定動作時轉換為直到接地電位。但是，在設定動作時，如設與重置動作時之位元線與源

(32)

極線之間的電位差相同，會有電流通過太大之情形。因此，在本實施例中，於設定動作時，設為維持預先充電電位，與重置動作時比較，以較小的電位差進行設定動作。

接著，說明確認讀取動作。在 VERIFY-READ 動作開始時，藉由設控制訊號 PC2 成為「L」，將被寫入之記憶體單元 CELL 所連接之位元線 (BL0、BL2) 預先充電為電源線 VBL。電源線 VBL 之電位係設為比電源電位低之值，例如 0.6V。藉由設為比電源電位低之值，可以避免讀出破壞。接著，令字元線 WL0 由「L」活化為「H」之同時，將預先充電控制訊號 PC2 由「L」變成「H」使之不活化，令電流由位元線 (BL0、BL2) 朝源極線 SL0 流動。在記憶體單元 CELL00 寫入有高電阻之值故，位元線 BL0 幾乎沒有變化。另一方面，在記憶體單元 CELL02 寫入有低電阻之值故，位元線 BL2 快速被放電。位元線之訊號藉由控制訊號 YSR0 而被傳給感測放大器電路 (150、151)，藉由控制訊號 SA 而被放大，當成讀出資料 (RDATAI0、RDATA1) 而被輸出。在感測放大器電路之參照側係被供應以參照電位 VREF，在位元線 BL0 中，位元線之電位比 VREF 高，對於讀出資料 RDATAI0，「L」被輸出，在位元線 BL2 中，位元線電位比 VREF 低，對讀出資料 RDATAI1，「H」被輸出。在感測放大器電路中一被放大，即刻將位元線 (BL0、BL2) 放電為 0V。另外，讀取動作係與確認讀取動作相同。

如此，藉由令在讀出時之位元線與源極線之間的電位

(33)

差對於寫入時變得較低，在讀出時，流經記憶體單元之電流變小，可以防止資訊破壞。

在本實施例中，雖舉藉由降低施加在記憶元件之電壓以防止讀出破壞之例子，但是，令電壓施加在記憶元件之時間變短，於讀出破壞防止上也有效。在此情形，字元線導通後，預先充電位元線（BL0、BL2），以感測放大器放大資料後，即刻予以放電。設連接於位元線之記憶體單元之數目為例如 128 位元或者 64 位元，藉由使寄生電容變小，可高速地進行放電或充電，令在元件施加電壓之時間例如短至 2ns 以下，以防止讀出破壞。

< 轉換時間之控制 >

進而利用第 19 圖說明第 2 圖所使用之記憶體區塊 100 之其他的實施例。在將相變化元件使用於記憶元件之情形，如前述般，由設定動作時往重置動作時之轉換時，在重置動作結束時及讀取動作時（包含確認讀取動作時），於位元線或源極線之轉換時間有限制。具體為，由設定動作時之重置動作的轉換時，如源極線 SL0 之轉換太快，則元件非晶質化，電阻值上升故，至少需要花上 5 奈秒以上使之轉換。接著，在重置動作結束時，記憶元件不非晶質化故，需要藉由令位元線 BL0 由「L」快速轉換為「H」，急速降低施加於元件之電壓而予以急冷。進而，在讀取動作時，需要限制基於快速（例如數奈秒）放電所產生之熱量，不令記憶元件 PCM02 之結晶構造改變，以防止

(34)

資料破壞。即源極線之轉換需要花時間，位元線之轉換需要急速進行。

因此，需要對源極線給予大的負荷，對位元線給予小的負荷。因此，可設連接於一個源極線之記憶體單元的數目比連接於一個位元線之記憶體單元之數目大。

利用第 19 圖說明令連接於一個源極線之記憶體單元比連接於一個位元線之記憶體單元之數目大之記憶體區塊。在第 19 圖之記憶體區塊中，具有分別含有包含字元線 WL、位元線 BL 及記憶體單元 CELL 之複數的記憶體陣列 ARRAY，及預先充電電路，及讀取預先充電電路、Y 開關電路之複數的記憶體儲存區 BANK，及共通連接於複數之記憶體儲存區 BANK 之全域位元線。另外，全域位元線 GRBL 係包含讀出全域位元線 GRBL 與寫入讀出電路 GWBL，分別連接於讀出電路 SA、寫入電路 WA。Y 開關係設置在全域字元線與各儲存區之位元線之間，被分成讀出用與寫入用。此處，讀出用之 Y 開關 160、161、162、163 例如係如 MOS 電晶體 MN50、MN51 般，源極／汲極路徑連接在接地電位與全域位元線 GRBL0 之間，MOS 電晶體 MN50 之閘極係連接於位元線 BL0，MOS 電晶體 MN51 之閘極係連接於控制線 YSR0。如此，藉由以 Y 開關而將位元線分割為細的單位，可使連接於一個位元線之記憶體單元之數目變少。另外，藉由將重置結束時所使用之預先充電電路 104、105、106、107 設置於各記憶體儲存區 BANK 之位元線，可以高速提升位元線。進而，位元

(35)

線之負荷變小故，在讀出時，被高速放電，可以防止資料破壞。進而，讀出電路 SA 或寫入電路 WA 可在複數之記憶體儲存區 BANK 共通故，能使面積變小。

另外，在本實施例中，其特徵為，藉由分割位元線，令連接於位元線之記憶體單元的電容減少，可高速地進行放電，以防止資訊破壞，其他之構造，例如令記憶體單元之臨界值電壓變小，或改變設定時、重置時之電流的方向，皆可以適當刪除。

< 字元驅動器電路、源極驅動器電路之佈置 >

接著，利用第 20 圖至第 22 圖，說明字元驅動器電路 WDR 與源極驅動器電路 SDR 之佈置。第 20 圖係顯示字元驅動器電路 WDR 與源極驅動器電路 SDR 之佈置的第 1 例。字元驅動器電路 WDR 與源極驅動器電路 SDR 係沿著包含字元線 WL、位元線 BL、記憶體單元 CELL 之記憶體陣列 ARRAY 的 1 邊而配置。藉由如此配置，佈置變得簡單，尺寸容易變更。另外，圖中，雖只記載一個之記憶體陣列 ARRAY，但是也可以在位於字元驅動器電路 WDR、源極驅動器電路 SDR 之兩側的記憶體陣列 ARRAY 共有字元驅動器電路 WDR 與源極驅動器電路 SDR。藉由共有，可以增加連接於一個源極線之記憶體單元的數目，在由設定時轉換為重置時，變成可慢慢轉換，可以防止錯誤寫入。

第 21 圖係顯示字元驅動器電路 WDR 與源極驅動器電路 SDR 之佈置的第 2 例。第 21 圖中，沿著包含字元線

(36)

WL、位元線 BL、記憶體單元 CELL 之記憶體陣列 ARRAY 的一邊配置字元驅動器電路 WDR，在沿著對向之一邊配置源極驅動器電路 SDR。如此，藉由將字元驅動器電路 WDR、源極驅動器電路 SDR 排列為 2 列，可使面積變小。

第 22 圖係顯示字元驅動器電路 WDR 與源極驅動器電路 SDR 之佈置的第 3 例。第 22 圖中，設字元驅動器電路 WDR 與源極驅動器電路 SDR 為一組，配置在包含字元線 WL、位元線 BL、及記憶體單元 CELL 之記憶體陣列的兩側。如此，藉由將字元驅動器電路 WDR、源極驅動器電路 SDR 排列為 2 列，可使面積變小。另外，藉由使位於字元驅動器電路 WDR、源極驅動器電路 SDR 之兩側之記憶體陣列 ARRAY 共有，可進一步令面積變小之同時，可以增加連接於一個之源極線之記憶體單元之數目，由設定時轉換為重置時，變成慢慢轉換，可以防止錯誤寫入。另外，本佈置可與其他之實施例組合。

< 藉由內部記憶體之緩衝 >

接著，利用第 23 圖說明實施例 1 中說明之第系統 LSI (10) 之別的實施例之系統 LSI (20)。在矽基板上，於實施例 1 所示之系統 LSI10 外，形成有當成 1 次快取或者晶片式 RAM 使用之記憶體 SRAM。記憶體區塊 100 之詳細可以適用已經說明之各實施例。記憶體 SRAM 係在記憶體區塊 100 之動作頻率對於中央處理裝置 CPU 之動

(37)

作頻率為慢之情形，當成緩衝器使用。如此，藉由當成緩衝器使用，可以吸收動作頻率之不同，能令中央處理裝置 CPU 高速地動作。例如，在記憶體區塊 100 儲存中央處理裝置應處理之程式的情形，藉由以一個記憶體存取將 2 命令轉送於記憶體 SRAM，可以吸收動作頻率之不同。

接著，利用第 24 圖說明動作。開始，處於待機狀態 STANDBY。以第 1 週期 WRITE 進行寫入。位址 ADD 與寫入許可訊號 WE 由中央處理裝置 CPU 而給予鎖存器電路（FF0、FF1、FF2），寫入資料 WDATA 由記憶體 SRAM 而給予鎖存器電路（FF0、FF1、FF2），記憶體專用時鐘脈衝 CK_MEM 一由「L」變成「H」時，位址 ADD 被取入記憶體區塊 100，寫入資料 WDATA 與寫入許可訊號 WE 被取入記憶體控制器 MEM_CNT。記憶體控制器 MEM-CNT 係產生寫入資料 WDATA 與控制訊號 CNT，藉由送給記憶體區塊 100，開始在記憶體區塊 100 之寫入動作。首先，進行 SET 動作，藉由計時器電路 TIMER_SET 以測量 SET 時間。一經過所期望之時間時，藉由將 SET 動作結束訊號 SETEND 送給記憶體區塊 100，在記憶體區塊 100 中，結束 SET 動作，開始 RESET 動作。同時，藉由計時器電路 TIMER_RESET，開始 RESET 時間之測量，一經過所期望之時間時，將 RESET 動作結束訊號 RESETEND 送給記憶體區塊 100，結束在記憶體區塊 100 之 RESET 動作。之後，因應需要，為了確認寫入是否正確進行，而進行確認動作。在確認動作中，由記憶體區塊

(38)

100 讀出寫入之資料，以比較電路 CMP 比較讀出之資料 RDATAI 與寫入之資料 WDATAI，在一致之情形，WCH 由「L」變成「H」，得以確認已經被正確寫入。假如不一致，則再度進行寫入。如正確進行了寫入，將寫入結束訊號 WEND 送返中央處理裝置 CPU。

在第 2 週期 READ 中，讀出資料。位址 ADD 與讀出許可訊號 RE 由中央處理裝置 CPU 而給予鎖存器電路（FF0、FF3），記憶體專用時鐘脈衝 CK_MEM 一由「L」變成「H」時，位址 ADD 被取入記憶體區塊 100，讀出許可訊號 RE 被取入記憶體控制器 MEM_CNT。記憶體控制器 MEM_CNT 產生控制訊號 CNT，藉由送給記憶體區塊 100，開始在記憶體區塊 100 之讀出動作。所被讀出之資料 RDATAI 經由記憶體控制器 MEM_CNT 而被送往記憶體 SRAM，結束讀出動作。

< 使用薄膜 MOS 之在高壓的寫入 >

MOS 電晶體其氧化膜愈薄，可使閘極長度變短，能使面積變小。因此，為了使記憶體單元尺寸變小，期望單元電晶體使用薄氧化膜。此處，薄氧化膜係例如 3 nm 之厚度，由閘極耐壓之觀點而言，可以施加之電壓為 1.2V 之程度。但是，在元件之寫入上，會有必要比此高之電壓，例如 2.4V 程度之情形。在本實施例中，利用第 25 圖說明利用薄膜之 MOS 電晶體，利用高電壓以進行寫入之情形。與第 16 圖主要不同之點，係如下述：

(39)

在本實施例 200 中，不進行列選擇，對於全部之列同時寫入、讀出資料而構成。另外，感測放大器電路 AMP 係設為單純之形式。

構成 Y 開關電路（142、143、144、145）之寫入用 Y 開關 HMP 係使用比記憶體單元之電晶體還厚的氧化膜之 MOS 電晶體，例如，氧化膜使用 8nm，可施加電壓至 2.4V 程度。使用厚的氧化膜之 MOS 電晶體可以設為與在第 7 圖所示之輸入輸出電路 IO 中所使用之 MOS 電晶體相同的氧化膜厚。寫入用 Y 開關 HMP 之控制訊號 YSW，在選擇時，設為接地電位，在非選擇時，控制為 2.4V。

另外，寫入電路 HBUF 係輸出 0V 或 2.4V 故，利用使用厚氧化膜之 MOS 電晶體而構成。其他之 MOS 電晶體係使用薄氧化膜而構成。

字元驅動器電路（115、116）係與第 16 圖有一部份不同。例如，字元驅動器電路 115 係藉由驅動字元線 WL0 之反相器電路 INV0 與控制源極線之反相器電路 INV20 與 N 通道型 MOS 電晶體（MN20、MN21）、P 通道型 MOS 電晶體 MP30 所構成。電源線 VSL 在本實施例中，為 0.8V，藉由 N 通道型 MOS 電晶體 MN21 而供應給源極線。字元驅動器電路（115、116）係藉由解碼器 ADEC 之輸出與控制訊號（RDB、RD）而被控制。

接著，利用第 26 圖說明動作。在本實施例之寫入中，RESET（定義為“0”寫入）單元（CELL00、CELL01）之記憶元件（PCM00、PCM01），SET（定義為“1”寫入

(40)

）單元（CELL02、CELL03）之記憶元件（PCM02、PCM03）。在STANDBY狀態中，位元線BL0與源極線SL、字元線WL都被控制為0V。在SET動作中，全部之字元線WL被選擇而成為1.2V。另外，全部之位元線BL也藉由令控制訊號PC0由`H`成為`L`而被預先充電為1.2V。源極線SL被選擇，只有源極線SL0被設為0V，對其他之非選擇的源極線（SL1、 $\dots$ ）施加1.2V。此結果為，連接於字元線WL0之全部的記憶體單元（CELL00、CELL01、CELL02、CELL03）中，單元電晶體（MN00、MN01、MN02、MN03）導通，位元線BL之電位成為1.2V，源極線SL成為0V，電流通於記憶元件（PCM00、PCM01、PCM02、PCM03），結晶化而低電阻化。

一成為所期望之時間，SET結束，開始RESET動作。在RESET動作中，將連接有不進行RESET動作之單元（CELL00、CELL01）之位元線（BL0、BL1）藉由Y開關電路（142、143）而由寫入電路（HBUF0、HBUF1）設為2.4V。單元（CELL00、CELL01）之電晶體（MN00、MN01）導通，位元線之電位為2.4V，源極線SL0保持在0V，記憶元件（PCM00、PCM01）成為熔融狀態。另一方面，進行SET之記憶元件（PCM02、PCM03）即使進行RESET動作，也繼續SET動作。

一經過所期望之時間時，開始RESET之結束。字元線WL轉換為0V，位元線BL與源極線轉換為0.8V，寫

(41)

入動作結束。記憶元件 (PCM00、PCM01) 由熔融狀態冷卻而非晶質化，成為高電阻。

在本方式中，記憶體單元之電晶體的閘極－源極間電壓及閘極－汲極間電壓係成為耐壓以下之電源電壓 1.2V 以下。因此，即使以薄膜之電晶體形成記憶體單元，也可在記憶元件施加最大 2.4V 之電壓。

接著，說明檢查是否正確地進行寫入動作之 VERIFY-READ 動作與 READ 動作。兩種動作都是相同故，說明 VERIFY-READ 動作。首先，令字元線 WL0 由「L」成為「H」而使之活化。之後，將預先充電控制訊號 PC0 由「H」轉為「L」，將位元線 BL 預先充電為 1.2V，在成為 1.2V 後，令預先充電控制訊號 PC0 不活化，使電流由位元線 (BL0、BL2) 朝源極線 SL0 而流動。在記憶體單元 (CELL00、CELL01) 寫入有高電阻之值故，位元線 (BL0、BL1) 幾乎不變化而為 1.2V。另一方面，在記憶體單元 (CELL02、CELL03) 寫入有低電阻之值故，位元線 (BL2、BL3) 被放電，降低至大約 0.8V。位元線之電位確定後，藉由感測放大器電路 AMP，放大資料，當成讀出資料 RDATAI 而予以輸出。

之後，令控制訊號 PC1 由「H」成為「L」，令資料線回到電源線 VBL 之值之 0.8V，慢慢地令字元轉換為 0V。在本方式中，只要能判別位元線為 1.2V 或 0.8V 即可，即使是通常之讀出電路，也可以充分進行讀出。

(42)

< 讀出干擾之防止 >

在將相變化元件使用於記憶元件之情形，即使於讀出時，電流也有流通故，元件發熱，在連續進行同一元件之讀出的情形，重置狀態之元件變成被設定，產生讀出干擾之問題。將設定狀態之元件予以重置上，需要相當之能量，幾乎不會成為問題。

本實施例係防止讀出干擾用之電路構造，利用第 27 圖做說明。與第 19 圖之主要不同點係如下述：

在第 27 圖之記憶體區塊中，各記憶體儲存區 BANK 係包含：記憶體陣列 ARRAY、解碼器電路 ADEC、字元驅動器電路 115、控制電路 CNTL、預先充電電路（134、135、136、137）、放電電路（138、139、140、141）、讀出用 Y 開關電路（142、143、144、145）、讀出電路（150、151）、驅動讀出全域位元線 GRBL 之 N 通道型 MOS 電晶體（MN100、MN101）、寫入用 Y 開關電路（164、165、166、167）。

讀出全域位元線 GRBL 係與全域讀出電路 GSA 及各記憶體儲存區 BANK 的 N 通道型 MOS 電晶體（MN100、MN101）連接。寫入全域位元線 GWBL 係分別連接於全域寫入電路 GWA 與各記憶體儲存區 BANK 之寫入用 Y 開關電路（164、165、166、167）。

讀出用 Y 開關電路（142、143、144、145）係以 P 通道型 MOS 電晶體 MP 所構成，選擇性地連接位元線 BL 與讀出電路（150、151）。

(43)

讀出電路 (150、151) 係與第 5 圖所示之讀出電路 (150、151) 相同之構造。讀出電路 (150、151) 之輸出係連接於 N 通道型 MOS 電晶體 (MN100、MN101) 之閘極。

接著，利用第 28 圖說明動作。在本實施例中，源極線 SL 係連接於接地電位。在設定動作中，字元線 WL0 被選擇，位元線 BL2 透過 Y 開關電路 166 而藉由全域寫入電路 GWA_1 被控制為 0.6V，記憶體單元 CELL02 之記憶元件 PCM02 被設定。在重置動作中，字元線 WL0 被選擇，位元線 BL0 透過 Y 開關電路 164 而藉由全域寫入電路 GWA_0 而被控制為 1.2V，記憶體單元 CELL00 之記憶元件 PCM00 被重置。

接著，說明確認讀取動作。在將字元線 WL0 由「L」選擇成為「H」後，令預先充電控制訊號 PC0 由「H」成為「L」，將位元線 (BL0、BL2) 由 0V 預先充電為電源線 VBL 電位之 0.4V。預先充電結束後，令控制訊號 PC0 由「L」成為「H」，令預先充電不活化，使位元線成為浮置狀態。之後，電流由位元線 BL 朝源極線 SL0 流動，位元線 BL 之電位改變。

在記憶體單元 CELL00 寫入有高電阻之值故，位元線 BL0 幾乎沒有變化。另一方面，在記憶體單元 CELL02 寫入有低電阻之值故，位元線 BL2 被放電。位元線 BL 之變化係藉由 Y 開關電路 (142、144) 而分別傳給讀出電路 (150、151)，藉由控制訊號 YS_AMP 被放大而加以保

(44)

持。此資料係藉由 N 通道型 MOS 電晶體 (MN100、MN101) 而被送給讀出全域位元線 GRBL，藉由全域讀出電路 GSA 而被放大，當成讀出資料 (RDATAI0、RDATA1) 而被輸出。所讀出之資料被保持在讀出電路 (150、151) 之同時，令控制訊號 YSR0 由 'L' 成為 'H'，切斷位元線 BL 與讀出電路 (150、151) 之連接，令控制訊號 DC0 由 'L' 成為 'H'，將位元線 BL 放電成為 0V。之後，令字元線由 'H' 成為 'L'，使其不活化，確認讀取動作結束。另外，讀取動作係與確認讀取動作相同。

在本方式中，係以在令字元線 WL 導通後，預先充電位元線 BL，讀出資料後，放電位元線 BL，關閉字元線 WL 之順序進行動作。一般，字元線 WL 負荷大故，在轉換上花時間。另一方面，位元線 BL 一般負荷電容小，可以高速轉換。因此，藉由將字元線 WL 導通後，預先充電位元線 BL，另外，放電位元線 BL 後，關閉字元線 WL 之順序，將電壓施加在記憶元件之時間變得最小。進而，如本方式般，藉由將位元線分割為儲存區 BANK 而予以階層化，令位元線 BL 之負荷電容變小，可以令高速地轉換。另外，將位元線 BL 予以階層化，讀出電路也配置於各記憶體儲存區 BANK，藉此，可以高速地進行讀出動作本身故，可使電壓施加在元件之時間更短。

如此，藉由使電壓施加在記憶元件之時間變短，可抑制在記憶元件之發熱，以防止記憶元件之干擾。另外，在寫入中，不需要令電壓施加在元件之時間變短故，不需要

(45)

將寫入電路配置於各記憶體儲存區 BANK，只要全域地配置寫入電路即可。因此，可以防止面積增加。

< 利用薄膜 MOS 之在高壓的寫入 2 >

即使使用薄膜 MOS，只要是在受限之時間內，也可以對 MOS 施加耐壓以上之電壓。在本實施例中，利用第 30 圖說明利用此特性，使用薄膜之 MOS 電晶體，以高電壓進行寫入之情形。與第 25 圖主要的不同點如下述：

在本實施例 210 中，不控制源極線 SL 而連接於接地電位。另外，預先充電電路只預先充電為讀出用之電位 V_{rd} ，刪除預先充電為電源電位之電路。於位元線連接有 1024 個之記憶體單元。在本實施例所使用之薄膜 MOS 之氧化膜厚為 4 nm，經常可以施加之電壓為 1.5V。

接著，利用第 31 圖說明動作。在本實施例之寫入中，RESET（定義為“0”寫入）單元（CELL00、CELL01）之記憶元件（PCM00、PCM01），SET（定義為“1”寫入）單元（CELL02、CELL03）之記憶元件（PCM02、PCM03）。在 STANDBY 狀態中，位元線 BL 與源極線 SL、字元線 WL 都被控制為 0V。在 SET 動作中，字元線 WL0 被選擇而成為 1.5V。另外，位元線（BL2、BL3）透過 Y 開關電路（144、145）而藉由寫入電路（HBUF2、HBUF3）而被設定為設定電壓之 1.2V。此結果為，在連接於字元線 WL0 之記憶體單元（CELL02、CELL03）中，單元電晶體（MN02、MN03）導通，位元線 BL 之電位成

(46)

爲 1.2V，源極線 SL 成爲 0V，記憶元件（PCM02、PCM03）有電流通而結晶化，成爲低電阻化。

一經過所期望之時間時，令位元線（BL2、BL3）成爲 0V，SET 結束。之後，開始 RESET 動作。在 RESET 動作中，將連接有不進行 RESET 動作之單元（CELL00、CELL01）之位元線（BL0、BL1）透過 Y 開關電路（142、143）而藉由寫入電路（HBUF0、HBUF1）而成爲 2.0V。單元（CELL00、CELL01）之電晶體（MN00、MN01）導通，位元線之電位成爲 2.0V，源極線 SL0 保持在 0V，記憶元件（PCM00、PCM01）有電流通而成爲熔融狀態。

一經過所期望之時間時，字元線 WL0 與位元線（BL0、BL1）分別轉換爲 0V，RESET 動作結束。記憶元件（PCM00、PCM01）由熔融狀態冷卻，非晶質化而成爲高電阻。

平常在被當成晶片式 ROM 使用之情形所被要求之改寫次數爲 100 萬次，在 RESET 時間爲 100ns 之情形，一個單元進行寫入之合計時間變成 0.1s。另外，在不以同一位元線進行寫入之單元的電晶體 MN 之閘極－汲極間也同樣施加有耐壓以上之 2V 的電壓。在本實施例中，於位元線 BL 連接有記憶體單元 1024 個之故，在對全部之單元進行 100 萬次之寫入的情形，變成在 MOS 電晶體之閘極／源極間施加 2V 之電壓約 100s。在本實施例之薄膜 MOS 電晶體雖可以施加至 1.5V，但是，只要是 100s 以下，即

(47)

使施加至 2V，可靠性上並不會有問題。如前述般，即使使用薄膜 MOS，也可以耐壓以上之電壓進行元件之改寫。

寫入後，元件冷卻直到電阻值降低為止，無法正常進行讀出故，短暫時間後，進行檢查寫入動作是否正確進行之確認或平常之讀出 READ。首先，令字元線 WL0 由「L」成為「H」而使之活化。之後，令預先充電控制訊號 PC 由「H」成為「L」，將位元線 BL 預先充電為 0.3V，在成為 0.3V 後，令預先充電控制訊號 PC 不活化，令電流由位元線 (BL0、BL1、BL2、BL3) 朝源極線 SL0 流動。在記憶體單元 (CELL00、CELL01) 寫入有高電阻之值故，位元線 (BL0、BL1) 幾乎沒有變化，維持為 0.3V。另一方面，在記憶體單元 (CELL02、CELL03) 寫入有低電阻之值故，位元線 (BL2、BL3) 被放電，降低至大約 0V。在位元線之電位確定後，藉由感測放大器電路 AMP 而放大資料，當成讀出資料 RDATAI 予以輸出。

之後，令控制訊號 DC 由「L」成為「H」，令資料線回到 0V，使字元轉換為 0V，READ 結束。

【圖式簡單說明】

第 1 圖係顯示適用本發明之微電腦的區塊圖。

第 2 圖係第 1 圖之微電腦之重要部位的概念圖。

第 3 圖係第 2 圖所示之微電腦之重要部位的動作波形圖。

(48)

第 4 圖係第 2 圖所示之計時器電路之電路區塊圖。

第 5 圖係顯示第 2 圖所示之記憶體區塊之一個實施例之電路圖。

第 6 圖係顯示第 2 圖之記憶體區塊所使用之記憶體單元之電路圖。

第 7 圖係第 1 圖所示之微電腦的剖面之概念圖的一例子。

第 8 圖係第 1 圖所示之微電腦的剖面之概念圖的其他之例子。

第 9 圖係第 5 圖所示之記憶體區塊之動作波形圖。

第 10 圖係顯示第 2 圖所示之記憶體區塊之一個實施例之電路圖。

第 11 圖係第 10 圖所示之記憶體區塊之動作波形圖。

第 12 圖係顯示第 2 圖所示之記憶體區塊之一個實施例之電路圖。

第 13 圖係第 12 圖所示之記憶體區塊之動作波形圖。

第 14 圖係顯示第 2 圖所示之記憶體區塊之一個實施例之電路圖。

第 15 圖係第 14 圖所示之記憶體區塊之動作波形圖。

第 16 圖係顯示第 2 圖所示之記憶體區塊之一個實施例之電路圖。

第 17 圖係第 16 圖所示之記憶體區塊之動作波形圖。

第 18 圖係第 16 圖所示之記憶體區塊之動作波形圖。

第 19 圖係顯示第 2 圖所示之記憶體區塊之一個實施

(49)

例之電路圖。

第 20 圖係顯示第 2 圖所示之記憶體區塊之佈置圖。

第 21 圖係顯示第 2 圖所示之記憶體區塊之佈置圖。

第 22 圖係顯示第 2 圖所示之記憶體區塊之佈置圖。

第 23 圖係顯示第 1 圖所示之微電腦之重要部位的概念圖。

第 24 圖係第 23 圖所示之微電腦的重要部位之動作波形圖。

第 25 圖係顯示第 2 圖所示之記憶體區塊之一個實施例之電路圖。

第 26 圖係第 25 圖所示之記憶體區塊之動作波形圖。

第 27 圖係顯示第 2 圖所示之記憶體區塊之一個實施例之電路圖。

第 28 圖係第 27 圖所示之記憶體區塊之動作波形圖。

第 29 圖係記憶體陣列之平面圖與剖面圖。

第 30 圖係顯示第 2 圖所示之記憶體區塊之一個實施例之電路圖。

第 31 圖係第 29 圖所示之記憶體區塊之動作波形圖。

【主要元件符號說明】

10、20：系統 LSI

100、110、120、130、200、210：記憶體區塊

102、103、111、112、115、116：字元驅動器電路

104、105、106、107、134、135、136、137：預先充

(50)

電 電 路

108、109、150、151：寫入／讀出電路

138、139、140、141：放電電路

142、143、144、145：Y 開關電路

ADD：位址，ADEC：解碼器電路

AND：「與」電路

ARRAY：記憶體陣列

BL：位元線

CELL：記憶體單元

CL_MEM：記憶體專用時鐘脈衝

CKINV：寫入電路或放大器電路

CLR：清除訊號

CMP：比較電路

CNT：控制訊號

CNTL：控制電路

CONTROL：控制電路

CPU：中央處理裝置

DC：控制訊號

FF：鎖存器電路

INV：反相器電路

IO：輸入輸出電路

MEM_CNT：記憶體控制器

MN：N 通道型 MOS 電晶體

MP：P 通道型 MOS 電晶體

(51)

NWELL：N 型 井

n+：擴 散 層

p+：擴 散 層

PC：控 制 訊 號

PCM：記 憶 元 件

PWELL：P 型 井

RDATA：讀 出 資 料

RDARAI：所 讀 出 之 資 料

RE：讀 出 許 可 訊 號

RESEREND：控 制 訊 號

RS：控 制 訊 號

SA：控 制 訊 號

SETEND：控 制 訊 號

SIO：閘 極 氧 化 膜

SL：源 極 線

SRAM：記 憶 體

TF、TR：轉 換 時 間

TIMER_RESET：計 時 器 電 路

TIMER_SET：計 時 器 電 路

VWDS：電 源 線

VSL：電 源 線

VBL：電 源 線

VREF：電 源 線

WCH：比 較 結 果

(52)

WDATA：寫入資料

WDATAI：寫入資料

WE：寫入許可訊號

WL：字元線

YSWT、YSWB：控制訊號

YSRT、YSRB：控制訊號

YS_AMP：控制訊號

AMP：放大器電路

HMP：開關

YSW：控制訊號

HBUF：寫入電路

RD、RDB：控制訊號

GSA：全域讀出電路

GWA：全域寫入電路

164、165、166、167：寫入用 Y 開關電路

CNTC：接觸部

VIA：引孔，Vrd：電源線

五、中文發明摘要

發明名稱：半導體裝置

[課題]

相變化元件使用最小尺寸之 CMOS 電晶體，以核心電壓（例如 1.2V）使其動作之情形，由於 CMOS 電晶體之偏差故，錯誤寫入或資料破壞而成為問題。

[解決手段]

一種由具備：複數之記憶體單元，及中央處理裝置，及測量 RESET 時間之計時器電路，及測量 SET 時間之計時器電路所成，藉由令使用於記憶體單元之 NMOS 電晶體之臨界值比周邊電路低，可以容易地進行 RESET 動作之半導體裝置。進而，為一種半導體裝置，其特徵為：改變在 RESET 與 SET 所流通之電流的方向，另外，藉由高速地驅動位元線，以防止錯誤動作。

[效果]

如依據本發明，以最小尺寸之單元電晶體，可以實現在低電壓之穩定的動作。

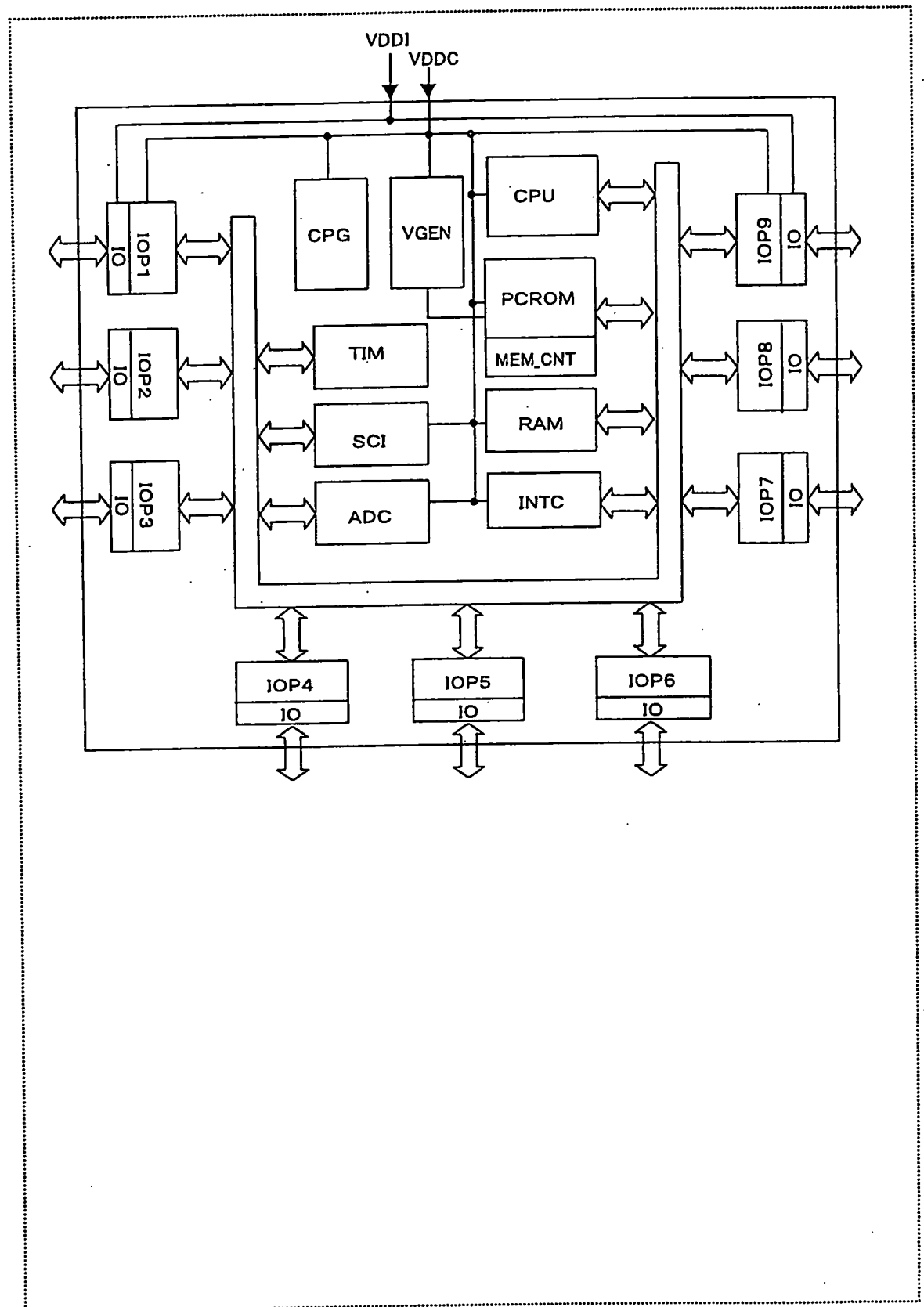
六、英文發明摘要

發明名稱：

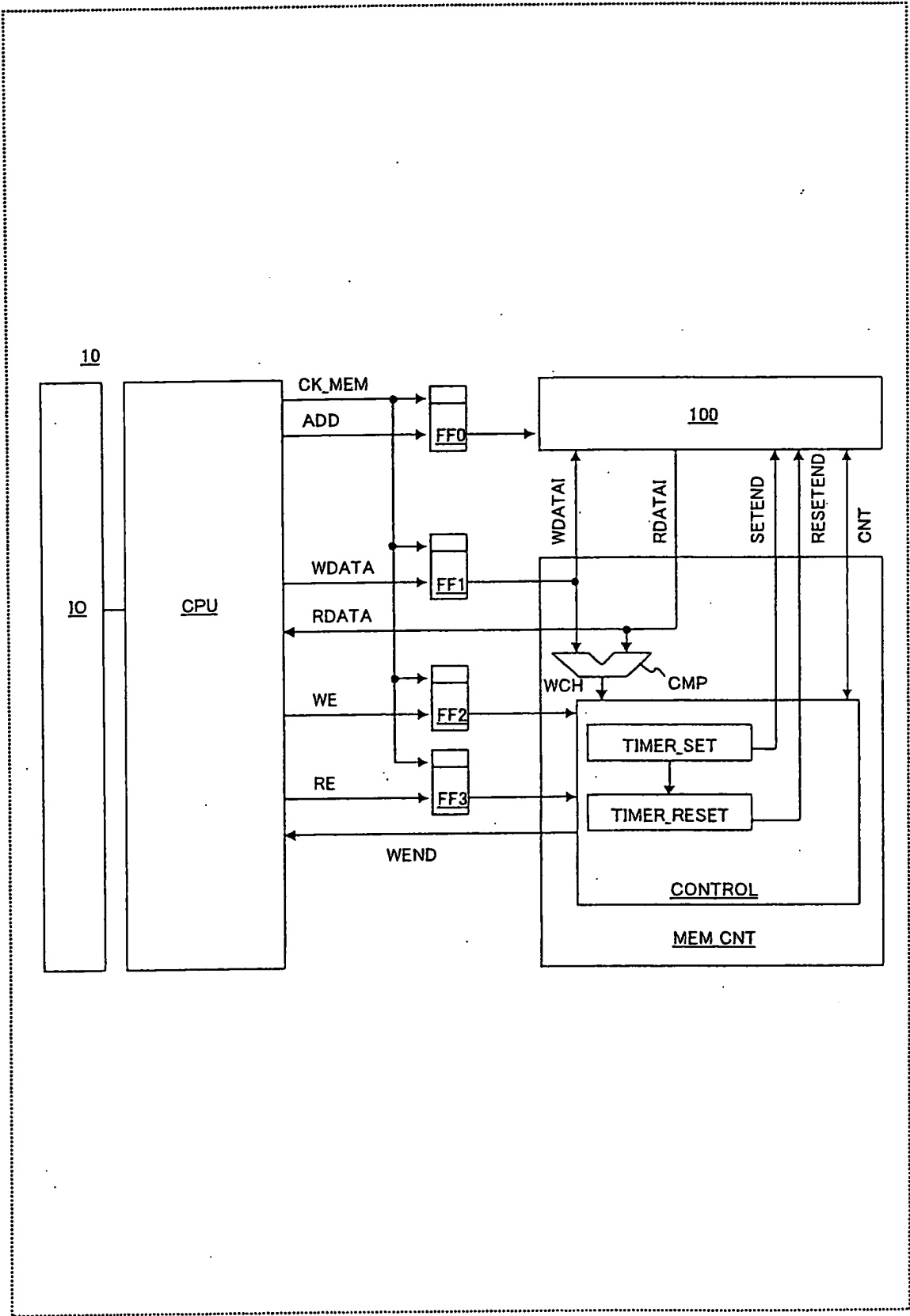
94101903

755600

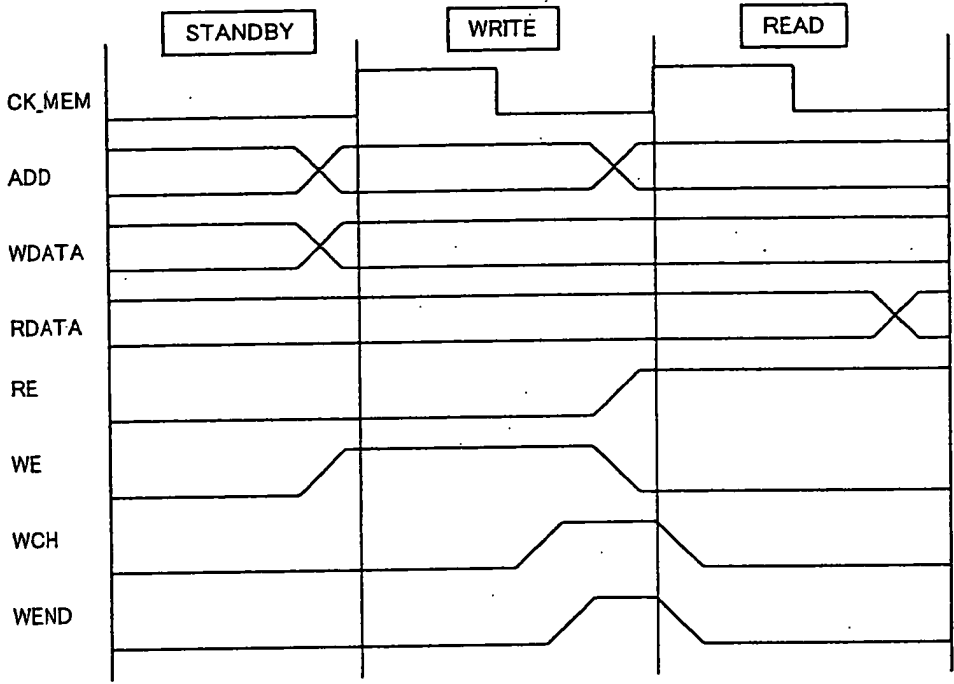
第1圖



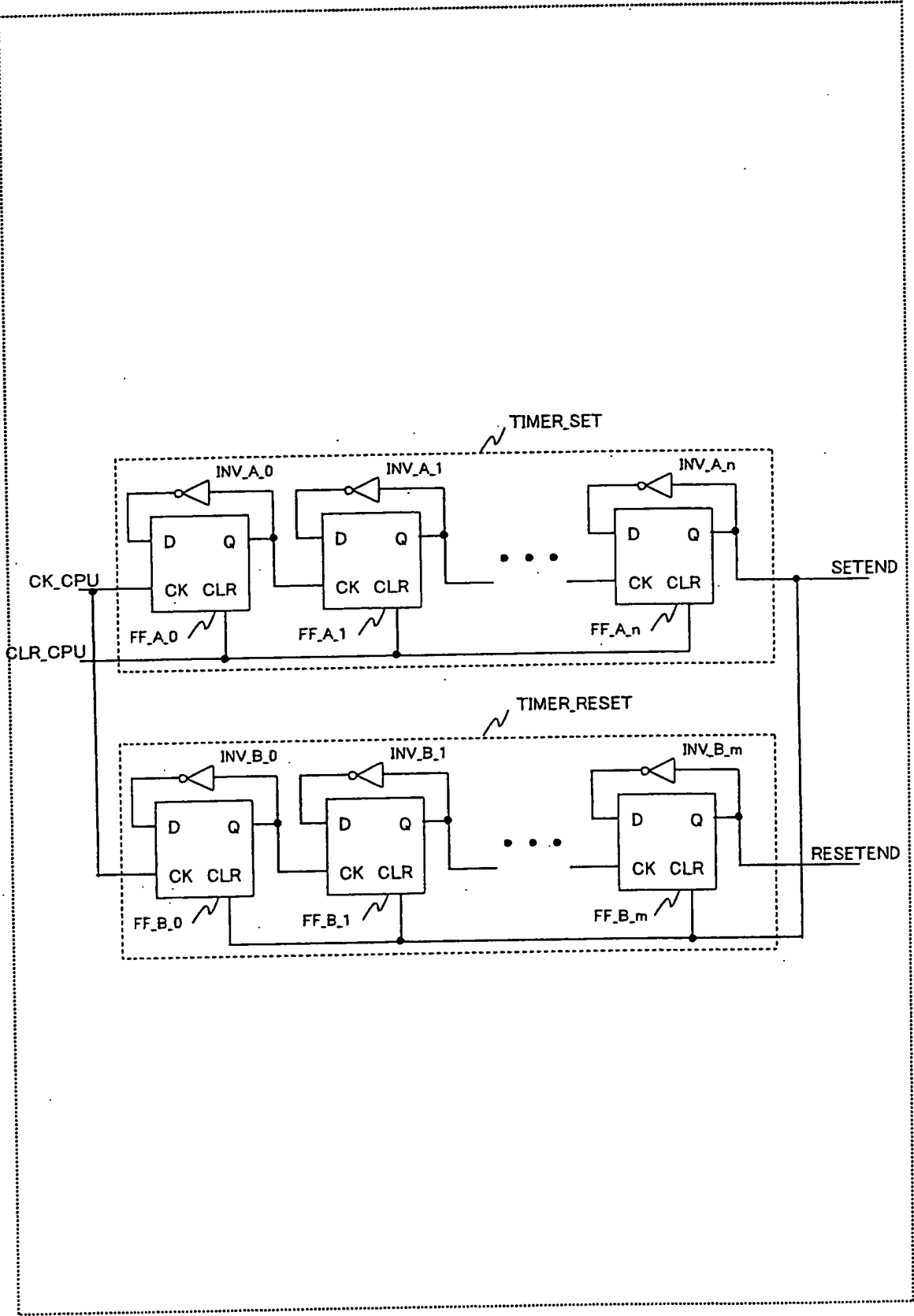
第2圖



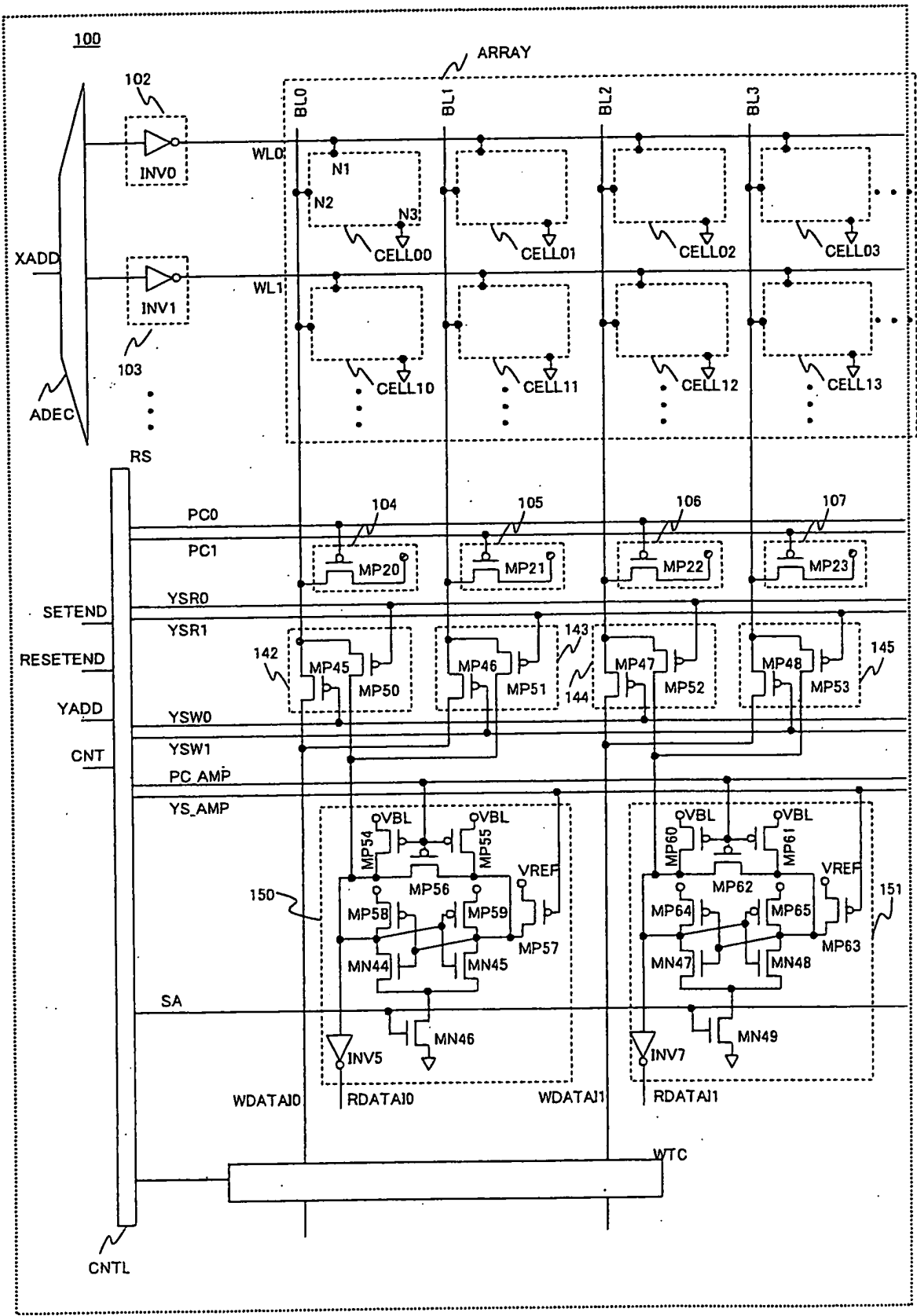
第3圖



第4圖

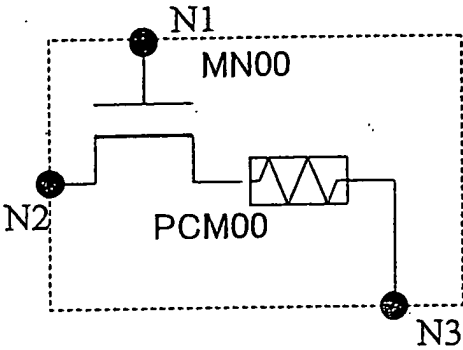


第5圖

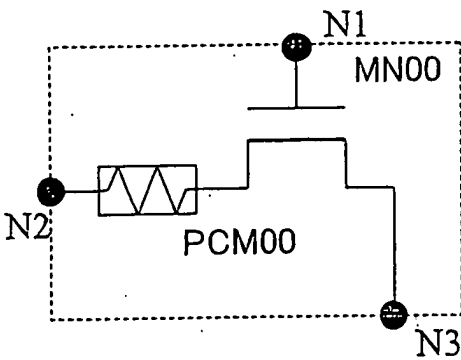


第6圖

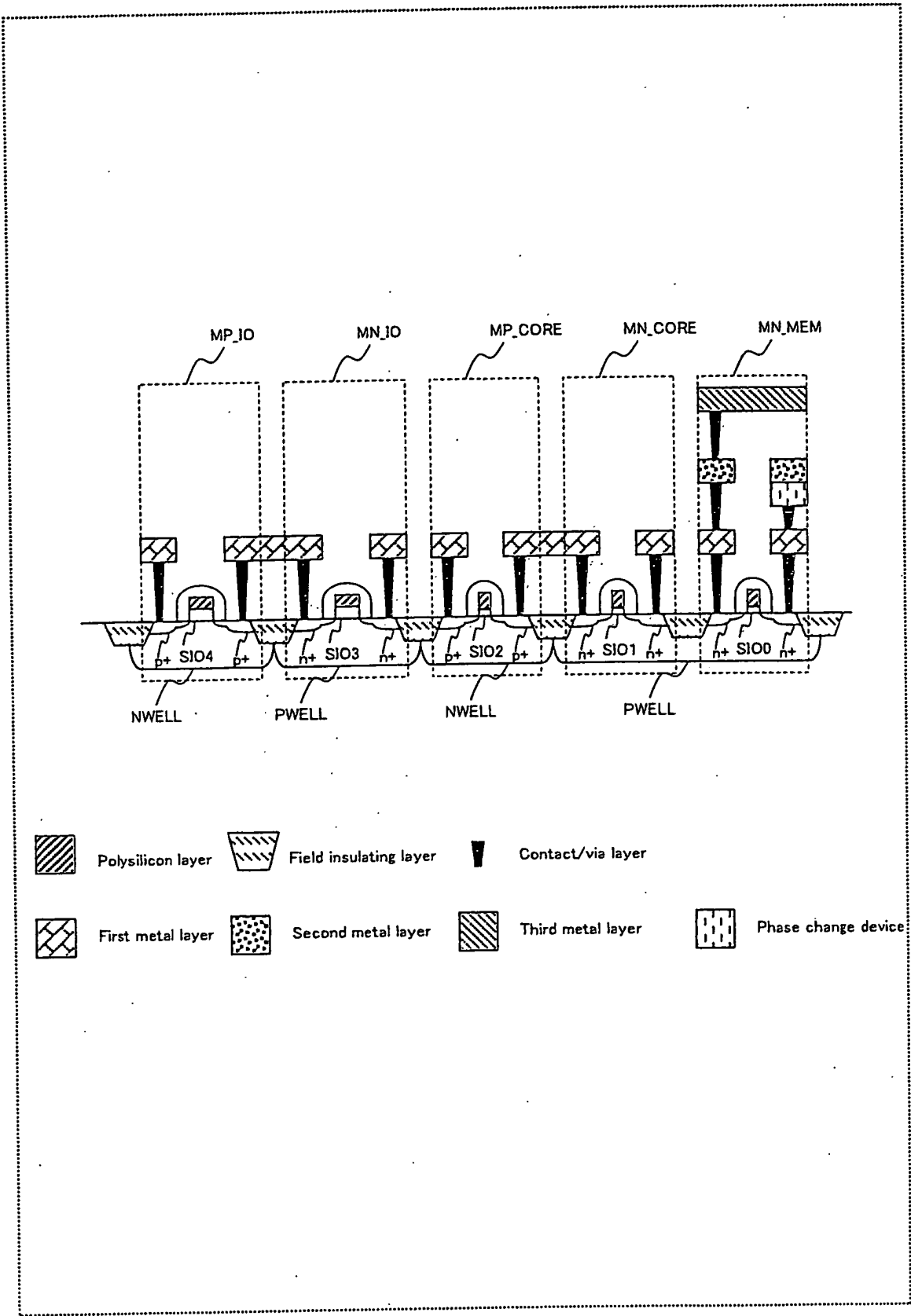
(a)



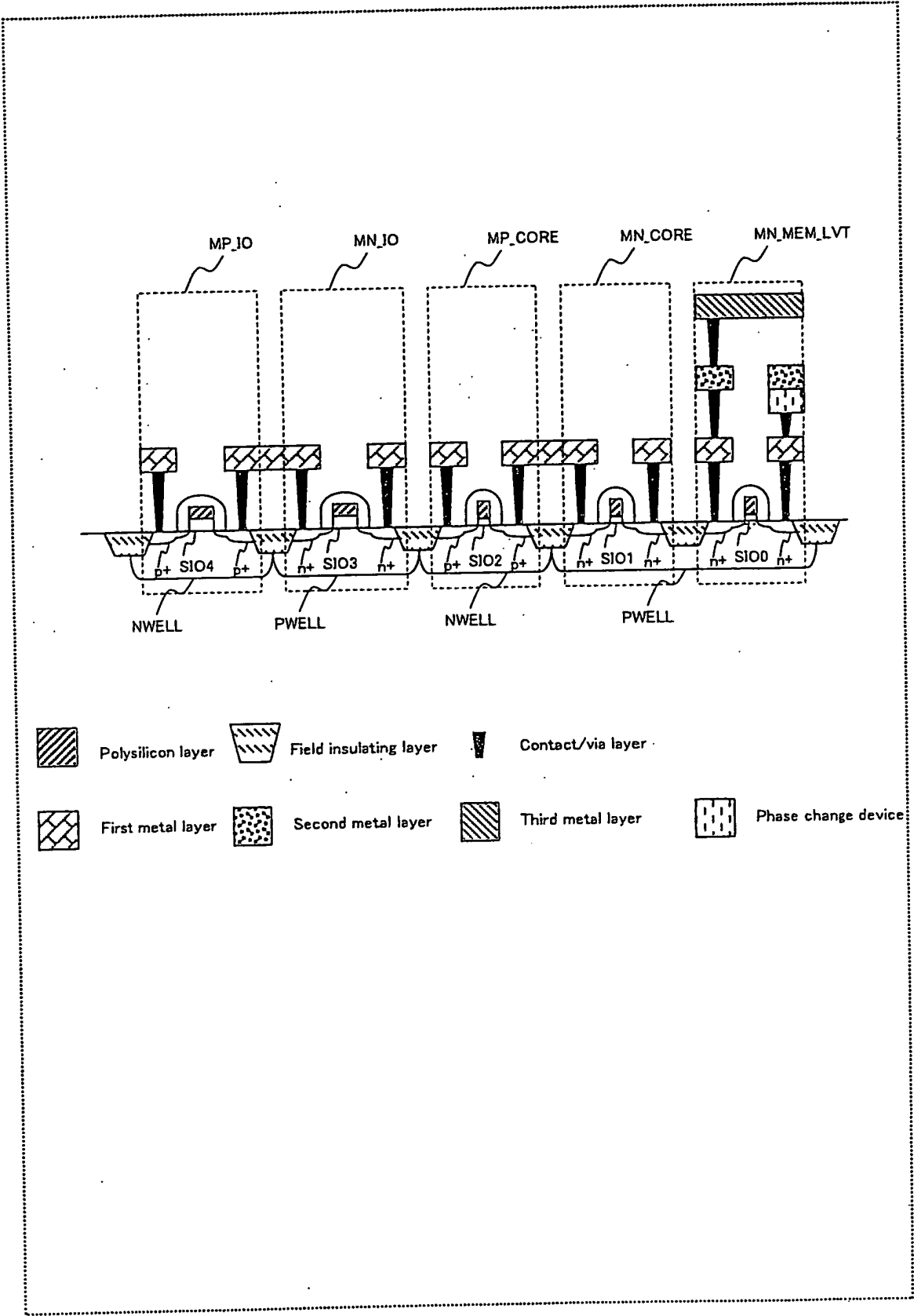
(b)



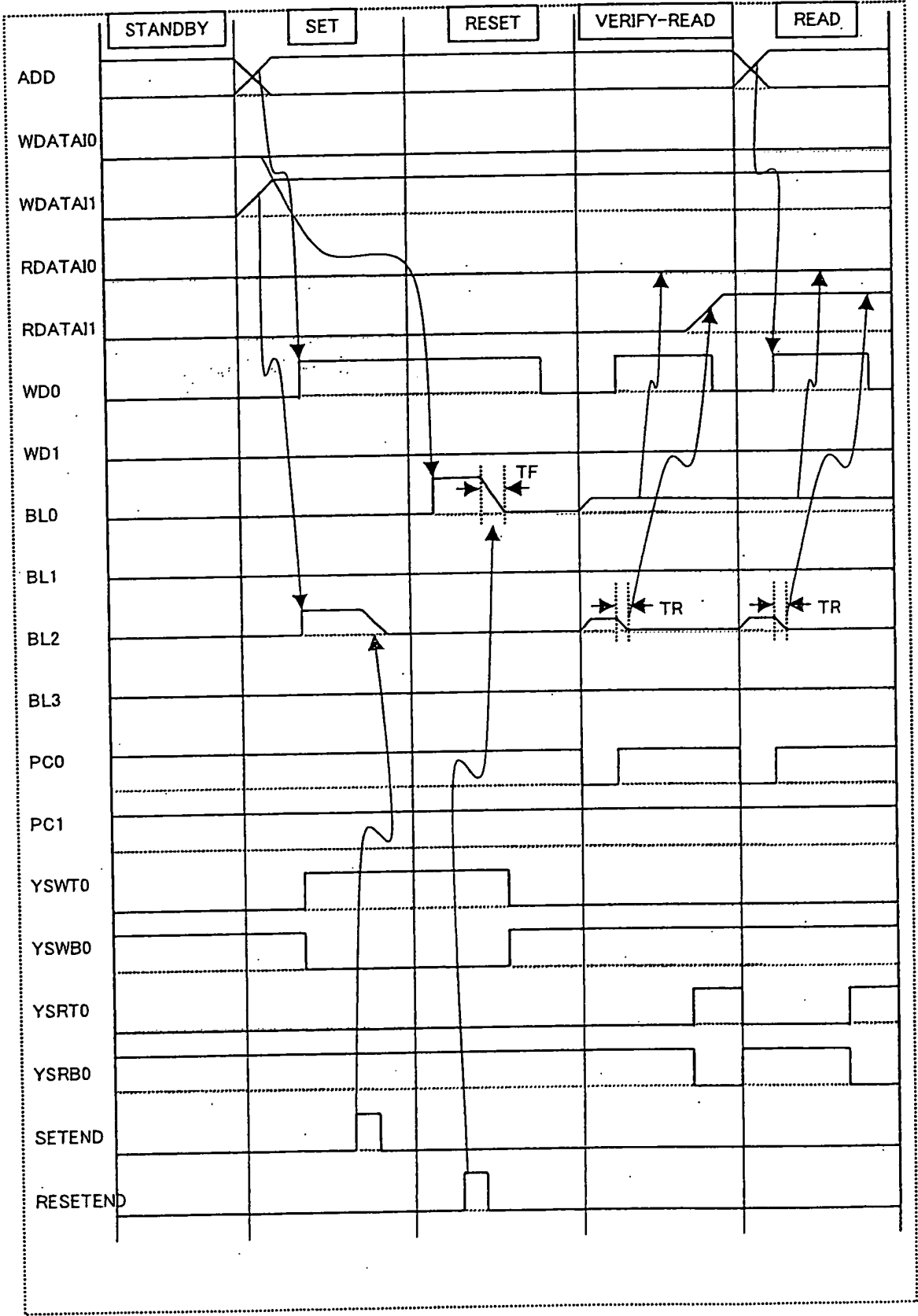
第7圖



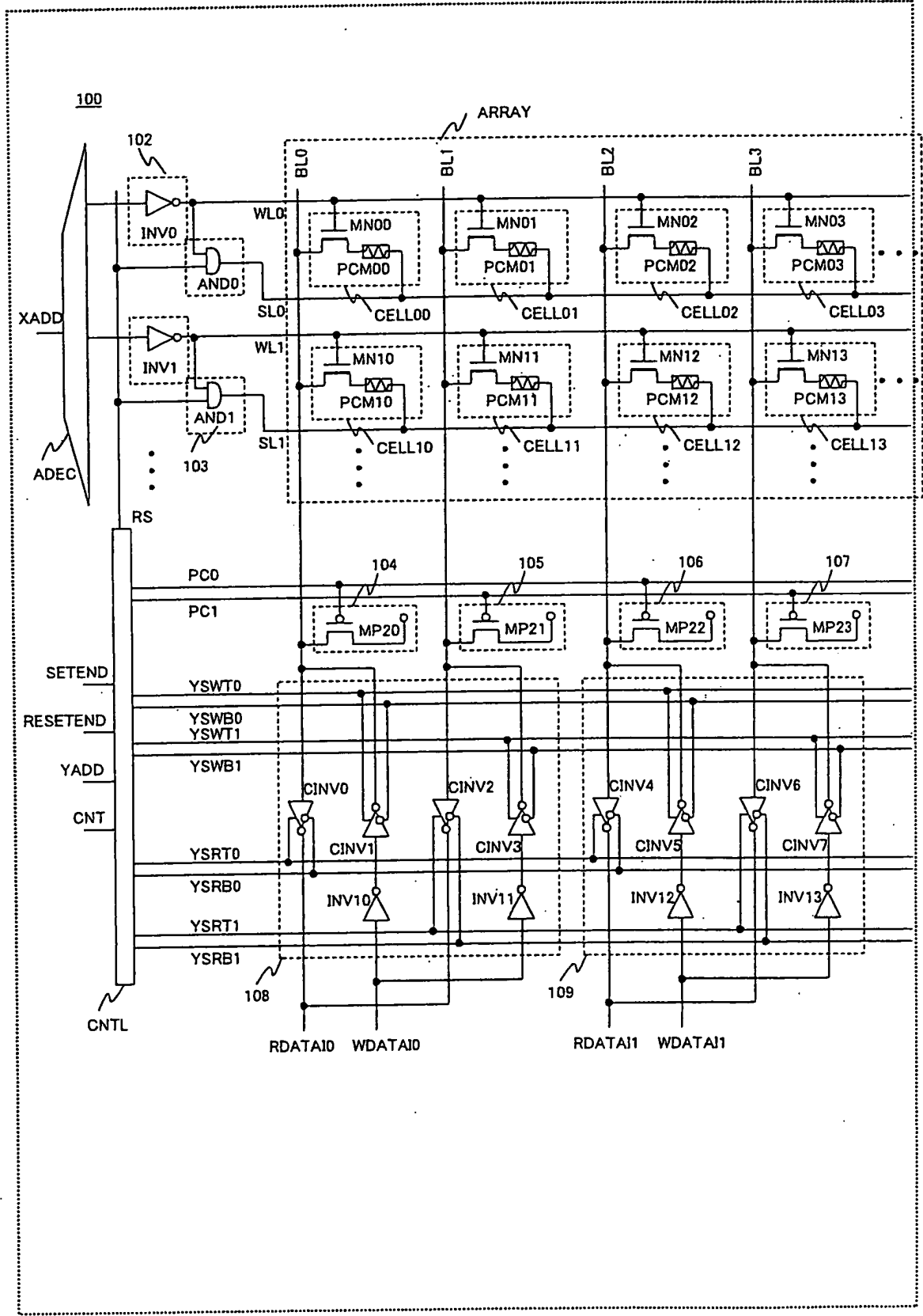
第8圖



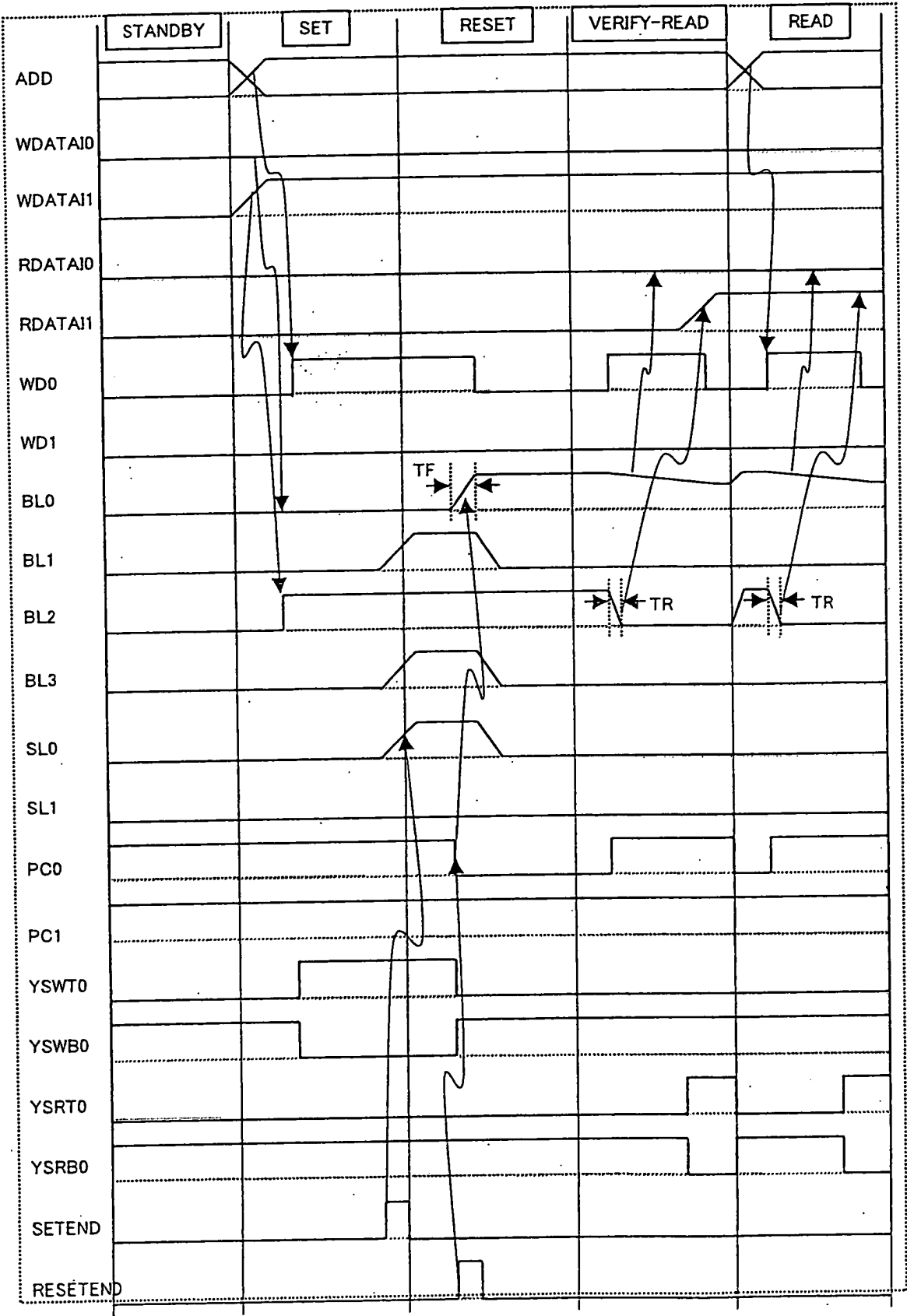
第9圖



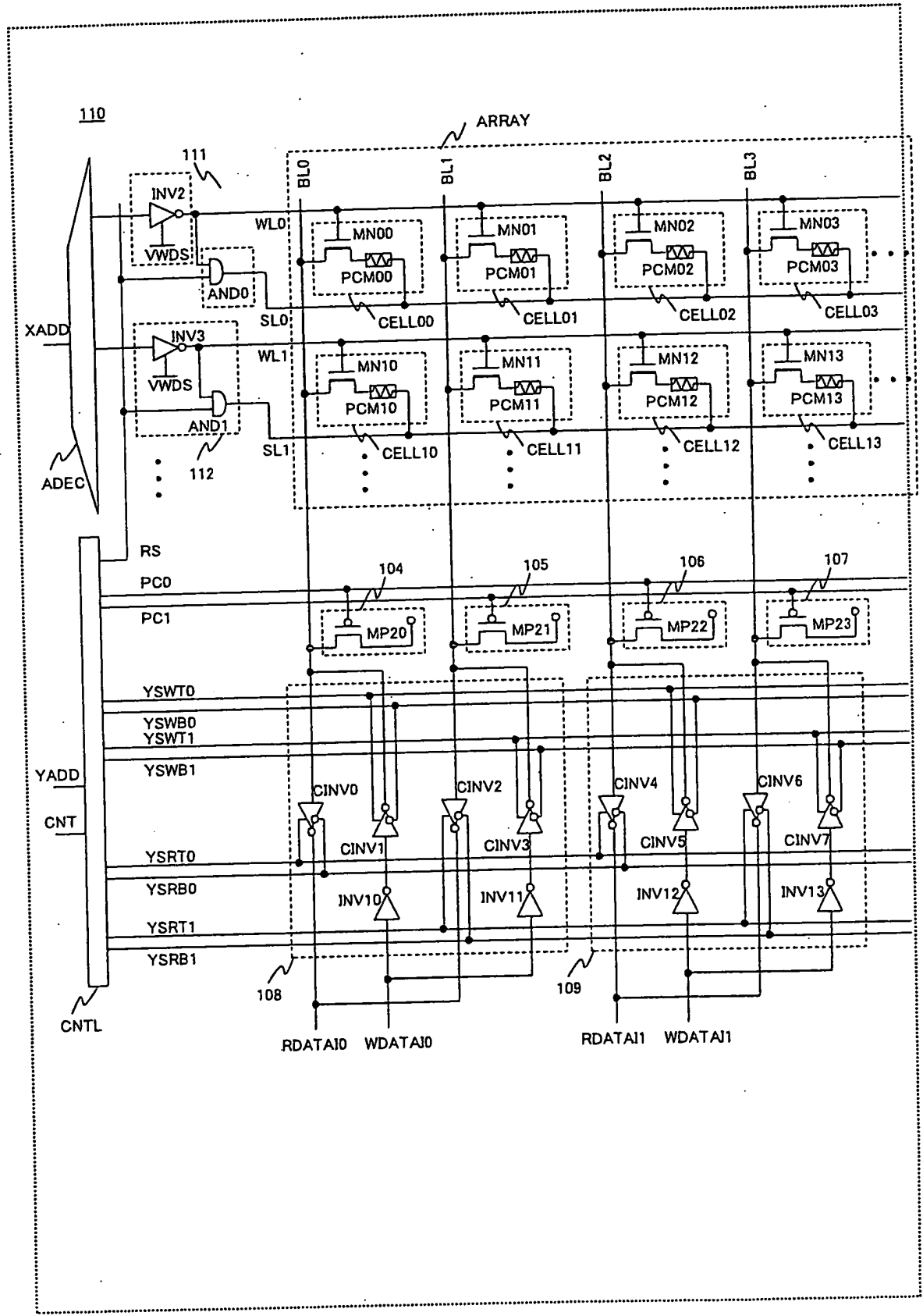
第10圖



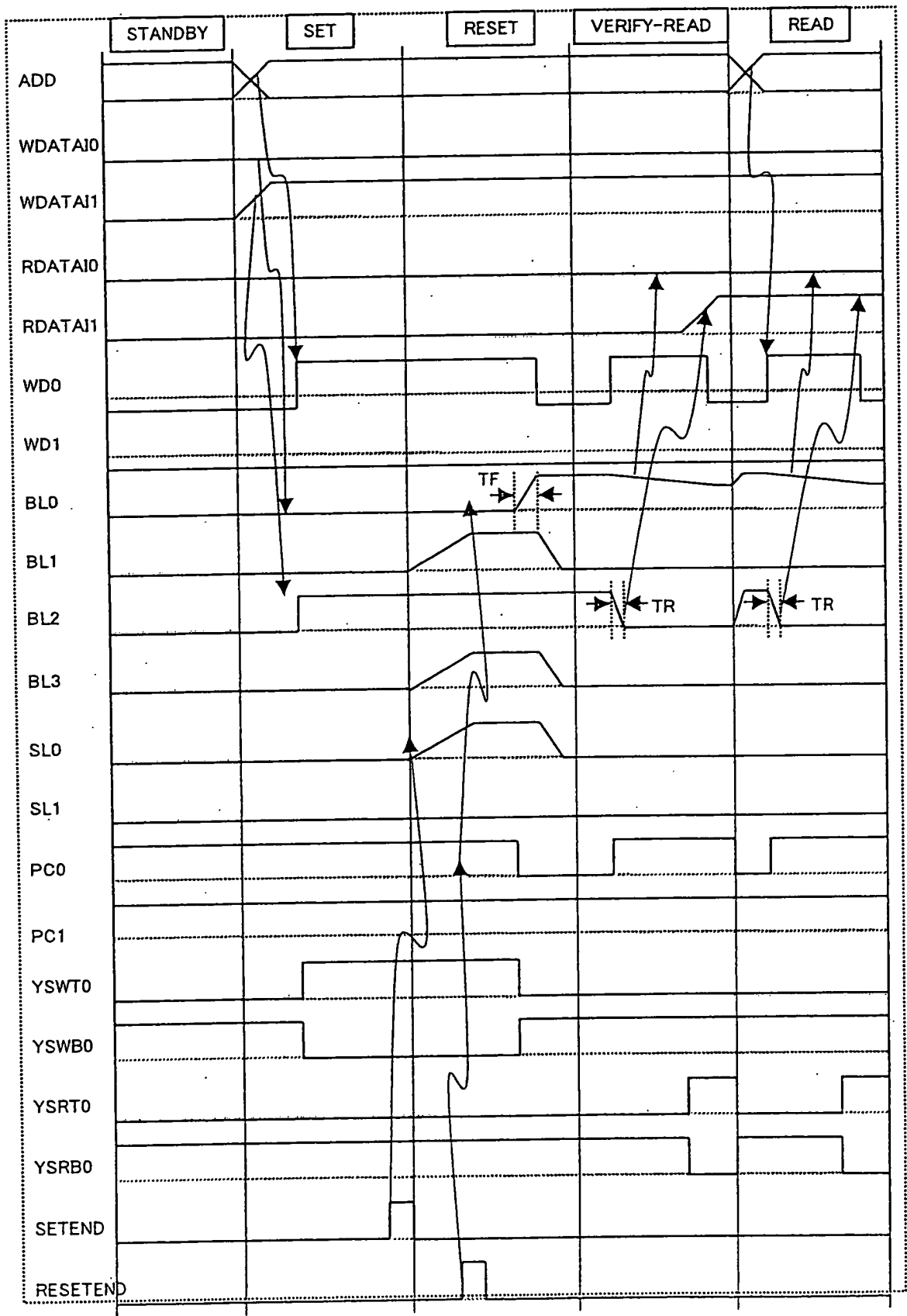
第11圖



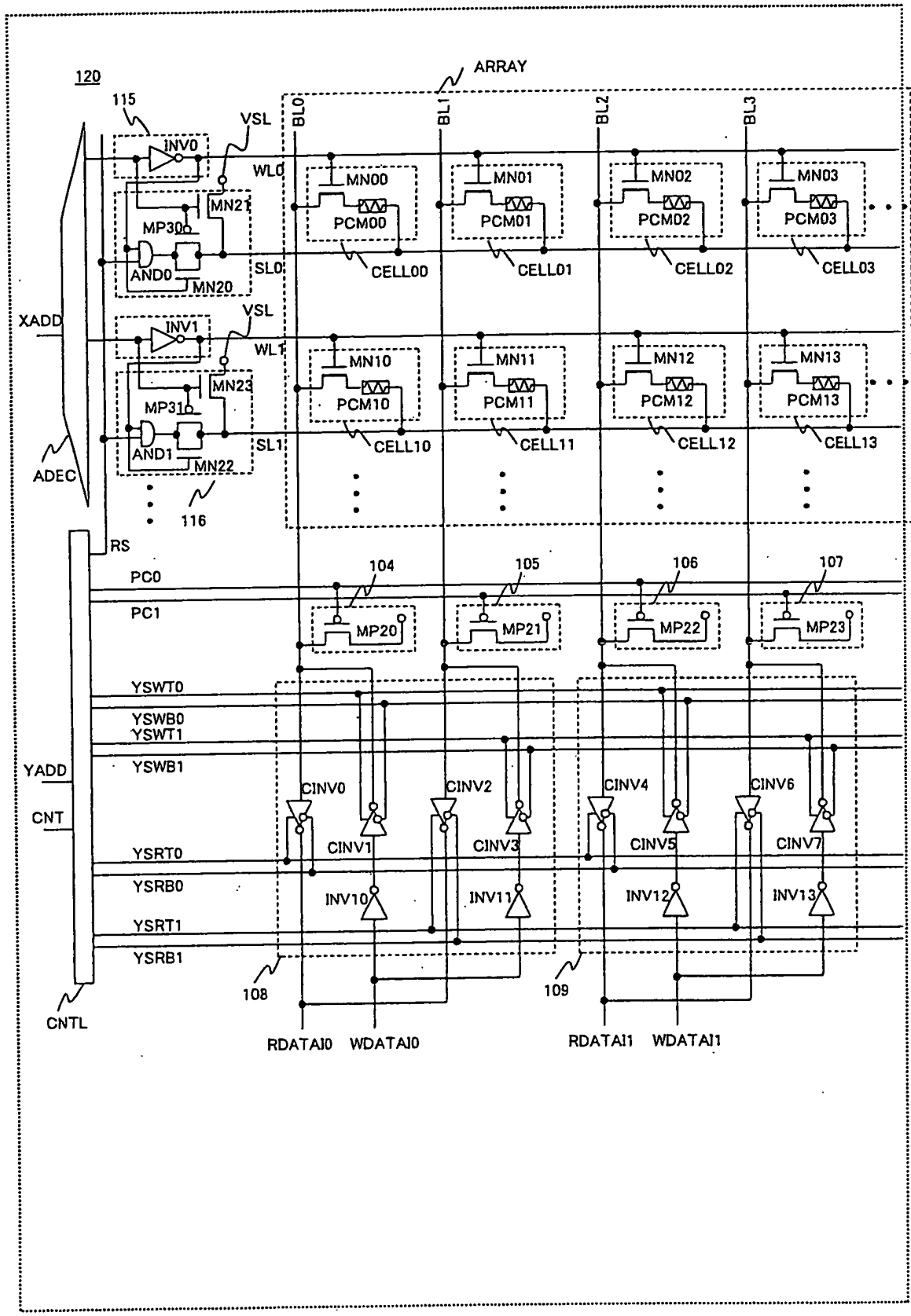
第12圖



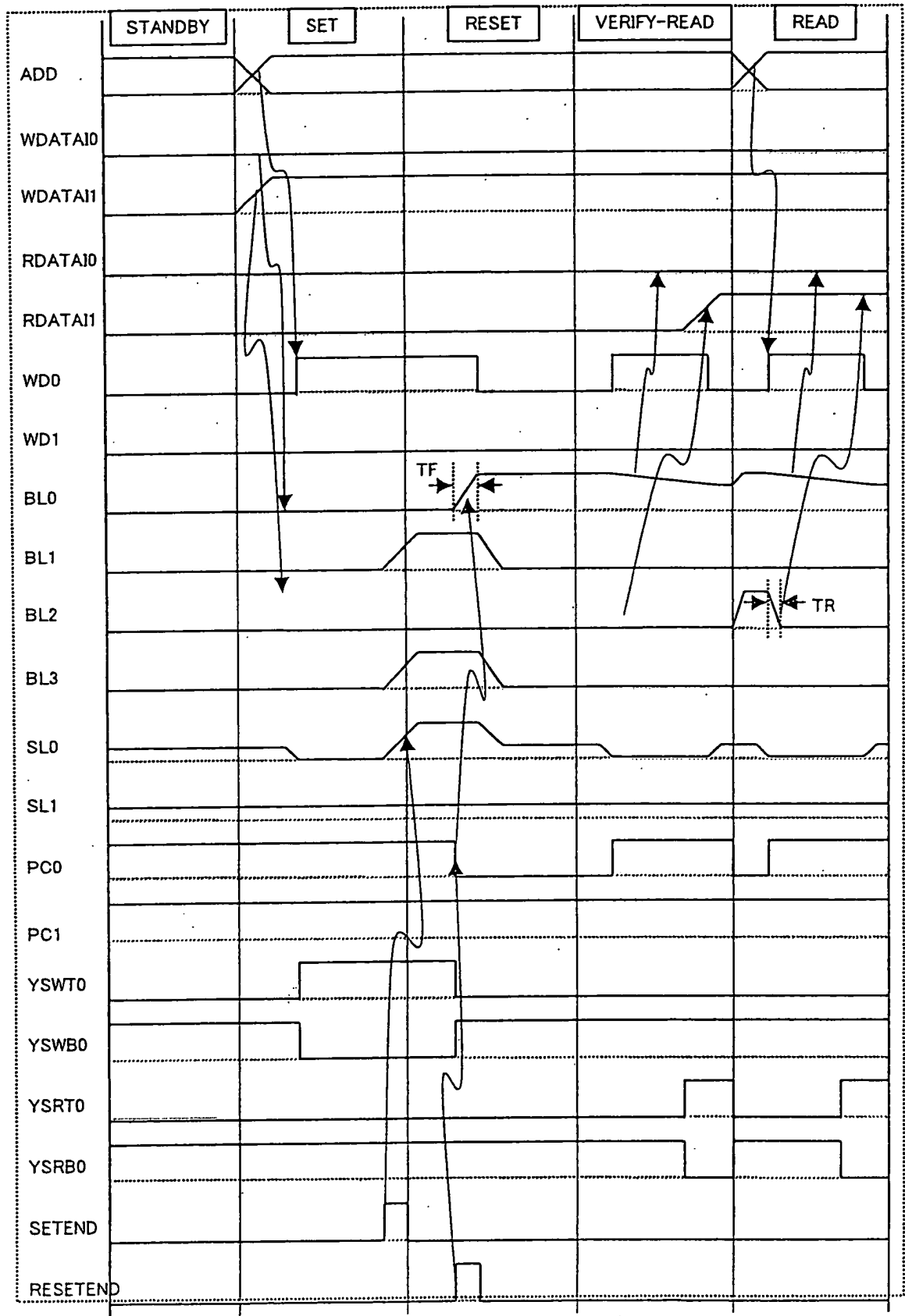
第13圖



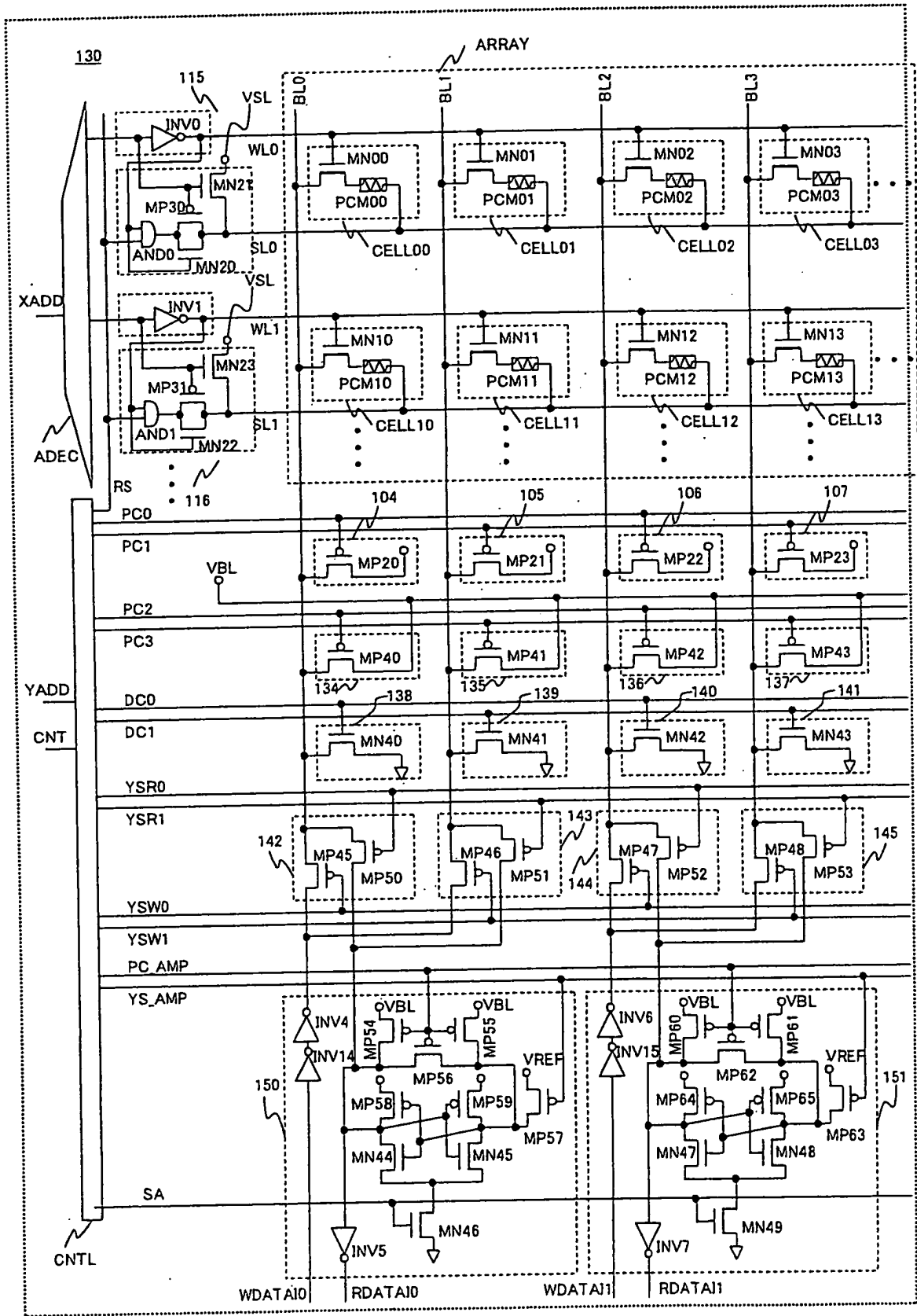
第14圖



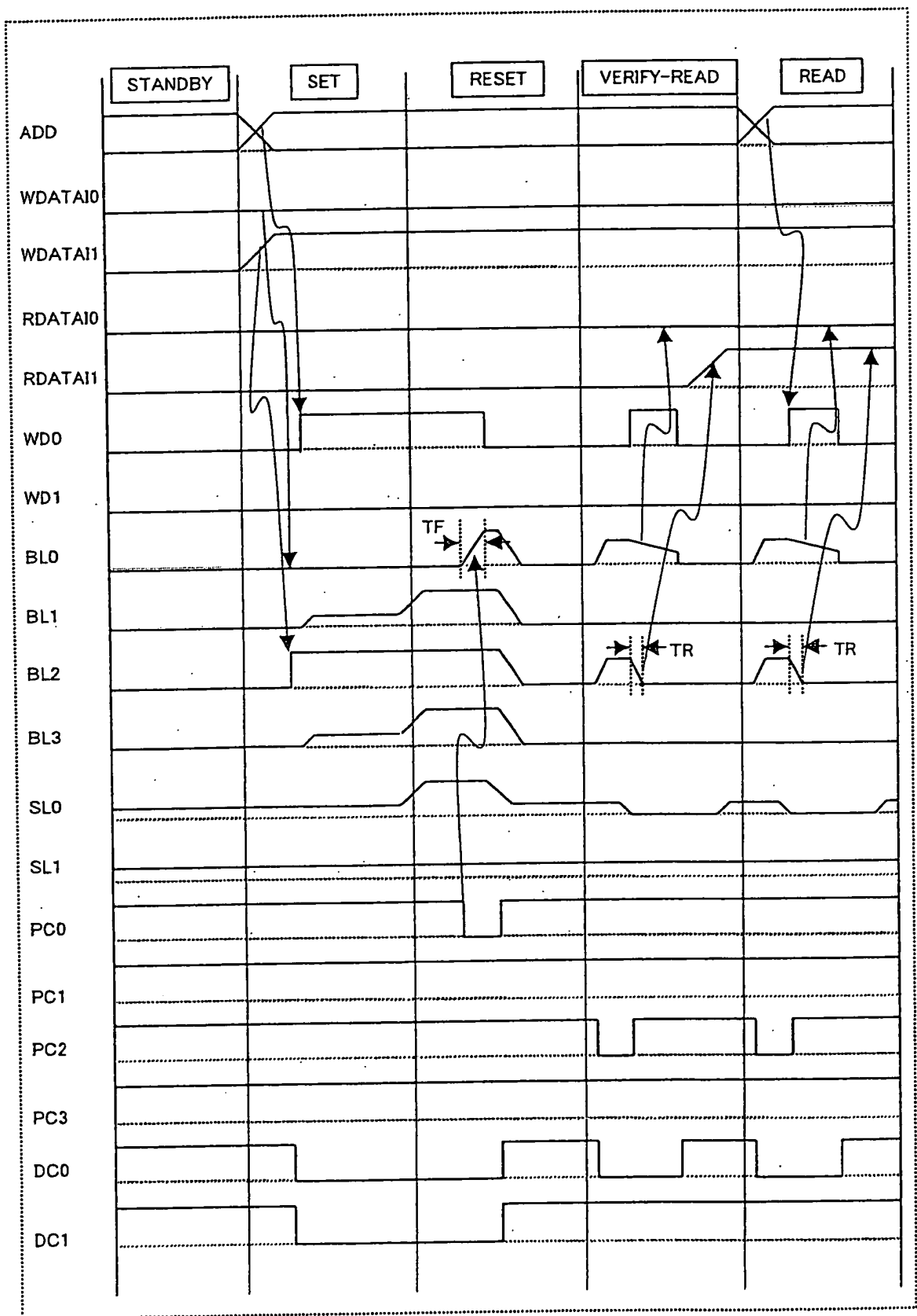
第15圖



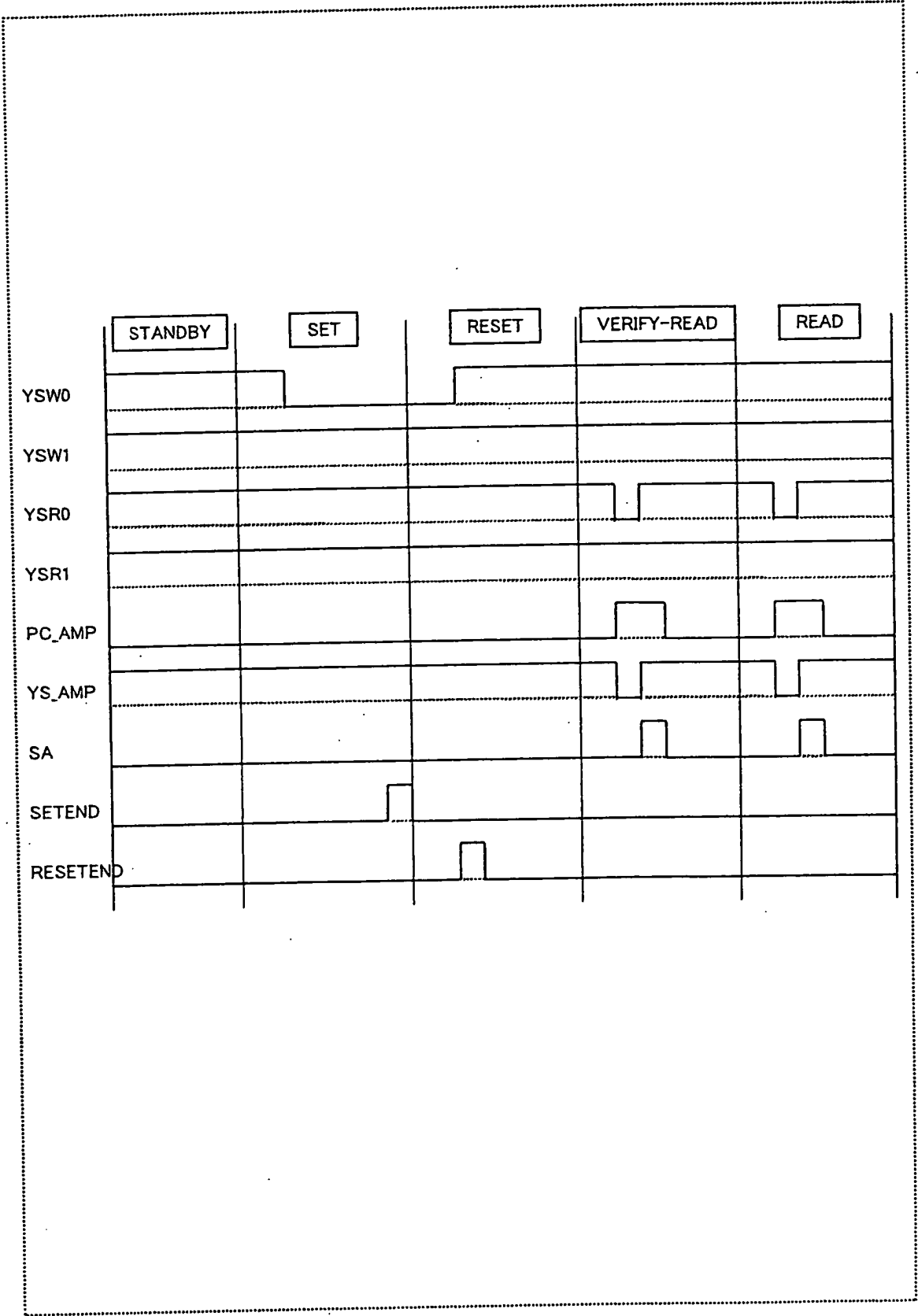
第16圖



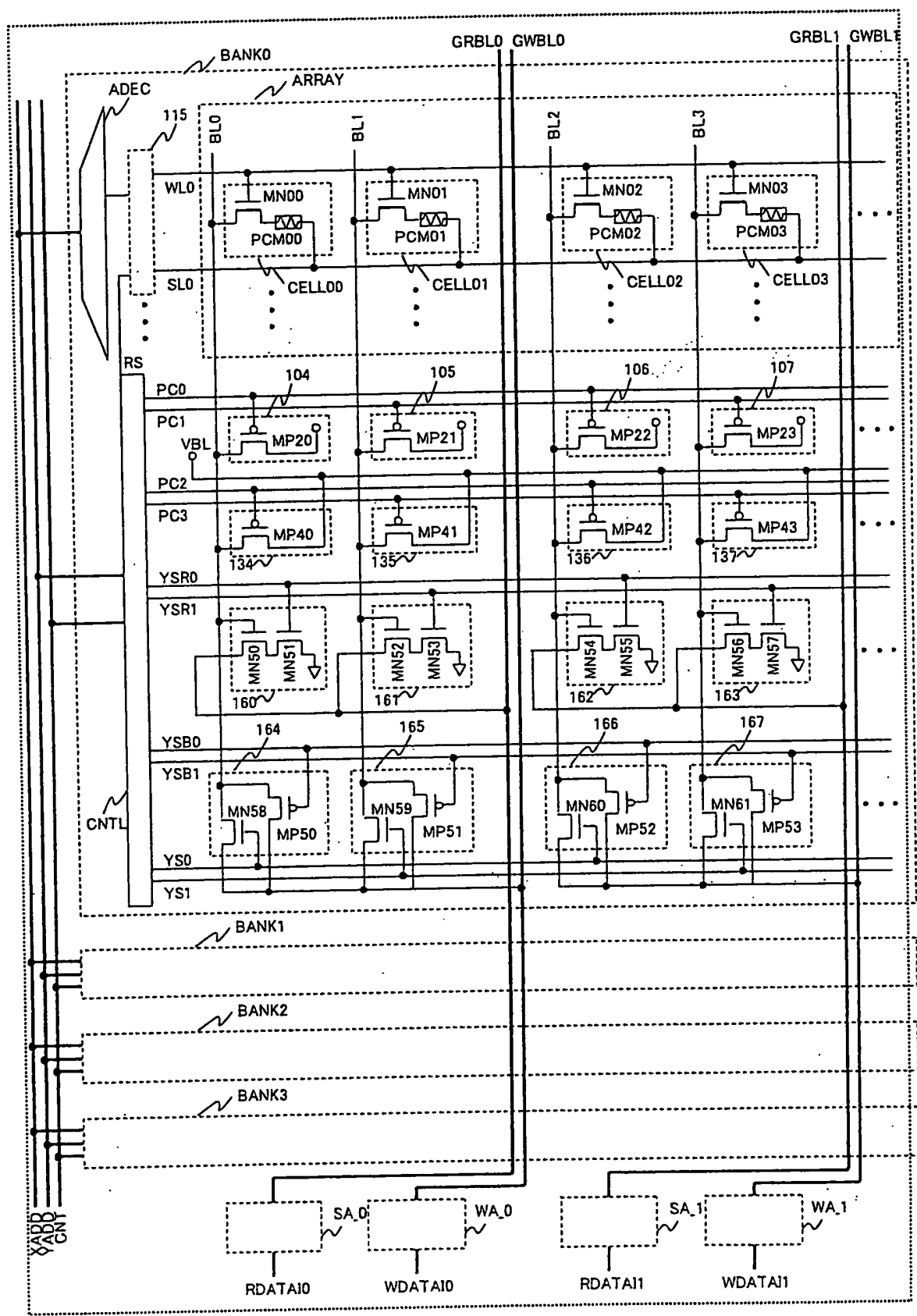
第17圖



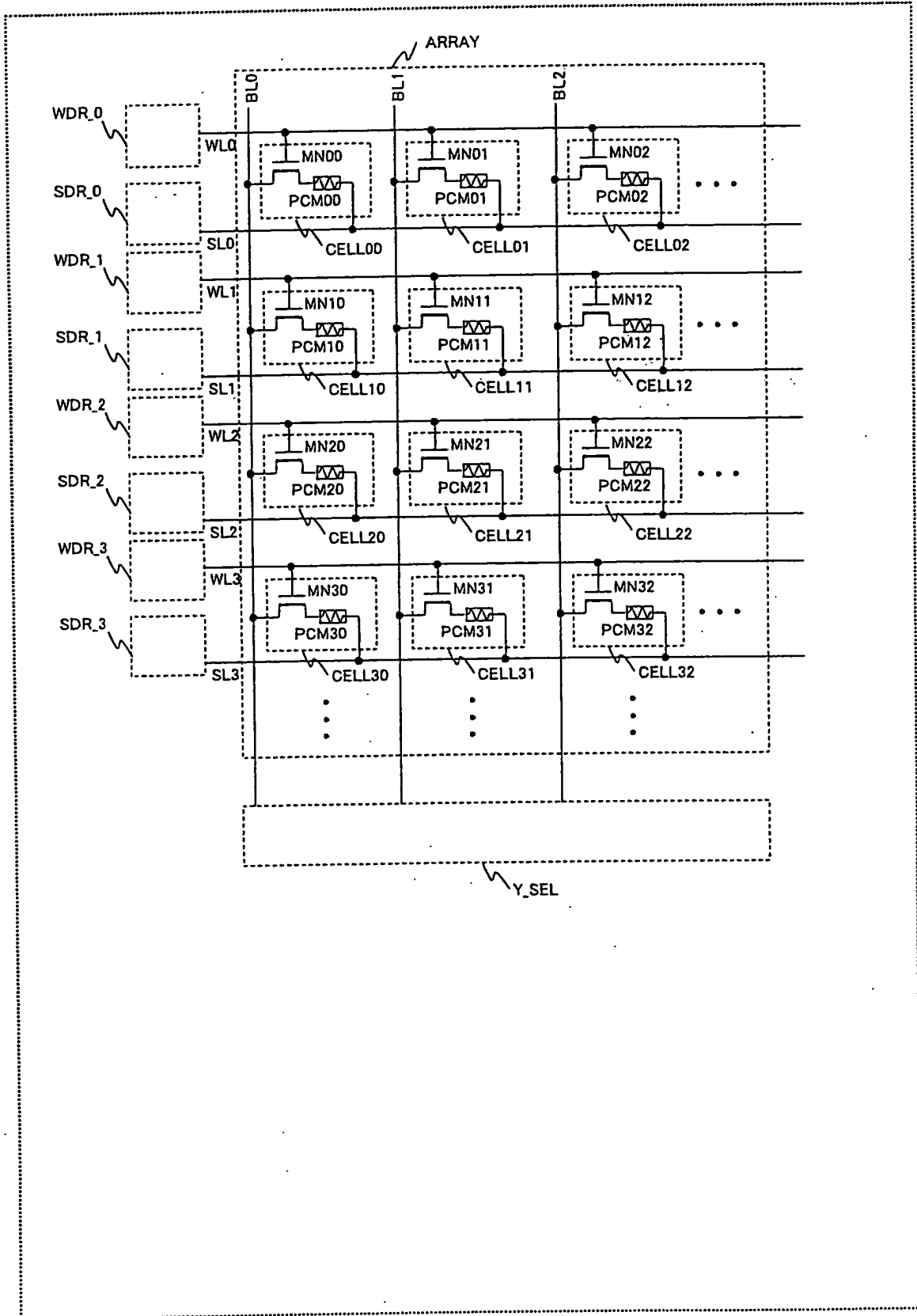
第18圖



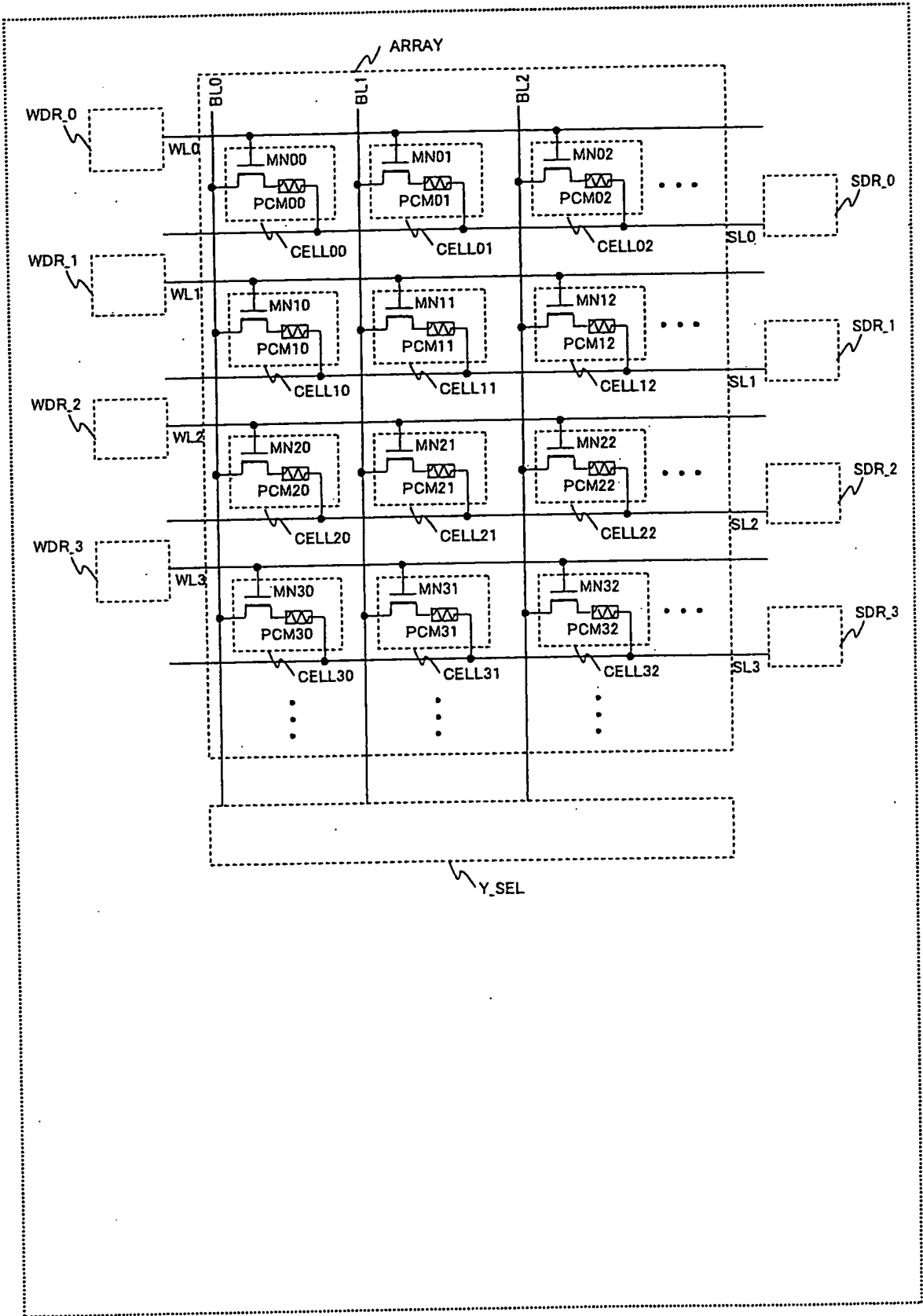
第19圖



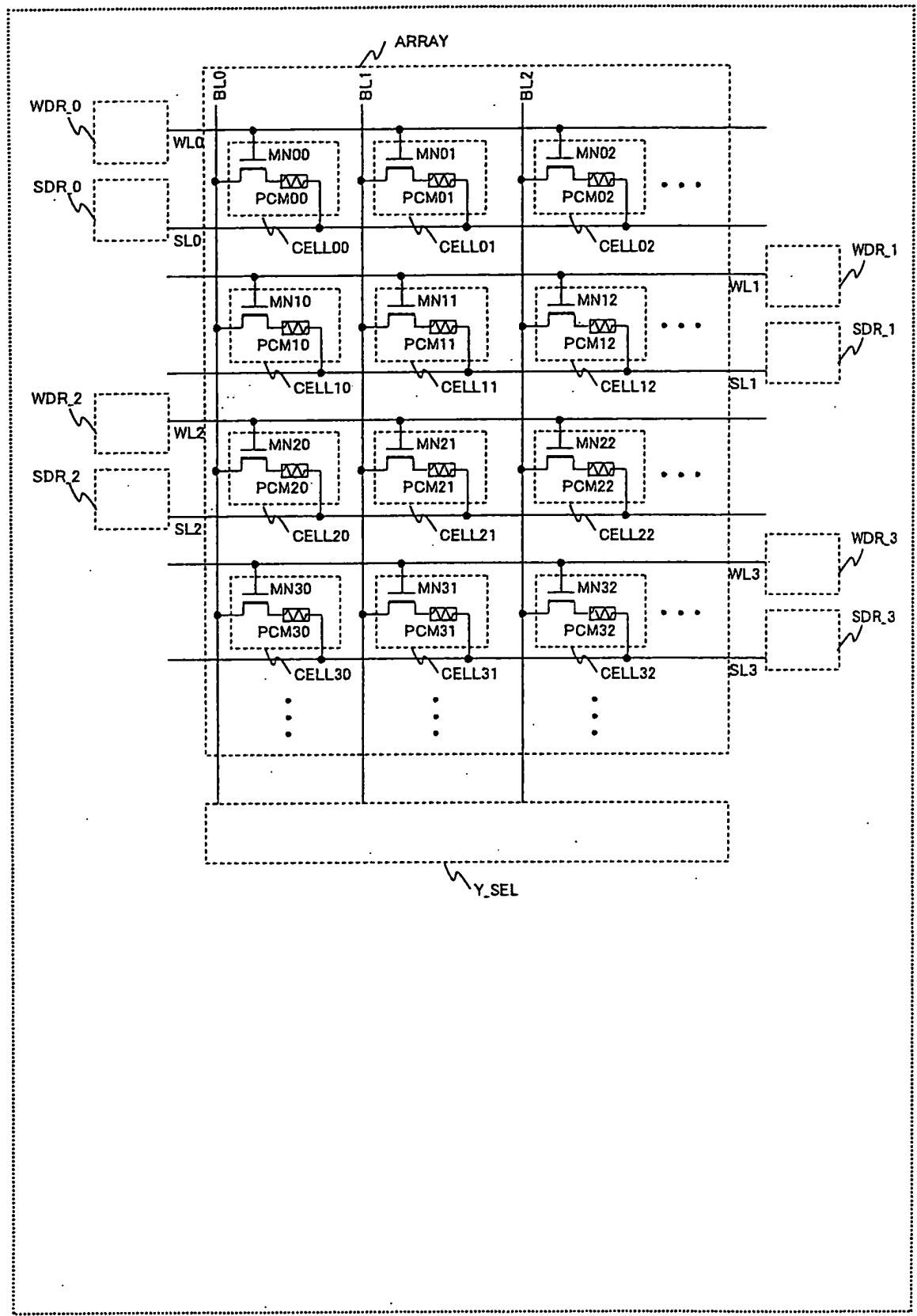
第20圖



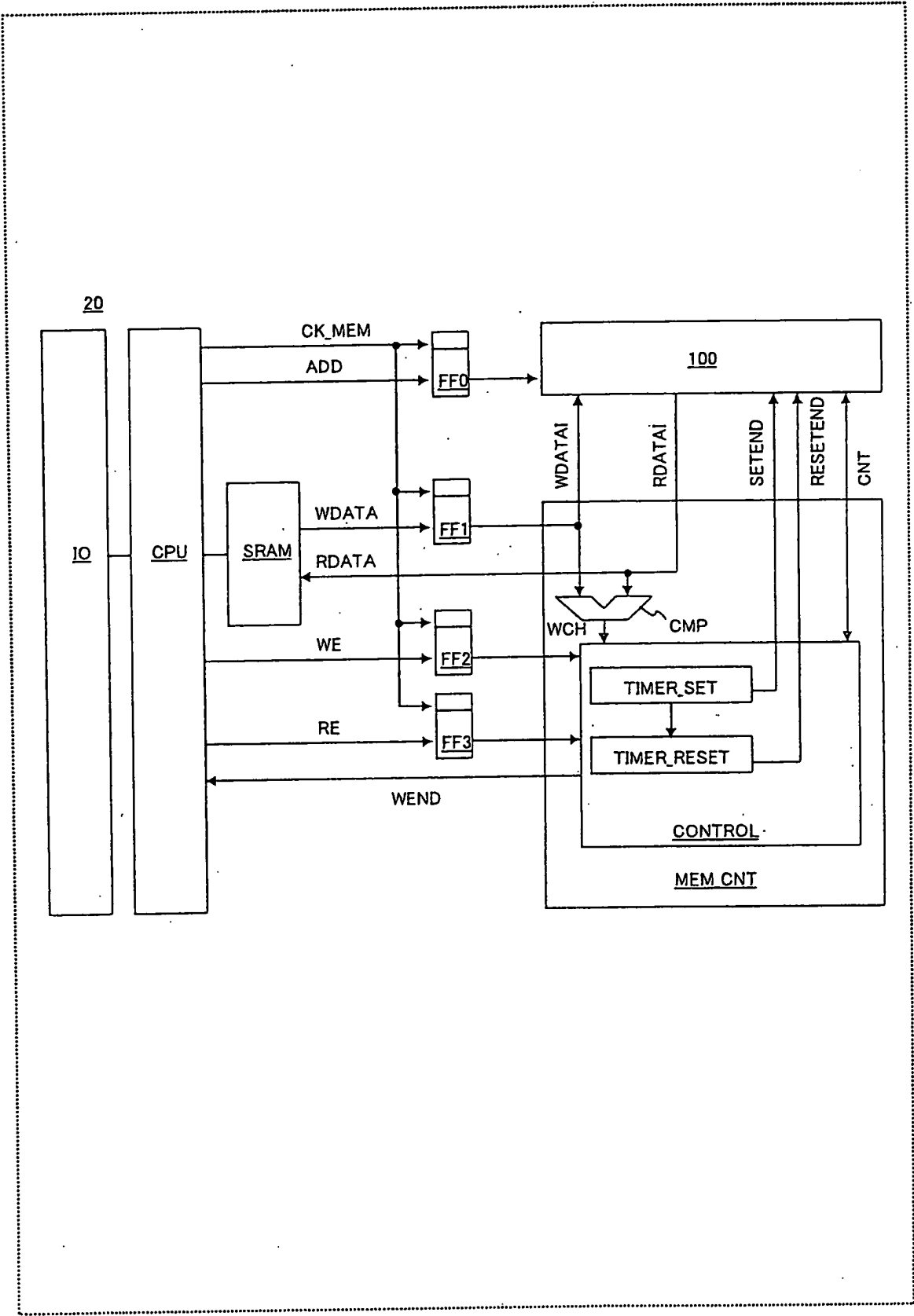
第21圖



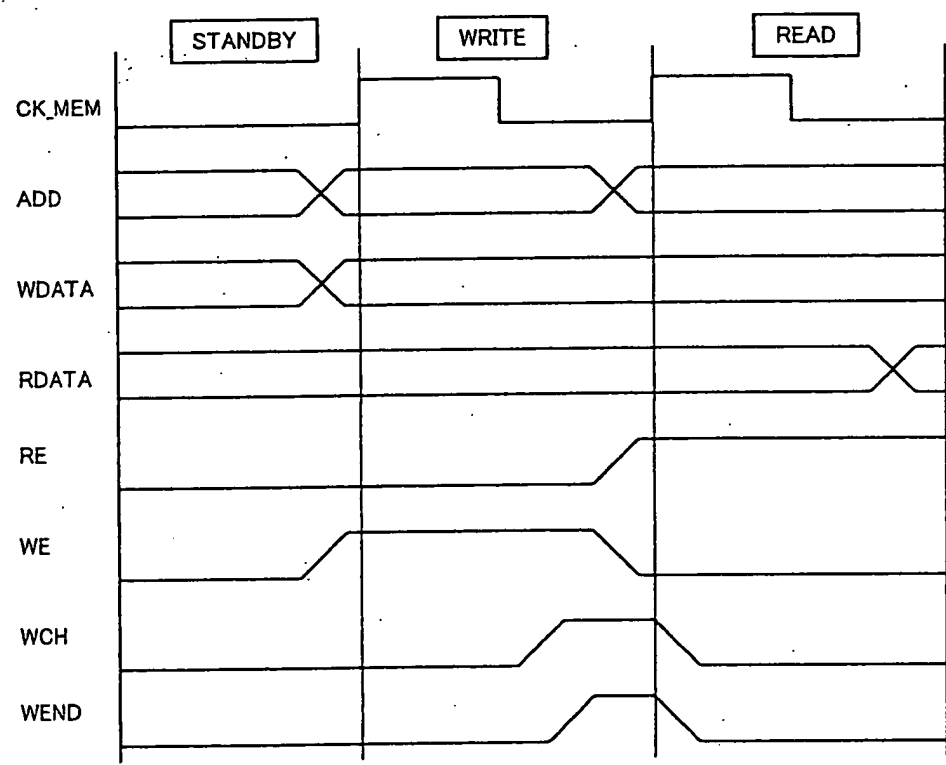
第22圖



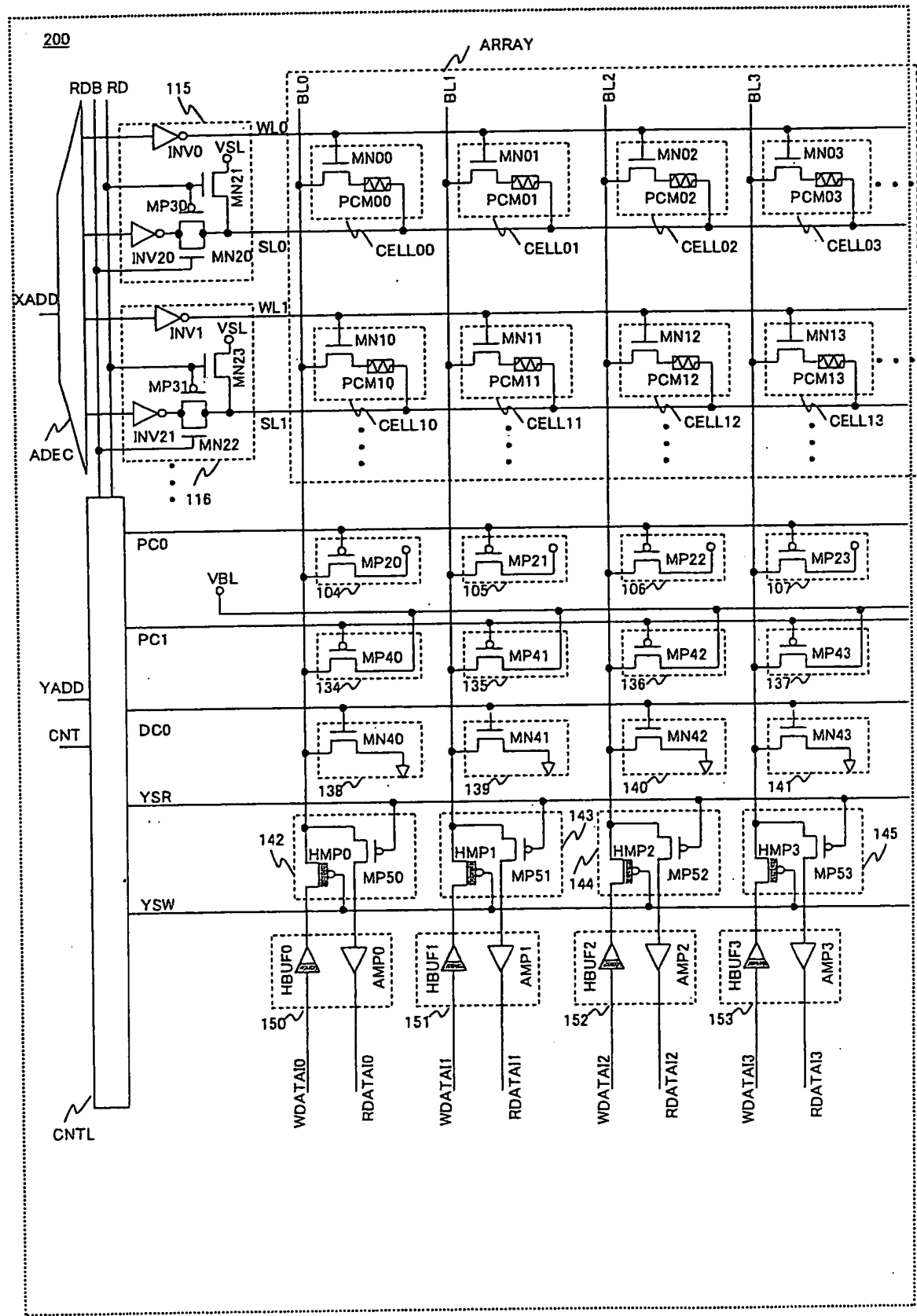
第23圖



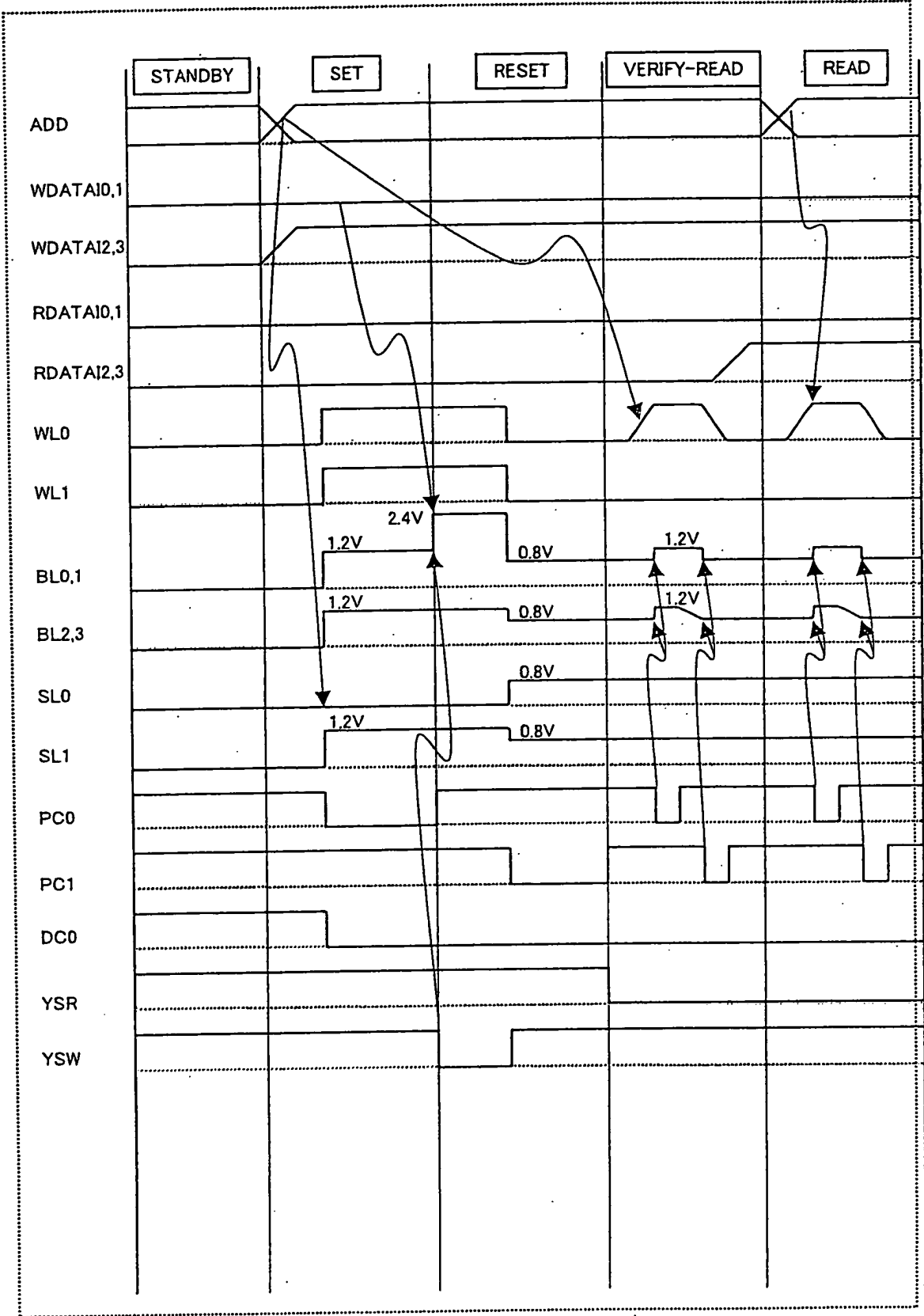
第24圖



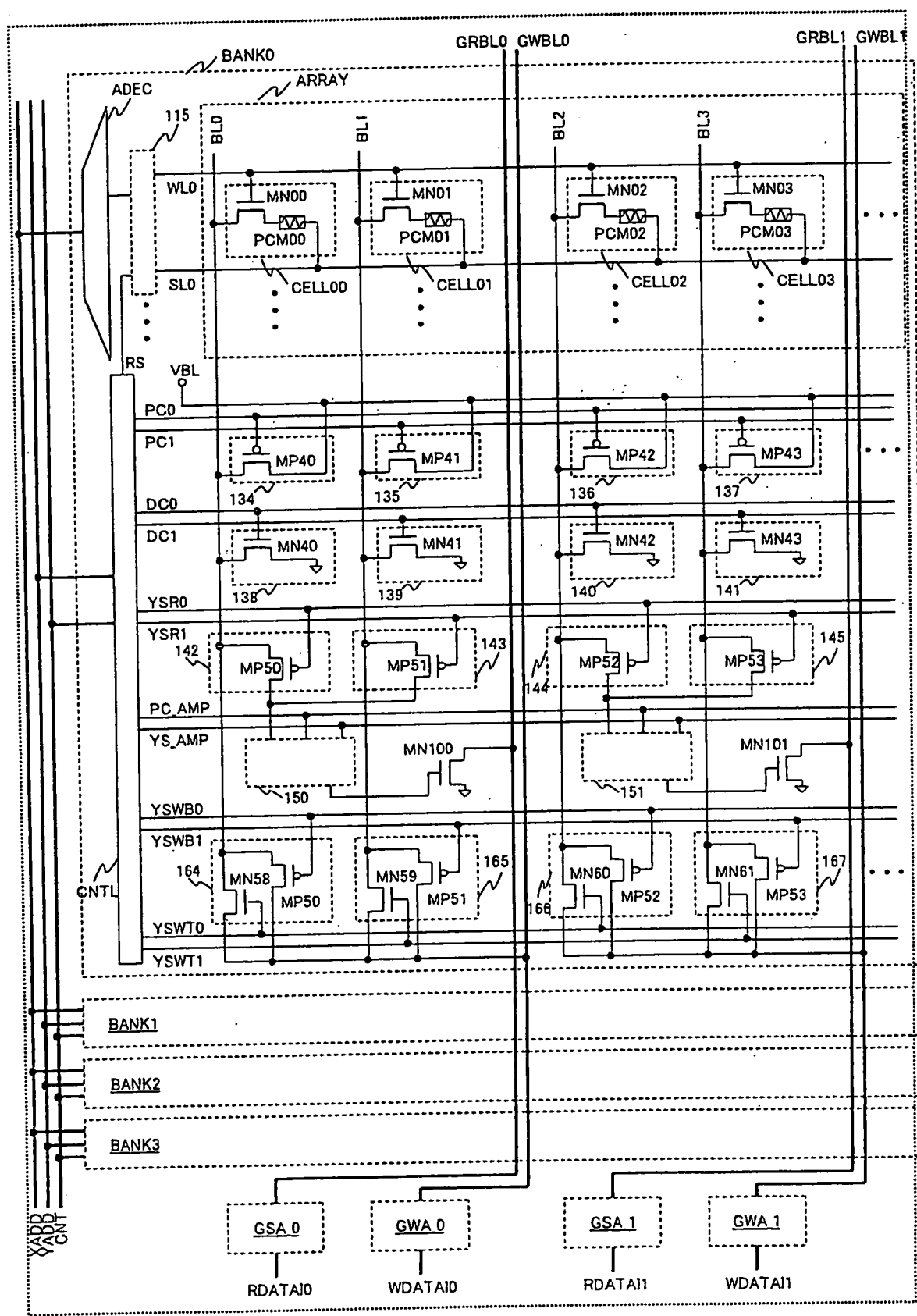
第25圖



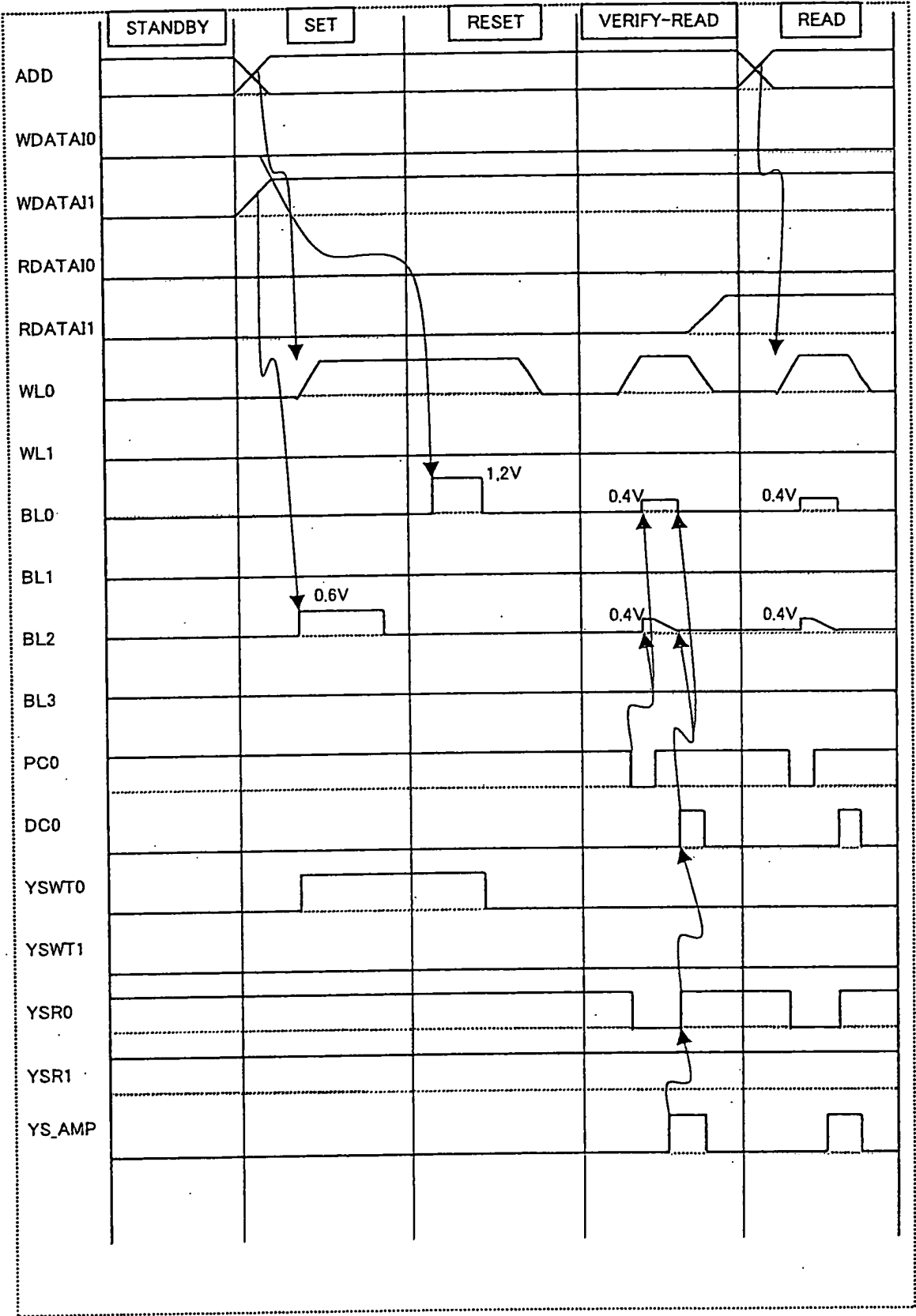
第26圖



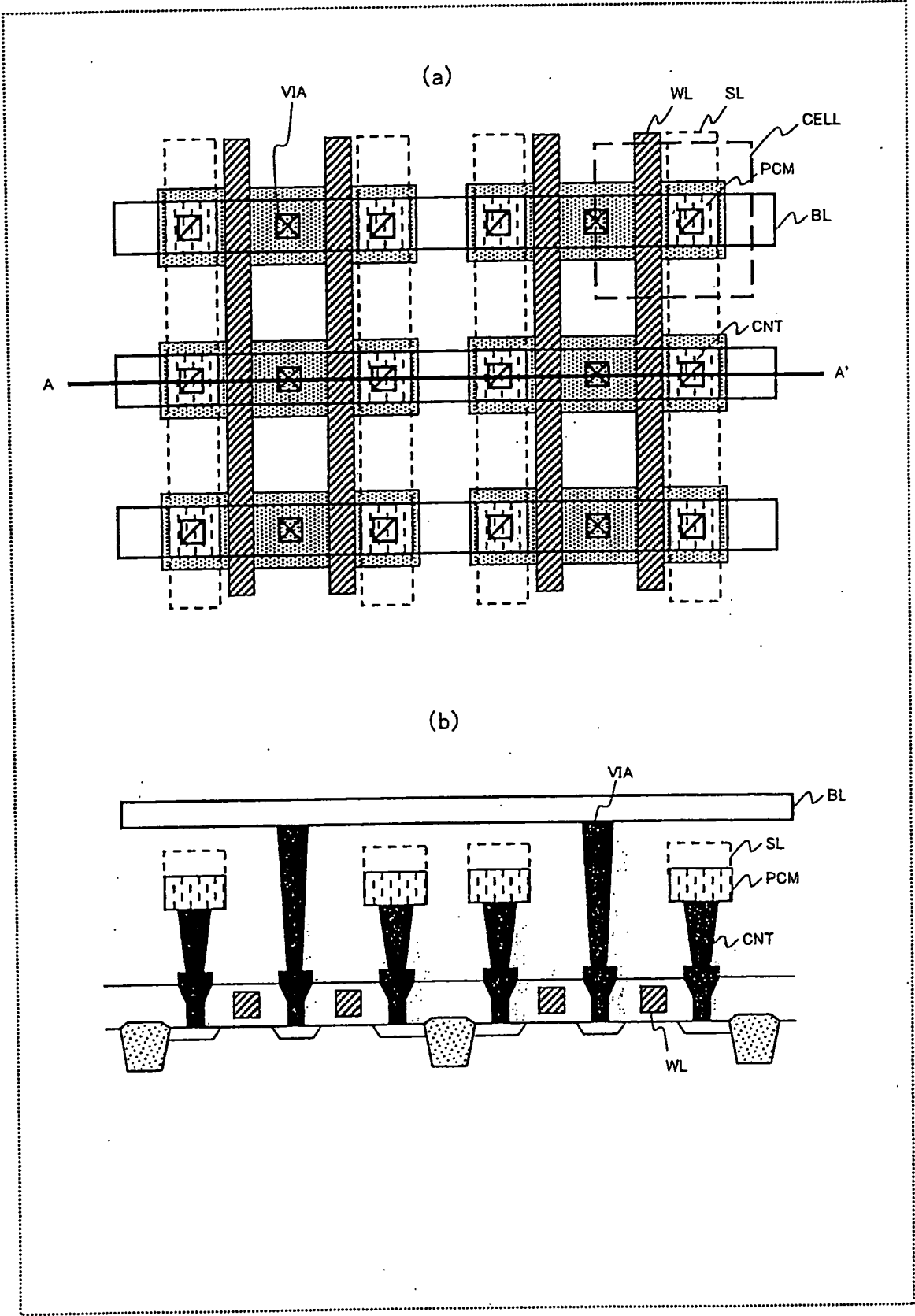
第27圖



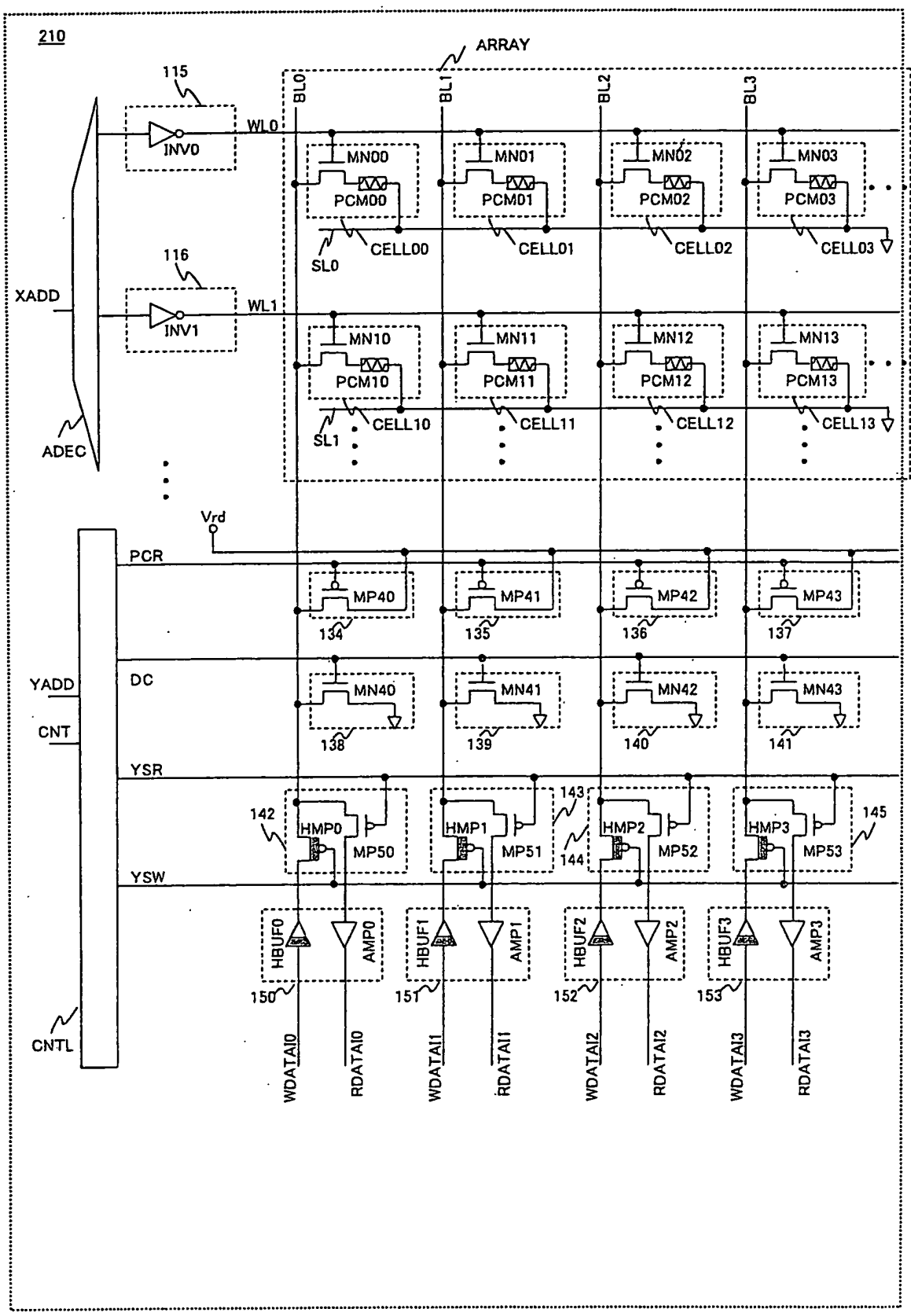
第28圖



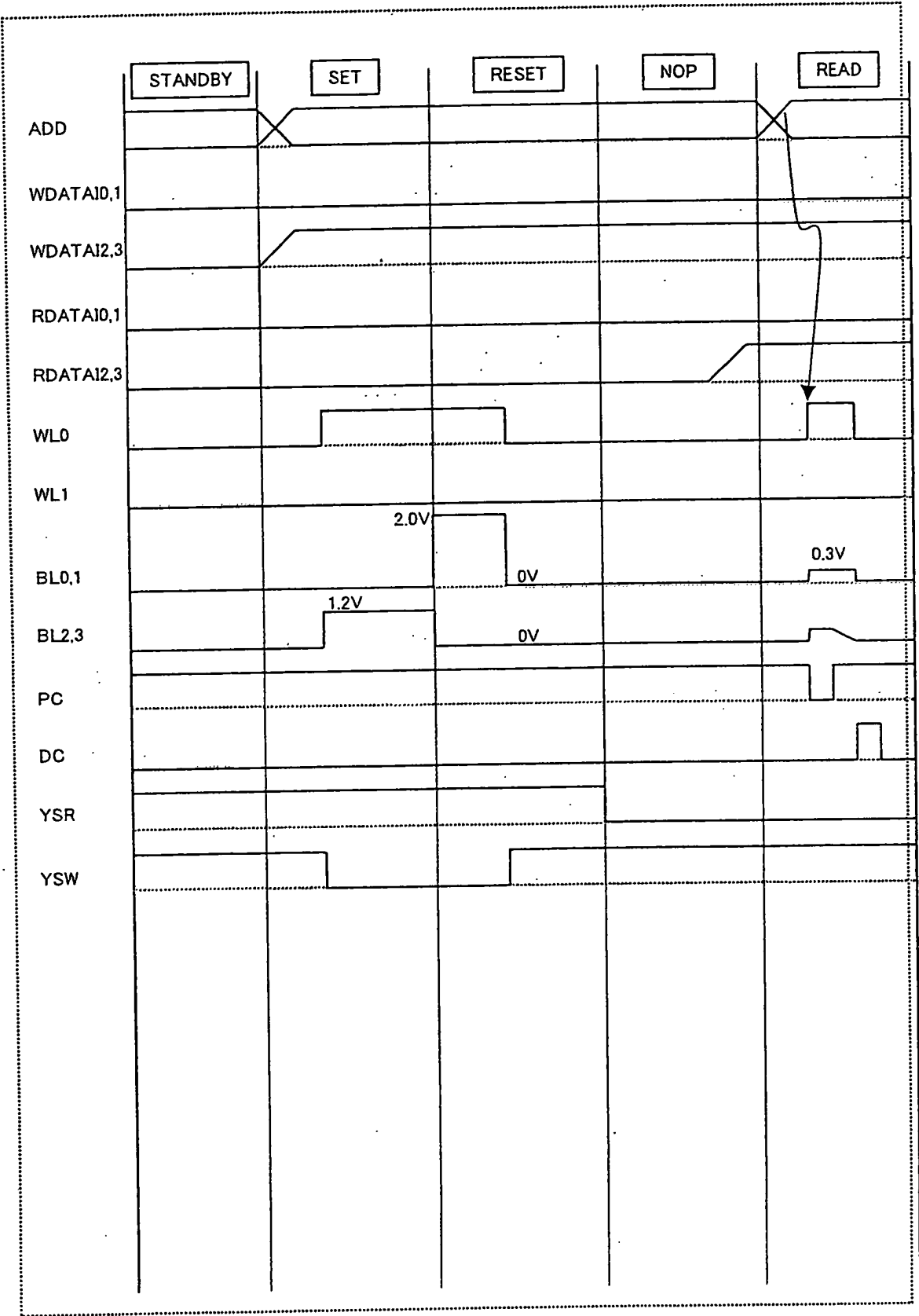
第29圖



第30圖



第31圖



七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

CPU：中央處理裝置

INTC：中斷控制電路

PCROM：記憶體區塊 PCROM

RAM：內部記憶體

TIM：計時器

SCI：串列通訊介面

ADC：A/D 轉換器

IOP1~IOP9：第 1 至第 9 輸入輸出埠

CPG：時鐘脈衝產生器

VGEN：電壓產生電路

MEM_CNT：記憶體控制器

VDDC、VDDI：外部電壓

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

99年8月18日修正替換頁

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94101903

※申請日期：94年01月21日

※IPC分類：H01L 27/04 (2006.01)

一、發明名稱：

(中) 半導體裝置

(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 瑞薩電子股份有限公司

(英) RENESAS ELECTRONICS CORPORATION

代表人：(中) 1. 赤尾 泰

(英) 1. AKAO, YASUSHI

地 址：(中) 日本國神奈川縣川崎市中原區下沼部一七五三番地

(英) 1753, Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa,

Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 5 人)

1. 姓 名：(中) 長田健一

(英) OSADA, KENICHI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 竹村理一郎

(英) TAKEMURA, RIICHIRO

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 高浦則克

(英) TAKAURA, NORIKATSU

國 籍：(中) 日本

(英) JAPAN

4. 姓 名：(中) 松崎望

(英) MATSUZAKI, NOZOMU

民國 100 年 5 月 20 日修正

十、申請專利範圍

1. 一種半導體裝置，係包含有：

記憶體區塊；和

連接於外部端子之輸入輸出電路；

和半導體基板，該記憶體區塊與輸入輸出電路係形成於其上，其特徵為：

前述記憶體區塊係具有：複數之字元線，及與前述複數之字元線交叉之複數的位元線，及配置在前述複數之字元線與前述複數之位元線的交點之複數的記憶體單元；

前述複數之記憶體單元之各單元係具有，第 1MOS 電晶體，及記憶元件，及連接有前述第 1MOS 電晶體之閘極的第 1 節點，及其間連接有前述第 1MOS 電晶體之源極／汲極路徑與前述記憶元件之第 2 及第 3 節點；

前述記憶元件之電阻值，係依據所被給予之電流值的不同而改變，

前述第 1 節點係在前述複數之字元線中，連接於對應之 1 條，

前述第 2 節點係在前述複數之位元線中，連接於對應之 1 條，

前述輸入輸出電路係具有連接於前述外部端子之第 2MOS 電晶體；

前述第 1MOS 電晶體之臨界值電壓的絕對值，比前述第 2MOS 電晶體之臨界值電壓的絕對值小。

2. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述半導體裝置係中央處理裝置形成在前述一個半導體基板上，

前述中央處理裝置係具有第 3MOS 電晶體，

前述第 1MOS 電晶體之臨界值電壓，係比前述中央處理裝置所使用之第 3MOS 電晶體的臨界值電壓之絕對值小，

前述中央處理裝置所使用之第 3MOS 電晶體的臨界值電壓，係比前述第 2MOS 電晶體之臨界值電壓的絕對值小。

3. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述第 2MOS 電晶體之氧化膜厚，係比前述第 1MOS 電晶體的氧化膜厚更厚。

4. 如申請專利範圍第 2 項所記載之半導體裝置，其中，供應給前述中央處理裝置及前述內部記憶體之電壓，係比供應給前述輸入輸出電路之電壓小，

前述第 1MOS 電晶體之氧化膜厚及前述第 3MOS 電晶體之氧化膜厚，係比前述第 2MOS 電晶體之氧化膜厚為薄。

5. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述半導體裝置係進而具有：連接於前述複數之記憶體單元之各單元的前述第 3 節點之複數的源極線，及連接

於前述複數之源極線之各線的複數之源極驅動器。

6. 如申請專利範圍第 5 項所記載之半導體裝置，其中，前述半導體裝置係在待機狀態中，將前述複數之位元線與對應之前述複數之源極線之間的電位差設為第 1 電壓，在進行讀取動作時，將連接有成為讀取對象之記憶體單元之位元線與源極線之間的電位差設為比前述第 1 電壓大之第 2 電壓。

7. 如申請專利範圍第 5 項所記載之半導體裝置，其中，前述半導體裝置，在寫入第 1 資訊之情形與寫入第 2 資訊之情形，令流經前述第 1 MOS 電晶體之源極／汲極路徑之電流的方向改變。

8. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述半導體裝置係具備：主位元線，及連接於前述主位元線與前述複數之位元線之間的選擇電路。

9. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述半導體裝置，在對前述記憶元件寫入第 1 資訊之情形，及寫入第 2 資訊之情形中，令在前述記憶元件流通電流之時間不同。

10. 如申請專利範圍第 9 項所記載之半導體裝置，其中，前述半導體裝置，在對前述記憶元件寫入第 1 資訊時，將前述第 2 節點與第 3 節點之間的電壓設為第 1 電壓，在對前述記憶元件寫入第 2 資訊時，將前述第 2 節點與前述第 3 節點之間的電壓設為比前述第 1 電壓大之第 2 電壓。

11. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述半導體裝置，係於前述複數之位元線分別連接有放電電路。

12. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述記憶元件係相變化元件。

13. 一種半導體裝置，其特徵為：具備有，
記憶體區塊與輸入輸出電路；
前述記憶體區塊，係具有：

記憶體陣列，其係包含延伸存在於第 1 方向之複數的字元線，及延伸存在於與前述複數之字元線交叉之第 2 方向的複數之位元線，及延伸存在於前述第 1 方向之複數的源極線，及配置在前述複數之字元線與前述複數之位元線的交點之複數的記憶體單元，及

複數的字元驅動器電路，其係連接於前述複數之各字元線，及

複數的源極驅動器電路，其係連接於前述複數之各源極線；

前述複數之記憶體單元之各單元係具有，MOS 電晶體，及記憶元件，及在前述複數之字元線中，連接於對應之 1 條之第 1 節點，及在前述複數之位元線中，連接於對應之 1 條之第 2 節點，及在前述複數之源極線中，連接於對應之 1 條之第 3 節點；

前述第 1 節點係連接於前述 MOS 電晶體之閘極，在前述第 2 節點與前述第 3 節點之間，連接有前述 MOS 電

晶體之源極／汲極路徑及記憶元件；

前述記憶元件之電阻值，係依據所被給予之電流值的不同而隨之改變，

在對寫入第 1 資訊之情形與寫入第 2 資訊之情形，令流經前述第 1 MOS 電晶體之源極／汲極路徑之電流的方向改變。

14. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述記憶體陣列係形成在以 4 邊所圍成之領域；

前述複數之字元驅動器電路及前述複數之源極驅動器電路，係沿著前述領域的 1 邊而被交互配置。

15. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述記憶體陣列係形成在以 4 邊所圍成之領域；

前述複數之字元驅動器電路係沿著前述領域的第 1 邊而配置；

前述複數之源極驅動器電路係沿著與前述領域的與前述第 1 邊對向之第 2 邊而配置。

16. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述記憶體陣列係形成在以 4 邊所圍成之領域；

前述複數之字元驅動器電路係沿著前述領域的第 1 邊，及與前述第 1 邊對向之第 2 邊而交互配置；

前述複數之源極驅動器電路係沿著前述領域的第 1 邊，及與前述第 1 邊對向之第 2 邊而交互配置。

17. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述半導體裝置，在對前述記憶元件寫入前述第 1

資訊之情形及寫入前述第 2 資訊之情形，令前述第 2 節點與前述第 3 節點之間的電壓改變。

18. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述半導體裝置，當在前述複數之記憶體單元中由第 1 記憶體單元讀出資訊之情形時，令前述第 1 記憶體單元之前述第 2 節點與前述第 3 節點之間的電壓，成為比不為讀出對象之記憶體單元之前述第 2 節點與前述第 3 節點之間的電壓為更大。

19. 如申請專利範圍第 18 項所記載之半導體裝置，其中，前述複數之源極驅動器電路係將前述複數之源極線預先充電為第 1 電位；

在由前述第 1 記憶體單元讀出資訊之情形時，在前述複數之源極驅動器電路中，對應於連接前述第 1 記憶體單元之第 1 源極線之源極驅動器電路，係將前述第 1 源極線設為比前述第 1 電位小之第 2 電位。

20. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述半導體裝置在前述複數之記憶體單元中，於對應之記憶體單元寫入第 1 資訊後，於前述複數之記憶體單元中，在對應之記憶體單元寫入第 2 資訊。

21. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述記憶元件係相變化元件。

22. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述半導體裝置進而包含中央處理裝置；

前述中央處理裝置係依據儲存在前述記憶體區塊之程

式而動作。

23. 一種半導體裝置，其特徵為：具備有，

記憶體區塊與輸入輸出電路；

前述記憶體區塊，係具有，包含：複數的字元線，及與前述複數之字元線交叉之複數之位元線，及設置在前述複數之字元線與前述複數之位元線的交點之複數的記憶體單元之記憶體陣列；

前述複數之記憶體單元係具有，MOS（金氧半導體）電晶體，及記憶元件，及在前述複數之字元線中，連接於前述複數之字元線之對應之 1 條與前述 MOS（金氧半導體）電晶體的閘極之第 1 節點，及在其間連接有前述 MOS（金氧半導體）電晶體之源極／汲極路徑與前述記憶元件之第 2 節點及第 3 節點，前述記憶元件係連接於前述第 3 節點；

前述半導體裝置，在對前述記憶元件寫入第 1 資訊之情形，電流由前述第 2 節點朝前述第 3 節點流動，在對前述記憶元件寫入第 2 資訊之情形，由前述第 3 節點朝前述第 2 節點流通電流。

24. 如申請專利範圍第 23 項所記載之半導體裝置，其中，前述記憶體陣列係進而具備：與前述複數之位元線交叉之複數之源極線；

前述第 2 節點係在前述複數之位元線中，連接於對應之 1 條，

前述第 3 節點係在前述複數之源極線中，連接於對應

之 1 條，

前述半導體裝置係進而具備：對應前述複數之各源極線而設置之複數的源極驅動器電路。

25. 如申請專利範圍第 24 項所記載之半導體裝置，其中，前述複數之各源極驅動器電路係具有：對於對應之前述複數的源極線供給第 1 電位之預先充電電路；

在前述複數之源極驅動器電路中，連接於成為讀出對象之記憶體單元之源極驅動器，在讀出時，將源極線驅動為比前述第 1 電位小之第 2 電位。

26. 如申請專利範圍第 24 項所記載之半導體裝置，其中，前述半導體裝置，在前述複數之記憶體單元之其一寫入前述第 1 資訊之情形，於複數之位元線中，令成為寫入對象之位元線的電位改變，在結束寫入時，於前述複數之源極線中，令連接於成為寫入對象之記憶體單元之源極線的電位改變。

27. 如申請專利範圍第 26 項所記載之半導體裝置，其中，前述半導體裝置，在前述複數之記憶體單元之其一寫入前述第 1 資訊後，於寫入前述第 2 資訊之情形，於前述複數之位元線中，令連接於成為寫入前述第 2 資訊之對象的記憶體單元之位元線以外之位元線的電位改變，在結束寫入時，令連接於成為前述第 2 資訊之寫入對象的記憶體單元之位元線的電位改變。

28. 一種半導體裝置，其特徵為：具備有，
記憶體區塊與輸入輸出電路；

前述記憶體區塊，係具有：

記憶體陣列，其係包含延伸存在於第 1 方向之複數的字元線，及延伸存在於與前述複數之字元線交叉之第 2 方向的複數之位元線，及延伸存在於前述第 1 方向之複數的源極線，及配置在前述複數之字元線與前述複數之位元線的交點之複數的記憶體單元，及

複數的字元驅動器電路，其係連接於前述複數之各字元線，及

複數的源極驅動器電路，其係連接於前述複數之各源極線；

前述複數之記憶體單元之各單元係具有，MOS 電晶體，及記憶元件，及在前述複數之字元線中，連接於對應之 1 條之第 1 節點，及在前述複數之位元線中，連接於對應之 1 條之第 2 節點，及在前述複數之源極線中，連接於對應之 1 條之第 3 節點；

前述第 1 節點係連接於前述 MOS 電晶體之閘極，在前述第 2 節點與前述第 3 節點之間，連接有前述 MOS 電晶體之源極／汲極路徑及記憶元件；

前述記憶元件之電阻值，係依據所被給予之電流值的不同而隨之改變，

於讀取操作之時，位於第一記憶體單元的第二節點及第三節點之間的電壓，大於位於非目標之記憶體單元的第二節點及第三節點之間的電壓，此時資訊自該複數記憶體單元中之第一記憶體單元中被讀出。

29. 如申請專利範圍第 28 項所記載之半導體裝置，其中，前述複數之源極驅動器電路係將前述複數之源極線預先充電為第 1 電位；

在由前述第 1 記憶體單元讀出資訊之情形時，在前述複數之源極驅動器電路中，對應於連接前述第 1 記憶體單元之第 1 源極線之源極驅動器電路，係將前述第 1 源極線設為比前述第 1 電位小之第 2 電位。

30. 一種半導體裝置，其特徵為：具備有，

記憶體區塊與輸入輸出電路；

前述記憶體區塊，係具有：

記憶體陣列，其係包含延伸存在於第 1 方向之複數的字元線，及延伸存在於與前述複數之字元線交叉之第 2 方向的複數之位元線，及延伸存在於前述第 1 方向之複數的源極線，及配置在前述複數之字元線與前述複數之位元線的交點之複數的記憶體單元，及

複數的字元驅動器電路，其係連接於前述複數之各字元線，及

複數的源極驅動器電路，其係連接於前述複數之各源極線；

前述複數之記憶體單元之各單元係具有，MOS 電晶體，及記憶元件，及在前述複數之字元線中，連接於對應之 1 條之第 1 節點，及在前述複數之位元線中，連接於對應之 1 條之第 2 節點，及在前述複數之源極線中，連接於對應之 1 條之第 3 節點；

前述第 1 節點係連接於前述 MOS 電晶體之閘極，在
前述第 2 節點與前述第 3 節點之間，連接有前述 MOS 電
晶體之源極／汲極路徑及記憶元件；

前述記憶元件之電阻值，係依據所被給予之電流值的
不同而隨之改變，

於對應之記憶體單元寫入第 1 資訊後，於前述複數之
記憶體單元中，在對應之記憶體單元寫入第 2 資訊。

31. 一種半導體裝置，其特徵為：具有，

包含複數之字元線，及與前述複數之字元線交叉之複
數的位元線，及配置在前述複數之字元線與前述複數之位
元線的交點之複數的記憶體單元之記憶體陣列，及

連接於前述複數之各字元線之複數的字元驅動器電路
；

前述複數之各記憶體單元係具有，MOS 電晶體，及
記憶元件，及在前述複數之字元線中，連接於對應之 1 條
之第 1 節點，及在前述複數之位元線中，連接於對應之 1
條之第 2 節點，及第 3 節點；

前述第 1 節點係連接於前述 MOS 電晶體之閘極，在
前述第 2 節點與前述第 3 節點之間，連接有前述 MOS 電
晶體之源極／汲極路徑及記憶元件；

前述記憶元件係依據所被給予之電流值的不同，其電
阻值隨之改變，

前述複數之字元驅動器電路，在前述複數之字元線中
，對應之字元線為非選擇之情形，係供給負電壓。

32. 如申請專利範圍第 31 項所記載之半導體裝置，其中，前述記憶元件係相變化元件。

33. 一種半導體裝置，其特徵為：具有，
包含複數之字元線，及與前述複數之字元線交叉之複數的位元線，及配置在前述複數之字元線與前述複數之位元線的交點之複數的記憶體單元之記憶體陣列，及
對應前述複數之字元線而設置之複數的讀出預先充電電路，及

對應前述複數之位元線而設置之複數的讀出電路；

前述複數之各記憶體單元係具備：MOS 電晶體，及依據所被給予之電流值的不同，其之電阻值隨之改變之記憶元件；

在前述複數之位元線中，連接於成為寫入對象之記憶體單元之位元線，係藉由前述寫入電路而被供應以第 1 電位，

在前述複數之位元線中，連接於成為讀出對象之記憶體單元之位元線，係藉由前述讀出預先充電電路而被供應以比前述第 1 電位小之第 2 電位。

34. 如申請專利範圍第 33 項所記載之半導體裝置，其中，前述複數之各位元線係連接於放大電路，

前述放大電路在讀出動作時，比較出現於前述複數之位元線之電位與參照電位而予以放大。

35. 如申請專利範圍第 34 項所記載之半導體裝置，其中，前述記憶元件係相變化元件。

36. 一種半導體裝置，其特徵為：具有，

包含複數之字元線，及與前述複數之字元線交叉之複數的位元線，及複數之源極線，及配置在前述複數之字元線與前述複數之位元線的交點之複數的記憶體單元之記憶體陣列，及

前述複數之各記憶體單元係具有：MOS 電晶體，及記憶元件，及連接於前述複數之字元線的對應之一與前述 MOS 電晶體之閘極之第 1 節點，及在其間連接有前述 MOS 電晶體之源極／汲極路徑及前述記憶元件之第 2 及第 3 節點；

前述記憶元件係依據所被給予之電流值，其電阻值隨之改變，

前述複數之字元線係在前述複數之記憶體單元中，連接於對應之記憶體單元之第 1 節點，

前述複數之位元線係在前述複數之記憶體單元中，連接於對應之記憶體單元之第 2 節點，

前述複數之源極線係在前述複數之記憶體單元中，連接於對應之記憶體單元之第 3 節點，

連接於前述複數之各源極線之記憶體單元之數目，比連接於前述複數之各位元線之記憶體單元之數目多。

37. 一種半導體裝置，其特徵為：具備有，

複數之主位元線，及

具有複數之第 1 字元線，及與前述複數之第 1 字元線交叉之複數的第 1 位元線，及設置在前述複數之第 1 字元

線與前述複數之第 1 位元線之交點之複數的第 1 記憶體單元之第 1 記憶體陣列，及

具有複數之第 2 字元線，及與前述複數之第 2 字元線交叉之複數的第 2 位元線，及設置在前述複數之第 2 字元線與前述複數之第 2 位元線之交點之複數的第 2 記憶體單元之第 2 記憶體陣列，及

連接前述複數之主位元線與對應之前述複數之第 1 位元線之第 1 選擇電路，及

連接前述複數之主位元線與對應之前述複數之第 2 位元線之第 2 選擇電路，及

對應前述複數之各第 1 位元線而設置之複數之第 1 預先充電電路，及

對應前述複數之各第 2 位元線而設置之複數之第 2 預先充電電路，及

連接於前述複數之主位元線之放大器；

前述複數之各記憶體單元係具有：MOS 電晶體，及記憶元件，及在前述複數之字元線中，連接於對應之 1 條之第 1 節點，及在前述複數之位元線中，連接於對應之 1 條之第 2 節點，及在前述複數之源極線中，連接於對應之 1 條之第 3 節點；

前述記憶元件係依據所被給予之電流值，其電阻值隨之改變。

38. 如申請專利範圍第 37 項所記載之半導體裝置，其中，前述第 1 記憶體陣列係進而具有：與前述複數之第

1 位元線交叉，在前述複數之第 1 記憶體單元中，連接於對應之記憶體單元之前述第 3 節點之複數的第 1 源極線，及對應前述複數之各第 1 源極而設置之複數之第 1 源極驅動器；

前述第 2 記憶體陣列係進而具有：與前述複數之第 2 位元線交叉，在前述複數之第 2 記憶體單元中，連接於對應之記憶體單元之前述第 3 節點之複數的第 2 源極線，及對應前述複數之各第 1 源極而設置之複數之第 2 源極驅動器。

39. 如申請專利範圍第 38 項所記載之半導體裝置，其中，前述半導體裝置，在前述複數之第 1 記憶體單元之其一寫入第 1 資訊之情形，在前述複數之第 1 位元線中，令成為寫入對象之位元線的電位改變，在結束寫入時，在前述複數之第 1 源極線中，令連接於成為寫入對象之記憶體單元之源極線的電位改變。

40. 如申請專利範圍第 39 項所記載之半導體裝置，其中，前述半導體裝置，在前述複數之第 1 記憶體單元之其一寫入前述第 1 資訊後，於寫入前述第 2 資訊之情形，在前述複數之第 1 位元線中，令連接於成為寫入前述第 2 資訊之對象的記憶體單元之位元線以外之位元線的電位改變，在結束寫入時，令連接於成為前述第 2 資訊之寫入對象之記憶體單元之位元線的電位改變。

41. 如申請專利範圍第 40 項所記載之半導體裝置，其中，前述半導體裝置，在寫入前述第 1 資訊之情形及寫

入前述第 2 資訊之情形中，變更流經前述第 2 節點與前述第 3 節點之電流的方向。

42. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述半導體裝置，於寫入前述第 1 資訊時，對前述記憶元件施加電壓之時間，比寫入前述第 2 資訊時，對前述記憶元件施加電壓之時間長，在讀出寫入於前述記憶元件之資訊時，對前述記憶元件施加電壓之時間，比寫入前述第 2 資訊時，對前述記憶元件施加電壓之時間短。

43. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述半導體裝置，係在前述複數之各位元線連接有 128 個之前述記憶體單元。

44. 一種半導體裝置，其特徵為：

具有，記憶體陣列，及第 1 計時器，及第 2 計時器；

前述記憶體陣列係具有，複數之字元線，及與前述複數之字元線交叉之複數的位元線，及配置在前述複數之字元線與前述複數之位元線的交點之複數的記憶體單元；

前述複數之各記憶體單元係具有，第 1MOS 電晶體，及記憶元件，及連接有前述第 1MOS 電晶體之閘極之第 1 節點，及其間連接有前述第 1MOS 電晶體之源極／汲極路徑與前述記憶元件之第 2 及第 3 節點；

在對前述記憶元件寫入第 1 資訊時，前述第 1 計時器係測量第 1 時間，

在對前述記憶元件寫入與前述第 1 資訊不同之第 2 資訊時，前述第 2 計時器係測量第 2 時間，

前述第 1 時間係比前述第 2 時間長。

45. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述半導體裝置，在前述複數之記憶體單元中，在由成為讀出對象之記憶體單元讀出資訊的情形，於選擇前述複數之字元線後，預先充電前述複數之位元線。

46. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述半導體裝置，在前述複數之記憶體單元中，在結束由成為讀出對象之記憶體單元讀出資訊之讀出動作的情形，於放電前述複數之位元線後，將前述複數之字元線設為非選擇。

47. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述半導體裝置，在前述複數之記憶體單元中，於由成為讀出對象之記憶體單元讀出資訊之情形，設前述複數之源極線成為比接地電位還高之電壓。

48. 如申請專利範圍第 13 項所記載之半導體裝置，其中，前述半導體裝置，在對前述複數之記憶體單元進行資訊之寫入的情形，係具有，對前述複數之記憶體單元全部寫入第 1 資訊之第 1 期間，及令在前述複數之記憶體單元中，對於特定之記憶體單元之前述第 1 資訊之寫入，及在前述複數之記憶體單元中，對於特定之記憶體單元之與前述第 1 資訊不同之第 2 資訊的寫入並行進行之第 2 期間。

49. 一種半導體裝置，其特徵為：具備有，
複數之主位元線，及

具有複數之第 1 字元線，及與前述複數之第 1 字元線交叉之複數的第 1 位元線，及設置在前述複數之第 1 字元線與前述複數之第 1 位元線之交點之複數的第 1 記憶體單元之第 1 記憶體陣列，及

具有複數之第 2 字元線，及與前述複數之第 2 字元線交叉之複數的第 2 位元線，及設置在前述複數之第 2 字元線與前述複數之第 2 位元線之交點之複數的第 2 記憶體單元之第 2 記憶體陣列，及

連接前述複數之主位元線與對應之前述複數之第 1 位元線之第 1 選擇電路，及

連接前述複數之主位元線與對應之前述複數之第 2 位元線之第 2 選擇電路，及

對應前述複數之各第 1 位元線而設置之複數之第 1 預先充電電路，及

對應前述複數之各第 2 位元線而設置之複數之第 2 預先充電電路，及

對應前述複數之各第 1 位元線而設置之複數的第 1 放大電路，及

對應前述複數之各第 2 位元線而設置之複數的第 2 放大電路，及

連接於前述複數之主位元線之寫入電路；

前述複數之各記憶體單元係具有：MOS 電晶體，及記憶元件，及在前述複數之字元線中，連接於對應之 1 條之第 1 節點，及在前述複數之位元線中，連接於對應之 1

條之第 2 節點，及在前述複數之源極線中，連接於對應之 1 條之第 3 節點；

前述記憶元件係依據所被給予之電流值，其電阻值隨之改變。

50. 如申請專利範圍第 49 項所記載之半導體裝置，其中，進而具備，對應前述複數之各第 1 位元線而設置之複數之第 1 放電電路，及

對應前述複數之各第 2 位元線而設置之第 2 放電電路。

51. 如申請專利範圍第 49 項所記載之半導體裝置，其中，前述半導體裝置，在前述複數之記憶體單元中，於由成為讀出對象之記憶體單元讀出資訊之情形，在選擇前述複數之字元線後，預先充電前述複數之位元線。

52. 如申請專利範圍第 49 項所記載之半導體裝置，其中，前述半導體裝置，在前述複數之記憶體單元中，於結束由成為讀出對象之記憶體單元讀出資訊之讀出動作之情形，於放電前述複數之位元線後，將前述複數之字元線設為非選擇。

53. 一種半導體裝置，其特徵為：

具備，記憶體區塊與輸入輸出電路；

前述記憶體區塊係具有，包含：延伸存在於第 1 方向之複數的字元線，及延伸存在於與前述複數之字元線交叉之第 2 方向的複數之位元線，及延伸存在於前述第 1 方向之複數之源極線，及配置在前述複數之字元線與前述複數

之位元線之交點之複數的記憶體單元之記憶體陣列，及
連接於前述複數之各字元線之複數的字元驅動器電路
；

前述複數之記憶體單元之各單元係具有，MOS 電晶體，及記憶元件，及在前述複數之字元線中，連接於對應之 1 條之第 1 節點，及在前述複數之位元線中，連接於對應之 1 條之第 2 節點，及在前述複數之源極線中，連接於對應之 1 條之第 3 節點；

前述第 1 節點係連接於前述 MOS 電晶體之閘極，在前述第 2 節點與前述第 3 節點之間，連接有前述 MOS 電晶體之源極／汲極路徑及記憶元件；

前述記憶元件係依據所被給予之電流值的不同，其電阻值隨之改變，

前述複數之字元驅動器電路，在前述複數之字元線中，對應之字元線為非選擇的情形，係供給負電壓。

54. 一種半導體裝置，其特徵為，具備有：

記憶體區塊，其係具有用以藉由電阻而記憶資訊之資訊記憶元件；和

控制電路，係進行用以將第 1 資料寫入前述資訊記憶元件之控制；和

記憶體控制器，係具備有將用以對前述資訊記憶元件寫入資訊之第 1 資料和從前述資訊記憶元件中所讀出之第 2 資料作比較的比較電路；

當前述第 1 資料與前述第 2 資料不一致時，前述控制電

路，係進行用以根據前述第1資料而進行前述資訊記憶元件的再寫入之控制，

當前述第1資料與前述第2資料為一致時，前述比較電路，係將表示前述第1資料與前述第2資料係為一致的第1訊號，送訊至前述控制電路中。

55. 如申請專利範圍第54項所記載之半導體裝置，其中，係更進而具備有中央處理裝置，當前述第1訊號被送訊時，前述控制器，係對前述中央處理裝置，送訊表示對前述記憶元件之寫入係為結束之第2訊號。

56. 如申請專利範圍第55項所記載之半導體裝置，其中，前述控制電路，係更進而具備有：

第1計時器，係用以對前述控制電路用以使前述資訊記憶元件成為第1狀態之第1時間作計測，

當使前述資訊記憶元件成為前述第1狀態的情況時，係藉由前述第1計時器，來計測出從對前述資訊記憶元件之寫入開始起而經過了第1時間一事，而後，前述比較電路，係將前述第1資料與前述第2資料作比較。

57. 如申請專利範圍第56項所記載之半導體裝置，其中，前述控制電路，係更進而具備有：

第2計時器，係用以對前述控制電路用以使前述資訊記憶元件成為較第1狀態而電阻值為更大之第2狀態的第2時間作計測，

當使前述資訊記憶元件成為前述第2狀態的情況時，係藉由前述第2計時器，來計測出從對前述資訊記憶元件

之寫入開始起而經過了第2時間一事，而後，前述比較電路，係將前述第1資料與前述第2資料作比較。

58. 一種半導體裝置，其特徵為，具備有：

記憶體區塊，其係具有用以藉由電阻而記憶資訊之資訊記憶元件；和

控制電路，係進行用以將資料寫入前述資訊記憶元件之控制；和

中央處理裝置；和

記憶體，係用以將從前述中央處理裝置所送訊而來之第1資料，配合於前述控制器之時機而送訊，並將從前述控制器所送訊而來之第2資料，配合於前述控制器之時機而送訊。

59. 如申請專利範圍第58項所記載之半導體裝置，其中，前述第1資料，係在將資訊寫入前述資訊記憶元件時被送訊，前述第2資料，係為從前述資訊記憶元件中所讀出之資訊。

60. 如申請專利範圍第59項所記載之半導體裝置，其中，將前述中央處理裝置所處理之複數次份的資料，從前述記憶體區塊而一次地轉送至前述記憶體中。

61. 如申請專利範圍第58～60項中之任一項所記載之半導體裝置，其中，前述記憶體區塊之動作頻率，係較前述中央處理裝置之動作頻率為更慢。

62. 如申請專利範圍第58～60項中之任一項所記載之半導體裝置，其中，前述記憶體，係為SRAM。

63. 如申請專利範圍第54～60項中之任一項所記載之半導體裝置，其中，前述資訊記憶元件，係為相變化元件。