

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
5. Februar 2009 (05.02.2009)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2009/015984 A2

(51) Internationale Patentklassifikation:
B81C 1/00 (2006.01)

KOENIG, Jens [DE/DE]; Lilienthalstr. 11, 71706
Markgroeningen (DE).

(21) Internationales Aktenzeichen: PCT/EP2008/058652

(74) Gemeinsamer Vertreter: **ROBERT BOSCH GMBH**;
Postfach 30 02 20, 70442 Stuttgart (DE).

(22) Internationales Anmeldedatum:
4. Juli 2008 (04.07.2008)

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ,
CA, CH, CN, CO, CR, CU, CZ, DK, DM, DO, DZ, EC, EE,
EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID,
IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK,
LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT,
RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ,
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM,
ZW.

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2007 035 788.7 31. Juli 2007 (31.07.2007) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **ROBERT BOSCH GMBH** [DE/DE]; Postfach 30 02
20, 70442 Stuttgart (DE).

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,
[Fortsetzung auf der nächsten Seite]

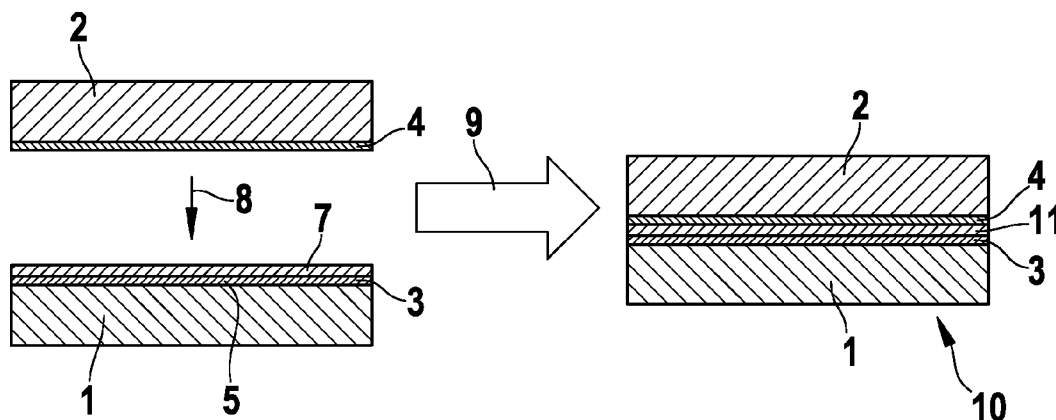
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **DONIS, Dieter**
[DE/DE]; Niebuhrweg 15, 70439 Stuttgart (DE).

(54) Title: WAFER JOINING METHOD, WAFER ASSEMBLAGE, AND CHIP

(54) Bezeichnung: WAFERFÜGEVERFAHREN, WAFERVERBUND SOWIE CHIP

Fig. 1



(57) Abstract: The invention relates to a method for joining a first wafer (1) to at least one second wafer (2). The method is characterized by the steps of: applying a sinterable bonding material (7) to at least one of the wafers (1, 2, 14) and bringing together the wafers (1, 2, 14) and sintering the bonding material (7) by heating. The invention furthermore relates to a wafer assemblage (10) and to a chip.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Fügen eines ersten Wafers (1) mit mindestens einem zweiten Wafer (2). Das Verfahren ist gekennzeichnet durch die Schritte: Aufbringen eines sinterfähigen Bondingmaterials (7) auf zumindest einen der Wafer (1, 2, 14) und Zusammenführen der Wafer (1, 2, 14) und Sintern des Bondingmaterials (7) durch Erhitzen. Ferner betrifft die Erfindung einen Waferverbund (10) sowie einen Chip.

WO 2009/015984 A2



TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

5 Beschreibung

Titel

Waferfügeverfahren, Waferverbund sowie Chip

10 Stand der Technik

Die Erfindung betrifft ein Verfahren zum Fügen eines ersten Wafers mit mindestens einem zweiten Wafer gemäß dem Oberbegriff des Anspruchs 1, einen Waferverbund gemäß dem Oberbegriff des Anspruchs 14 sowie einen Chip gemäß dem Oberbegriff des Anspruchs 15.

Aus der DE 10 2004 021 258 A1 ist es bekannt, zwei Wafer durch Verlöten aneinander festzulegen. Hierzu wird Lötmedium auf metallische Bondrahmen aufgetragen, die jeweils eine elektronische Schaltung umgeben. Nach dem Inkontaktbringen der zu bondenden Wafer wird das Lötmedium aufgeschmolzen und es entsteht eine feste Lötverbindung zwischen den Wafers. Nachteilig bei dem bekannten Waferbondverfahren ist es, dass sehr breite Bondrahmen verwendet werden müssen, um das während des Lötens verflüssigte Lötmedium aufnehmen zu können. Je nach Anwendungsfall können diese Bondrahmen zwischen 10 und 45 Prozent der resultierenden Chipfläche beanspruchen. Darüber hinaus ist die Temperaturbelastung der elektronischen Bauteile beim Lötprozess hoch, was schlimmstenfalls zu Beschädigungen elektronischer Komponenten führen kann.

Offenbarung der Erfindung

30

Technische Aufgabe

Der Erfindung liegt daher die Aufgabe zugrunde, ein Füge-Verfahren für Wafer vorzuschlagen, bei dem auf den Wafers lediglich kleine Tabuzonen vorgesehen werden müssen und bei dem die Temperaturbelastung der elektronischen Komponenten auf den Wafers minimiert ist. Ferner besteht die Aufgabe darin, einen entsprechend opti-

35

mierten Waferverbund aus mindestens zwei Wafern sowie einen aus dem Waferverbund herausgetrennten, entsprechend optimierten Chip vorzuschlagen.

Technische Lösung

5

Diese Aufgabe wird hinsichtlich des Verfahrens mit den Merkmalen des Anspruchs 1, hinsichtlich des Waferverbundes mit den Merkmalen des Anspruchs 14 und hinsichtlich des Chips mit den Merkmalen des Anspruchs 15 gelöst. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben. In den Rahmen der Erfindung
10 fallen auch sämtliche Kombinationen aus zumindest zwei von in der Beschreibung, den Ansprüchen und/oder den Figuren offenbarten Merkmalen.

Der Erfindung liegt der Gedanke zugrunde, mindestens zwei Wafer, von denen beispielsweise ein erster Wafer als Sensorwafer mit einer elektronischen Schaltung und
15 ein zweiter Wafer als Kappenwafer zum Verkappen der elektronischen Schaltung des ersten Wafers ausgebildet sein kann, durch einen Sinterprozess zu fügen (bonden). Der Vorteil gegenüber dem bekannten Lötverfahren ist es, dass das zur Anwendung kommende Bondingmaterial sich nicht, zumindest nicht vollständig, verflüssigt, wodurch wesentlich kleinere Tabuzonen, insbesondere Bondrahmen, vorgesehen werden
20 müssen und in der Folge prozentual mehr Fläche auf einem Wafer zum Vorsehen elektronischer Schaltungen genutzt werden kann, so dass in der weiteren Folge mit einem Wafer eine größere Anzahl von Chips hergestellt werden können. Ein weiterer wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht darin, dass die Temperaturbelastung der elektronischen Komponenten beim Sinterprozess wesentlich geringer ist als bei dem bekannten Lötprozess. Vorzugsweise beträgt die Sintertemperatur dabei weniger als 350°, insbesondere weniger als 300°, bevorzugt weniger als
25 250°C. Üblicherweise liegt die eigentliche Betriebstemperatur eines aus dem nach dem Konzept der Erfindung ausgebildeten Verfahren resultierenden Chips deutlich über dieser Sintertemperatur (Fügetemperatur). Bei dem erfindungsgemäßen Verfahren wird wie folgt vorgegangen: Zunächst wird sinterfähiges Bondingmaterial, insbesondere mit einer Partikelgrößenverteilung aus dem Nanometer- und/oder Mikrometerbereich, auf zumindest einen der zu bondenden Wafer aufgetragen. In einem nächsten Schritt werden die Wafer, insbesondere nach einem zuvorigem Ausrichten relativ zueinander, zusammengeführt, d.h. aufeinander oder aneinander gelegt, und das sinterfähige Bondingmaterial wird erhitzt, so dass ein Sinterprozess resultiert. Unter „Zusammenführen“ im Sinne der Erfindung wird nicht zwangsläufig ein unmittelbares Be-
30 35

rühren der Wafer verstanden. Vielmehr wird eine Sandwichstruktur mit zwei äußeren Wafern und dazwischen angeordnetem Bondingmaterial erhalten. Dabei liegt es im Rahmen der Erfindung, dass mit der Erwärmung des Sintermaterials bereits vor dem Zusammenführen der zu bondenden Wafer begonnen wird. Alternativ erfolgt die Erhit-
5 zung erst nach dem Zusammenführen der Wafer.

Je nach Partikelgrößenverteilung des zur Anwendung kommenden Bondingmaterials kann es notwendig sein, um eine stabile Sinterverbindung zu erhalten, zusätzlich zu der Sintertemperatur, insbesondere von weniger als 350°C, insbesondere weniger als
10 300°C, bevorzugt weniger als 250°C, einen Anpressdruck auf die Wafer auszuüben. Insbesondere bei einer Partikelgrößenverteilung im Mikrometerbereich kann es vorteilhaft sein, einen Anpressdruck zwischen etwa 15 und 60 MPa, insbesondere zwischen etwa 25 bis 45 MPa, zu erzeugen. Bei einer Partikelgrößenverteilung im Nanometerbereich reichen bereits geringe Drücke von unter 2 MPa, insbesondere von etwa 1 MPa
15 oder darunter, aus, um eine stabile Sinterverbindung zu erzeugen. Je nach Partikelgrößenverteilung ist es sogar denkbar, auf separate Anpressmittel zur Erzeugung eines Anpressdrucks zu verzichten, so dass lediglich das Eigengewicht zumindest eines oberhalb des ersten Wafers angeordneten Wafers zur Erzeugung eines ausreichenden, minimalen Anpressdrucks ausreicht.

20 Bezüglich der Realisierung der Erwärmung des Bondingmaterials auf Sintertemperatur gibt es unterschiedliche Möglichkeiten. Gemäß einer ersten Alternative werden die mindestens zwei Wafer zusammen mit dem Bondingmaterial in einem Ofenprozess erhitzt, auf eine Temperatur, bei der eine Versinterung des Bondingmaterials stattfindet. Dabei liegt die Sintertemperatur (Fügetemperatur) bevorzugt unterhalb von 350°C,
25 insbesondere unterhalb von 300°C, bevorzugt unterhalb von 250°C. Sollte es notwendig sein, zur Versinterung einen Anpressdruck aufzubringen, so sind vorzugsweise auch die Anpressmittel innerhalb des Sinterofens angeordnet.

30 Zusätzlich oder vorzugsweise alternativ ist es gemäß einer zweiten Alternative möglich, nicht die gesamten, miteinander zu bondenden Wafer, sondern lediglich lokal das Bondingmaterial gezielt zu erhitzen. Hierfür eignet sich insbesondere Laserstrahlung, vorzugsweise ein Laserscanner. Der Laserstrahl strahlt dabei vorzugsweise durch einen der mindestens zwei zu bondenden Wafer, insbesondere einen Kappenwafer, hin-
35 durch, welcher zumindest im wesentlichen transparent für die Laserstrahlung ausgebildet ist. Durch die Verwendung eines Laserscanners können auch komplexe Bonding-

materialkonturen (Sinterkonturen) abgefahren werden. Die gezielte, lokale Erhitzung des Bondingmaterials hat gegenüber dem Ofenprozess wesentliche Vorteile. Zum einen erfolgt eine Erwärmung der Wafer nur im eigentlichen Kontaktbereich zu dem Bondingmaterial, so dass Elektronikbauteile geschont werden. Darüber hinaus resultiert eine Zeitersparnis, da im Gegensatz zum Sinterofenprozess kein vergleichsweise langwieriges Aufheizen und Abkühlen notwendig ist. Bevorzugt wird die Erhitzungsdauer und/oder die Laserstrahlintensität derart eingestellt, dass Sintertemperaturen unterhalb von 350°C, vorzugsweise unterhalb von 300°C, oder vorzugsweise unterhalb von 250°C resultieren. Bevorzugt erfolgt der laserunterstützte Erhitzungsprozess erst nach dem Inkontaktbringen der zu bondenden Wafer.

Bevorzugt ist eine Weiterbildung des Verfahrens, gemäß der zumindest der Sinterschritt unter Vakuum erfolgt, insbesondere um hermetisch abgeriegelte Chips erzeugen zu können. Dabei muss die Prozessführung des Sinterprozesses so abgestimmt werden, dass die resultierende Sinterverbindung eine geschlossene unterdruckdichte Porosität aufweist.

Um eine maximale Festigkeit der Bondverbindung zwischen den mindestens zwei Wafern zu realisieren, ist eine Ausführungsform von Vorteil, bei der die Wafer vor dem Auftragen des Bondingmaterials, vorzugsweise zumindest in dem späteren Kontaktbereich zum Bondingmaterial, metallisiert werden, beispielsweise durch eine Nickel/Gold-Verbindung und/oder eine Chrom/Gold-Verbindung und/oder eine Chrom/Silber-Verbindung, etc. Bevorzugt erfolgt die Metallisierung in Form von Bondrahmen, die die eigentliche elektronische Schaltung auf zumindest einem der beiden Wafer umschließen.

Mit Vorteil erfolgt das Auftragen des Bondingmaterials (insbesondere ausschließlich) auf metallisierten Bereichen mindestens eines der Wafer, vorzugsweise auf mindestens einen Bondrahmen, der eine an zumindest einem der Wafer ausgebildete elektronische Schaltung und/oder ein mikromechanisches Element umschließt, um in der Folge vollständig von dem Bondingmaterial umschlossene Schaltungen und/oder mikromechanische Elemente, d.h. Chips mit einer umlaufenden Bondverbindung, zu fertigen.

Besonders gute Ergebnisse wurden mit einem Bondingmaterial erzielt welches Silberpartikel enthält. Bevorzugt liegt die Partikelgrößenverteilung der Silberpartikel im Na-

nometerbereich und der d_{50} -Wert der Partikelgrößenverteilung liegt bei einem ersten, bevorzugten Bondingmaterial zwischen etwa 2 nm und 10 nm und bei einem zweiten, bevorzugten Bondingmaterial zwischen etwa 30 nm und 50 nm. Darüber hinaus ist es möglich, Bondingmaterial einzusetzen, bei dem die Silberpartikel eine Partikelgrößenverteilung im Mikrometerbereich aufweisen. Dabei wurde mit Silberpartikeln mit einem d_{50} -Wert zwischen etwa 2 – 30 μm gute Ergebnisse erzielt. Grundsätzlich gilt: Je größer die Partikel, desto höher ist der benötigte Anpressdruck zum Erzeugen einer Sinterverbindung.

Von besonderem Vorteil ist eine Ausführungsform, bei der das Bondingmaterial neben Silberpartikeln, die vorzugsweise den größten Masseanteil bilden, Zusatzstoffe, wie organisches Material und/oder Glaslot und/oder Goldlot umfasst, insbesondere um eine geschlossene Porosität der Sinterverbindung zu erhalten, um in der Folge vakuumierte Chips erhalten zu können.

Bevorzugt ist eine Ausführungsform, bei der das Bondingmaterial pastös ist, um ein Verlaufen auf einen Bereich des Wafers außerhalb des Bondrahmens zu verhindern. Zusätzlich oder alternativ ist es möglich, dass das Bondingmaterial als insbesondere trockenes Pulver zur Anwendung kommt.

Insbesondere zum Aufbringen von pastösem Bondingmaterial ist es möglich, dieses durch Schablonendruck und/oder Siebdruck und/oder Sprühen und/oder Dispensen aufzubringen. Bevorzugt wird das Bondingmaterial lediglich auf einen von zwei miteinander zu verbindenden Wafern aufgebracht, woraufhin der Wafer ohne Bondingmaterial relativ zu dem insbesondere unten liegenden Wafer ausgerichtet und mit diesem in Kontakt gebracht wird, falls nötig unter Aufbringung eines Anpressdrucks, vorzugsweise unterhalb von 60 MPa.

Das erfindungsgemäße Verfahren eignet sich nicht nur zum Herstellen von verkappten elektronischen Schaltungen und/oder mikromechanischen Elementen mit zwei Wafern. Mit dem erfindungsgemäßen Verfahren können alternativ auch sogenannten Waferstacks, bestehend aus zumindest drei übereinander angeordneten Wafern, hergestellt werden, wobei es bevorzugt ist, dass zumindest zwei der Wafer, beziehungsweise zwei auf unterschiedlichen Wafern angeordnete Schaltungen, durch Durchkontaktieren miteinander elektrisch leitend verbunden sind.

Insbesondere nach dem (zumindest teilweise) Aushärten des Bondingmaterials werden die gebondeten Wafer in einzelne Chips oder Chipstacks zerteilt. Dies kann durch an sich bekannte Verfahren, wie beispielsweise einen Sägeprozess, erfolgen. Bevorzugt ist eine Trennung der einzelnen Chips, vorzugsweise in einem Bereich außerhalb der Bondrahmen, durch einen lasergestützten Schneid- bzw. Sägeprozess.

Die Erfindung führt auch auf einen Waferverbund aus mindestens zwei Wafern, wobei zwischen den mindestens zwei Wafern eine gesinterte Bondingverbindung vorgesehen ist, die vorzugsweise nach einem zuvor beschriebenen Verfahren hergestellt wurde. Besonders bevorzugt ist eine Ausführungsform des Waferverbundes, bei der das gesinterte Bondingmaterial eine geschlossene Porosität aufweist.

Ferner führt die Erfindung auch auf einen Chip, der vorzugsweise durch Zerteilen eines vorgenannten Waferverbundes hergestellt wurde. Der nach dem Konzept der Erfindung ausgebildete Chip zeichnet sich durch eine gesinterte Bondverbindung zwischen den mindestens zwei Waferebenen des Chips aus. Vorzugsweise umgibt dabei die, insbesondere geschlossenenporige, Bondingverbindung die eigentliche elektronische Schaltung und/oder das mikromechanische Element, wobei vorzugsweise von dem rahmenförmigen Bondingmaterial eine Vakuumatmosphäre dicht umschlossen ist.

Kurze Beschreibung der Zeichnungen

Weitere Vorteile, Merkmale und Einzelheiten der Erfindung ergeben sich aus der Beschreibung bevorzugter Ausführungsformen sowie anhand der Zeichnungen. Diese zeigen in:

Fig. 1: ein Ablaufschema des erfindungsgemäßen Verfahrens unter Anwendung eines Sinterofenprozesses,

Fig. 2: eine alternative Abfolge des Verfahrens unter Anwendung von Laserstrahlung zur lokalen Erhitzung des Bondingmaterials,

Fig. 3: einen Ausschnitt eines von mindestens zwei miteinander zu verbindenden Wafern,

Fig. 4: eine alternative Abfolge des Bondingverfahrens zur Herstellung von Waferstacks.

Ausführungsformen der Erfindung

5

In den Figuren sind gleiche Bauteile und Bauteile mit der gleichen Funktion mit den gleichen Bezugszeichen gekennzeichnet.

10

In Fig. 1 ist der Ablauf eines Waferbondverfahrens gezeigt. Zu erkennen ist ein Ausschnitt eines ersten Wafers 1 sowie eines darüber angeordneten zweiten Wafers 2, die sich in einer Vakuumatmosphäre befinden. Zur Anwendung kommende Wafer können beispielsweise aus Silizium und/oder Siliziumoxid und/oder Galliumarsenid und/oder aus sonstigen bekannten Wafermaterialien beschaffen sein.

15

Zu erkennen ist, dass beide Wafer 1, 2 mit jeweils einer Metallisierung 3, 4, beispielsweise aus Nickel/Gold, Chrom/Gold oder Chrom/Silber, versehen sind. Die Metallisierungen 3, 4 sind in der Form von Bondrahmen 5 aufgebracht, wie sie aus Fig. 3 ersichtlich sind. In dem gezeigten Ausführungsbeispiel haben die Bondrahmen eine quadratische Ringkontur, wobei die Bondrahmen 5 bei dem unten angeordneten ersten Wafer 1 eine in Fig. 3 lediglich schematisch angedeutete elektronische Schaltung 6 umgeben. Aus Fig. 3 ist weiterhin ersichtlich, dass eine Vielzahl identischer Schaltungen 6 mit jeweils einem diese umgebenden Bondrahmen 5 auf dem ersten Wafer 1 angeordnet sind. Die nicht gezeigten Bondrahmen des zweiten Wafers 2 haben eine zur Ausformung der Bondrahmen 5 auf dem ersten Wafer 1 formkongruente Ausformung.

20

25

Wie aus Fig. 1 ersichtlich ist, wurde auf der Metallisierung (Bondrahmen 5) des ersten Wafers 1 sinterfähiges Bondingmaterial 7, beispielsweise in einem Druckverfahren, aufgebracht.

30

35

Wie durch den mit dem Bezugszeichen 8 gekennzeichneten Pfeil angedeutet, werden die beiden Wafer 1, 2 nach dem Aufbringen des Bondingmaterials 7, nach vorheriger Relativausrichtung zusammengeführt, d.h. aufeinander gebracht und in einem Sinterofen erhitzt. Gegebenenfalls werden die beiden Wafer 1, 2 zusätzlich durch nicht gezeigte Anpressmittel aneinander gepresst. Die Sintertemperatur beträgt in dem gezeigten Ausführungsbeispiel etwa 200°C. Der Sinterofenprozess ist durch den mit dem

Bezugszeichen 9 gekennzeichneten Pfeil symbolisiert. Nach einer Abkühlphase resultiert der in der rechten Zeichnungshälfte gemäß Fig. 1 gezeigte Waferverbund 10, bestehend aus dem ersten und dem zweiten Wafer 1, 2, zwei Metallisierungen 3, 4 und der dazwischen liegenden Sinterschicht 11 aus gesintertem Bondingmaterial.

5

Nach dem Abkühlen können aus dem Waferverbund 10 einzelne Chips, beispielsweise durch Laserschneiden oder konventionelles Sägen, herausgeschnitten werden, wobei die Schnittlinien bevorzugt entlang von Bereichen 12 (siehe Fig. 3) zwischen benachbarten Bondrahmen 5 geführt werden.

10

Aus Fig. 2 ist ein alternatives Waferbondverfahren entnehmbar. Zur Vermeidung von Wiederholungen werden lediglich die Unterschiede zu dem in Fig. 1 gezeigten und zuvor beschriebenen Waferbondverfahren erläutert. Bezüglich der Gemeinsamkeiten wird auf die vorherige Figurenbeschreibung verwiesen.

15

Nach dem durch den Pfeil 8 gekennzeichneten Inkontaktbringen des ersten und des zweiten Wafers 1, 2 mit eingeschlossenem Bondingmaterial 5 werden nicht die gesamten Wafer 1, 2 erhitzt, sondern lediglich lokal das Bondingmaterial 7. Hierzu wird Laserstrahlung 13 eingesetzt, die in dem gezeigten Ausführungsbeispiel den zweiten, für Laserstrahlung transparenten Wafer 2 durchdringt. Die Kontur der Bondrahmen 5 wird mit Hilfe eines nicht gezeigten Laserscanners abgefahren. Zum Bonden zweier Wafer 1, 2 können auch eine Vielzahl von Laserscannern eingesetzt werden. Ebenso ist es denkbar, die Laserstrahlung durch eine geeignete Optik homogen auf das Bondingmaterial 7 zu richten, also beispielsweise ringquadratische Laserfokusformen zu erzeugen. Aus dem unter Vakuumatmosphäre ausgeführten Verfahren resultiert der in der rechten Zeichnungshälfte gezeigte Waferverbund 10. Der Bondrahmen 5 kann bei dem beschriebenen Verfahren wesentlich dünner ausgebildet werden als bei bekannten Verfahren. Falls es nicht notwendig ist, dass die elektrische Schaltung unter Vakuumatmosphäre angeordnet ist, ist es auch denkbar, die beschriebenen Bondingverfahren unter Normalatmosphäre, insbesondere in einem Reinraum, auszuführen.

30

In Fig. 4 ist ein zur Herstellung von Waferstacks abgewandeltes Verfahren gezeigt. In dem gezeigten Ausführungsbeispiel wird zwischen dem ersten Wafer 1 und dem zweiten Wafer 2 ein dritter Wafer 14 angeordnet, wobei in dem gezeigten Ausführungsbeispiel der erste Wafer 1 und der dritte Wafer 14 mit einer nicht gezeigten elektronischen

35

Schaltung versehen sind, und wobei die beiden Schaltungen über Durchkontaktierungen 15 miteinander elektrisch leitend verbunden werden.

Bezüglich der Vorgehensweise gibt es unterschiedliche Möglichkeiten. Beispielsweise ist es denkbar, zunächst den ersten Wafer 1 und den dritten Wafer 14 analog zu den Verfahren gemäß Fig. 1 oder 2 miteinander zu verbinden und daraufhin den zweiten Wafer 2 mit den bereits gebondeten anderen Wafern 1, 14 zu bonden. Bevorzugt ist jedoch die in Fig. 4 gezeigte Ausführungsform, bei der alle Wafer 1, 2, 14 gleichzeitig gebondet werden. Hierzu sind sämtliche Wafer 1, 2, 14 mit Metallisierungen 3, 4, 16, 17 in Bondrahmenform versehen. Auf die jeweilige Oberseite des ersten Wafers 1 und des dritten Wafers 14 wird auf die Metallisierungen 3, 16 Bondingmaterial 7 aufgebracht, woraufhin sämtliche Wafer, nach vorherigem Zueinander-Ausrichten, miteinander in Kontakt gebracht werden. Daraufhin findet der mit dem Bezugszeichen 9 gekennzeichnete Sinterprozess, bei Bedarf unter zusätzlicher Anwendung von Anpressdruck, statt, wobei dieser Sinterprozess alternativ im Sinterofen oder laserstrahlunterstützt ausgeführt werden kann. Es resultiert der in Fig. 4 rechts gezeigte Waferverbund (Waferstack), umfassend drei Wafer 1, 2, 14, wobei die beiden unteren Wafer 1, 14 über Durchkontaktierungen 15 miteinander elektrisch leitend verbunden sind. Bei dem obersten, zweiten Wafer 2 handelt es sich lediglich um einen Kappenwafer, der ggf. auf der Außenseite mit Anschlusspunkten versehen sein kann, die zu der Schaltung auf dem dritten Wafer 14 und/oder dem unteren, ersten Wafer 1 durchkontaktiert sind (nicht gezeigt). Mit dem beschriebenen Verfahren können Waferstacks mit einer Vielzahl von Wafern hergestellt werden. Nach dem Bonden der drei Wafer 1, 2, 14 können einzelne Chipstacks mit drei Waferebenen ausgeschnitten werden, vorzugsweise durch einen laserunterstützten Schneidprozess.

5 Ansprüche

1. Verfahren zum Fügen eines ersten Wafers (1) mit mindestens einem zweiten Wafer (2),
gekennzeichnet durch folgende Schritte:
 - 10 - Aufbringen eines sinterfähigen Bondingmaterials (7) auf zumindest einen der Wafer (1, 2, 14);
 - Zusammenführen der Wafer (1, 2, 14);
 - Sintern des Bondingmaterials (7) durch Erhitzen.
- 15 2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,
dass die Wafer (1, 2, 14) mit Hilfe von Anpressmitteln mit einem Anpressdruck gegeneinander gepresst werden oder dass der Anpressdruck ohne Anpressmittel, ausschließlich durch das Eigengewicht des mindestens zweiten Wafers (2)
20 oder gegebenenfalls weiterer Wafer (14) und/oder weiteren Bondingmaterials (7) erzeugt wird.
3. Verfahren nach einem der Ansprüche 1 oder 2,
dadurch gekennzeichnet,
25 dass das Bondingmaterial (7) zusammen mit den Wafers (1, 2, 14), insbesondere in einem Sinterofen, vorzugsweise auf eine Sintertemperatur unterhalb von 350°C, insbesondere unterhalb von 300°C, bevorzugt unterhalb von 250°C, erhitzt wird.
- 30 4. Verfahren nach einem der Ansprüche 1 oder 2,
dadurch gekennzeichnet,
dass das Bondingmaterial (7) lokal, insbesondere mittels Laserstrahlung (13), bevorzugt mittels mindestens eines Laserscanners, vorzugsweise auf eine Sinter-
temperatur unterhalb von 250°C erhitzt wird.
- 35 5. Verfahren nach einem der vorhergehenden Ansprüche,

dadurch gekennzeichnet,
dass das Aufbringen des Bondingmaterials (7) und/oder das Inkontaktbringen der Wafer (1, 2, 14) und/oder das Sintern unter Vakuum erfolgt.

- 5 6. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass die Wafer (1, 2, 14), zumindest im späteren Kontaktbereich zu dem Bondingmaterial (7), vorzugsweise in der Form von Bondrahmen (5), vor dem Aufbringen des Bondingmaterials (7) metallisiert werden.
- 10 7. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass das Bondingmaterial (7) auf einen Bondrahmen (5) um eine an zumindest einem der Wafer (1, 2, 14) ausgebildete Schaltung (6) aufgetragen wird.
- 15 8. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass Bondingmaterial (7) verwendet wird, welches Silberpartikel, vorzugsweise mit einem d_{50} -Wert von weniger als 300 nm, insbesondere mit einer maximalen Partikelgröße von weniger als 250 nm, vorzugsweise kleiner als 200 nm, insbesondere bevorzugt kleiner als 100 nm, besonders bevorzugt kleiner als 50 nm umfasst.
- 20 9. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass den Silberpartikeln mindestens ein Zusatzstoff, insbesondere ein organisches Material, beigemischt ist.
- 25 10. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass pastöses und/oder pulverförmiges Bondingmaterial (7) verwendet wird.
- 30 11. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass das Bondingmaterial (7) durch Schablonendruck, Siebdruck, Sprühen oder Dispensen aufgebracht wird.
- 35

12. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass mehr als zwei Wafer zu einem Waferstack (10) miteinander durch Sintern
gebondet werden.

13. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass die gefügten Wafer (1, 2, 14) in einzelne verkappte Chips, insbesondere
mikromechanische Sensorchips, oder Chipstacks zerteilt, insbesondere laser-
strahlgeschnitten oder gesägt, werden.

14. Waferverbund, insbesondere hergestellt nach einem Verfahren nach einem der
vorhergehenden Ansprüche, umfassend mindestens zwei miteinander gefügte
Wafer (1, 2, 14),

dadurch gekennzeichnet,

dass die Wafer (1, 2, 14) über zwischen den Wafern angeordnetes, gesintertes
Bondingmaterial (7) aneinander festgelegt sind.

15. Chip, insbesondere Sensorchip, vorzugsweise hergestellt nach einem Verfahren
nach einem der Ansprüche 1 bis 13, umfassend mindestens zwei Wafermaterial-
ebenen,

dadurch gekennzeichnet,

dass die Wafermaterialebenen über zwischen den Wafermaterialebenen ange-
ordnetes, gesintertes Bonding-material (7) aneinander festgelegt sind.

1 / 2

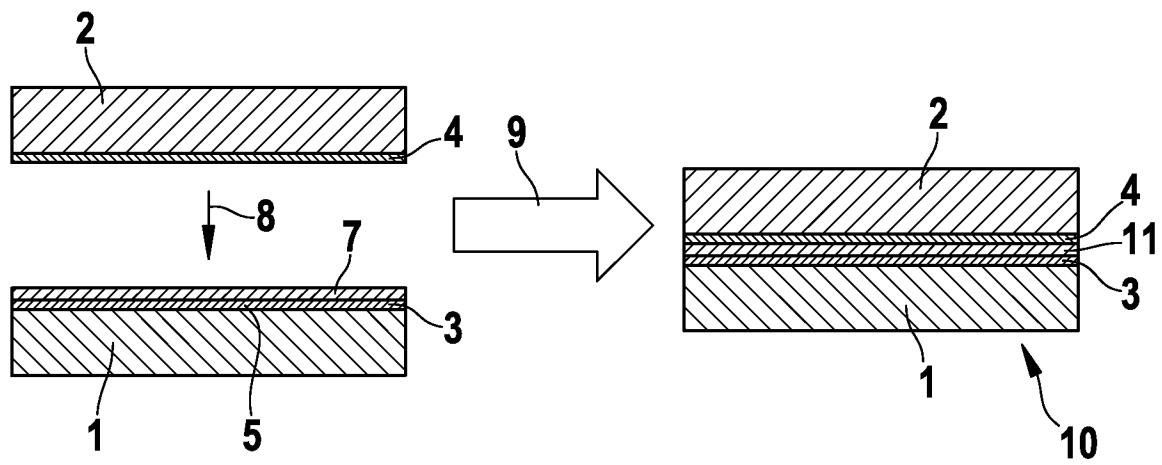


Fig. 1

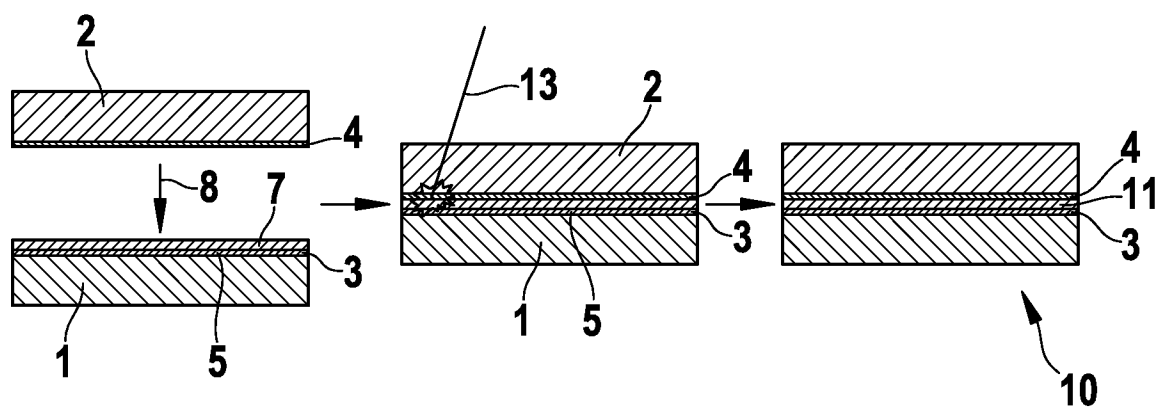


Fig. 2

2 / 2

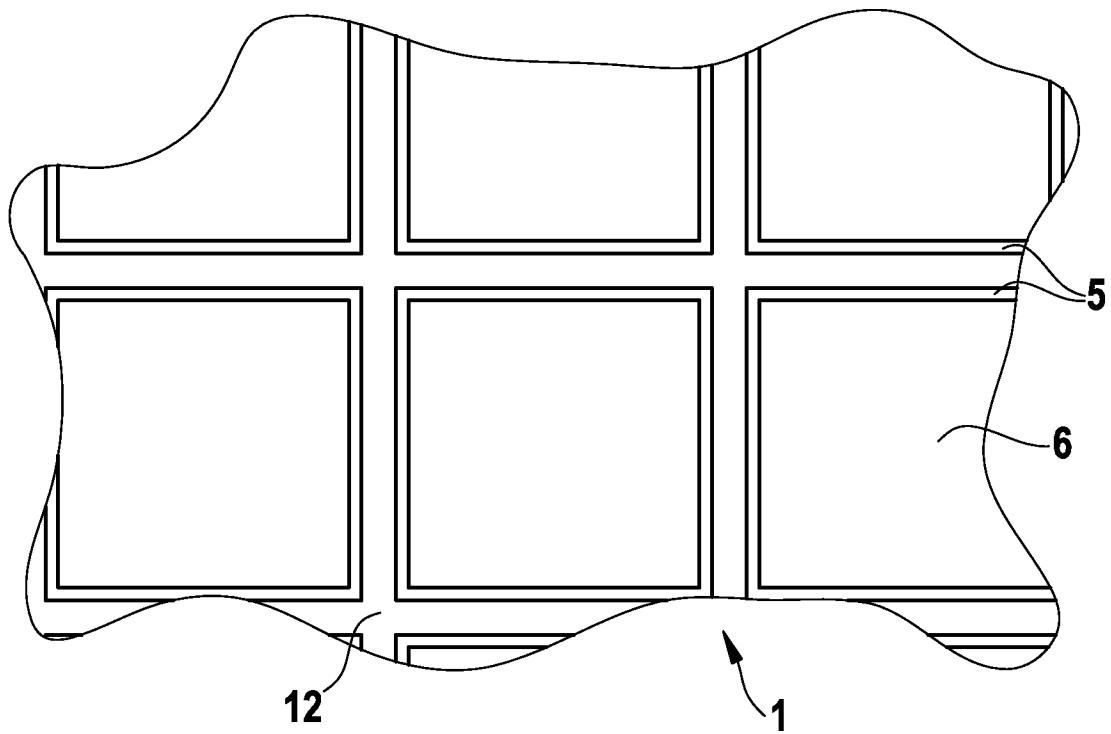


Fig. 3

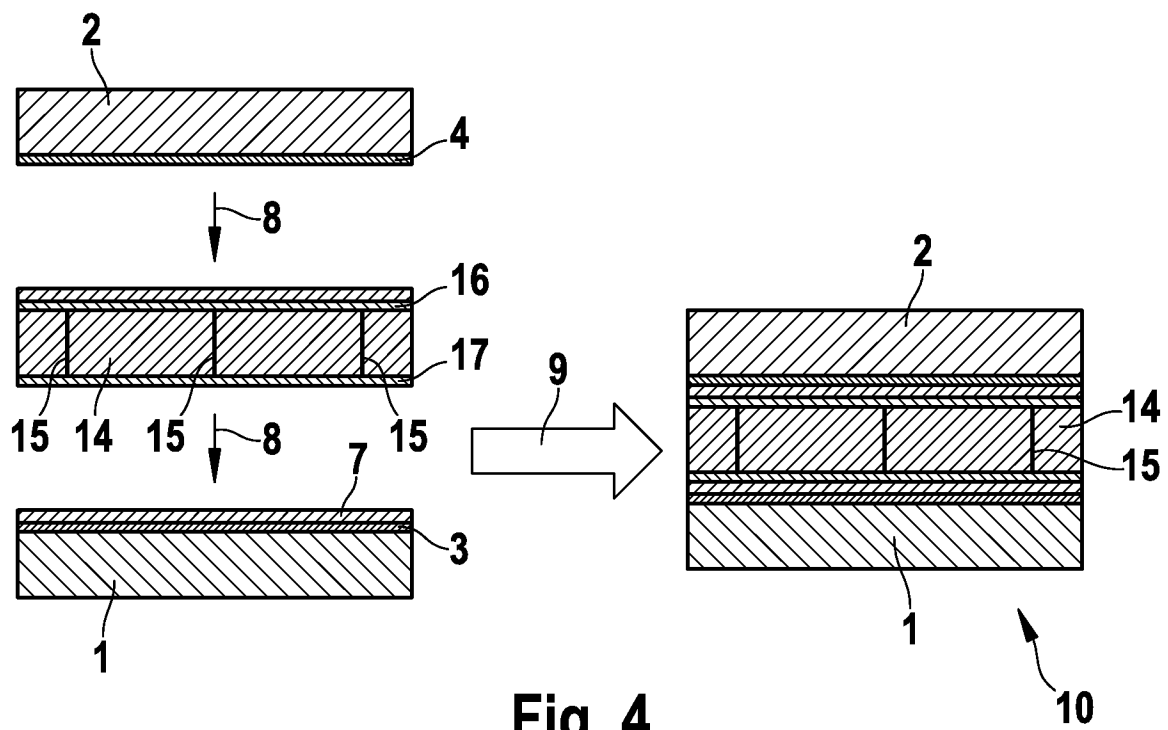


Fig. 4