



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월16일
(11) 등록번호 10-1095292
(24) 등록일자 2011년12월12일

(51) Int. Cl.
H01L 27/105 (2006.01) B82Y 40/00 (2011.01)
(21) 출원번호 10-2006-7005285
(22) 출원일자(국제출원일자) 2004년07월15일
심사청구일자 2009년07월15일
(85) 번역문제출일자 2006년03월16일
(65) 공개번호 10-2006-0080203
(43) 공개일자 2006년07월07일
(86) 국제출원번호 PCT/US2004/022508
(87) 국제공개번호 WO 2005/036640
국제공개일자 2005년04월21일
(30) 우선권주장
10/663,621 2003년09월16일 미국(US)
(56) 선행기술조사문헌
US6444545 B1

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미국 텍사스 오스틴 윌리엄 캐논 드라이브 웨스트
6501
(72) 발명자
스타이믈, 로버트, 에프.
미국 텍사스 78737 오스틴 엘도라도 드라이브
7928
무칼리드하르, 라마첸드란
미국 텍사스 78750 오스틴 피크페어 드라이브
10601
(뒷면에 계속)
(74) 대리인
장훈

전체 청구항 수 : 총 5 항

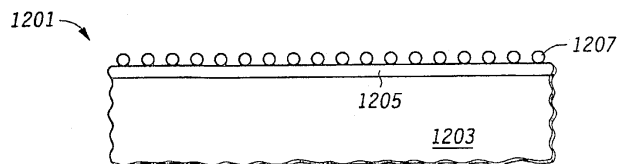
심사관 : 이승주

(54) 나노클러스터를 구비한 반도체 디바이스

(57) 요약

나노클러스터들을 구비한 디바이스를 형성하는 공정이 개시된다. 공정은 나노클러스터들(예를 들면 실리콘 나노 결정들)을 형성하는 단계, 및 산화제(oxidizing agents)들이 디바이스의 유전체의 후속 형성동안 나노클러스터들을 산화하지 않게 나노클러스터들 상에 산화장벽층을 형성하는 단계를 포함한다. 산화장벽층의 적어도 일부는 유전체의 형성 후에 제거된다. 일 예에서, 디바이스는 나노클러스터들이 메모리의 전자 저장 트랜지스터들용의 전하 저장위치들로서 이용되는 메모리이다. 이 예에서, 산화장벽층은 메모리의 고전압 트랜지스터들용의 게이트 유전체의 형성으로 인해 산화제들로부터 나노클러스터들을 보호한다.

대표도 - 도12



(72) 발명자

폴슨, 웨인, 엠.

미국 애리조나 85226 캔들러 더블유 파크 애비뉴
5821

라오, 라제쉬, 에이.

미국 텍사스 78753 오스틴 젤러 레인 12524

화이트, 브루스, 이.

미국 텍사스 78664 라운드 락 블루벨 벤드 코브
3204

프린츠, 에드워드, 제이.

미국 텍사스 78739 오스틴 우티카 코브 6105

특허청구의 범위

청구항 1

디바이스 제조 방법에 있어서,

기판을 제공하는 단계;

상기 기판 상에 나노클러스터들을 형성하는 단계;

상기 나노클러스터들 상에 산화 장벽층(oxidation barrier layer)을 침착(deposit)하는 단계;

상기 기판 상의 상기 산화장벽층 및 상기 나노클러스터들을 포함하는 제1 영역과 상기 산화 장벽층 및 상기 나노클러스터들이 제거된 제2 영역을 형성하기 위해 패터닝하는 단계;

상기 패터닝하는 단계에 이어 상기 제2 영역 상에 제2 유전체를 형성하는 단계; 및

상기 제1 영역으로부터 상기 산화 장벽층의 적어도 일부를 제거하는 단계를 포함하고, 상기 적어도 일부를 제거하는 단계는 상기 산화 장벽층의 두께를 적어도 감소시키는, 디바이스 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

제1항에 있어서, 상기 제1 및 제2 영역들에 트랜지스터들을 형성하는 단계를 더 포함하는, 디바이스 제조 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

디바이스 제조 방법에 있어서,

기판 상에 나노클러스터들 및 유전체의 구조를 가진 기판을 제공하는 단계;

상기 구조 상에 산화장벽층을 침착하는 단계;

상기 기판 상의 상기 산화장벽층 및 상기 구조를 포함하는 제1 영역과 상기 산화 장벽층 및 상기 구조의 적어도 상기 나노클러스터들이 제거된 제2 영역을 형성하기 위해 패터닝하는 단계;

상기 패터닝하는 단계에 이어 상기 제2 영역 상에 제2 유전체를 형성하는 단계; 및

상기 제1 영역으로부터 상기 산화장벽층의 적어도 일부를 제거하는 단계를 포함하고, 상기 적어도 일부를 제거하는 단계는 상기 산화장벽층의 두께를 적어도 감소시키는, 디바이스 제조 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

반도체 디바이스를 제조하는 방법에 있어서,

기판 상에 유전체 및 나노클러스터들의 구조를 가진 상기 기판을 제공하는 단계;

질화실리콘, 산질화 실리콘(silicon oxynitride), 실리콘, 실리콘 게르마늄 합금, 고-K 유전성 재료, 및 금속으로 구성된 그룹에서 선택된 적어도 하나를 포함하는 산화장벽층을 상기 구조 상에 침착하는 단계;

상기 산화장벽층의 부분들 및 상기 구조를 포함하는 제1 영역과 상기 산화 장벽층의 부분들 및 상기 구조의 적어도 상기 나노클러스터들이 제거된 제2 영역을 형성하기 위해 패터닝하는 단계;

상기 패터닝하는 단계에 이어 상기 제2 영역에 제2 유전체를 형성하는 단계; 및

상기 제2 유전체를 형성하는 단계에 이어 상기 제1 영역으로부터 상기 산화장벽층의 적어도 일부를 제거하는 단계를 포함하고, 상기 적어도 일부를 제거하는 단계는 상기 산화장벽층의 두께를 적어도 감소시키는, 반도체 디바이스 제조 방법.

청구항 40

반도체 메모리를 제조하는 방법에 있어서,

기판 상에 유전체 및 나노클러스터들의 구조를 가진 상기 기판을 제공하는 단계;

상기 구조 상에 산화장벽층을 침착하는 단계;

상기 산화장벽층의 부분들 및 상기 구조를 포함하는 제1 영역과 상기 산화 장벽층의 부분들 및 상기 구조의 적어도 상기 나노클러스터들이 제거된 제2 영역을 형성하기 위해 패터닝하는 단계;

상기 패터닝하는 단계에 이어 상기 제1 영역 밖에 제2 유전체를 형성하는 단계;

상기 제2 유전체를 형성하는 단계에 이어 상기 제1 영역으로부터 상기 산화장벽층의 적어도 일부를 제거하는 단계로서, 상기 적어도 일부를 제거하는 단계는 상기 산화장벽층의 두께를 적어도 감소시키는, 상기 제거하는 단계;

상기 제1 영역에 전하 저장 트랜지스터를 형성하는 단계로서, 상기 나노클러스터들의 적어도 일부는 상기 전하 저장 트랜지스터를 위한 전하 저장 위치로서 이용되는, 상기 형성하는 단계;

상기 제2 영역에 제2 트랜지스터를 형성하는 단계를 포함하고, 상기 제2 유전체의 부분은 상기 제2 트랜지스터의 게이트 유전체의 부분으로서 적어도 기능하는, 반도체 메모리 제조 방법.

청구항 41

삭제

명세서

기술분야

[0001] 본 발명은 나노클러스터들을 가진 디바이스들에 관한 것이다.

배경기술

[0002] 메모리들(예를 들면 비휘발성 메모리들)과 같은 일부 디바이스들은 트랜지스터의 전하 저장위치에 전하를 저장하기 위해 나노클러스터들(예를 들면 실리콘, 알루미늄, 금 혹은 게르마늄)이라 불리는 이산 전하 저장 요소들을 이용한다. 일부 예들에서, 나노클러스터들은 두 개의 유전층들, 즉 하부 유전체와 제어 유전체 사이에 위치된다. 이러한 트랜지스터들의 예들은 박막 저장 트랜지스터들을 포함한다. 메모리는 통상적으로 이러한 트랜지스터들의 어레이를 포함한다. 나노클러스터 유형들의 예들은 실리콘 나노결정들, 게르마늄 나노결정들, 금 나노클러스터들, 및 알루미늄 나노클러스터들을 포함한다. 어떤 예들에서, 나노클러스터들은 크기가 10-100 옹스트롬이고 도핑된 혹은 도핑되지 않은 반도체 재료일 수 있으며, 또는 도전성 재료들로 이루어질 수 있다.

[0003] 나노클러스터들을 가진 전하 저장 트랜지스터들을 구비하는 일부 메모리들은 전하 저장 트랜지스터들의 전하 저장 위치들을 충전 및 방전하는데 사용되는 회로에 고전압 트랜지스터들을 또한 포함하는 집적회로들 상에 구현된다. 전하 저장위치들을 충전 혹은 방전하는 것은 하나 이상의 비트들의 정보를 저장하는데 사용되고 프로그래밍 혹은 소거라 칭해질 수 있다. 이들 고전압 트랜지스터들은 통상적으로 비교적 두꺼운 게이트 산화물을 포함한다. 이 게이트 산화물은 증기산화 공정에 의해 성장된다. 이 증기산화 공정은 전하 저장 트랜지스터들의 제어 유전체를 관통하고 나노결정들을 그림으로써 바람직하지 않게 산화시키고 하부 유전층 두께를 바람직하지 않게 증가시킨다.

[0004] 필요한 것은 나노클러스터들을 가진 디바이스를 제조하는 개선된 방법이다.

[0005] 본 발명은 첨부한 도면을 참조하여 당업자들에게 이해되고 다수의 목적들, 특징들 및 잇점들이 명백하게 될 것

이다.

실시예

- [0025] 도면에서 동일 구성요소에 동일 참조부호를 사용한다. 도면에 도시한 것은 반드시 축척에 맞게 도시된 것은 아니다.
- [0026] 다음은 본 발명을 실시하는 모드의 상세한 설명을 개시한다. 설명은 본 발명을 예시하고자 하는 것이고 한정하려는 것은 아니다.
- [0027] 도 1-6은 본 발명의 제1 실시예에 따라 나노클러스터들을 포함하는 메모리의 제조에서 단계들 동안의 반도체 웨이퍼의 부분 측면도이다. 후술하는 바와 같이, 방법은 나노클러스터들 및 하부 유전체의 산화를 억제하기 위한 산화 방지층을 이용하는 것을 포함한다.
- [0028] 도 1을 참조하여, 웨이퍼(101)는 반도체 기판(103)을 포함한다. 하부 유전체(105)(이산화실리콘, 산질화실리콘, 산화하프늄, 산화알루미늄, 산화란탄, 혹은 란탄 실리케이트의)는 예를 들면 산화 혹은 화학기상증착에 의해 기판(103) 상에 형성되었다. 일 실시예에서, 하부 유전체는 5 나노미터의 두께를 가지지만, 다른 실시예들에서 다른 두께를 가질 수도 있다. 나노클러스터층(107)(예를 들면 실리콘, 알루미늄, 금, 게르마늄, 혹은 실리콘 및 게르마늄 합금 혹은 그외 다른 유형들의 도전성 재료 혹은 도핑된 혹은 도핑되지 않은 반도체 재료의)은 예를 들면 화학기상증착 기술들, 에어로졸 증착기술들, 스핀 온 코팅 기술들, 혹은 예를 들면 나노클러스터들을 형성하기 위해 박막을 어닐링하는 등의 자기 어셈블리 기술들에 의해 하부 유전체(105) 상에 형성된다. 일 실시예에서, 나노클러스터들(107)은 실리콘 나노결정들이다. 나노클러스터들이 비휘발성 메모리에서 이용되는 일 실시예에서, 나노클러스터들은 5 내지 7 나노미터의 크기를 가진 $1 \times 10^{12} \text{ cm}^{-2}$ 의 면밀도(planar density)를 가질 수 있다. 일부 실시예들에서, 나노클러스터들은 크기가 10-100 옹스트롬이다. 그러나, 다른 실시예들에서 나노클러스터들은 다른 크기들 및/또는 다른 밀도들을 갖는다. 나노클러스터들(107)은 웨이퍼(101) 상에 제조된 메모리의 트랜지스터(도시생략) 내 저장 위치들을 구현하는데 이용될 것이다.
- [0029] 도 2에서, 유전 재료층(예를 들면, 이산화실리콘, 산질화실리콘, 산화하프늄, 산화알루미늄, 산화란탄 및 란탄 실리케이트)은 예를 들면 제어 유전층(209)을 형성하기 위해 화학기상증착에 의해 웨이퍼(101) 상에 형성된다. 일 실시예에서, 제어 유전체(209)는 5-10 나노미터의 두께를 가지나, 다른 실시예들에서 다른 두께를 가질 수도 있다.
- [0030] 일부 실시예들에서, 하부 유전체(105), 나노클러스터들(107), 및 제어 유전체(209)는 유전 재료층(도시생략)에 이온주입(예를 들면 실리콘 혹은 게르마늄) 및 이에 이어 유전 재료층 내에 나노결정들을 형성하기 위해 이온들의 어닐링에 의해 형성될 수 있다. 다른 실시예들에서, 하부 유전체(105), 나노클러스터들(107) 및 제어 유전체(209)는 나노클러스터들을 형성하기 위해서 2개의 유전 재료층 사이에 실리콘이 농후한 산화물층의 재결정화에 의해 형성될 수 있다. 다른 실시예들에서, 나노클러스터들은 하부 유전체 위에 놓인 복수의 층들로 구현될 수도 있다. 다른 실시예들에서, 나노클러스터들은 나노클러스터 재료의 얇은 비정질층(예를 들면 1-5 나노미터)을 침착함으로써 형성되고 결과적인 구조는 어닐링되고 후속 어닐링 프로세서이다.
- [0031] 다른 실시예들에서, 예를 들면 질화산화실리콘으로 된 얇은(예를 들면 0.5 나노미터) 패시베이션층(도시생략)이 나노클러스터들 상에 놓여질 수 있고 제어 유전체(209)가 패시베이션층 상에 형성된다.
- [0032] 도 3에서, 산화장벽층(311)이 웨이퍼(101) 상에 침착된다. 일 실시예에서, 층(311)은 질화실리콘으로 만들어진 다. 다른 실시예들에서 장벽층(311)은 제어 유전체 표면으로의 산화제의 확산을 지체시키는 임의의 재료 혹은 이들의 조합들을 포함할 수 있다. 이러한 재료들은 질화실리콘, 산질화실리콘, 실리콘, 실리콘 게르마늄 합금들, 고 K 유전성 재료들 예를 들면 산화하프늄, 산화란탄, 란탄 알루미늄네이트, 탄탈 펜트옥사이드, 지르코늄 실리케이트, 란탄 실리케이트, 산화알루미늄, 산화지르코늄, 지르코늄 실리케이트, 산화탄탈, 산화티탄 및 일반적으로 산화제 불침투성의 금속들을 포함할 수 있다. 이러한 금속들의 예들은 탄탈, 텅스텐 실리사이드, 몰리브덴 실리사이드, 니켈, 니켈 실리사이드, 코발트, 코발트 실리사이드, 이리듐, 산화이리듐, 루테튬, 산화루테튬, 및 티탄을 포함한다.
- [0033] 일 실시예에서, 장벽층(311)은 9 나노미터의 두께이다. 다른 실시예들에서, 층(311)은 다른 두께일 수 있다. 일부 실시예들에서, 층(311)은 2 나노미터 이상의 두께를 가질 수 있다. 일 실시예에서, 장벽층(311)은 산소가 장벽층(311) 밑으로 관통하는 "핀홀" 결함들이 전혀 없이 연속하기에 충분히 두껍다. 다른 실시예들에서, 장벽층(311)은 노(furnace) 산화 공정의 온도(예를 들면 600℃ 이상)를 견딜 수 있는 재료로 구성된다.

- [0034] 도 4에서, 층(311), 제어 유전체(209), 나노클러스터들(107), 및 하부 유전체(105)는 웨이퍼(101)의 메모리 어레이 영역들(예를 들면, (403)에 이들 구조들을 남기고 웨이퍼(101)의 다른 영역들(예를 들면, 고전압 영역(405))로부터 그 구조들을 제거하게 패터닝된다. 일 실시예에서, 층(311)은 건식에칭에 의해 제거되고, 제어 유전체(209), 나노클러스터들(107), 및 하부 유전체(105)는 습식에칭에 의해 제거된다. 또 다른 실시예에서, 습식에칭 및 건식에칭의 조합이 사용될 수도 있다. 복수의 트랜지스터들이 후 공정들에서 메모리 영역(403)에 형성될 수 있다.
- [0035] 도 5에서, 고전압 유전체(515)는 고전압 영역들(407, 405)에서 기판(103) 상에 성장된다. 유전체(515)는 일부 실시예들에서 메모리 영역(403)에 형성할 전하 저장 트랜지스터들을 충전 및 방전하기 위한 프로그래밍 및 소거 회로를 구현하는데 이용되는 고전압 트랜지스터들을 위한 게이트 유전체로서 이용될 것이다. 일 실시예에서, 유전체(515)는 영역들(407, 405)에서 기판의 노출된 반도체 재료를 산화시키기 위해서 고온 증기 및 산소 혹은 질소산화물에 웨이퍼(101)를 노출시킴으로써 성장된다. 일 실시예에서, 유전체(515)는 7-14 나노미터의 두께를 갖지만 다른 실시예들에서는 다른 두께를 가질 수도 있다. 다른 실시예들에서, 유전체(515)는 웨이퍼 상에 블랭킷 증착 및 이에 이어 영역(403) 상에 유전체의 제거에 의해 형성될 수 있다.
- [0036] 유전체(515)의 형성동안, 장벽층(311)은 산화제들이 제어 유전체(209), 나노클러스터들(107), 및 하부 유전체(105)로의 침투를 억제시킨다. 산화제들이 나노클러스터, 제어 유전체, 및 하부 유전체로의 침투를 억제시키기 위해 나노클러스터들 상에 장벽층을 포함하는 방법을 제공하는 것은, 산화 형성 공정들 동안 나노클러스터들의 산화 및/또는 하부 유전체가 두껍게 되는 것을 최소화하는 방법을 제공할 수 있다.
- [0037] 도 6에서, 고전압 유전체(515)의 성장 후에, 장벽층(311)이 제거된다. 일 실시예에서, 장벽층(311)은 선택적 습식에칭에 의해 제거된다. 다른 실시예들에서, 웨이퍼는 장벽층(311)을 노출시키고 유전체(515)를 보호하도록 패터닝된다. 층(311)이 습식에칭 혹은 건식에칭에 의해 제거된 후에, 패터닝 재료는 제거된다.
- [0038] 후속의 공정들(도시생략)에서, 전하 저장 트랜지스터들은 영역(403)에 형성되고 고전압 트랜지스터들은 영역들(405, 407)에 형성된다. 다른 실시예들에서, 다른 유형들의 트랜지스터들, 이를테면 회로 로직 및 집적회로의 입력/출력회로를 위한 트랜지스터들이 영역들(407, 405)에 형성될 수 있다. 나노클러스터들(107)의 부분들은 메모리의 전하 저장 트랜지스터들의 전하 저장위치들을 형성하기 위해 이용된다. 일부 실시예들의 후속 공정들에서, 게이트 재료층이 웨이퍼(101) 상에 침착된다. 게이트 재료층, 나노클러스터들(107) 및 제어 유전체(209)는 게이트들, 전자 저장위치들, 및 전하 저장 트랜지스터들의 제어 유전체를 형성하기 위해 영역(405)에 패터닝된다.
- [0039] 도 7-11은 본 발명의 제2 실시예에 따라 나노클러스터들을 포함하는 메모리의 제조에서의 단계들 동안의 반도체 웨이퍼의 부분 측면도이다. 도 7에서, 하부 유전체(705)는 웨이퍼(701)의 기판(703) 상에 형성된다. 이어서 나노클러스터들(707)이 웨이퍼(701) 상에 형성된다.
- [0040] 도 8에서, 산화 장벽층(809)이 나노클러스터들(707) 상의 웨이퍼(701) 상에 침착된다. 산화 장벽층(809)은 나노클러스터들(707)과는 다른 재료로 되어 있다. 일 실시예에서 층(809)은 질화실리콘을 포함하나, 다른 실시예들에서 층(809)은 다른 재료들, 예를 들면 층(311)에 관하여 위에 기술한 것들을 포함할 수 있다.
- [0041] 도 9에서, 층(809), 나노클러스터들(707), 및 하부 유전체(705)는 메모리 어레이 영역들(예를 들면 903) 내 구조들을 남기고 다른 영역들(예를 들면 고전압 영역(905))로부터 이들 구조들을 제거하게 패터닝된다.
- [0042] 도 10에서, 유전체(1015)는 노출된 반도체 기판(703)의 산화에 의해 영역들(905, 907)에 성장된다. 노출된 반도체 기판(703)의 산화동안, 장벽층(809)은 산화제들이 나노클러스터들(707) 및 하부 유전체(705)에 침투하는 것을 억제한다. 후술하는 바와 같이, 유전체(1015)는 영역들(905, 907)에 형성된 트랜지스터들을 위한 게이트 유전체의 부분을 형성하기 위해 이용될 것이다.
- [0043] 도 11에서, 층(1015)의 성장 후에, 장벽층(809)이 제거되고 유전체(1117)이 층(1015) 및 나노클러스터들(707)을 포함하여 이들 위에 웨이퍼(701) 상에 침착된다. 일 실시예에서, 층(809)은 습식 질화물 스트림에 의해 제거되나, 다른 실시예들에선 다른 기술들에 의해 제거될 수도 있다. 일 실시예에서, 유전체(1117)은 화학기상증착에 의해 침착된 이산화실리콘으로 만들어진다. 유전체(1117)은 메모리 어레이 영역(903)에 형성된 트랜지스터들용의 제어 유전체로서 이용된다. 유전체(1117)은 영역들(905, 907)에 형성된 트랜지스터들용의 게이트 유전체(유전체(1015)와 함께)의 부분으로서도 기능한다.
- [0044] 후속 공정들(도시생략)에서, 전하 저장 트랜지스터들은 영역(903)에 형성되고 고전압 트랜지스터들(및/또는 그

의 다른 유형들의 트랜지스터들은 영역들(905, 905)에 형성된다. 나노클러스터들(707)의 부분들은 메모리의 전하 저장 트랜지스터들의 전하 저장위치들을 형성하기 위해 이용된다. 일부 실시예들의 후속 공정들에서, 게이트 재료층은 웨이퍼(101) 상에 침착된다. 게이트 재료층, 나노클러스터들(107) 및 제어 유전체(209)는 영역(903)에 형성된 전하 저장 트랜지스터들의 게이트들 및 전하 저장위치들을 형성하기 위해 그 영역에서 패터닝된다. 게이트 재료층은 영역들(905, 907)에 형성된 트랜지스터들의 게이트들을 형성하기 위해 패터닝될 수 있다.

[0045] 도 12-18은 본 발명의 제3 실시예에 따라 나노클러스터들을 포함하는 메모리의 제조에서의 단계들 동안의 반도체 웨이퍼의 부분 측면도이다. 도 12에서, 하부 유전체(1205)는 웨이퍼(1201)의 기판(1203) 상에 형성된다. 이어서 나노클러스터들(1207)이 웨이퍼(101) 상에 형성된다.

[0046] 도 13에서, 유전 재료층(예를 들면, 이산화실리콘)은 제어 유전체(1309)를 형성하기 위해 예를 들면 화학기상증착에 의해 웨이퍼(1201) 상에 형성된다. 일 실시예에서, 제어 유전체(1309)는 5-10 나노미터의 두께를 가지나, 다른 실시예들에서 다른 두께를 가질 수 있다. 이어서, 산화 장벽층(1311)이 유전체(1309) 위에 웨이퍼(1201) 상에 침착된다. 일 실시예에서, 층(1311)은 질화실리콘을 포함하나, 다른 실시예들에서, 층(1311)은 예를 들면 층(1311)에 관하여 위에 기술된 것들과 같은 다른 재료들을 포함할 수 있다.

[0047] 도 14에서, 장벽층(1311)의 탑 부분은 층(1311)의 남은 부분(1413)을 남기고, 산화된 부분(1415)을 형성하기 위해 산화된다. 일 실시예에서, 층(1311)은 증기 산화공정을 사용하여 산화된다. 장벽층(1311)이 8.5 나노미터 두께이고 질화실리콘으로 만들어지는 일 실시예에서, 증기 산화공정에 의해 부분(1415)은 대략 3-5 나노미터 두께가 되고 일반적으로 이산화실리콘으로 구성된다. 부분(1413)의 탑 부분은 산질화물을 포함한다. 부분(1413)의 바텀 부분은 주로 질화실리콘이다.

[0048] 증기산화공정은 부분(1413)의 전하 저장용량을 감소시킬 뿐만 아니라, 장벽층의 두께를 감소시킨다(예를 들면 8.5나노미터에서 4나노미터 미만으로). 따라서, 웨이퍼(1201) 상에 형성된 전하 저장 트랜지스터들에 대해서, 주 전하 저장구조들은 나노클러스터들(1207)이며 부분(1413)의 질화실리콘(혹은 그 외의 재료)은 아닐 것이다. 부분(1413)에 저장되는 어떠한 전하든지 부분(1413)이 트랜지스터의 게이트에 매우 근접하여 있기 때문에 트랜지스터의 임계전압에는 적은 영향만을 미칠 것이다.

[0049] 도 15는 부분(1415)이 제거된 후의 웨이퍼(1201)를 도시한 것이다. 일 실시예에서, 부분(1415)은 습식에칭(예를 들면, HF 1에 물 50의 비율) 혹은 건식에칭에 의해 제거된다.

[0050] 도 16에서, 부분(1413), 제어 유전체(1309), 나노클러스터들(1207), 및 하부 유전체(1205)는 메모리 어레이 영역들(예를 들면 1603) 내 이들 구조들을 남기고 다른 영역들(예를 들면, 고전압 영역(1605))로부터 이들 구조들을 제거하게 패터닝된다. 일 실시예에서, 부분(1413)은 건식에칭에 의해 제거되고, 제어 유전체(1309), 나노클러스터들(1207), 및 하부 유전체(1205)는 습식에칭에 의해 제거된다. 복수의 트랜지스터들은 후 공정들에서 메모리 영역(1603)에 형성된다.

[0051] 도 17에서, 고전압 유전체(1715)는 고전압 영역들(1607, 1605)에서 성장된다. 유전체(1715)는 일부 실시예에서 메모리 영역(1603)에 형성할 전하 저장 트랜지스터들을 프로그래밍 및 소거하기 위한 프로그래밍 및 소거 회로를 구현하는데 이용되는 고전압 트랜지스터들(도시생략)용 게이트 유전체로서 사용될 것이다. 일 실시예에서, 유전체(1715)는 10 나노미터 두께이다.

[0052] 유전층(1715)의 형성동안, 장벽부분(1413)은 산화제들이 제어 유전체(1309), 나노클러스터들(1207), 및 하부 유전체(1205)로 침투하는 것을 억제한다.

[0053] 도 18에서, 게이트 재료층(1802)은 메모리 어레이 영역(1603) 내 부분(1413) 위를 포함하여 웨이퍼(1201) 상에 침착된다. 후속 공정들에서, 층(1802), 부분(1413), 제어 유전체(1309), 나노클러스터들(1207), 및 하부 유전체(1205)는 영역(1603) 내 전하 저장 트랜지스터들의 게이트들, 제어 유전체, 전하 저장 위치들, 및 하부 유전체를 형성하기 위해 패터닝된다. 또한, 층(1802) 및 유전체(1715)는 영역들(1605, 1607)에 트랜지스터들(예를 들면, 고전압 트랜지스터들)의 게이트들 및 게이트 유전체를 형성하기 위해 패터닝된다.

[0054] 일 실시예에서, 하부 유전체(1205)는 5나노미터 두께이고, 제어 유전체(1309)는 5 나노미터 두께이고, 부분(1413)은 4 나노미터 두께이다. 그러나, 이들 구조들은 다른 실시예들에서 다른 두께들을 가질 수 있다.

[0055] 일부 실시예들에서, 전하 저장 트랜지스터의 부분(1413)에 전하 트랩에 기인한 임계전압 시프트는 부분(1413)의 부분산화, 부분(1413)의 두께 감소, 및 게이트 전극에의 부분(1413)의 근접성(전하 저장 트랜지스터의 게이트를 형성하는데 사용되는 층(1802)의 부분)에 의해 제한될 수 있다.

- [0056] 도 12-18에 개시된 방법을 이용하는 일부 실시예들에 발생할 수 있는 한 잇점은 장벽층 부분(1413)을 제거하기 위해 절화물 스트립이 필요하지 않다는 것이다(층(1311)이 절화실리콘으로 만들어진 경우). 이것은 제어 유전체(1309) 두께 및 게이트 유전체(1715) 두께에 대한 보다 나은 공정 제어를 제공할 수 있다.
- [0057] 도 19는 도 12-18에 개시된 것과 유사한 방법으로부터 만들어진 고전압 트랜지스터 및 전하 저장 트랜지스터 둘 다를 포함하는 웨이퍼의 측면도이다. 전하 저장 트랜지스터(1909)는 웨이퍼(1901)의 메모리 어레이 영역(1951)에 형성된다. 트랜지스터(1909)는 게이트(1911), 부분 확산 장벽부분(1923), 제어 유전체(1921), 나노클러스터들(1919), 하부 유전체(1917), 및 스페이서들(1925)를 포함한다. 소스/드레인 영역들(1915, 1913)은 예를 들면 이온 주입에 의해 기판(1903)에 형성된다. 부분(1923)은 확산 장벽층 부분(예를 들면, 1413)으로부터 형성된다. 일 실시예에서, 트랜지스터(1909)는 비휘발성, 전기적 소거가능의 독출전용 메모리(EEPROM)에 이용된다.
- [0058] 트랜지스터(1907)는 영역(1952)에 형성된 고전압 트랜지스터이다. 트랜지스터(1907)는 게이트(1933), 게이트 유전체(1931), 스페이서들(1935) 및 소스 및 드레인 영역들(1937, 1939)을 포함한다. 게이트 유전체(1931)는 부분(1923)이 형성되는 부분의 형성 후에 기판의 노출된 부분 상에 성장되는 게이트 유전체(예를 들면, 1602)로부터 형성된다. 분리영역(1905)은 트랜지스터들(1907, 1909)를 분리하기 위해 기판(1903) 내에 놓여진다.
- [0059] 일 실시예에서, 트랜지스터(1907)는 나노클러스터들(1919)에 저장된 전하를 프로그래밍 및/또는 소거하기 위한 프로그램 혹은 소거 회로 내 트랜지스터이다. 트랜지스터(1907)는 고전압 트랜지스터로서 이것이 집적회로의 입력 출력 디바이스들 및 로직 회로들의 트랜지스터들보다 높은 전압으로 동작하는 것이 특징이다. 일 실시예에서, 트랜지스터(1907)는 전하 저장 트랜지스터(1909)에 전하를 저장하기 위해 프로그래밍 및 소거 전압들을 제공하기 위해 6볼트에서 동작하고 입력/출력 디바이스들 및 그 외 로직(도시생략)의 트랜지스터들은 1.2볼트에서 동작한다. 트랜지스터(1907)은 2.5V 혹은 3.3V에서 동작하는 입력/출력 트랜지스터일 수도 있다.
- [0060] 산화제가 나노클러스터들을 산화시키는 것을 억제하기 위해 산소 확산 장벽의 이용을 메모리 제작에서 보였지만, 위에 기술된 동일 혹은 유사 공정들은 예를 들면 광학전자 디바이스들과 같은 나노클러스터들을 이용하는 다른 디바이스들의 제조에서 이용될 수도 있다.
- [0061] 일 실시예에서, 디바이스를 제조하는 방법은 기판을 제공하는 단계, 기판 상에 나노클러스터들을 형성하는 단계, 나노클러스터들 상에 산화 장벽층을 침착하는 단계, 및 제1 영역 및 제2 영역을 형성하기 위해 패터닝하는 단계를 포함한다. 제1 영역은 기판 상에 산화 장벽층 및 나노클러스터들을 포함한다. 제2 영역은 산화 장벽층 및 나노클러스터들이 제거되어 있다. 상기 방법은 패터닝에 이어 제2 영역 상에 제2 유전체를 형성하는 단계를 포함한다. 상기 방법은 또한, 제2 유전체를 형성하는 것에 이어 제1 영역으로부터 산화 장벽층의 적어도 일부를 제거하는 단계를 포함한다. 적어도 일부를 제거하는 단계는 산화 장벽층의 두께를 적어도 감소시킨다.
- [0062] 또 다른 실시예에서, 디바이스를 제조하는 방법은 나노클러스터들 및 유전체의 구조가 기판 상에 놓인 기판을 제공하는 단계, 구조 상에 산화 장벽층을 침착하는 단계, 및 제1 영역 및 제2 영역을 형성하기 위해 패터닝하는 단계를 포함한다. 제1 영역은 기판 상에 산화 장벽층 및 구조를 포함한다. 제2 영역은 산화 장벽층 및 구조의 적어도 나노클러스터들이 제거되어 있다. 상기 방법은 또한, 패터닝에 이어 제2 영역 상에 제2 유전체를 형성하고 제2 유전체를 형성하는 것에 이어 제1 영역으로부터 산화장벽층의 적어도 일부를 제거하는 단계를 포함한다. 적어도 일부를 제거하는 단계는 산화장벽층의 두께를 적어도 감소시킨다.
- [0063] 또 다른 실시예에서, 반도체 디바이스를 제조하는 방법은 나노클러스터들 및 유전체의 구조가 기판 상에 놓인 기판을 제공하는 단계 및 기판 상에 산화 장벽층을 침착하는 단계를 포함한다. 산화 장벽층은 절화실리콘, 산질화 실리콘, 실리콘, 실리콘 게르마늄 합금, 고 K 유전성 재료, 및 금속으로 구성된 그룹 중에서 선택된 적어도 하나를 포함한다. 상기 방법은 제1 영역 및 제2 영역을 형성하기 위해 패터닝하는 단계를 또한 포함한다. 산화 장벽층 및 구조의 부분들, 및 제2 영역을 포함하는 제1 영역은 구조의 산화 장벽층의 부분들 및 적어도 나노클러스터들이 제거되어 있다. 상기 방법은 제2 유전체를 형성하는 것에 이어 제1 영역으로부터 산화 장벽층의 적어도 일부를 패터닝하여 제거하는 것에 이어 제2 영역에 제2 유전체를 형성하는 것을 포함한다. 적어도 일부를 제거하는 단계는 산화 장벽층의 두께를 적어도 감소시킨다.
- [0064] 또 다른 실시예에서, 반도체 메모리를 제조하는 방법은 나노클러스터들 및 유전체의 구조가 기판 상에 놓인 기판을 제공하는 단계, 구조 상에 산화 장벽층을 침착하는 단계, 및 제1 영역 및 제2 영역을 형성하기 위해 패터닝하는 단계를 포함한다. 제1 영역은 산화 장벽층의 부분 및 구조의 부분을 포함하고, 제2 영역은 산화 장벽층의 부분들 및 구조의 적어도 나노클러스터들이 제거되어 있다. 상기 방법은 또한 제2 유전체를 형성하는 것에 이어 제1 영역으로부터 산화 장벽층의 적어도 일부를 패터닝하여 제거하는 것에 이어 제1 영역 밖에 제2 유전체

를 형성하는 단계를 또한 포함한다. 적어도 일부를 제거하는 단계는 산화 장벽층의 두께를 적어도 감소시킨다. 상기 방법은 제1 영역에 전하 저장 트랜지스터를 형성하는 단계를 또 포함한다. 나노클러스터들의 적어도 일부는 전하 저장 트랜지스터용 전하 저장위치로서 이용된다. 방법은 또한 제2 영역에 제2 트랜지스터를 형성하는 단계를 포함한다. 제2 유전체의 일부는 제2 트랜지스터의 게이트 유전체의 적어도 일부로서 기능한다.

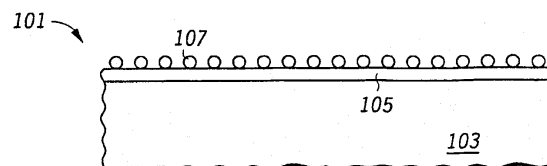
[0065] 본 발명의 특정 실시예를 도시 및 기술하였으나, 당업자들은 여기 교시된 바에 기초하여, 이 발명 및 이의 넓은 면들 내에서 다른 변경들 및 수정들이 행해질 수 있고 따라서, 첨부한 청구항들은 이 발명의 진정한 정신 및 범위 내에 있는 모든 이러한 변경 및 수정을 그 범위 내에서 포괄함을 알 것이다.

도면의 간단한 설명

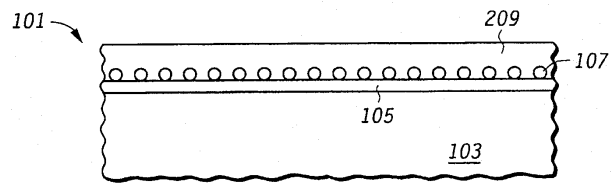
- [0006] 도 1은 본 발명의 제1 실시예에 따라 집적회로의 제조에서의 단계동안의 반도체 웨이퍼의 부분측면도.
- [0007] 도 2는 본 발명의 제1 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0008] 도 3은 본 발명의 제1 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0009] 도 4는 본 발명의 제1 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0010] 도 5는 본 발명의 제1 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0011] 도 6은 본 발명의 제1 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0012] 도 7은 본 발명의 제2 실시예에 따라 집적회로의 제조에서의 단계동안의 반도체 웨이퍼의 부분측면도.
- [0013] 도 8은 본 발명의 제2 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0014] 도 9는 본 발명의 제2 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0015] 도 10은 본 발명의 제2 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0016] 도 11은 본 발명의 제2 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0017] 도 12는 본 발명의 제3 실시예에 따라 집적회로의 제조에서의 단계동안의 반도체 웨이퍼의 부분측면도.
- [0018] 도 13은 본 발명의 제3 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0019] 도 14는 본 발명의 제3 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0020] 도 15는 본 발명의 제3 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0021] 도 16은 본 발명의 제3 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0022] 도 17은 본 발명의 제3 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0023] 도 18은 본 발명의 제3 실시예에 따라 집적회로의 제조에서의 또 다른 단계동안의 반도체 웨이퍼의 부분측면도.
- [0024] 도 19는 본 발명에 따른 반도체 웨이퍼의 부분측면도.

도면

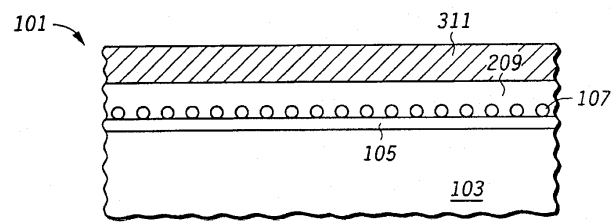
도면1



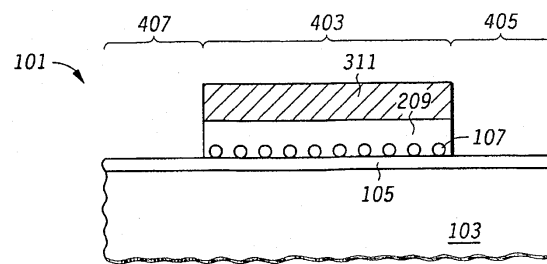
도면2



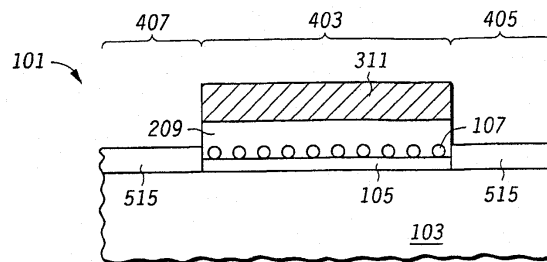
도면3



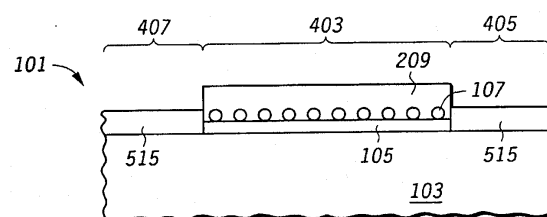
도면4



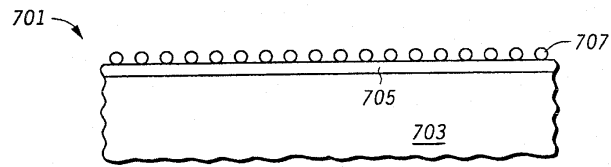
도면5



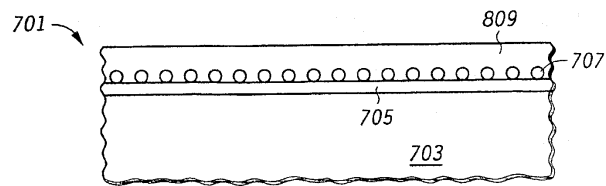
도면6



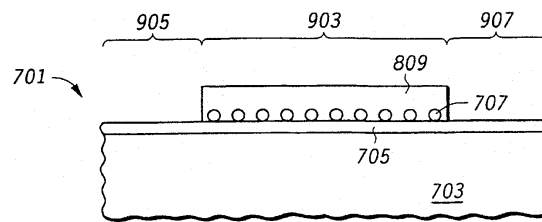
도면7



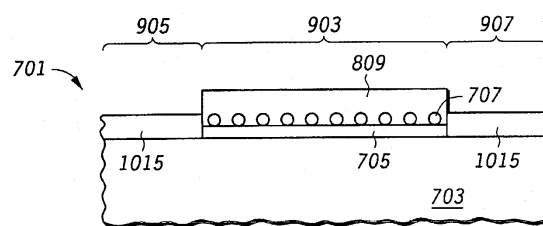
도면8



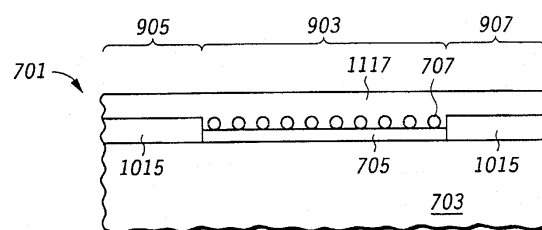
도면9



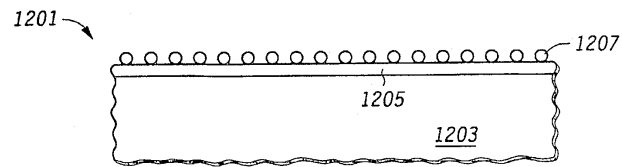
도면10



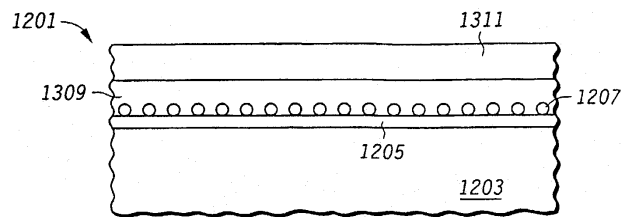
도면11



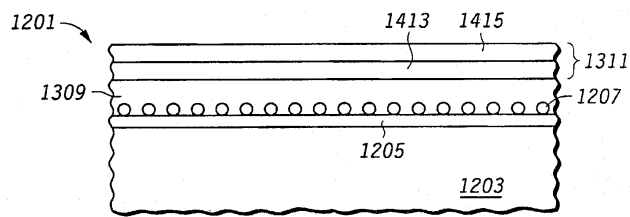
도면12



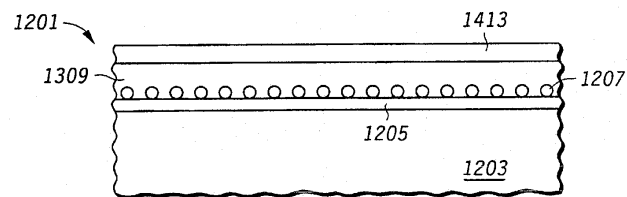
도면13



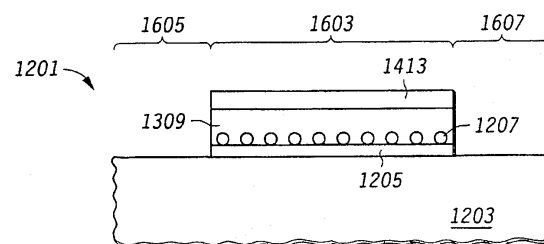
도면14



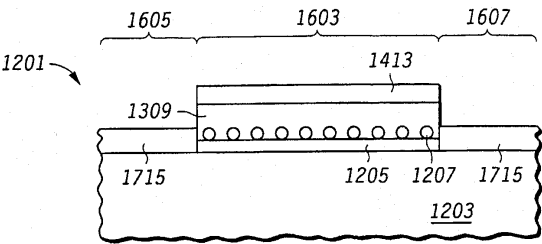
도면15



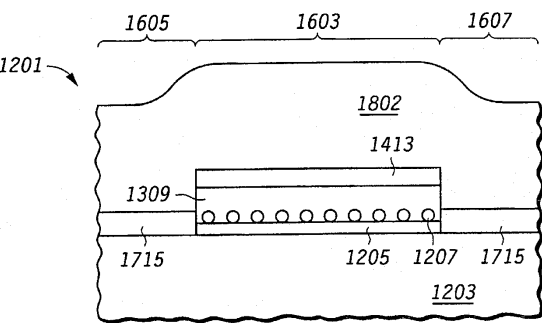
도면16



도면17



도면18



도면19

