



(21) 申请号 202410188012.5

(22) 申请日 2024.02.20

(30) 优先权数据

10-2023-0022760 2023.02.21 KR

(71) 申请人 三星电机株式会社

地址 韩国京畿道水原市

(72) 发明人 柳惠沅 金庆植 白承仁 崔民英

李钟焕 权亨纯

(74) 专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

专利代理师 游舒涵 沈浩

(51) Int. Cl.

H01G 4/12 (2006.01)

H01G 4/30 (2006.01)

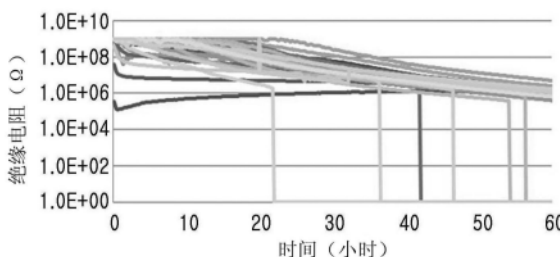
权利要求书2页 说明书12页 附图7页

(54) 发明名称

多层电子组件

(57) 摘要

本公开提供一种多层电子组件,所述多层电子组件包括主体以及设置在所述主体上的外电极,所述主体包括多个介电层和多个内电极。所述主体包括电容形成部和覆盖部,所述电容形成部包括在第一方向上交替设置的所述多个介电层以及所述多个内电极,所述覆盖部设置在所述电容形成部在所述第一方向上的两个表面上。所述多个介电层中的一个介电层包括包含Al的第一受体元素、包含Mg、Mn和V中的至少一种的第二受体元素以及Ti。所述一个介电层和所述覆盖部均包括多个介电晶粒,并且包括在所述一个介电层中的所述多个介电晶粒的平均尺寸(G1)相对于包括在所述覆盖部中的所述多个介电晶粒的平均尺寸(G2)的比率(G1/G2)满足 $1.00 \leq G1/G2 < 1.50$ 。



1. 一种多层电子组件, 包括:

主体, 包括多个介电层和多个内电极; 以及
外电极, 设置在所述主体上,

其中, 所述主体包括电容形成部和覆盖部, 所述电容形成部包括所述多个介电层以及在第一方向上与所述多个介电层交替地设置的所述多个内电极, 所述覆盖部设置在所述电容形成部的在所述第一方向上的两个表面上,

其中, 所述多个介电层中的一个介电层包括包含铝的第一受体元素、包含镁、锰和钒中的至少一种的第二受体元素以及钛,

其中, $0.4\text{mol} \leq A1 < 0.6\text{mol}$ 且 $0.44 \leq A1/(A1+T1) < 0.55$, 其中, $A1$ 是所述第一受体元素相对于包含在所述一个介电层中的 100 摩尔钛的摩尔数, 并且 $T1$ 是所述第二受体元素相对于包含在所述一个介电层中的 100 摩尔钛的摩尔数, 并且

其中, 所述一个介电层和所述覆盖部均包括多个介电晶粒, 并且包括在所述一个介电层中的所述多个介电晶粒的平均尺寸 $G1$ 相对于包括在所述覆盖部中的所述多个介电晶粒的平均尺寸 $G2$ 的比率 $G1/G2$ 满足 $1.00 \leq G1/G2 < 1.50$ 。

2. 根据权利要求 1 所述的多层电子组件, 其中, 所述覆盖部包括所述第一受体元素和钛, 并且

其中, $A2 \leq 0.50\text{mol}$, 其中, $A2$ 是包含在所述覆盖部中的所述第一受体元素相对于包含在所述覆盖部中的 100 摩尔钛的摩尔数。

3. 根据权利要求 2 所述的多层电子组件, 其中, $A2$ 是包含在所述覆盖部中的铝相对于包含在所述覆盖部中的 100 摩尔钛的摩尔数。

4. 根据权利要求 2 所述的多层电子组件, 其中, 所述覆盖部还包括所述第二受体元素, 并且

其中, $A2/(A2+T2) < 0.30$, 其中, $T2$ 是包含在所述覆盖部中的所述第二受体元素相对于包含在所述覆盖部中的 100 摩尔钛的摩尔数。

5. 根据权利要求 4 所述的多层电子组件, 其中, $A2$ 是包含在所述覆盖部中的铝相对于包含在所述覆盖部中的 100 摩尔钛的摩尔数, 并且 $T2$ 是包含在所述覆盖部中的镁、锰和钒相对于包含在所述覆盖部中的 100 摩尔钛的摩尔数。

6. 根据权利要求 1 所述的多层电子组件, 其中, 包括在所述一个介电层中的所述多个介电晶粒的平均尺寸 $G1$ 大于等于 100nm 且小于等于 400nm。

7. 根据权利要求 1 所述的多层电子组件, 其中, 包括在所述覆盖部中的所述多个介电晶粒的平均尺寸 $G2$ 大于等于 150nm 且小于等于 300nm。

8. 根据权利要求 1 所述的多层电子组件, 其中, 包括在所述一个介电层中的所述多个介电晶粒的尺寸标准差 stdev1 相对于包括在所述覆盖部中的所述多个介电晶粒的尺寸标准差 stdev2 的比率 $\text{stdev1}/\text{stdev2}$ 满足 $1.45 \leq \text{stdev1}/\text{stdev2} < 2.10$ 。

9. 根据权利要求 1 所述的多层电子组件, 其中, 包括在所述一个介电层中的所述多个介电晶粒的尺寸标准差 stdev1 相对于包括在所述一个介电层中的所述多个介电晶粒的平均尺寸 $G1$ 的比率 $\text{stdev1}/G1$ 为变化系数 $CV1$, 并且包括在所述覆盖部中的所述多个介电晶粒的尺寸标准差 stdev2 相对于包括在所述覆盖部中的所述多个介电晶粒的平均尺寸 $G2$ 的比率 $\text{stdev2}/G2$ 为变化系数 $CV2$,

所述一个介电层的变化系数CV1相对于所述覆盖部的变化系数CV2的比率CV1/CV2满足 $1.40 \leq CV1/CV2 < 1.51$ 。

10. 根据权利要求1所述的多层电子组件,其中,所述一个介电层的平均厚度小于等于 $3.0\mu\text{m}$ 。

11. 根据权利要求1所述的多层电子组件,其中,所述多个内电极中的至少一个内电极的平均厚度小于等于 $1.0\mu\text{m}$ 。

12. 根据权利要求1所述的多层电子组件,其中,满足 $2 \times t_e < t_d$,其中, t_d 是所述一个介电层的平均厚度,并且 t_e 是所述多个内电极中的至少一个内电极的平均厚度。

13. 根据权利要求1所述的多层电子组件,其中,所述覆盖部在所述第一方向上的平均厚度小于等于 $20\mu\text{m}$ 。

14. 根据权利要求1所述的多层电子组件,其中,所述外电极在第二方向上设置在所述主体上,所述第二方向垂直于所述第一方向,

其中,所述多层电子组件还包括侧边缘部,所述侧边缘部设置在所述电容形成部的在第三方向上的两个表面上,所述第三方向垂直于所述第一方向和所述第二方向。

15. 根据权利要求14所述的多层电子组件,其中,所述侧边缘部在所述第三方向上的平均尺寸小于等于 $20\mu\text{m}$ 。

16. 根据权利要求1所述的多层电子组件,其中, A_1 是包含在所述一个介电层中的铝相对于包含在所述一个介电层中的100摩尔钛的摩尔数,并且 T_1 是包含在所述一个介电层中的镁、锰和钒相对于包含在所述一个介电层中的100摩尔钛的摩尔数。

多层电子组件

[0001] 本申请要求于2023年2月21日在韩国知识产权局提交的第10-2023-0022760号韩国专利申请的优先权的权益,所述韩国专利申请的公开内容通过引用被全部包含于此。

技术领域

[0002] 本公开涉及一种多层电子组件。

背景技术

[0003] 多层陶瓷电容器 (MLCC) (一种多层电子组件) 可以是安装在各种类型的电子产品 (诸如, 图像显示装置 (诸如, 液晶显示器 (LCD)、等离子显示面板 (PDP) 等)、计算机、智能电话、移动电话等) 的印刷电路板上并且用于对其充电或从其放电的片式电容器。

[0004] 由于多层陶瓷电容器具有小尺寸和高电容并且易于安装, 因此这样的多层陶瓷电容器可以用作各种电子装置的组件。由于各种电子装置 (诸如, 计算机、移动装置等) 已经小型化并实现高输出, 因此对于多层陶瓷电容器的小型化和实现高电容的需求已经增加。

[0005] 此外, 随着信息技术 (IT) MLCC 以及汽车电子 MLCC 的市场扩大, 对于在相同电容范围内具有高额定电压和优异可靠性的产品的需求正在增加。在 MLCC 介电组合物中的添加元素之中, 固定价态受体、过渡金属元素 (是可变价态受体) 和稀土元素对可靠性的影响已经广为人知。因此, 通过优化 MLCC 介电组合物中的添加元素 (包括上述添加元素) 的组成比来选择具有良好可靠性的条件。虽然基础金属电极 (BME) MLCC 已经工业化, 但是已经持续进行针对组合物优化的操作来改善可靠性。然而, 由于即使使用相同的介电组合物, 可靠性也可能基于添加元素的微结构、分散程度和固体溶解以及工艺条件而存在显著差异, 因此需要优化的组合物设计。

[0006] 在常规的 MLCC 组合物系统中, 由于高密度的氧空位缺陷, 在产品驱动期间的苛刻温度条件下经常发生可靠性劣化。近来, 已经通过用于使影响高温可靠性寿命的氧空位密度最小化的组合物设计进行了针对抑制可靠性劣化的研究。这可以是当通过在 BaTiO_3 中添加充当施体掺杂剂的元素来填充氧空位时产生电子的原理, 并且可被称为通过抑制由于抑制 n-p 结所导致的可靠性劣化而向 n 型组合物的改变。然而, 由于可包括金属和氧化物的复合材料的 MLCC 产品的性质, 添加充当受体的掺杂剂元素可能是必要的。此外, 由于被分类为受体掺杂剂的特定元素可能与介电层的均匀晶粒生长和致密化密切相关, 因此可能需要通过以适当的比率调节特定元素来配置介电组合物。

发明内容

[0007] 本公开的一方面在于通过优化组合物设计来改善多层电子组件的可靠性。

[0008] 本公开的一方面在于提供一种具有优异的可靠性同时实现介电层的致密化的多层电子组件。

[0009] 本公开要解决的各种问题可不限于上面描述的问题, 并且可在说明本公开的具体实施例的过程中更易于理解。

[0010] 根据本公开的一方面,一种多层电子组件包括主体以及设置在所述主体上的外电极,所述主体包括多个介电层和多个内电极。所述主体包括电容形成部和覆盖部,所述电容形成部包括所述多个介电层以及在第一方向上与所述多个介电层交替地设置的所述多个内电极,所述覆盖部设置在所述电容形成部的在所述第一方向上的两个表面上。所述多个介电层中的一个介电层包括包含A1的第一受体元素、包含Mg、Mn和V中的至少一种的第二受体元素以及Ti,并且满足 $0.4\text{mol} \leq A1 < 0.6\text{mol}$ 且 $0.44 \leq A1/(A1+T1) < 0.55$ (其中,A1是所述第一受体元素相对于包含在所述一个介电层中的100摩尔Ti的摩尔数,并且T1是所述第二受体元素相对于包含在所述一个介电层中的100摩尔Ti的摩尔数)。所述一个介电层和所述覆盖部均包括多个介电晶粒,并且包括在所述一个介电层中的所述多个介电晶粒的平均尺寸(G1)相对于包括在所述覆盖部中的所述多个介电晶粒的平均尺寸(G2)的比率(G1/G2)满足 $1.00 \leq G1/G2 < 1.50$ 。

附图说明

[0011] 通过以下结合附图的具体实施方式,将更清楚地理解本公开的以上和其他方面、特征和优点,在附图中:

[0012] 图1示意性地示出了根据本公开的实施例的多层电子组件的立体图。

[0013] 图2示意性地示出了说明内电极的堆叠结构的分解立体图。

[0014] 图3示意性地示出了沿着图1的线I-I' 截取的截面图。

[0015] 图4示意性地示出了沿着图1的线II-II' 截取的截面图。

[0016] 图5A至图5D是使用SEM捕获的样品芯片的电容形成部的图像。

[0017] 图6A至图6D是使用SEM捕获的样品芯片的覆盖部的图像。

[0018] 图7A至图7C是样品芯片的高温可靠性评估曲线图。

具体实施方式

[0019] 在下文中,将参照附图描述本公开的实施例。然而,本公开的实施例可变形为各种其他形式,并且本公开的范围不局限于下面描述的实施例。此外,可提供本公开的实施例以向本领域普通技术人员更充分地描述本公开。因此,为了清楚地描述,可夸大附图中的要素的形状、尺寸等,并且附图中由相同附图标记表示的要素可以是相同要素。

[0020] 为了在附图中清楚地示出本公开,将省略与描述无关的部分以阐明本公开,并且可放大厚度以清楚地示出层和区域。相同的附图标记将用于表示相同要素。此外,在整个说明书中,除非另有特别说明,否则当一个要素被称为“包括”或“包含”另一要素时,这意味着所述一个要素还可包括其他要素,而不排除其他要素。

[0021] 在附图中,第一方向可被定义为堆叠方向或厚度方向,第二方向可被定义为长度方向,并且第三方向可被定义为宽度方向。

[0022] 多层电子组件

[0023] 图1示意性地示出了根据本公开的实施例的多层电子组件的立体图。

[0024] 图2示意性地示出了说明内电极的堆叠结构的分解立体图。

[0025] 图3示意性地示出了沿着图1的线I-I' 截取的截面图。

[0026] 图4示意性地示出了沿着图1的线II-II' 截取的截面图。

[0027] 在下文中,参照图1至图4,将详细描述根据本公开的实施例的多层电子组件。将描述多层陶瓷电容器作为多层电子组件的示例,但是该示例性实施例也可应用于使用介电组合物的各种电子产品(诸如,电感器、压电元件、变阻器、热敏电阻等)。

[0028] 根据本公开的实施例的多层电子组件100可包括主体110以及设置在主体110上的外电极131和132,主体110包括多个介电层111以及多个内电极121和122。主体110可包括电容形成部Ac以及覆盖部112和113,电容形成部Ac包括多个介电层111以及在第一方向上与多个介电层111交替地设置的多个内电极121和122,覆盖部112和113设置在电容形成部Ac的在第一方向上的两个表面中的至少一个表面上。多个介电层111中的一个或每个可包括包含Al的第一受体元素、包含Mg、Mn和V中的至少一种的第二受体元素以及Ti,并且满足 $0.4\text{mol} \leq A1 < 0.6\text{mol}$ 和 $0.44 \leq A1/(A1+T1) < 0.55$ (其中,A1是第一受体元素相对于包含在多个介电层111中的所述一个或每个中的100摩尔Ti的摩尔数,并且T1是第二受体元素相对于包含在多个介电层111中的所述一个或每个中的100摩尔Ti的摩尔数)。多个介电层111中的所述一个或每个以及覆盖部112和113均可包括多个介电晶粒,并且包括在多个介电层中的所述一个或每个中的多个介电晶粒的平均尺寸(G1)相对于包括在覆盖部中的多个介电晶粒的平均尺寸(G2)的比率($G1/G2$)可满足 $1.00 \leq G1/G2 < 1.50$ 。

[0029] 在主体110中,介电层111与内电极121和122可交替地堆叠。

[0030] 更具体地,主体110可包括交替地设置成彼此面对且介电层111介于其间的第一内电极121和第二内电极122,以包括形成电容的电容形成部Ac。

[0031] 尽管主体110的具体形状没有特别限制,但是主体110可如图1所示具有六面体形状等。由于包括在主体110中的陶瓷粉末颗粒在烧结工艺期间收缩,因此主体110可不具有完美的直六面体形状,而是可具有大致的六面体形状。

[0032] 主体110可包括在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1、第二表面2、第三表面3和第四表面4并在第三方向上彼此相对的第五表面5和第六表面6。

[0033] 形成主体110的多个介电层111可处于烧结状态,并且相邻的介电层111可一体化到在不使用扫描电子显微镜(SEM)的情况下可能难以识别它们之间的边界的程度。

[0034] 用于形成介电层111的原材料没有特别限制,只要可利用其获得足够的电容即可。例如,可使用钛酸钡基材料、铅复合钙钛矿基材料、钛酸锶基材料等。钛酸钡基材料可包括 BaTiO_3 基陶瓷粉末,并且 BaTiO_3 基陶瓷粉末的示例可包括 BaTiO_3 或者通过将钙(Ca)、锆(Zr)等部分地固溶在 BaTiO_3 等中而形成的 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)等。

[0035] 此外,可将各种陶瓷添加剂、有机溶剂、粘合剂、分散剂等添加到作为用于形成介电层111的原材料的钛酸钡(BaTiO_3)等的粉末中。

[0036] 在MLCC介电组合物中的添加元素之中,固定价态受体、过渡金属元素(是可变价态受体)和稀土元素对可靠性的影响已经广为人知。因此,通过优化MLCC介电组合物中的添加元素(包括上述添加元素)的组成比来选择具有良好可靠性的条件。虽然基础金属电极(BME)MLCC已经工业化,但是已经持续进行针对组合物优化的操作来改善可靠性。即使使用相同的介电组合物,可靠性也可能基于添加元素的微结构、分散程度和固体溶解以及工艺条件而存在显著差异。

[0037] 更具体地,诸如X5R、X7R、X8R、Y5V等的当前高容量BMEMLCC的电介质可基于通过如下方式获得的材料:将固定价态受体(诸如,Mg、Al等)和用作供体的稀土元素(诸如,Y、Dy、Ho、Er等)掺杂到BaTiO₃基础材料(诸如,通过将钙(Ca)、锆(Zr)等部分地固溶在BaTiO₃中而形成的(Ba,Ca)(Ti,Ca)O₃、(Ba,Ca)(Ti,Zr)O₃和Ba(Ti,Zr)O₃中,并且另外添加诸如Mn、V或Cr的可变价态受体、过量的Ba、SiO₂或诸如烧结助剂的添加剂等,并且将其烧结。为了在还原气氛下烧结高容量MLCC时实现高容量MLCC的正常容量和绝缘特性,应实现晶粒生长抑制和还原电阻,并且已知这两种效果可通过添加适量的诸如Mg的固定价态受体来实现。然而,当仅添加诸如Mg的固定价态受体时,电介质的耐压特性和可靠性可能较差。作为可变价态受体的过渡金属元素(诸如,Mn或V)和稀土元素可一起添加以改善耐压特性和可靠性。如上所述,这些元素中的大多数可共掺杂,并且可固溶在BaTiO₃基材料的晶粒的壳区域中以形成核-壳结构,从而基于MLCC的温度实现稳定的容量特性和可靠性。因此,可预期的是,只有当添加元素没有在第二相中偏析并且很好地固溶在壳区域的BaTiO₃晶格中时,可靠性才是良好的。

[0038] 在常规MLCC组合物系统中,由于高密度的氧空位缺陷,在产品驱动期间的苛刻温度条件下经常发生可靠性劣化。近来,已经通过用于使影响高温可靠性寿命的氧空位密度最小化的组合物设计进行了针对抑制可靠性劣化的研究。这可以是当通过在BaTiO₃中添加充当施体掺杂剂的元素来填充氧空位时产生电子的原理,并且可被称为通过抑制由于抑制n-p结所导致的可靠性劣化而向n型组合物的改变。然而,由于可包括金属和氧化物的复合材料的MLCC产品的性质,添加充当受体的掺杂剂元素可能是必要的。此外,由于被分类为受体掺杂剂的特定元素可能与介电层的均匀晶粒生长和致密化密切相关,因此可能需要通过以适当的比率调节特定元素来配置介电组合物。

[0039] 在本公开中,受体元素可包括Al、Mg、Mn或V,并且包括Al的受体元素可被定义为第一受体元素,包括Mg、Mn或V的受体元素可被定义为第二受体元素。本公开不限于此,并且第一受体元素和第二受体元素还可包括其他元素。第一受体元素和第二受体元素包括不同的元素。

[0040] 根据本公开的实施例,包括在电容形成部Ac中的介电层111可包括包含Al的第一受体元素、包含Mg、Mn和V中的至少一种的第二受体元素以及Ti,并且如果第一受体元素相对于包含在电容形成部Ac的介电层111中的100摩尔Ti的摩尔数被定义为A1且第二受体元素相对于包含在电容形成部Ac的介电层111中的100摩尔Ti的摩尔数被定义为T1,则可满足 $0.4\text{mol} \leq A1 < 0.6\text{mol}$ 且 $0.44 \leq A1/(A1+T1) < 0.55$ 。

[0041] 可将介电组合物中充当受体的元素的比率调节为满足 $0.4\text{mol} \leq A1 < 0.6\text{mol}$ 且 $0.44 \leq A1/(A1+T1) < 0.55$,以设计富含施体的组合物,从而提供具有优异的高温可靠性同时实现介电层的致密化的多层电子组件。

[0042] 当A1大于等于0.6mol或者A1/(A1+T1)大于等于0.55时,可能存在由于氧空位密度的增大而使高温可靠性劣化的风险。当A1小于0.4摩尔或者A1/(A1+T1)小于0.44时,可通过向n型组合物的改变来改善导电性,但是可能抑制介电组合物的晶粒生长,并且孔隙率可能增加,从而使密度和耐湿可靠性劣化,并且可能发生介电性能劣化的问题。

[0043] 在这种情况下,介电层111以及覆盖部112和113(稍后将描述)可包括多个介电晶粒,并且包括在介电层111中的多个介电晶粒的平均尺寸(G1)相对于包括在覆盖部112和

113中的多个介电晶粒的平均尺寸(G2)的比率($G1/G2$)可满足 $1.00 \leq G1/G2 < 1.50$ 。

[0044] 当包括在介电层111中的多个介电晶粒的平均尺寸(G1)相对于包括在覆盖部112和113中的多个介电晶粒的平均尺寸(G2)的比率($G1/G2$)满足 $1.00 \leq G1/G2 < 1.50$ 时,可提供期望的介电电容特性和良好的耐湿可靠性。

[0045] 包括在介电层111中的多个介电晶粒的平均尺寸(G1)可大于等于100nm且小于等于400nm,并且优选地大于等于150nm且小于等于300nm。

[0046] 测量包括在介电层111中的多个介电晶粒的尺寸的方法没有特别限制。

[0047] 例如,可通过SEM获得 $5\mu\text{m} \times 3\mu\text{m}$ (水平尺寸 $\times$ 竖直尺寸)的图像,使得可基于主体的在第一方向和第二方向上的截面观察位于中央区域中的介电层,并且可测量存在于该区域中的介电晶粒的尺寸。

[0048] 介电晶粒的尺寸可对应于从一个晶界到另一晶界的最长直线的尺寸,并且介电晶粒的平均尺寸可表示通过上述方法测量的每个介电晶粒的尺寸的平均值。

[0049] 介电层111的厚度 t_d 没有特别限制。

[0050] 为了实现多层电子组件的高电容,介电层111的厚度可小于等于 $3.0\mu\text{m}$,并且为了更易于实现多层电子组件的小型化和高电容,介电层111的厚度可小于等于 $1.0\mu\text{m}$,优选地小于等于 $0.6\mu\text{m}$,更优选地小于等于 $0.4\mu\text{m}$ 。

[0051] 在这种情况下,介电层111的厚度 t_d 可表示设置在第一内电极121和第二内电极122之间的介电层111的厚度。

[0052] 介电层111的厚度 t_d 可表示介电层111的在第一方向上的尺寸。此外,介电层111的厚度 t_d 可表示介电层111的平均厚度,并且可表示介电层111的在第一方向上的平均尺寸。

[0053] 介电层111的在第一方向上的平均尺寸可通过利用扫描电子显微镜(SEM)以10000的放大倍数扫描主体110的在第一方向和第二方向上的截面而获得的图像来测量。更具体地,一个介电层111的在第一方向上的平均尺寸是指通过对扫描图像中的一个介电层111的在第二方向上等间隔的三十(30)个点处测量的在第一方向上的尺寸求平均而获得的平均值。可在电容形成部Ac中指定等间隔的三十(30)个点。此外,当对十(10)个介电层111执行这样的平均值测量时,可使介电层111的在第一方向上的平均尺寸更一般化。

[0054] 内电极121和122可与介电层111交替地堆叠。

[0055] 内电极121和122可包括第一内电极121和第二内电极122,第一内电极121和第二内电极122可交替地设置成彼此相对且介电层111介于第一内电极121和第二内电极122之间,并且第一内电极121和第二内电极122可分别从主体110的第三表面3和第四表面4暴露。

[0056] 更具体地,第一内电极121可与第四表面4间隔开并且可从第三表面3暴露,第二内电极122可与第三表面3间隔开并且可从第四表面4暴露。第一外电极131可设置在主体110的第三表面3上以连接到第一内电极121,并且第二外电极132可设置在主体110的第四表面4上以连接到第二内电极122。

[0057] 例如,第一内电极121可不连接到第二外电极132而是可连接到第一外电极131,第二内电极122可不连接到第一外电极131而是可连接到第二外电极132。在这种情况下,第一内电极121和第二内电极122可通过介于它们之间的介电层111而彼此电分离。

[0058] 主体110可通过交替地堆叠印刷有用于第一内电极121的导电膏的陶瓷生片和印刷有用于第二内电极122的导电膏的陶瓷生片然后烧结堆叠的陶瓷生片来形成。

[0059] 用于形成内电极121和122的材料可不受特别限制,并且可使用具有优异的导电性的材料。例如,内电极121和122可包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)和它们的合金中的一种或更多种。

[0060] 此外,内电极121和122可通过在陶瓷生片上印刷用于内电极的导电膏(包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)和它们的合金中的一种或更多种)来形成。可使用丝网印刷法、凹版印刷法等作为用于内电极的导电膏的印刷方法,但是本公开不限于此。

[0061] 内电极121和122的厚度 t_e 没有特别限制。

[0062] 为了实现多层电子组件的高容量,内电极121和122的厚度可小于等于 $1.0\mu\text{m}$,并且为了更易于实现多层电子组件的小型化和高电容,内电极121和122的厚度可小于等于 $0.6\mu\text{m}$,更优选地小于等于 $0.4\mu\text{m}$ 。

[0063] 在这种情况下,内电极121和122的厚度 t_e 可表示内电极121和122的在第一方向上的尺寸。此外,内电极121和122的厚度 t_e 可表示内电极121和122的平均厚度,并且可表示内电极121和122的在第一方向上的平均尺寸。

[0064] 内电极121和122的在第一方向上的平均尺寸可通过利用扫描电子显微镜(SEM)以10000的放大倍数扫描主体110的在第一方向和第二方向上的截面而获得的图像来测量。更具体地,一个内电极的在第一方向上的平均尺寸可以通过对扫描图像中的一个内电极的在第二方向上等间隔的三十(30)个点处测量的在第一方向上的尺寸求平均而获得的平均值。可在电容形成部Ac中指定等间隔的三十(30)个点。此外,当对十(10)个内电极执行这样的平均值测量时,可使内电极的在第一方向上的平均尺寸更一般化。

[0065] 在本公开的实施例中,多个介电层111中的至少一个的平均厚度 t_d 以及多个内电极121和122中的至少一个的平均厚度 t_e 可满足 $2 \times t_e < t_d$ 。

[0066] 例如,一个介电层111的平均厚度 t_d 可大于一个内电极121和122的平均厚度 t_e 的两倍。优选地,多个介电层111的平均厚度 t_d 可大于多个内电极121和122的平均厚度 t_e 的两倍。

[0067] 通常,对于高压电子组件,由于在高压环境下击穿电压(BDV)降低,因此主要问题可能是可靠性。

[0068] 因此,为了防止在高电压环境下击穿电压降低,可使介电层111的平均厚度 t_d 大于内电极121和122的平均厚度 t_e 的两倍,以增大介电层的厚度(可以是相邻的内电极之间的距离)并改善击穿电压特性。

[0069] 当介电层111的平均厚度 t_d 小于内电极121和122的平均厚度 t_e 的两倍时,介电层的平均厚度(可以是相邻的内电极之间的距离)可能较薄,使得击穿电压降低并在内电极之间发生短路。

[0070] 在高压电子组件中,内电极的平均厚度 t_e 可小于等于 $1\mu\text{m}$,并且介电层的平均厚度 t_d 可小于等于 $3.0\mu\text{m}$,但不必限于此。

[0071] 主体110可包括设置在电容形成部Ac的在第一方向上的两个表面上的覆盖部112和113。

[0072] 更具体地,覆盖部112和113可包括在第一方向上设置在电容形成部Ac上方的上覆盖部112以及在第一方向上设置在电容形成部Ac下方的下覆盖部113。

[0073] 上覆盖部112和下覆盖部113可通过在第一方向上将单个介电层或者两个或更多个介电层分别堆叠在电容形成部Ac的上表面和下表面上来形成,并且可主要起到防止由于物理或化学应力而对内电极121和122造成损坏的作用。

[0074] 上覆盖部112和下覆盖部113不包括内电极121和122,并且可包括与介电层111相同的材料。例如,上覆盖部112和下覆盖部113可包括陶瓷材料,例如,可包括钛酸钡(BaTiO_3)基陶瓷材料。

[0075] 此外,可将各种陶瓷添加剂、有机溶剂、粘合剂、分散剂等添加到钛酸钡(BaTiO_3)等的粉末中,作为形成覆盖部112和113的介电层的原材料。

[0076] 根据本公开的实施例,包括在覆盖部112和113中的介电层可包括包含A1的第一受体元素、包含Mg、Mn和V中的至少一种的第二受体元素以及Ti,如果第一受体元素相对于包含在覆盖部112和113的介电层中的100摩尔Ti的摩尔数被定义为A2,则可满足 $A2 \leq 0.50\text{mol}$,并且如果第二受体元素相对于包含在覆盖部112和113的介电层中的100摩尔Ti的摩尔数被定义为T2,则可满足 $A2/(A2+T2) < 0.30$ 。

[0077] 在本公开中,包括在覆盖部112和113的介电层中的受体元素可包括第一受体元素和第二受体元素,包括在覆盖部112和113的介电层中的第一受体元素和第二受体元素可与包括在电容形成部Ac的介电层111中的受体元素(更具体地,包括在电容形成部Ac的介电层111中的第一受体元素和第二受体元素)相同。

[0078] 另外,除非另有特别说明,否则对覆盖部112和113的描述可表示对第一覆盖部112和第二覆盖部113中的每个的描述,并且第一覆盖部112和第二覆盖部113也可被包括在描述中。

[0079] 当A2大于0.50mol或 $A2/(A2+T2)$ 大于等于0.30时,介电组合物的晶粒生长可能被抑制并且孔隙率可能增大,从而使密度和耐湿可靠性劣化,并且当升高烧结温度以克服上述问题时,可能存在机械性能劣化和出现裂纹等问题。

[0080] 覆盖部112和113可包括多个介电晶粒,并且包括在覆盖部112和113中的多个介电晶粒的平均尺寸(G2)可大于等于150nm且小于等于250nm,并且优选地大于等于180nm且小于等于220nm。

[0081] 测量包括在覆盖部112和113中的多个介电晶粒的尺寸的方法没有特别限制,并且可与如上所述的测量包括在电容形成部Ac的介电层111中的多个介电晶粒的尺寸的方法相同。

[0082] 在本公开的实施例中,包括在电容形成部Ac的介电层111中的多个介电晶粒的尺寸标准差(stdev1)相对于包括在覆盖部112和113中的多个介电晶粒的尺寸标准差(stdev2)的比率(stdev1/stdev2)可满足 $1.45 \leq \text{stdev1}/\text{stdev2} < 2.10$ 。

[0083] 当包括在电容形成部Ac的介电层111中的多个介电晶粒的尺寸标准差(stdev1)相对于包括在覆盖部112和113中的多个介电晶粒的尺寸标准差(stdev2)的比率(stdev1/stdev2)满足 $1.45 \leq \text{stdev1}/\text{stdev2} < 2.10$ 时,可形成均匀尺寸的介电晶粒,从而改善多层电子组件的可靠性。

[0084] 在本公开的实施例中,如果多个介电晶粒的尺寸标准差(stdev)相对于多个介电晶粒的平均尺寸(G)的比率(stdev/G)是变化系数(CV1),则介电层111的变化系数(CV1)相对于覆盖部112和113的变化系数(CV2)的比率(CV1/CV2)可满足 $1.40 \leq \text{CV1}/\text{CV2} < 1.51$ 。

[0085] 当介电层111的变化系数(CV1)相对于覆盖部112和113的变化系数(CV2)的比率(CV1/CV2)满足 $1.40 \leq CV1/CV2 < 1.51$ 时,可形成均匀尺寸的介电晶粒,从而改善多层电子组件的可靠性。

[0086] 覆盖部112和113的厚度 t_c 没有特别限制。

[0087] 为了更易于实现多层电子组件的小型化和高电容,覆盖部112和113的厚度 t_c 可小于等于 $100\mu m$,优选地小于等于 $30\mu m$,并且在超小型产品的情况下,更优选地小于等于 $20\mu m$ 。

[0088] 在这种情况下,覆盖部112和113的厚度 t_c 可表示覆盖部112和113的在第一方向上的尺寸。另外,覆盖部112和113的厚度 t_c 可表示覆盖部112和113的平均厚度,并且可表示覆盖部112和113的在第一方向上的平均尺寸。

[0089] 覆盖部112和113的在第一方向上的平均尺寸可通过利用扫描电子显微镜(SEM)以10000的放大倍数扫描主体110的在第一方向和第二方向上的截面而获得的图像来测量。更具体地,覆盖部112和113的在第一方向上的平均尺寸可以是通过对扫描图像中的一个覆盖部的在第二方向上等间隔的30个点处测量的在第一方向上的尺寸求平均而获得的平均值。

[0090] 另外,通过上述方法测量的覆盖部在第一方向上的平均尺寸可与在主体110在第一方向 and 第三方向上的截面中的覆盖部在第一方向上的平均尺寸基本相同。

[0091] 侧边缘部114和115可设置在电容形成部 A_c 的在第三方向上的两个表面上。

[0092] 更具体地,侧边缘部114和115可包括设置在电容形成部 A_c 的在第三方向上的两个表面中的一个表面上的第一侧边缘部114和设置在电容形成部 A_c 的在第三方向上的两个表面中的另一表面上的第二侧边缘部115。

[0093] 如图4所示,在主体110的沿第一方向和第三方向切割的截面中,侧边缘部114和115可指电容形成部 A_c 的在第三方向上的两个表面与主体110的外表面之间的区域。

[0094] 侧边缘部114和115可通过以下方式制备:当通过将导电膏涂覆在陶瓷生片上来形成内电极时,不将导电膏涂覆在陶瓷生片的将要形成侧边缘部114和115的部分上。另外,为了抑制由内电极121和122引起的台阶差,侧边缘部114和115可通过以下方式制备:将涂覆有导电膏的陶瓷生片彼此堆叠以形成堆叠体,切割堆叠体以使内电极121和122暴露于电容形成部 A_c 的第三方向上的两个表面,然后在第三方向上将单个介电层或者两个或更多个介电层堆叠在电容形成部 A_c 的在第三方向上的两个表面上。

[0095] 侧边缘部114和115可主要起到防止由于物理或化学应力而对内电极121和122造成损坏的作用。

[0096] 第一侧边缘部114和第二侧边缘部115不包括内电极121和122,并且可包括与介电层111相同的材料。例如,第一侧边缘部114和第二侧边缘部115可包括陶瓷材料,例如,可包括钛酸钡($BaTiO_3$)基陶瓷材料。

[0097] 此外,可将各种陶瓷添加剂、有机溶剂、粘合剂、分散剂等添加到钛酸钡($BaTiO_3$)等的粉末中,作为用于形成侧边缘部114和115的介电层的原料。

[0098] 第一侧边缘部114和第二侧边缘部115中的每个的在第三方向上的宽度(或厚度) w_m 没有特别限制。

[0099] 为了更易于实现多层电子组件100的小型化和高电容,第一侧边缘部114和第二侧边缘部115中的每个的宽度 w_m 可小于等于 $100\mu m$,并且优选地小于等于 $30\mu m$,并且在超小型产品的情况下,更优选地小于等于 $20\mu m$ 。

[0100] 在这种情况下,侧边缘部114和115中的每个的宽度 w_m 可表示侧边缘部114和115中的每个的在第三方向上的尺寸。此外,侧边缘部114和115中的每个的宽度 w_m 可表示侧边缘部114和115中的每个的平均宽度,并且可表示侧边缘部114和115中的每个的在第三方向上的平均尺寸。

[0101] 侧边缘部114和115中的每个的在第三方向上的平均尺寸可通过利用扫描电子显微镜(SEM)以10000的放大倍数扫描主体110的在第一方向和第三方向上的截面而获得的图像来测量。更具体地,侧边缘部114和115中的每个的在第三方向上的平均尺寸可指通过对扫描图像中的一个侧边缘部的在第一方向上等间隔的十(10)个点处测量的在第三方向上的尺寸求平均而获得的平均值。

[0102] 在本公开的实施例中,示出了多层电子组件100具有两个外电极131和132的结构,但是外电极的数量、形状等可根据内电极的数量、形状或者其他目的而改变。

[0103] 外电极131和132可设置在主体110上并连接到内电极121和122。

[0104] 更具体地,外电极131和132可包括分别设置在主体110的第三表面3和第四表面4上的第一外电极131和第二外电极132,并且可分别连接到第一内电极121和第二内电极122。例如,第一外电极131可设置在主体110的第三表面3上并且可连接到第一内电极121,第二外电极132可设置在主体110的第四表面4上并且可连接到第二内电极122。

[0105] 外电极131和132可利用任何材料(诸如,金属等)形成,只要它们具有导电性即可,并且具体的材料可考虑电特性、结构稳定性等来确定,并且外电极131和132还可具有多层结构。

[0106] 例如,外电极131和132可包括设置在主体110上的电极层131a、132a、131b和132b以及设置在电极层131a、132a、131b和132b上的镀层131c和132c。

[0107] 作为电极层131a、132a、131b、132b的更具体的示例,电极层131a、132a、131b、132b可以是包括第一导电金属和玻璃的烧结电极或者包括第二导电金属和树脂的树脂基电极。

[0108] 在这种情况下,第一导电金属可以指包括在第一电极层131a和132a中的导电金属,第二导电金属可以指包括在第二电极层131b和132b中的导电金属。在这种情况下,第一导电金属和第二导电金属可相同或不同,例如,可包括相同的金属材料,但不限于此。

[0109] 另外,电极层131a、132a、131b和132b可具有烧结电极和树脂基电极顺序地形成在主体上的形式。

[0110] 另外,电极层131a、132a、131b和132b可通过将包含导电金属的片材转印到主体上而形成,或者可通过将包含导电金属的片材转印到烧结电极上而形成。

[0111] 具有优异的导电性的材料可用作包括在电极层131a、132a、131b和132b中的导电金属。例如,导电金属可包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)和它们的合金中的一种或更多种,但不限于此。

[0112] 在本公开的实施例中,电极层131a、132a、131b和132b可具有包括第一电极层131a和132a以及第二电极层131b和132b的双层结构,并且外电极131和132可包括包含导电金属和玻璃的第一电极层131a和132a以及设置在第一电极层131a和132a上并包含导电金属和树脂的第二电极层131b和132b。

[0113] 第一电极层131a和132a可包括玻璃以改善与主体110的粘附性,并且第二电极层131b和132b可包括树脂以改善弯曲强度。

[0114] 第一电极层131a和132a中使用的导电金属没有特别限制,只要它是能够电连接到内电极121和122以形成电容的材料即可,例如,可包括选自镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)和它们的合金组成的组中的一种或更多种。第一电极层131a和132a可通过涂覆导电膏(通过将玻璃料添加到导电金属粉末来制备)然后对其进行烧结来形成。

[0115] 包括在第二电极层131b和132b中的导电金属可用于与第一电极层131a和132a电连接。

[0116] 包括在第二电极层131b和132b中的导电金属没有特别限制,只要它是能够电连接到第一电极层131a和132a的材料即可,例如,可包括选自镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)和它们的合金组成的组中的一种或更多种。

[0117] 包括在第二电极层131b和132b中的导电金属可包括球形颗粒和片状颗粒中的至少一种。例如,包括在第二电极层131b和132b中的导电金属可仅由片状颗粒组成,可仅由球形颗粒组成,或者可以是片状颗粒和球形颗粒的混合物。在这种情况下,球形颗粒可包括可能不是完美球形的形状,例如,长轴和短轴的长度比(长轴长度/短轴长度)小于等于1.45的形状。片状颗粒是指具有扁平且细长形状的颗粒,并且没有特别限制,例如,可以是长轴和短轴的长度比(长轴长度/短轴长度)大于等于1.95的颗粒。球形颗粒和片状颗粒中的长轴的长度和短轴的长度可从通过利用扫描电子显微镜(SEM)扫描多层电子组件的在第三方向上的中央部处切割的在第一方向和第二方向上的截面而获得的图像来测量。

[0118] 包括在第二电极层131b和132b中的树脂可确保结合性并用作冲击吸收部。包括在第二电极层131b和132b中的树脂没有特别限制,只要其具有结合性和冲击吸收性即可,包括在第二电极层131b和132b中的树脂可与导电金属粉末混合以制成膏体,并且可包括例如环氧树脂。

[0119] 另外,第二电极层131b和132b可包括多个金属颗粒、金属间化合物和树脂。可包括金属间化合物以进一步改善与第一电极层131a和132a的电连接性。金属间化合物可用于围绕多个金属颗粒并将多个金属颗粒彼此连接以改善电连接性。

[0120] 在这种情况下,金属间化合物可包括熔点低于树脂的固化温度的金属。例如,由于金属间化合物可包括熔点低于树脂的固化温度的金属,因此熔点低于树脂的固化温度的金属可在树脂的干燥和固化工艺期间熔化,可与金属颗粒形成金属间化合物,并且可围绕金属颗粒。在这种情况下,金属间化合物可优选地包括熔点小于等于300℃的金属。

[0121] 例如,金属间化合物可包括熔点为213℃至220℃的Sn。在树脂的干燥和固化工艺期间,Sn可熔化,并且熔化的Sn可通过毛细管现象润湿高熔点金属颗粒(诸如,Ag、Ni或Cu金属颗粒),并且可与高熔点金属颗粒的一部分反应以形成金属间化合物(诸如,Ag₃Sn、Ni₃Sn₄、Cu₆Sn₅、Cu₃Sn等)。未参与反应的高熔点金属颗粒可作为金属颗粒保留。

[0122] 因此,多个金属颗粒可包括Ag、Ni或Cu中的至少一种,并且金属间化合物可包括Ag₃Sn、Ni₃Sn₄、Cu₆Sn₅和Cu₃Sn中的至少一种。

[0123] 镀层131c和132c可起到改善安装特性的作用。

[0124] 镀层的种类没有特别限制,可以是包含镍(Ni)、锡(Sn)、钯(Pd)和它们合金中的至少一种的单层镀层,或者可形成为多个层。

[0125] 对于镀层的更具体的示例,镀层可以是形成在电极层131a、132a、131b和132b上的

Ni镀层或Sn镀层,或者可以是顺序地形成在电极层131a、132a、131b和132b上的Ni镀层和Sn镀层,或者可以是顺序地形成在电极层131a、132a、131b和132b上的Sn镀层、Ni镀层和Sn镀层。此外,镀层可包括多个Ni镀层和/或多个Sn镀层。

[0126] 尽管上面已经详细描述了本公开的实施例,但是本公开不受上述实施例和附图的限制,并且旨在由所附权利要求限制。因此,在权利要求中描述的本公开的技术精神的范围内,本领域技术人员可进行各种形式的替代、变型和修改,这些替代、变型和修改也落入本公开的范围。

[0127] 在下文中,将通过示例更详细地描述本公开,但是这可仅为了促进对本公开的详细理解,并且本公开的范围不受示例的限制。

[0128] (示例)

[0129] 下面的表1示出了当添加包括在电容形成部的介电层中的不同摩尔数的第一受体元素和第二受体元素时,电容形成部与覆盖部的介电晶粒的平均尺寸比、介电晶粒的尺寸标准差比以及变化系数比。

[0130] A1对应于第一受体元素相对于包含在电容形成部的介电层中的100摩尔Ti的摩尔数,并且第一受体元素对应于A1元素。

[0131] T1对应于第二受体元素相对于包含在电容形成部的介电层中的100摩尔Ti的摩尔数,并且第二受体元素对应于Mg、Mn和V中的至少一种元素。

[0132] G1是包括在电容形成部的介电层中的介电晶粒的平均尺寸的测量值,并且G2是包括在覆盖部中的介电晶粒的平均尺寸的测量值。

[0133] 第一受体元素相对于包含在覆盖部中的100摩尔Ti的摩尔数(A2)小于等于0.50mol,并且与第二受体元素相对于包含在覆盖部中的100摩尔Ti的摩尔数(T2)的关系满足 $A2/(A2+T2) < 0.30$ 。

[0134] [表1]

样品编号	电容形成部 (mol)		G1 (nm)	G2 (nm)	G1/G2
	A1 (mol)	A1/(A1+T1)			
测试示例 1	0.6	0.55	290	197	1.47
测试示例 2	0.5	0.5	242	201	1.20
测试示例 3	0.4	0.44	203	196	1.04
测试示例 4	0.3	0.38	167	204	0.82

[0136] 图5A至图7C是示出测试示例的介电层、覆盖部和电容形成部的严酷条件下的可靠性评估的曲线图。

[0137] 更具体地,图5A至图5D分别是使用SEM捕获的测试示例1至测试示例4的电容形成部的图像,并且提取并显示介电晶粒以易于通过程序确认。

[0138] 图6A至图6D分别是使用SEM捕获的测试示例1至测试示例4的覆盖部的图像,并且提取并显示介电晶粒以易于通过程序确认。

[0139] 图7A至图7C分别是示出测试示例1至测试示例3的严酷条件下的可靠性评估(高加速寿命测试(HALT))的曲线图。

[0140] 针对每个测试示例制造40个样品芯片,向每个测试示例的40个样品芯片施加105

℃的温度条件和15V的电压条件60小时,并且基于 $10^9\Omega$ 的初始绝缘电阻(IR0)值,将绝缘电阻(IR)值下降至小于等于 $10^4\Omega$ 的样品芯片评估为有缺陷并进行计数,并将绝缘电阻(IR)值未下降至小于等于 $10^4\Omega$ 的样品芯片评估为正常。

[0141] 在测试示例1中,40个样品芯片中的30个样品芯片被评估为有缺陷,在测试示例2中,40个样品芯片中的11个样品芯片被评估为有缺陷,并且在测试示例3中,40个样品芯片中的7个样品芯片被评估为有缺陷。

[0142] 可看出,从测试示例1到测试示例4,包括在电容形成部的介电层中的第一受体元素的量减小,介电晶粒的平均尺寸也减小,即使第一受体元素的量很小,也会发生向n型组合物的改变,绝缘电阻得到改善,结果在严酷条件下的可靠性评估期间,样品芯片故障的频率降低。

[0143] 另外,本说明书中使用的表述“实施例”并不意味着相同的实施例,而是可被提供以强调和描述每个实施例的独特特征。然而,上面呈现的实施例可不排除与其他实施例的特征组合实现。例如,除非关于特定实施例中描述的内容在其他实施例中存在相反或矛盾的描述,否则即使所述特定实施例中描述的内容未在所述其他实施例中描述,也可理解为与所述其他实施例相关的说明。

[0144] 本公开中使用的术语仅用于说明各种示例,而不旨在限制本发明构思。除非上下文另有明确说明,否则单数表述包括复数表述。

[0145] 本公开的许多效果中的一种在于提供具有优异的高温可靠性的多层电子组件。

[0146] 本公开的各种优点和效果不限于以上描述,并且在描述本公开的具体实施例的过程中将更易于理解。

[0147] 虽然上面已经示出和描述了示例实施例,但是对于本领域技术人员而言将易于理解的是,在不脱离由所附权利要求限定的本公开的范围的情况下,可进行修改和变型。

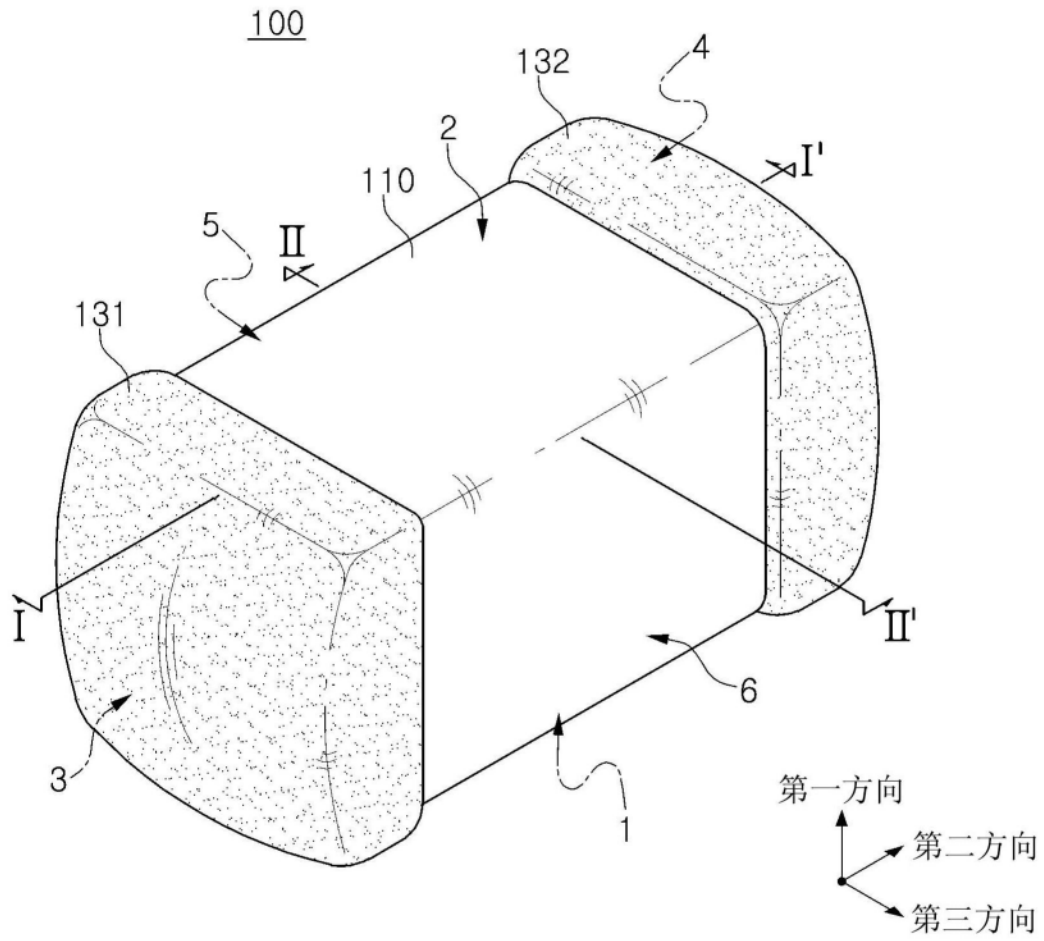


图1

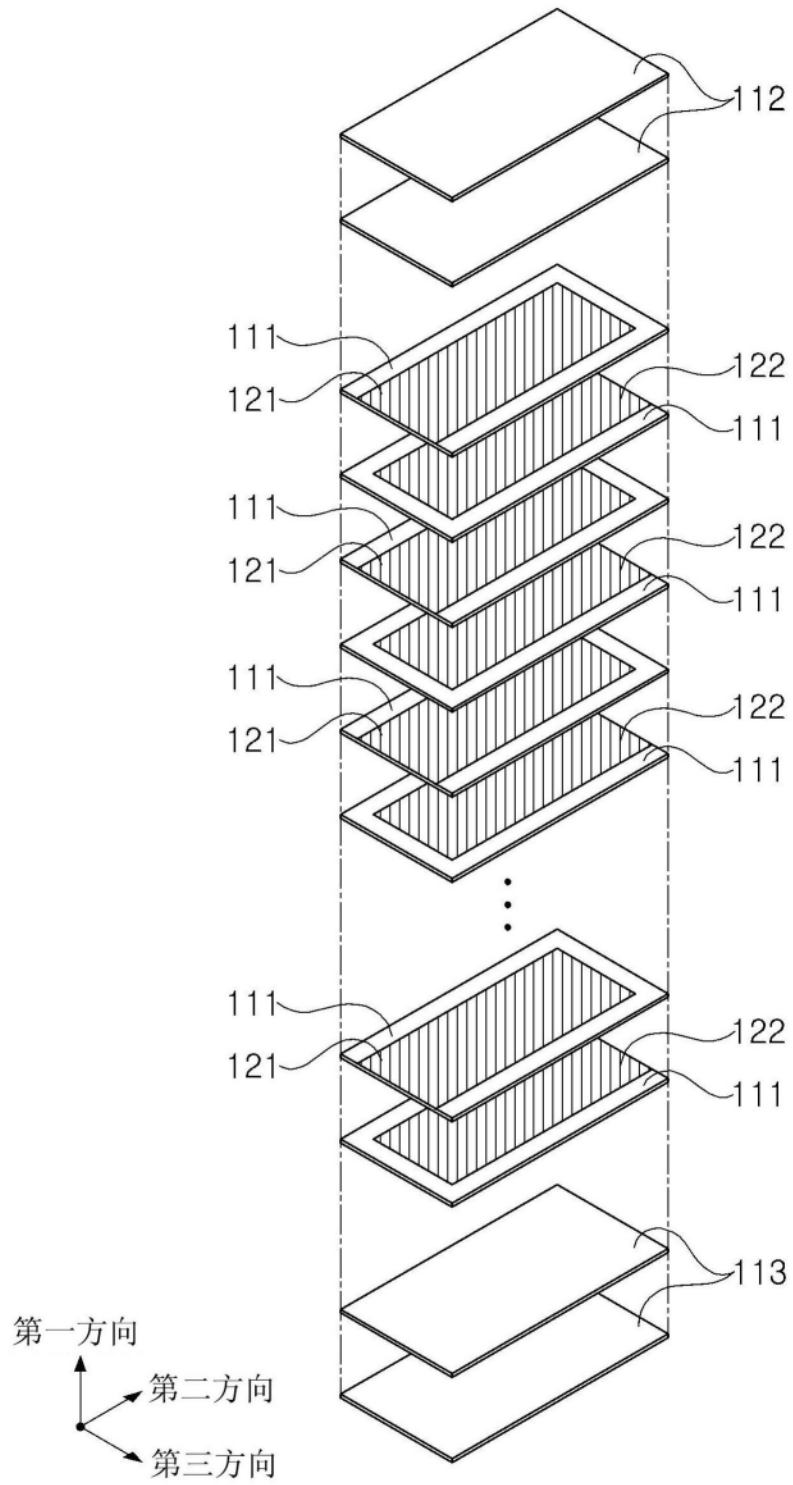


图2

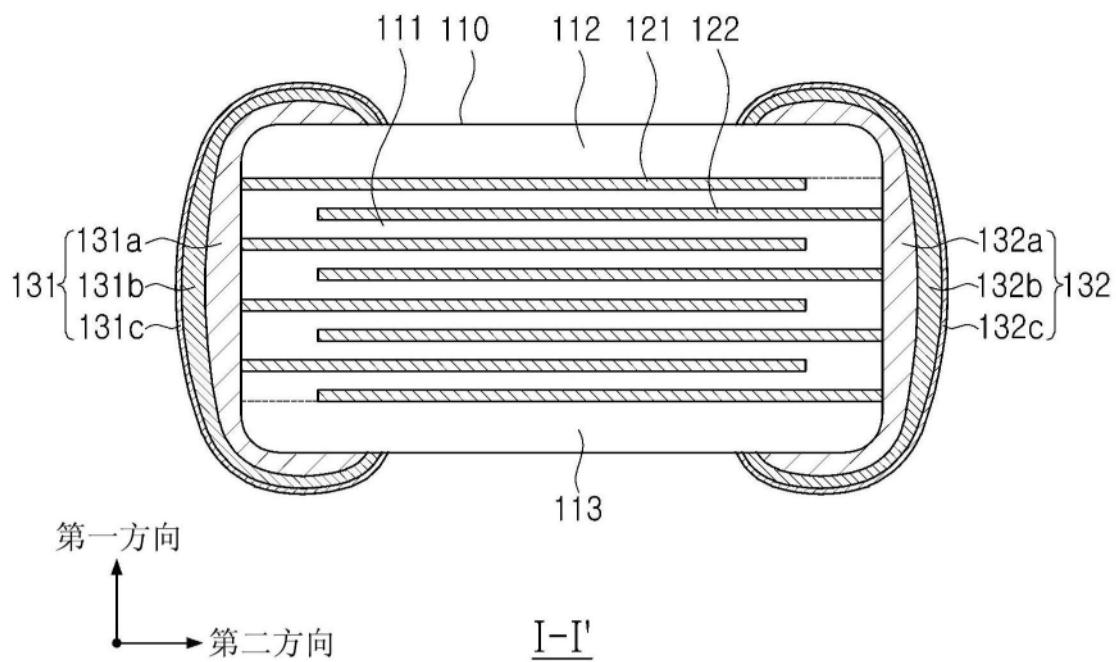


图3

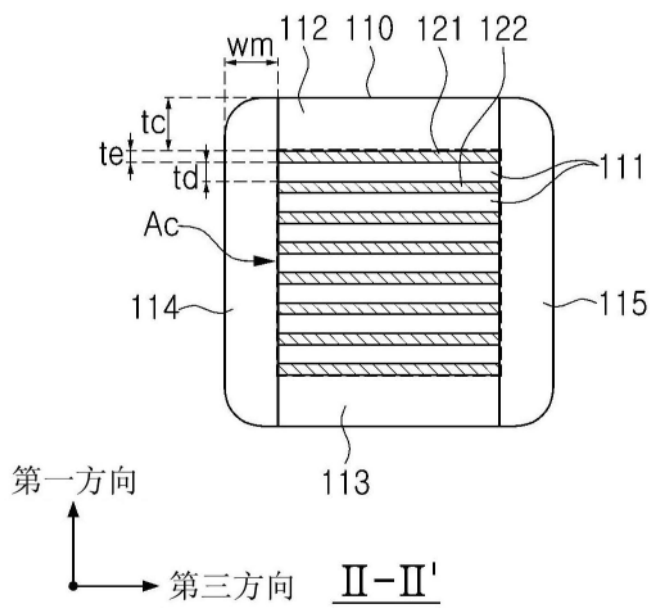


图4

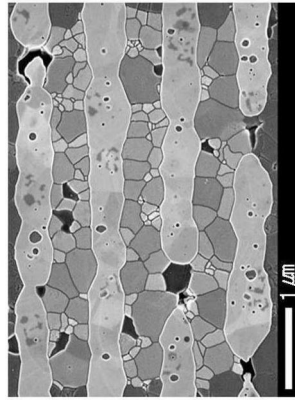


图5A

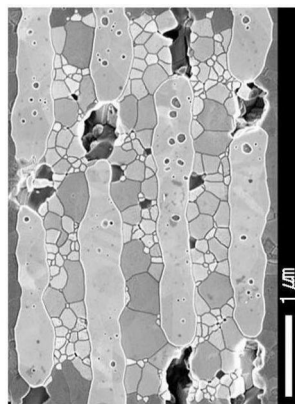


图5B

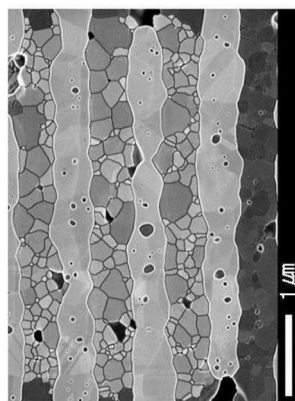


图5C

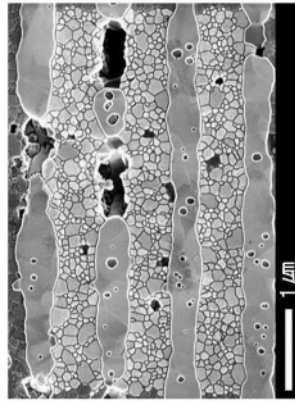


图5D

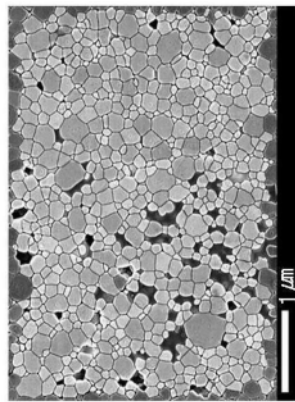


图6A

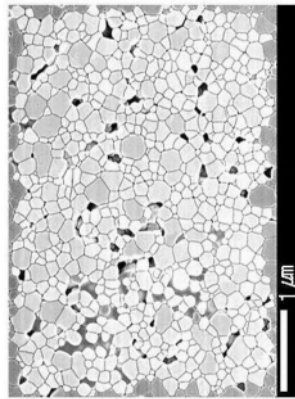


图6B

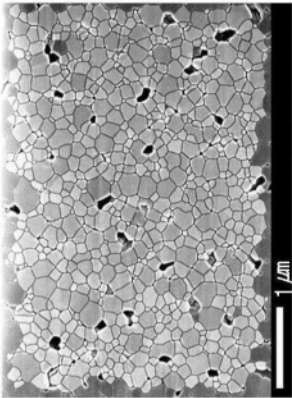


图6C

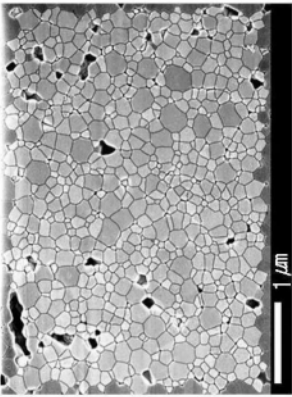


图6D

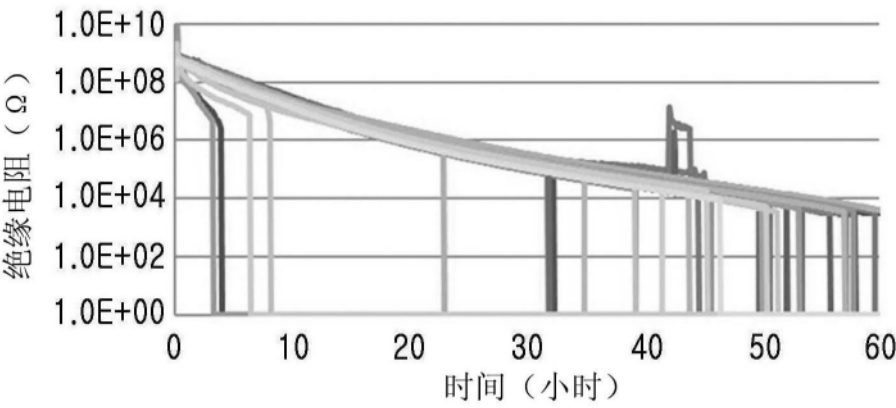


图7A

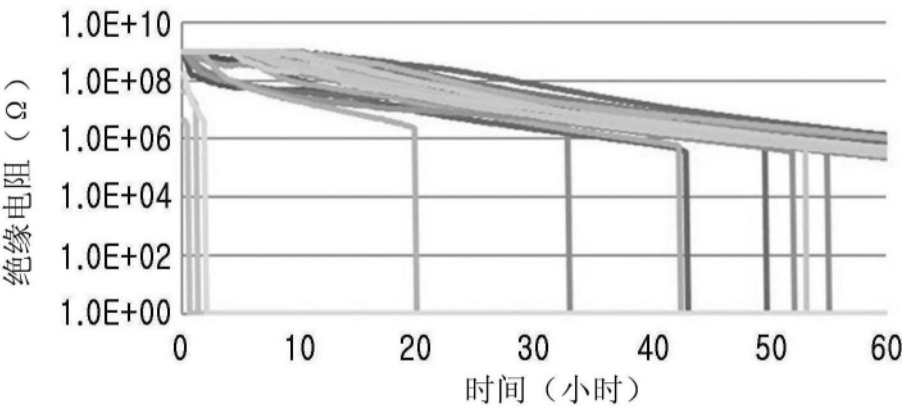


图7B

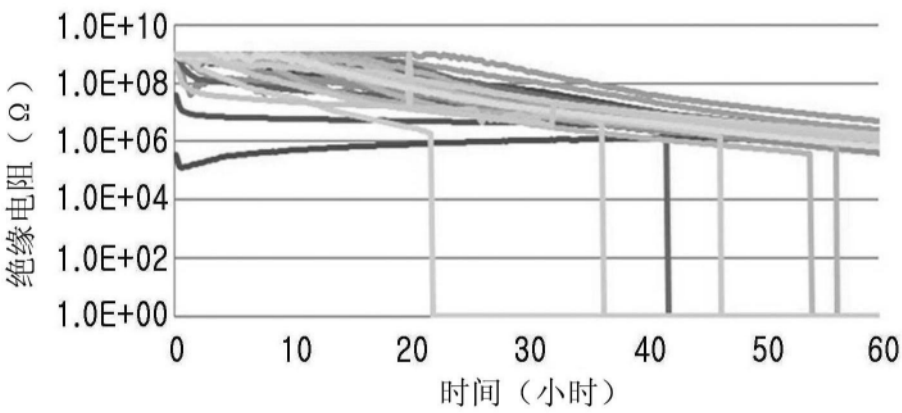


图7C