

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96119835

※申請日期：96.6.1

※IPC 分類：H03G3/20 (2006.01)

一、發明名稱：(中文/英文)

線性可程式開關電容增益放大器

二、申請人：(共1人)

姓名或名稱：(中文/英文)

盛群半導體股份有限公司

代表人：(中文/英文) 吳啟勇

住居所或營業所地址：(中文/英文)

新竹市科學工業園區研新二路3號

國籍：(中文/英文) 中華民國

三、發明人：(共1人)

姓名：(中文/英文)

陳議誠

國籍：(中文/英文)

中華民國

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種增益放大器，特別有關於一種線性可程式開關電容增益放大器。

【先前技術】

在一般較為常用的線性可程式開關電容增益放大器，會以 $\frac{1+x}{1-x}$ 來近似。若是遇到調整的範圍較大及準確度較高的應用時，會將整個線性可程式開關電容增益放大器分成兩段或數段來完成，如第七圖所示，係為習知技術以兩段完成線性可程式開關電容增益放大器之架構圖，及第八圖所示，係為習知技術以數段完成線性可程式開關電容增益放大器之架構圖。而最小有效位元 (LSB) 的那一個階段，一般會用近似線性的 $\frac{1+x}{1-x}$ 來實現 0~6dB，這樣的最大誤差大約有 -0.09dB，如第九圖所示，係為習知技術線性可程式開關電容增益放大器誤差值表示圖。雖然誤差不大，但這樣子有一個缺點，就是線性可程式開關電容增益放大器需要至少多一個增益階段 (gain stage)。

【發明內容】

有鑑於此，本發明係藉由在同一個增益階段使取樣電容及保持電容互為乘除關係，藉此來實現增益 $\text{gain (dB)} =$

取樣電容 C_S (dB)－保持電容 C_H (dB)，以在同一階段就可以完成整個可程式開關電容增益放大動作。

為達上述目的，本發明提供一種線性可程式開關電容增益放大器，包括一第一取樣電容陣列、一第一保持電容陣列、一運算放大器、一第二取樣電容陣列及一第二保持電容陣列。

前述之第一取樣電容陣列一端係透過一第一開關連接一正電壓輸入端，該第一取樣電容陣列係包括：一第一取樣電容；及複數個第二取樣電容開關組，該些第二取樣電容開關組係彼此並聯，且個別係具一第二取樣電容及一開關，其中該第二取樣電容係與該開關串聯；其中該第一取樣電容與該些第二取樣電容開關組並聯。

前述之第一保持電容陣列之一端係連接於該第一取樣電容陣列連接該正電壓輸入端之另一端，以及透過一第二開關連接一偏壓電壓，該第一保持電容陣列之另一端係透過一第三開關連接於一正電壓輸出端，以及透過一第四開關連接該偏壓電壓，該第一保持電容陣列係包括：複數個第一保持電容開關組，該些第一保持電容開關組係彼此並聯，且個別係具一第一保持電容及一開關，其中該保持第一電容係與該開關串聯。

前述之運算放大器之正輸入端係連接該第一取樣電容陣列及該第一保持電容陣列間，以及透過該第二開關連接該偏壓電壓，該運算放大器之負輸入端係透過第五開關連接該偏壓電壓，該運算放大器之負電壓輸出端係透過該第三開關連接到該第一保持電容陣列與該第四開關間，該運算放大器之正電壓輸出端係透過一第六開關連接該運算放

大器之負電壓輸出端。

前述之第二取樣電容陣列一端係透過一第七開關連接一負電壓輸入端，以及透過一第八開關連接至該第一開關與該第一取樣電容陣列間，該第二取樣電容陣列之另一端係連接至該第五開關與該運算放大器負電壓輸入端間，該第二取樣電容陣列係包括：一第三取樣電容；及複數個第四取樣電容開關組，該些第四取樣電容開關組係彼此並聯，且個別係具一第四取樣電容及一開關，其中該第四取樣電容係與該開關串聯；其中該第三取樣電容與該些第四取樣電容開關組並聯。

前述之第二保持電容陣列之一端係連接於該第二取樣電容陣列連接該負電壓入端之另一端，以及連接至該第五開關與該運算放大器負電壓輸入端間，該第二保持電容陣列之另一端係透過一第九開關連接於該負電壓輸出端，以及透過一第十開關連接該偏壓電壓，該第二保持電容陣列係包括：複數個第二保持電容開關組，該些第二保持電容開關組係彼此並聯，且個別係具一第二保持電容及一開關，其中該第二保持電容係與該開關串聯。

為了能更進一步瞭解本發明為達成預定目的所採取之技術、手段及功效，請參閱以下有關本發明之詳細說明與附圖，相信本發明之目的、特徵與特點，當可由此得一深入且具體之瞭解，然而所附圖式僅提供參考與說明用，並非用來對本發明加以限制者。

【實施方式】

請參閱第一圖，係為最大有效位元增益調整曲線圖，如圖所示，本發明是利用分段線性 (piece-wise linear) 的觀念，先

將整個增益曲線 (dB gain curve) 線性的切成 2^m 段，其中 m 表示最大有效位元 (MSB) 的位元 (bits) 數，而剩下的 n 位元就是最小有效位元 (LSB)，其總位元數 N 為 $m+n$ 。

一般的作法會分為兩個增益階段 (gain stage) 來實施 (implement)，其中一個階段負責 MSB，另一個階段負責 LSB。但是這樣的作法會多增加一個放大器 (OPAMP)，其不僅浪費面積也造成耗電增加。因此，本發明提出在同一個增益階段來同時實現 MSB 及 LSB 的線性增益調整 (dB-linear gain adjustment) 的方法。

由於 LSB 是碼元 (code) 比較小的部份，我們知道當 $x \rightarrow 0$ 時， $e^x \approx 1+x$ ，這表示我們可以將 LSB 以線性增加的方式來實現，而不會造成過大的誤差。另外，在 MSB 部份因為無法以 $\frac{1+x}{1-x}$ 來實現，且誤差會過大，所以本發明以先計算好的增益，直接以開關 (switch) 選擇的方式來實現。

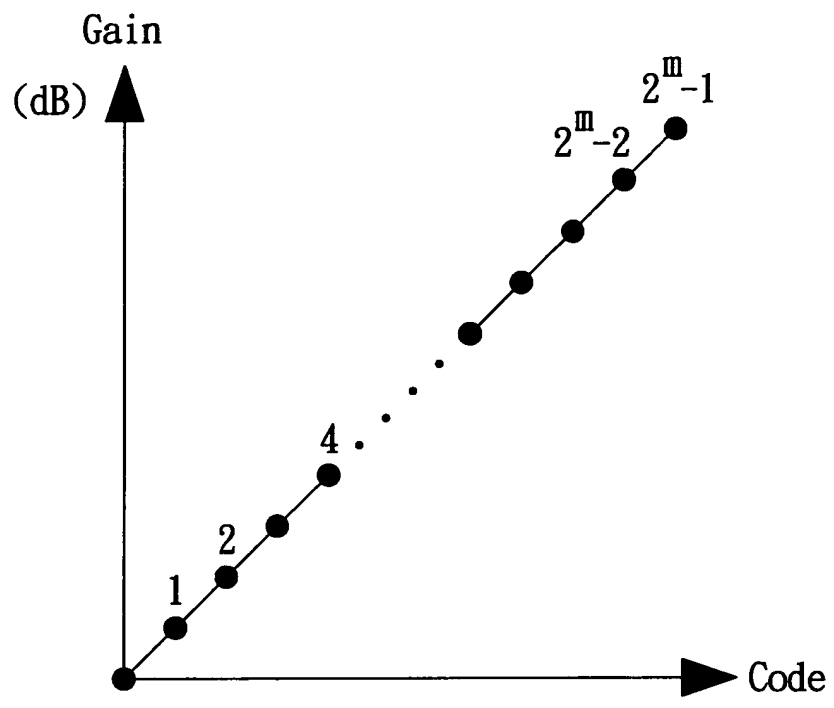
請參閱第二圖，係為一般典型的開關電容增益放大器電路圖。當一般開關電容增益放大器 2 在取樣階段 (sampling phase) 時，第一開關 21、第二開關 22、第四開關 24、第五開關 25、第六開關 26、第七開關 27 及第十開關 30 為閉合 (邏輯 1, high) 而第三開關 23、第八開關 28 及第九開關 29 為斷開 (邏輯 0, low)，此時取樣電容陣列 (sampling capacitor array) C221、C222 分別一端接在正電壓輸入端 VIN+ 及負電壓輸入端 VIN-，而另一端則接在偏壓電壓 VBIAS 上；保持電容陣列 (hold capacitor string) C231、C232 則兩端都接在偏壓電壓 VBIAS；運算放大器 240 成一開迴路 (open-loop) 狀態，其正輸出電壓端 VOUT+ 及負輸出電壓端 VOUT- 藉由第六開關 26 被短路在一起。

五、中文發明摘要：

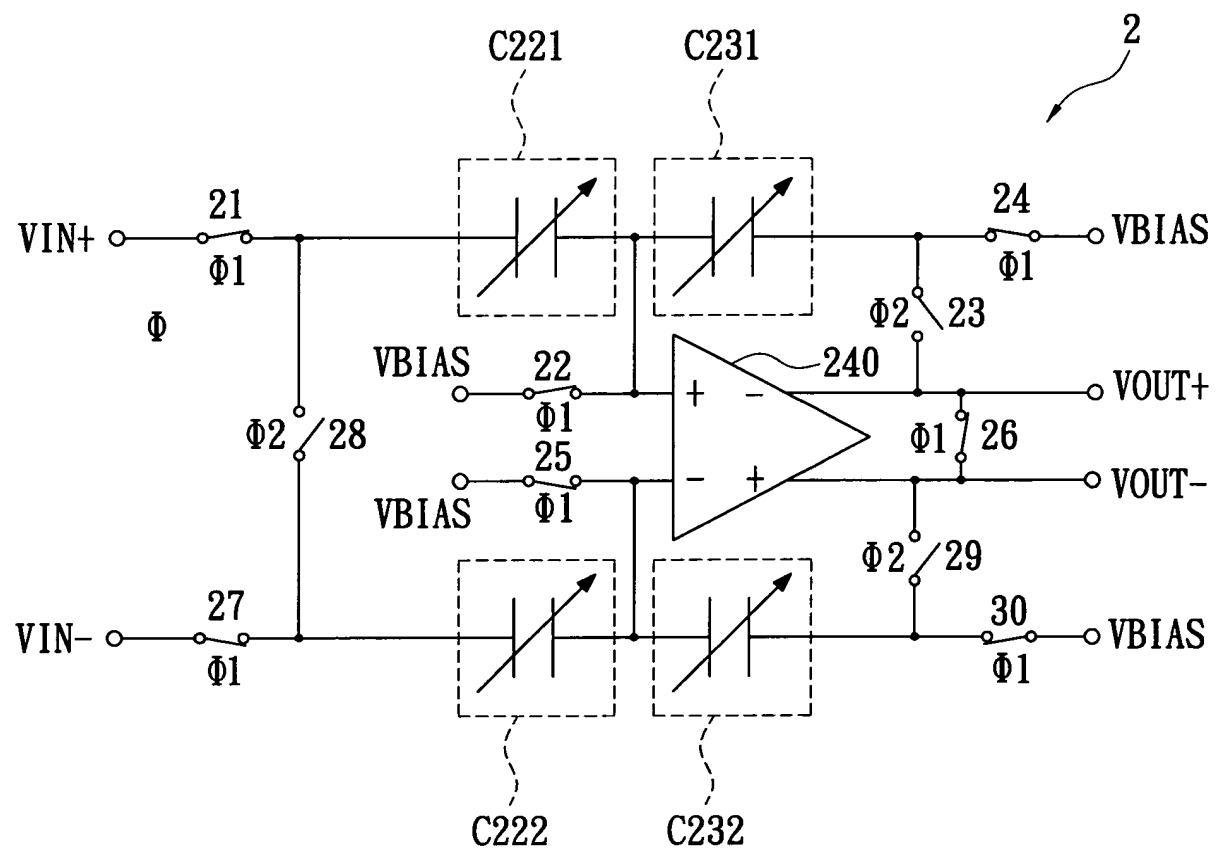
一種線性可程式開關電容增益放大器，係利用分段線性的觀念，先將整個增益曲線線性的切成若干段，接著於同一個增益階段來同時實現最大有效位元 MSB 及最小有效位元 LSB 的線性增益調整。本發明透過設定取樣電容陣列及保持電容陣列中之各電容值，再配合電容開關之切換及取樣電容陣列及保持電容陣列間的安排來達到可程式開關電容增益放大器之線性化。

六、英文發明摘要：

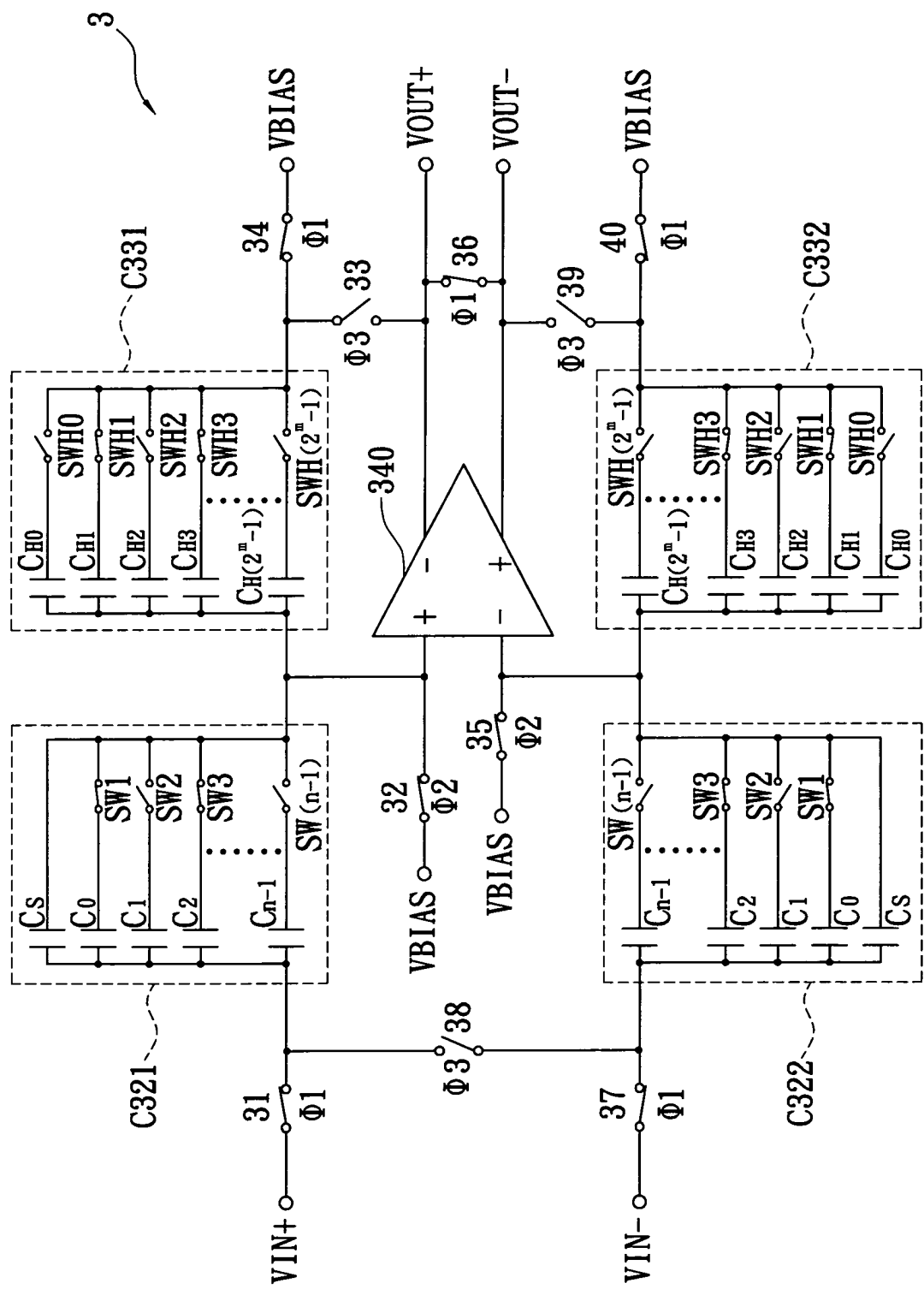
A linear programmable switch-capacitance gain amplifier (PGA) is described. The PGA divides the dB-gain curve into several parts by the concept of piece-wise linear, and then simultaneously executes the dB-linear gain adjustment of the MSB and the LSB at the same gain stage. Present invention achieves the PGA dB-linear by setting up every capacitance of the sampling capacitor array and the holding capacitor array, switching the capacitor switches and arranging the sampling capacitor array and the holding capacitor array.



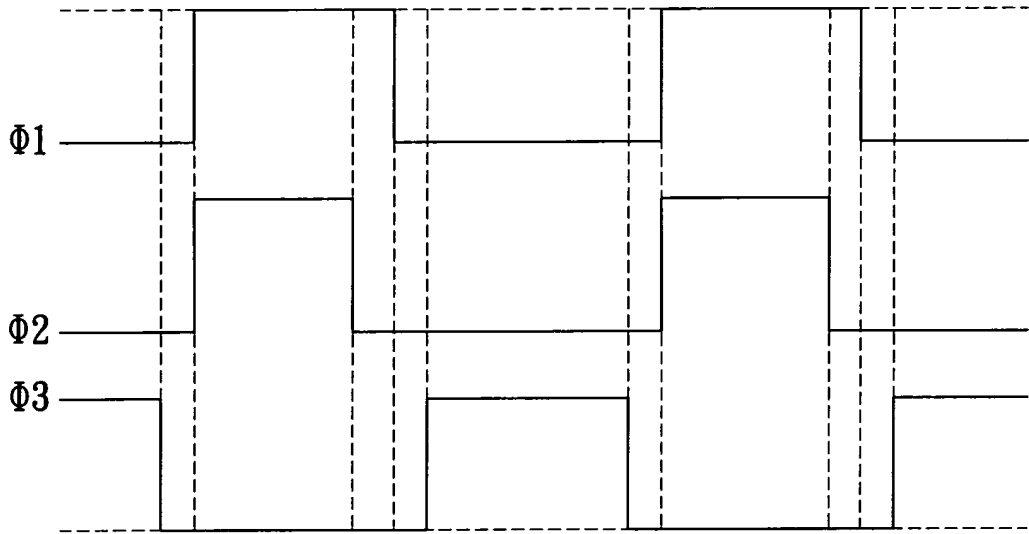
第一圖



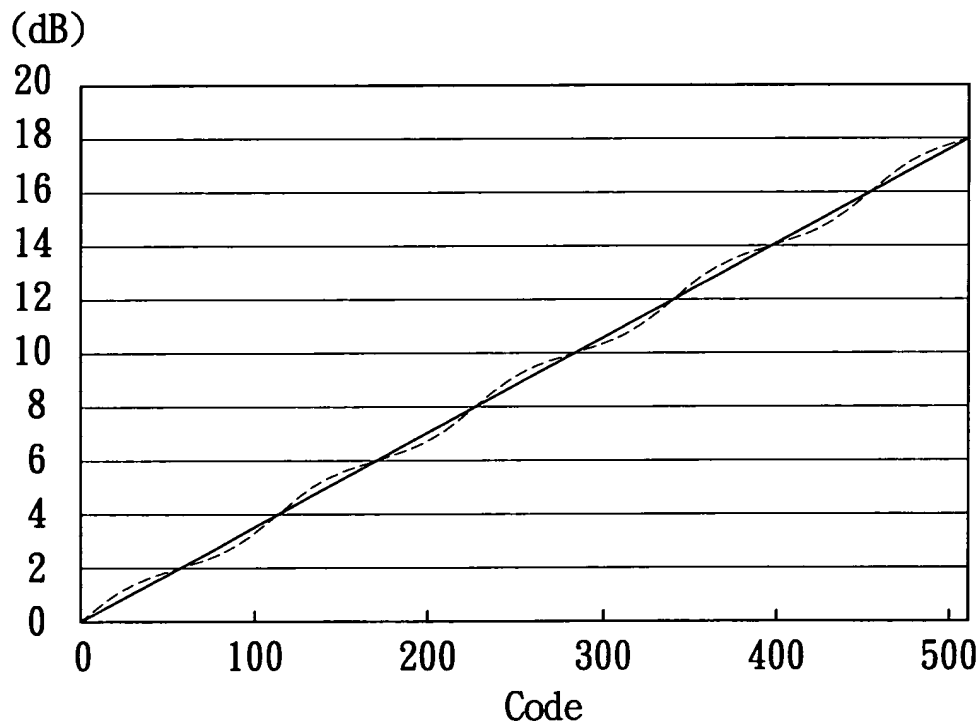
第二圖



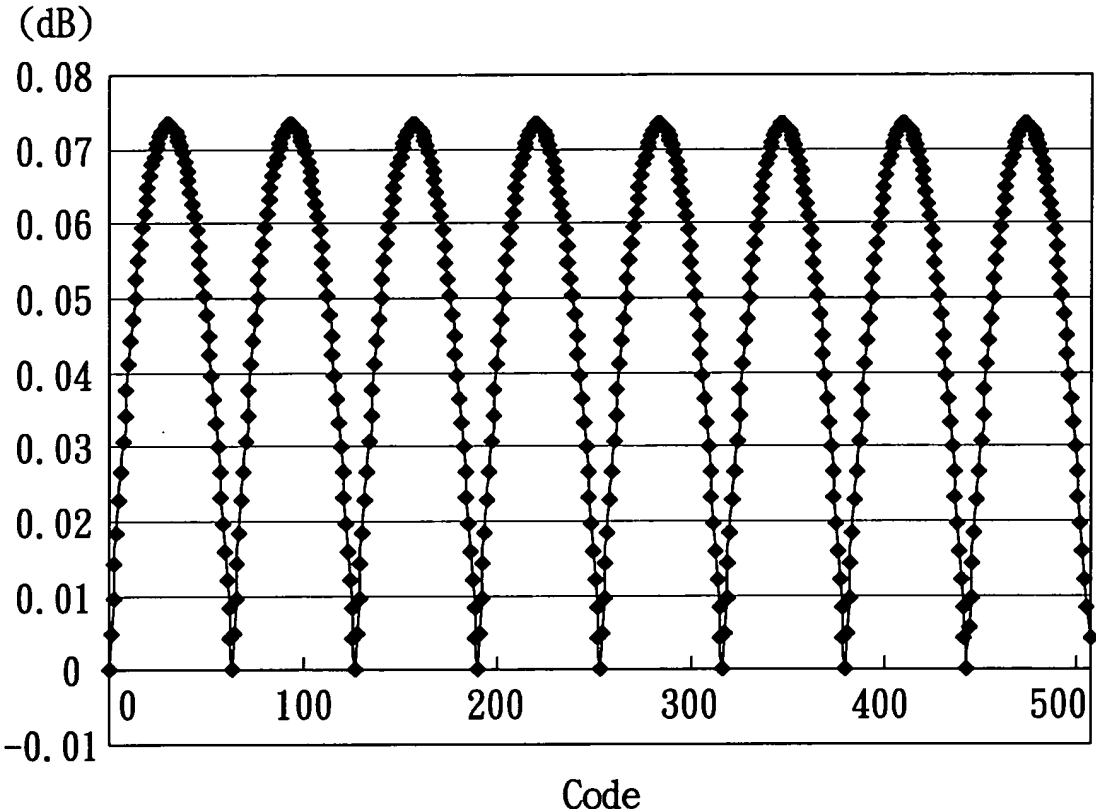
第三A圖



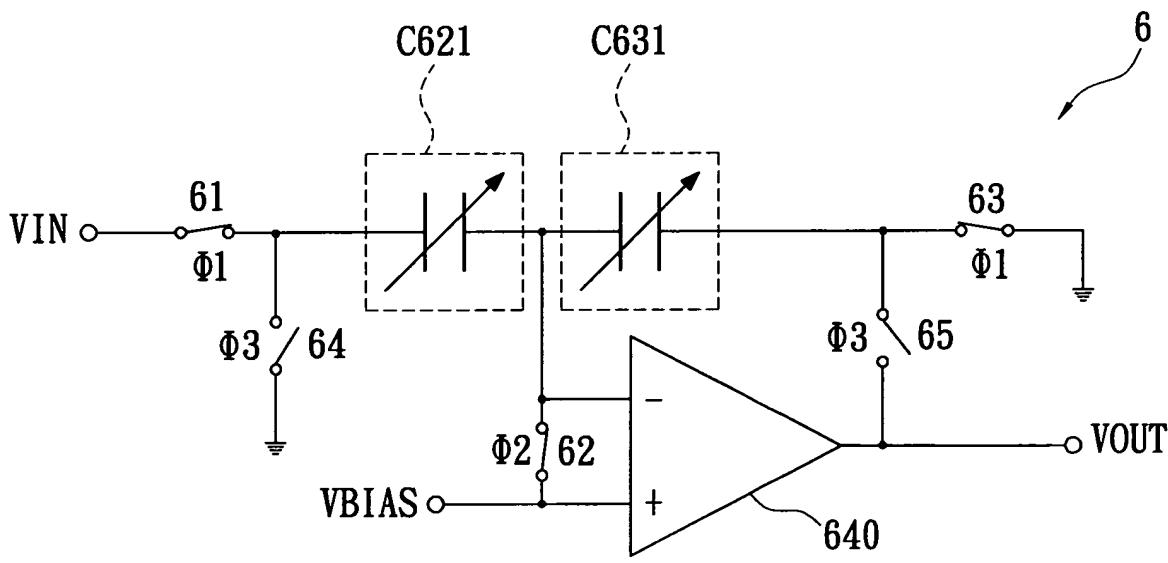
第三B圖



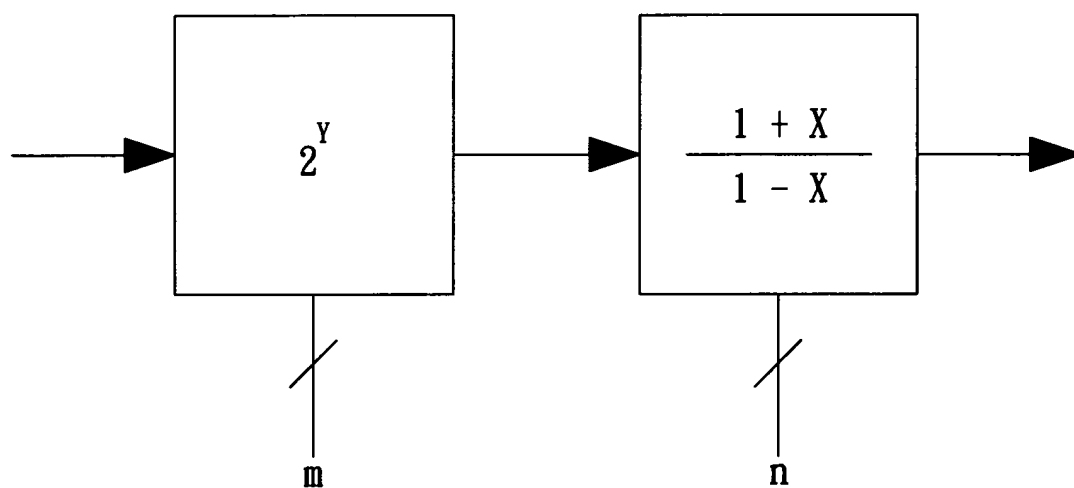
第四圖



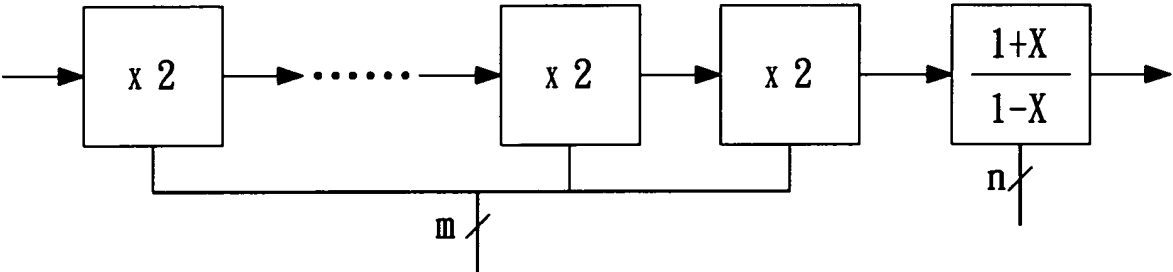
第五圖



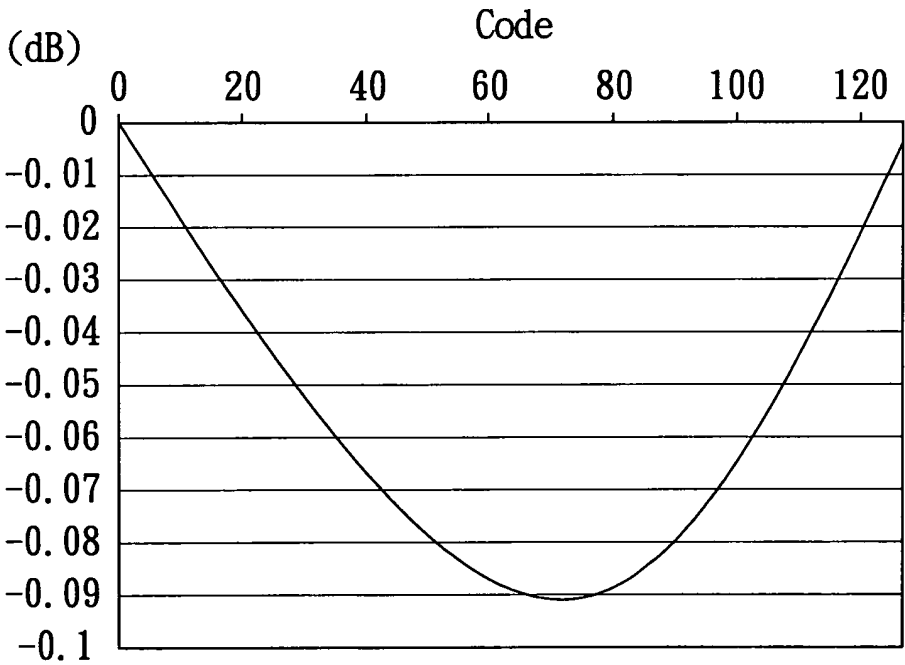
第六圖



第七圖
(習知技術)



第八圖
(習知技術)



第九圖
(習知技術)

七、指定代表圖：

(一)本案指定代表圖為：第(三A)圖。

(二)本代表圖之元件符號簡單說明：

線性可程式開關電容增益放大器 3

第一開關 31

第二開關 32

第三開關 33

第四開關 34

第五開關 35

第六開關 36

第七開關 37

第八開關 38

第九開關 39

第十開關 40

取樣電容陣列 C321 (第一取樣電容陣列)、

C322 (第二取樣電容陣列)

保持電容陣列 C331 (第一保持電容陣列)、

C332 (第二保持電容陣列)

運算放大器 340

電容 C_s 、 $C_0 \sim C_{n-1}$ 、 $CH_0 \sim CH(2^m-1)$

開關 $SW_1 \sim SW_{n-1}$ 、 $SWH_0 \sim SWH(2^m-1)$

正電壓輸入端 V_{IN+}

負電壓輸入端 V_{IN-}

偏壓電壓 V_{BIAS}

正輸出電壓端 V_{OUT+}

負輸出電壓端 V_{OUT-}

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

當在保持階段 (hold phase) 時，第一開關 21、第二開關 22、第四開關 24、第五開關 25、第六開關 26、第七開關 27 及第十開關 30 為斷開 (邏輯 0, low)，而第三開關 23、第八開關 28 及第九開關 29 為閉合 (邏輯 1, high)，此時取樣電容陣列 C221、C222 中的電荷會移轉到保持電容陣列 C231、C232 中。根據電荷守恒原理，運算放大器 240 可以得到 $V_{OUT+} - V_{OUT-} = \frac{C_{221}}{C_{231}} * (V_{IN+} - V_{IN-})$ 一放大輸出，其中該方程式是當電容陣列 C221 的電容值等於電容陣列 C222 的電容值，且電容陣列 C231 的電容值等於電容陣列 C232 的電容值時方成立。

接著參閱第三 A 圖，係為本發明線性可程式開關電容增益放大器之電路圖，並同時參閱第三 B 圖，係為本發明線性可程式開關電容增益放大器各開關時序圖。當第一開關 31、第四開關 34、第六開關 36、第七開關 37 及第十開關 40 受第一時鐘訊號 $\Phi 1$ 控制為閉合 (邏輯 1, high)，此時正電壓輸入端 V_{IN+} 及負電壓輸入端 V_{IN-} 之類比輸入信號 (analog input signal) 會以電荷型式儲存在取樣電容陣列 C321 (第一取樣電容陣列)、C322 (第二取樣電容陣列) 中。而保持電容陣列 C331 (第一保持電容陣列)、C332 (第二保持電容陣列) 的電容因為兩端都接到偏壓電壓 V_{BIAS} 相同電位，所以電荷為 0。接著，在第一開關 31、第四開關 34、第六開關 36、第七開關 37 及第十開關 40 受第一時鐘訊號 $\Phi 1$ 斷開 (邏輯 0, low) 之前，第二開關 32 及第五開關 35 受第二時鐘訊號 $\Phi 2$ 控制會先切為斷開 (邏輯 0, low)，也就是傳統所謂底部取樣 (bottom sampling) 方式。最後，第三開關 33、第八開關 38 及第九開關 39 受第三時鐘訊號 $\Phi 3$

控制為閉合 (邏輯 1, high)，將儲存在取樣電容陣列 C321、C322 的電荷移轉到保持電容陣列 C331、C332，而在正電壓輸出端 VOUT+ 與負電壓輸出端 VOUT- 之間產生放大的電壓；其 $VOUT_+ - VOUT_- = (VIN_+ - VIN_-) * (C321 / C331)$ ，或 $VOUT_+ - VOUT_- = (VIN_+ - VIN_-) * (C322 / C332)$ 。

在取樣電容陣 C321、C322 及保持電容陣列 C331、C332 中，各電容之關係如下公式：

$$C_{n-1} = 2 * C_{n-2} = 4 * C_{n-3} = \dots = 2^{n-1} * C_0 \quad (\text{公式一})$$

$$C_{Hx} = \frac{C_S}{10^{\frac{\max_{dB_gain} \cdot x}{20} \cdot \frac{1}{2^m}}} \quad (\text{公式二})$$

$$\frac{C_0}{C_S} \times 2^n = \frac{C_{H0}}{C_{H1}} - 1 \quad (\text{公式三})$$

其中 $x = 0 \sim 2^m - 1$ ，藉由公式二可以得到保持電容陣列 C331、C332 中電容 CHx 與取樣電容陣列 C321、C322 中之電容 Cs 的關係；又根據公式三，係可以算出取樣電容陣列 C321、C322 中電容 C0 與 Cs 的關係。

因為線性可程式開關電容增益放大器 3 之增益係為 $PGA \text{ gain } (2^n \cdot x + p) = \frac{C_S + C_0 \cdot p}{C_{Hx}} = \frac{C_S}{C_{Hx}} \cdot \frac{C_S + C_0 \cdot p}{C_S}$ ，其中 $p = 0 \sim 2^n - 1$

而 $x = 0 \sim 2^m - 1$ 。接著若將 PGA gain 取 dB，則表示為 dB_gain

$$(2^n \cdot x + p) = 20 \cdot \log\left(\frac{C_S}{C_{Hx}}\right) + 20 \cdot \log\left(1 + p \cdot \frac{C_0}{C_S}\right)，因而可得到分段線性近似$$

(piece-wise linear approximation) 的線性增益調整轉移曲線 (linear-in-dB gain adjustment transfer curve)。

另一方面，二位元 PGA 碼 (binary PGA code) 係分成 m 位

元 MSB 及 n 位元 LSB。其中 MSB 的二位元碼 (binary code) 會經過一解碼器解碼，以產生控制保持電容陣列 C331、C332 中電容 $CH_x (x = 0 \sim 2^m - 1)$ 所對應之開關 ($SWH_x, x = 0 \sim 2^m - 1$) 的切換；而 LSB 的二位元碼則直接控制取樣電容陣列 C321、C322 中電容 $C_x (x = 0 \sim n - 1)$ 所對應之開關 ($SW_x, x = 0 \sim n - 1$) 的切換。

所以，本發明是透過上述公式實現各電容值，再配合取樣電容陣列 C321、C322 及保持電容陣列 C331、C332 的巧妙安排來達到可程式開關電容增益放大器之線性化 (PGA dB-linear)，較傳統的取樣電容陣列配合保持電容陣列為一固定值，然後在保持階段調整取樣電容陣列及保持電容陣列中的電容值的方式 $(1+x)/(1-x)$ 的近似線性 (dB-linear) 方式更加精確。而且只用一個運算放大器就完成大範圍的可程式開關電容增益放大器增益 (PGA gain)，較傳統要用到兩個或多個運算放大器更能節省面積和消耗功率。

接著，以一個最大增益 (max dB gain) 為 18.0625 dB，9 位元的線性增益調整 (dB linear gain adjustment) 為例。1 LSB = max dB gain / 511 $\doteq$ 0.035 dB。先假設最大有效位元 (MSB) 的位元數 $m=3$ ，最小有效位元 (LSB) 的位元數 $n=6$ ，且電容 $C_s = 5000\text{fF}$ 。由前述的公式可以算出保持電容陣列 C331、C332 中的 $CH_0 = 5000\text{fF}$ ， $CH_1 = 3855.5\text{fF}$ ， $CH_2 = 2973.0\text{fF}$ ， $CH_3 = 2292.4\text{fF}$ ， $\dots$ ， $CH_7 = 810.5\text{fF}$ 。以及取樣電容陣列 C321、C322 中的 $C_0 = 23.2\text{fF}$ ， $C_1 = 2 * C_0 = 46.4\text{fF}$ ， $C_2 = 2 * C_1 = 92.8\text{fF}$ ， $\dots$ ， $C_5 = 742.4\text{fF}$ 。將此數據代入模擬可以得到如第四圖及第五圖的結果，其中第四圖係為 PGA code 對 PGA gain (dB) 的轉移曲線圖，其實線為上述數據模擬結果，虛線為理想結果；而第五圖是模擬值與理想值的誤差表示圖。由第四圖及第五圖

可知本發明之線性可程式開關電容增益放大器係實現一接近理想之線性增益曲線。

接著參閱第六圖，係為本發明單邊線性可程式開關電容增益放大器之電路圖，其工作原理係如前述，取樣電容陣列 C621 及保持電容陣列 C631 中之各電容值係由公式一、二及三來決定，藉由第一時鐘訊號（如第三 B 圖之 $\Phi 1$ ）控制第一開關 61 及第三開關 63，第二時鐘訊號（如第三 B 圖之 $\Phi 2$ ）控制第二開關 62，與第三時鐘訊號（如第三 B 圖之 $\Phi 3$ ）控制第四開關 64 及第五開關 65，來操作取樣電容陣列 C621 及保持電容陣列 C631 中電荷之轉換。取樣電容陣列 C621 及保持電容陣列 C631 中電容率之調整，亦如前所述，由 MSB 的二位元碼(binary code) 經過一解碼器解碼，來控制保持電容陣列 C631 中電容 $CH_x(x = 0 \sim 2^m - 1)$ 所對應之開關的切換；而 LSB 的二位元碼則直接控制取樣電容陣列 C621 中電容 $C_x(x = 0 \sim n - 1)$ 所對應之開關的切換，其中， m 為 MSB 的位元數， n 為 LSB 的位元數。藉此使單邊線性可程式開關電容增益放大器 6 實現一接近理想之線性增益曲線。

綜上所述，本發明之線性可程式開關電容增益放大器可於同一階段就可以完成整個可程式增益放大之功能，如此不僅可以簡化設計以節省成本，同時可以降低耗電流，所以很適合用在消費性、可攜式裝置之應用上。

上所述者，僅為本發明其中的較佳實施例而已，並非用來限定本發明的實施範圍；即凡依本發明申請專利範圍所作的均等變化與修飾，皆為本發明專利範圍所涵蓋。

【圖式簡單說明】

第一圖係為最大有效位元增益調整曲線圖；

第二圖係為一般典型的開關電容增益放大器電路圖；

第三 A 圖係為本發明線性可程式開關電容增益放大器之電路圖；

第三 B 圖係為本發明線性可程式開關電容增益放大器各開關時序圖；

第四圖係為 PGA code 對 PGA gain (dB) 的轉移曲線圖；

第五圖係為轉移曲線模擬值與理想值的誤差表示圖；

第六圖係為本發明單邊線性可程式開關電容增益放大器之電路圖；

第七圖係為習知技術以兩段完成線性可程式開關電容增益放大器之架構圖；

第八圖係為習知技術以數段完成線性可程式開關電容增益放大器之架構圖；及

第九圖係為習知技術線性可程式開關電容增益放大器誤差值表示圖。

【主要元件符號說明】

一般開關電容增益放大器 2

線性可程式開關電容增益放大器 3、6

第一開關 21、31、61

第二開關 22、32、62

第三開關 23、33、63

第四開關 24、34、64

第五開關 25、35、65

第六開關 26、36

第七開關 27、37

第八開關 28、38

第九開關 29、39

第十開關 30、40

取樣電容陣列 C221、C222、C321、C322、C621

保持電容陣列 C231、C232、C331、C332、C631

運算放大器 240、340、640

電容 C_s 、 $C_0 \sim C_{n-1}$ 、 $CH_0 \sim CH(2^m-1)$

開關 $SW_1 \sim SW_{n-1}$ 、 $SWH_0 \sim SWH(2^m-1)$

正電壓輸入端 $VIN+$

負電壓輸入端 $VIN-$

偏壓電壓 $VBIAS$

正輸出電壓端 $VOUT+$

負輸出電壓端 $VOUT-$

第一時鐘訊號 $\Phi 1$

第二時鐘訊號 $\Phi 2$

第三時鐘訊號 $\Phi 3$

十、申請專利範圍：

1、一種線性可程式開關電容增益放大器，包括：

一第一取樣電容陣列，該第一取樣電容陣列一端係透過一第一開關連接一正電壓輸入端，該第一取樣電容陣列係包括：

一第一取樣電容；及

複數個第二取樣電容開關組，該些第二取樣電容開關組係彼此並聯，且個別係具一第二取樣電容及一開關，其中該第二取樣電容係與該開關串聯；

其中該第一取樣電容與該些第二取樣電容開關組並聯；

一第一保持電容陣列，該第一保持電容陣列之一端係連接於該第一取樣電容陣列連接該正電壓輸入端之另一端，以及透過一第二開關連接一偏壓電壓，該第一保持電容陣列之另一端係透過一第三開關連接於一正電壓輸出端，以及透過一第四開關連接該偏壓電壓，該第一保持電容陣列係包括：

複數個第一保持電容開關組，該些第一保持電容開關組係彼此並聯，且個別係具一第一保持電容及一開關，其中該第一保持電容係與該開關串聯；

一運算放大器，該運算放大器之正輸入端係連接該第一取樣電容陣列及該第一保持電容陣列間，以及透過該第二開關連接該偏壓電壓，該運算放大器之負輸入端係透過一第五開關連接該偏壓電壓，該運算放大器之負電壓輸出端係透過該第三開關連接到該第一保持

電容陣列與該第四開關間，該運算放大器之正電壓輸出端係透過一第六開關連接該運算放大器之負電壓輸出端；

一第二取樣電容陣列，該第二取樣電容陣列一端係透過一第七開關連接一負電壓輸入端，以及透過一第八開關連接至該第一開關與該第一取樣電容陣列間，該第二取樣電容陣列之另一端係連接至該第五開關與該運算放大器負電壓輸入端間，該第二取樣電容陣列係包括：

一第三取樣電容；及

複數個第四取樣電容開關組，該些第四取樣電容開關組係彼此並聯，且個別係具一第四取樣電容及一開關，其中該第四取樣電容係與該開關串聯；

其中該第三取樣電容與該些第四取樣電容開關組並聯；

一第二保持電容陣列，該第二保持電容陣列之一端係連接於該第二取樣電容陣列連接該負電壓入端之另一端，以及連接至該第五開關與該運算放大器負電壓輸入端間，該第二保持電容陣列之另一端係透過一第九開關連接於該負電壓輸出端，以及透過一第十開關連接該偏壓電壓，該第二保持電容陣列係包括：

複數個第二保持電容開關組，該些第二保持電容開關組係彼此並聯，且個別係具一第二保持電容及一開關，其中該第二保持電容係與該開關串聯；

其中該第一開關、該第四開關、該第六開關、該第七開

關及該第十開關係由一第一時鐘訊號控制，該第二開關及該第五開關係由一第二時鐘訊號控制，該第三開關、第八開關及該第九開關係由一第三時鐘訊號控制。

- 2、如申請專利範圍第 1 項所述之線性可程式開關電容增益放大器，其中該線性可程式開關電容增益放大器之增益曲線係分為 2^m 段，其中 m 表示最大有效位元 (MSB) 的位元數。
- 3、如申請專利範圍第 2 項所述之線性可程式開關電容增益放大器，其中該線性可程式開關電容增益放大器之二位元 PGA 碼之總位元數係為最大有效位元 (MSB) 的位元數加上最小有效位元 (LSB) 之位元數。
- 4、如申請專利範圍第 2 項所述之線性可程式開關電容增益放大器，其中串接於該些第一保持電容之該些開關，及串接於該些第二保持電容之該些開關係由最大有效位元 (MSB) 的二位元碼經過一解碼器解碼來控制。
- 5、如申請專利範圍第 3 項所述之線性可程式開關電容增益放大器，其中串接於該些第二取樣電容之該些開關，及串接於該些第四取樣電容之該些開關係由最小有效位元 (LSB) 的二位元碼來控制。
- 6、如申請專利範圍第 3 項所述之線性可程式開關電容增益放大器，其中該些第二取樣電容開關組中之該些第二取樣電容間的關係，及該些第四取樣電容開關組中之該些第四取樣電容間的關係為：

$$C_{n-1} = 2 * C_{n-2} = 4 * C_{n-3} = \dots = 2^{n-1} * C_0$$

其中 n 表示最小有效位元 (LSB) 之位元數。

- 7、如申請專利範圍第 3 項所述之線性可程式開關電容增益放大器，其中該第一取樣電容與該些第一保持電容的關係，及該第三取樣電容與該些第二保持電容的關係為：

$$C_{Hx} = \frac{C_S}{10^{\frac{\max_{dB_gain} \times x}{20} \times \frac{1}{2^m}}}$$

其中 C_S 係為該第一取樣電容或該第三取樣電容， C_{Hx} 係為該些第一保持電容或該些第二保持電容，x 為 $0 \sim 2^m - 1$ ，m 表示最大有效位元 (MSB) 之位元數。

- 8、如申請專利範圍第 7 項所述之線性可程式開關電容增益放大器，其中該第一取樣電容與該些第二取樣電容中電容值最小之第二取樣電容之關係，及第三取樣電容與該些第四取樣電容中電容值最小之第四取樣電容之關係為：

$$\frac{C_0}{C_S} \times 2^n = \frac{C_{H0}}{C_{H1}} - 1$$

其中 C_0 為該些第二取樣電容中電容值最小之第二取樣電容或該些第四取樣電容中電容值最小之第四取樣電容，n 表示最小有效位元 (LSB) 之位元數。

- 9、一種線性可程式開關電容增益放大器，包括：
一第一取樣電容陣列，該第一取樣電容陣列一端係透過一第一開關連接一電壓輸入端，該第一取樣電容陣列

之另一端係透過一第四開關接地，該第一取樣電容陣列係包括：

一第一取樣電容；及

複數個第二取樣電容開關組，該些第二取樣電容開關組係彼此並聯，且個別係具一第二取樣電容及一開關，其中該第二取樣電容係與該開關串聯；

其中該第一取樣電容與該些第二取樣電容開關組並聯；

一第一保持電容陣列，該第一保持電容陣列之一端係連接於該第一取樣電容陣列連接該電壓入端之另一端，該第一保持電容陣列之另一端係透過一第三開關連接地端，該第一保持電容陣列係包括：

複數個第一保持電容開關組，該些第一保持電容開關組係彼此並聯，且個別係具一第一保持電容及一開關，其中該保持第一電容係與該開關串聯；及

一運算放大器，該運算放大器之負輸入端係連接至該第一取樣電容陣列及該第一保持電容陣列間，以及透過一第二開關連接該運算放大器之正輸入端，該運算放大器之正輸入端係連接該偏壓電壓，該運算放大器之電壓輸出端係透過一第五開關連接至該第一保持電容陣列及該第三開關間；

其中該第一開關及該第三開關係由一第一時鐘訊號控制，該第二開關係由一第二時鐘訊號控制，該第四開關及該第五開關係由一第三時鐘訊號控制。

10、如申請專利範圍第 9 項所述之線性可程式開關電容增益

放大器，其中該線性可程式開關電容增益放大器之增益曲線係分為 2^m 段，其中 m 表示最大有效位元（MSB）之位元數。

- 11、如申請專利範圍第 10 項所述之線性可程式開關電容增益放大器，其中該線性可程式開關電容增益放大器之二位元 PGA 碼之總位元數係為最大有效位元（MSB）之位元數加上最小有效位元（LSB）之位元數。
- 12、如申請專利範圍第 10 項所述之線性可程式開關電容增益放大器，其中串接於該些第一保持電容之該些開關，係由最大有效位元（MSB）的二位元碼經過一解碼器解碼來控制。
- 13、如申請專利範圍第 11 項所述之線性可程式開關電容增益放大器，其中串接於該些第二取樣電容之該些開關，係由最小有效位元（LSB）的二位元碼來控制。
- 14、如申請專利範圍第 11 項所述之線性可程式開關電容增益放大器，其中該些第二取樣電容開關組中之該些第二取樣電容間的關係為：

$$C_{n-1} = 2 * C_{n-2} = 4 * C_{n-3} = \dots = 2^{n-1} * C_0$$

其中 n 表示最小有效位元（LSB）之位元數。

- 15、如申請專利範圍第 11 項所述之線性可程式開關電容增益放大器，其中該第一取樣電容與該些第一保持電容的關係為：

$$C_{Hx} = \frac{C_S}{10^{\frac{\max_{dB_gain} \times x}{20} \times \frac{x}{2^m}}}$$

其中 C_s 係為該第一取樣電容， CH_x 係為該些第一保持電容， x 為 $0 \sim 2^m - 1$ ， m 表示最大有效位元（MSB）之位元數。

- 16、如申請專利範圍第 15 項所述之線性可程式開關電容增益放大器，其中該第一取樣電容與該些第二取樣電容中電容值最小之第二取樣電容之關係為：

$$\frac{C_0}{C_s} \times 2^n = \frac{C_{H0}}{C_{H1}} - 1$$

其中 C_0 為該些第二取樣電容中電容值最小之第二取樣電容， n 表示最小有效位元（LSB）之位元數。