(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/204600 A1

(51) 国際特許分類:
H04N 25/70 (2023.01) *H04N 23/667* (2023.01)
H04N 23/63 (2023.01)

(21) 国際出願番号： PCT/JP2024/012785

(22) 国際出願日： 2024年3月28日(28.03.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-051434 2023年3月28日(28.03.2023) JP

(71) 出願人: 株式会社ニコン (NIKON CORPORATION) [JP/JP]; 〒1086290 東京都港区港南二丁目１５番３号 Tokyo (JP).

(72) 発明者: 吉村 隆洋 (YOSHIMURA Takahiro); 〒1086290 東京都港区港南二丁目１５番３号 株式会社ニコン内 Tokyo (JP). 神保 直樹 (JIMBO Naoki); 〒1086290 東京都港区港南二丁目１５番３号 株式会社ニコン内 Tokyo (JP). 藤原 慎矢 (FUJIWARA Shinya); 〒1086290 東京都港区港南二丁目１５番３号 株式会社ニコン内 Tokyo (JP).

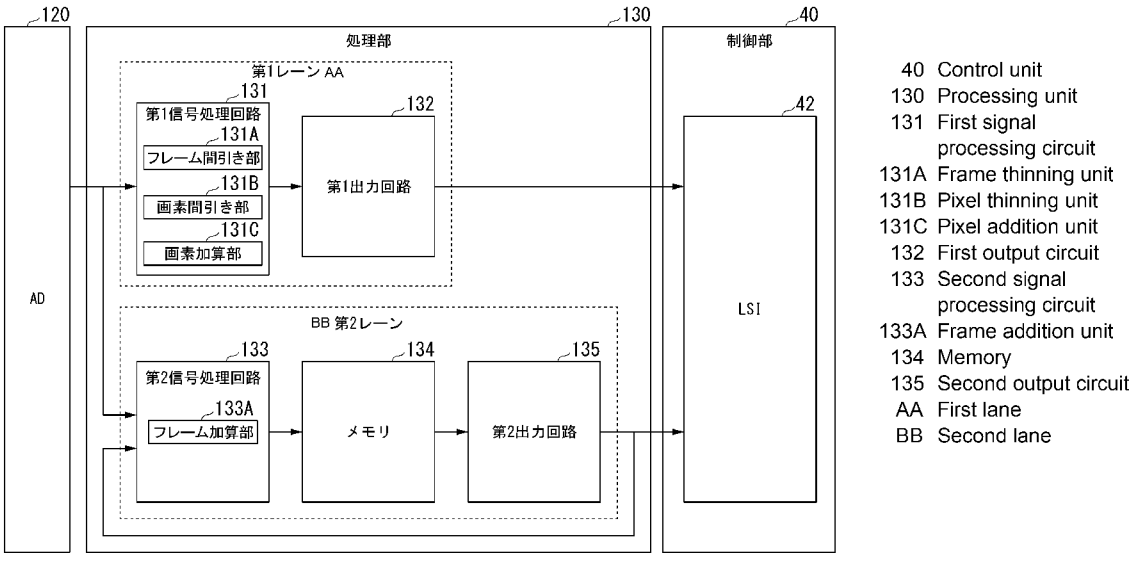
(74) 代理人: 西澤 和純, 外 (NISHIZAWA Kazuyoshi et al.); 〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) **Title:** IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称： 撮像素子および撮像装置

[図3]



40 Control unit
130 Processing unit
131 First signal processing circuit
131A Frame thinning unit
131B Pixel thinning unit
131C Pixel addition unit
132 First output circuit
133 Second signal processing circuit
133A Frame addition unit
134 Memory
135 Second output circuit
AA First lane
BB Second lane

(57) **Abstract:** This imaging element comprises: a plurality of pixels that output a signal based on photoelectrically converted charges; a first signal processing unit having a first signal processing circuit that performs a first signal process on the signal output from the pixels to generate image data for display; a second signal processing unit having a second signal processing circuit that performs a second signal process on the signal output from the pixels to generate image data for recording, and a recording circuit for recording the signal that has been subjected to the second signal process; a first output unit that outputs the signal output from the first signal processing unit; and a second output unit that outputs the

WO 2024/204600 A1

[続葉有]

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告(条約第21条(3))

signal output from the second signal processing unit.

(57) 要約:撮像素子は、光電変換された電荷に基づく信号を出力する複数の画素と、表示用の画像データを生成するための第１信号処理を前記画素から出力された信号に施す第１信号処理回路を有する第１信号処理部と、記録用の画像データを生成するための第２信号処理を前記画素から出力された信号に施す第２信号処理回路と、前記第２信号処理が施された信号を記録する記録回路とを有する第２信号処理部と、前記第１信号処理部から出力された信号を出力する第１出力部と、前記第２信号処理部から出力された信号を出力する第２出力部と、を備える。

明　細　書

発明の名称 ： 撮像素子および撮像装置

技術分野

[0001]　本発明は、撮像素子および撮像装置に関する。

本願は、２０２３年０３月２８日に、日本に出願された特願２０２３－０５１４３４号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002]　ライブビュー画像と静止画像とを同時に読み出す撮像素子が知られている（例えば、特許文献１）。しかしながら、従来技術では、ライブビュー画像の表示が中断されるという問題があった。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１２－１６５１９３号公報

発明の概要

[0004]　本発明の第１の態様によると、撮像素子は、光電変換された電荷に基づく信号を出力する複数の画素と、表示用の画像データを生成するための第１信号処理を前記画素から出力された信号に施す第１信号処理回路を有する第１信号処理部と、記録用の画像データを生成するための第２信号処理を前記画素から出力された信号に施す第２信号処理回路と、前記第２信号処理が施された信号を記録する記録回路とを有する第２信号処理部と、前記第１信号処理部から出力された信号を出力する第１出力部と、前記第２信号処理部から出力された信号を出力する第２出力部と、を備える。

本発明の第２の態様によると、撮像装置は、第１の態様に係る撮像素子と、前記表示用の画像データを表示する表示部と、を備える。

図面の簡単な説明

[0005] [図1]第１実施形態に係る撮像素子を備える撮像装置の構成の一例を示す図である。

[図2]第１実施形態に係る撮像素子の画素の構成の一例を示す図である。

[図3]第１実施形態に係る撮像素子の処理部の構成の一例を示す図である。

[図4]第１実施形態に係る撮像素子の動作の一例を示す図である。

[図5]第２実施形態に係る撮像素子の処理部の構成の一例を示す図である。

[図6]第２実施形態に係る撮像素子の動作の一例を示す図である。

[図7]第３実施形態に係る撮像素子の処理部の構成の一例を示す図である。

[図8]第３実施形態に係る撮像素子の動作の一例を示す図である。

[図9]第３実施形態の変形例に係る撮像素子の処理部の構成の一例を示す図である。

[図10]第４実施形態に係る撮像素子の処理部の構成の一例を示す図である。

[図11]第４実施形態に係る撮像素子の動作の一例を示す図である。

[図12]第４実施形態の変形例１に係る撮像素子の動作の一例を示す図である。

[図13]第４実施形態に変形例２に係る撮像素子の動作の一例を示す図である。

発明を実施するための形態

[0006] ＜第１実施形態＞

以下、図面を参照し、本発明の第１実施形態に係る撮像素子について説明する。図１は、第１実施形態に係る撮像素子１００を備える撮像装置１の概略構成を示す図である。撮像装置１は、例えば、デジタルカメラであり、撮像光学系１０と、操作部２０と、記録部３０と、制御部４０と、表示部５０と、撮像素子１００と、を備える。

[0007] 撮像光学系１０は、焦点調節レンズ（フォーカスレンズ）を含む複数のレンズや絞りにより構成され、撮像素子１００の撮像面上に被写体像を結像する。操作部２０は、レリーズボタン、録画ボタン、各種設定スイッチなどを含む。操作部２０への操作に応じた操作信号は、ＣＰＵなどの制御部４０に送信される。制御部４０は、受信した操作信号に応じて、撮像装置１が備える各部の動作を制御する。例えば、制御部４０は、撮像光学系１０や撮像素

子１００を制御する。また、後述するように、制御部４０は露光期間および露光回数等を設定する。

[0008] 制御部４０は、画像生成部（ＬＳＩ）４２を有する。画像生成部４２は、撮像素子１００から出力された画像データに基づいて、ライブビュー（ＬＶ）画像データおよび静止画像データおよび動画像データを生成する。制御部４０は、生成されたＬＶ画像データまたは静止画像データまたは動画像データを表示部５０に出力する。表示部５０に出力されるＬＶ画像データは、「表示用の画像データ」の一例である。また、制御部４０は、生成された静止画像データまたは動画像データを記録部３０に出力する。記録部３０に出力される画像データは、「記録用の画像データ」の一例である。

[0009] 表示部５０は、例えば、電子ビューファインダ（ＥＶＦ）や背面モニタである。表示部５０は、制御部４０から出力されたＬＶ画像データや静止画像データ、動画像データに基づいた画像を表示する。

[0010] 記録部３０は、制御部４０で生成された静止画像データおよび動画像データを、撮像装置１に装着されたメモリカード等の記録媒体に記録させる。

[0011] 制御部４０は、ユーザによる操作部２０の操作に応じて、メモリカードから画像データ（静止画像データまたは動画像データ）を読み出す。制御部４０は、読み出された画像データを表示部５０に出力する。表示部５０は、制御部４０から出力された画像データに基づいた画像を表示（再生）する。

[0012] 撮像素子１００は、例えば、ＣＣＤやＣＭＯＳ等のイメージセンサであり、撮像光学系１０により結像した被写体像を撮像する。撮像素子１００は、制御部４０により設定された露光期間で露光（撮像）を行う。撮像素子１００は、複数の画素１１０と、複数のＡＤコンバータ（ＡＤ変換部）１２０と、処理部１３０とを有する。複数の画素１１０は、撮像素子１００において二次元状（行方向及び列方向）に配置される。複数の画素１１０は、カラーフィルタと、光電変換部１１２と、読出回路とをそれぞれ有する。カラーフィルタは、例えば、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の特定の波長の光を透過する光学部材である。

[0013] 画素１１０は、撮像光学系１０を通過した光束を受光して、受光した光量に応じたアナログ信号を出力する。ＡＤコンバータ１２０は、画素１１０から出力されたアナログ信号をデジタル信号に変換する。処理部１３０は、ＡＤコンバータ１２０で変換されたデジタル信号を処理する。なお、図１では、ＡＤコンバータ１２０が１つのブロックとして表現されているが、撮像素子１００は、複数のＡＤコンバータ１２０を含む。ＡＤコンバータ１２０は、画素１１０の列ごとに設けられる。

[0014] 図２は、画素１１０の構成の一例を示す図である。画素１１０は、光電変換部１１２と読出回路１１４とを有する。光電変換部１１２は、入射した光を光電変換して電荷を生成して蓄積する。光電変換部１１２は、例えば、フォトダイオードにより構成される。読出回路１１４は、光電変換部１１２で光電変換された電荷により生成される画素信号（アナログ信号）を読み出す。読出回路１１４は、読み出した画素信号をＡＤコンバータ１２０に出力する。上述の画像データは、複数の画素１１０からそれぞれ出力され、デジタル信号に変換された複数の画素信号に基づいて生成される。なお、露光期間は、光電変換部１１２が光を光電変換して電荷を蓄積する電荷蓄積期間でもある。

[0015] 読出回路１１４は、転送部１１５と、排出部１１６と、フローティングディフュージョン１１７と、出力部１１８と、を有する。転送部１１５は、光電変換部１１２で光電変換された電荷をフローティングディフュージョン１１７に転送する。フローティングディフュージョン１１７は、転送部１１５により光電変換部１１２で光電変換された電荷を蓄積する。すなわち、フローティングディフュージョン１１７は、電荷を蓄積する蓄積部である。

[0016] 出力部１１８は、増幅トランジスタである増幅部１１８Ａと、選択トランジスタである選択部１１８Ｂを有する。増幅部１１８Ａは、フローティングディフュージョン１１７の電荷により画素信号を生成する。選択部１１８Ｂは、画素１１０と信号線１１９の間の接続を制御する。選択部１１８Ｂがオンに設定されているとき、増幅部１１８Ａにより生成された画素信号は信号

線１１９に出力される。

[0017] 排出部１１６は、フローティングディフュージョン１１７の電荷を電源ＶＤＤに排出する。排出部１１６は、電荷を排出することで、フローティングディフュージョン１１７の電位を基準電位にリセットする。

[0018] 図３は、撮像素子１００の処理部１３０の構成の一例を示す図である。第１実施形態において、処理部１３０は、第１信号処理回路１３１と、第１出力回路１３２と、第２信号処理回路１３３と、メモリ１３４と、第２出力回路１３５と、を有する。以下、第１信号処理回路１３１と第１出力回路１３２との組み合わせを「第１レーン」と称する場合があり、第２信号処理回路１３３と、メモリ１３４と、第２出力回路１３５との組み合わせを「第２レーン」と称する場合がある。第１実施形態において、第１レーンは、ＬＶ画像を生成するための信号を出力するための回路である。第２レーンは、静止画像を生成するための信号を出力するための回路である。また、第１出力回路１３２は「第１出力部」の一例である。第２出力回路１３５は「第２出力回路」の一例である。撮像素子１００は、第１レーンと第２レーンと有するため、ＬＶ画像の生成に用いる信号と静止画像の生成に用いる信号とを同時に（並列に）処理することができ、画像生成部４２に同時に（並列に）出力することができる。

[0019] 第１信号処理回路１３１は、フレーム間引き部１３１Ａと画素間引き部１３１Ｂと画素加算部１３１Ｃとを有する。第１信号処理回路１３１は、ＡＤコンバータ１２０から出力されたデジタル信号を処理する。第１信号処理回路１３１は、撮像素子１００の撮像領域（有効画素領域）に含まれる複数の画素１１０に対応するデジタル信号が入力される。第１信号処理回路１３１は、フレーム間引き部１３１Ａと画素間引き部１３１Ｂと画素加算部１３１Ｃとを用いて、入力されたデジタル信号に第１信号処理を施す。

[0020] フレーム間引き部１３１Ａは、第１信号処理として、入力されたデジタル信号に対してフレームを間引く処理を施す。ここで、フレームとは、ＬＶ画像データや静止画像データ、動画像データを生成に用いるフレーム（画像デ

ータ）のことである。フレームは、複数の画素１１０からそれぞれ出力され、ＡＤコンバータ１２０によりデジタル信号に変換された複数の画素信号から生成される。換言すれば、第１信号処理回路１３１に入力されるデジタル信号は画像データを生成に用いるフレームであり、第１信号処理回路１３１は入力されたフレームに第１信号処理を施す。「フレームを間引く」とは、複数のフレームのうち一部のフレームを用いることである。もしくは、他のフレームを用いないことである。具体的には、フレーム間引き部１３１Ａは、複数の露光期間（「第１期間」、「第２期間」、及び「第３期間」の一例である）においてそれぞれ生成された複数のフレームのうち、一部の期間において生成されたフレームを選択する。もしくは、フレーム間引き部１３１Ａは、複数の露光期間においてそれぞれ生成された複数のフレームのうち、一部の期間において生成されたフレームを選択しない。フレーム間引き部１３１Ａは、複数の露光期間においてそれぞれ出力される複数の信号に対して、フレームを間引く処理を施す。フレームを間引く処理により、処理する画像データの数が減り、撮像素子１００から出力される画像データ量が減る。なお、露光期間および露光回数は、制御部４０によって制御される。

[0021] 画素間引き部１３１Ｂは、第１信号処理として、ＡＤコンバータ１２０から出力された、撮像領域に含まれる複数の画素１１０に対応するデジタル信号に対して、画素を間引く処理を施す。ここで、「画素を間引く」とは、一部の画素１１０から出力された信号を用いることである。もしくは、他の画素１１０から出力された信号を用いないことである。具体的に、画素間引き部１３１Ｂは、所定の露光期間において複数の画素１１０からそれぞれ出力された複数の画素信号のうち、一部の画素１１０から出力された画素信号を選択する。もしくは、画素間引き部１３１Ｂは、所定の露光期間において複数の画素１１０からそれぞれ出力された複数の画素信号のうち、一部の画素１１０から出力された画素信号を選択しない。画素間引き部１３１Ｂは、複数の露光期間においてそれぞれ出力される複数の信号（「第１信号」、「第２信号」、及び「第３信号」の一例である）に対して、画素を間引く処理を

施す。画素を間引く処理により、処理する画素信号の数が減り、撮像素子１００から出力される画像データ量が減る。

[0022] 画素加算部１３１Ｃは、第１信号処理として、入力されたデジタル信号に対して画素加算の処理を施す。ここで、「画素加算」とは、任意の数の画素（例えば、３画素）からそれぞれ出力された信号を加算することである。具体的には、画素加算部１３１Ｃは、所定の露光期間において複数の画素１１０からそれぞれ出力された複数の画素信号のうち、一部の画素１１０（例えば、３画素）から出力された画素信号を加算する。画素を間引く処理により、処理する画素信号の数が減り、撮像素子１００から出力される画像データ量が減る。

[0023] 第１実施形態において、第１信号処理回路１３１は、フレーム間引き部１３１Ａでフレームを間引いた後で、画素間引き部１３１Ｂでの画素間引き、または画素加算部１３１Ｃでの画素加算を行う。なお、フレーム間引く、画素を間引く、画素加算の順番はこれに限定されない。第１信号処理回路１３１は、画素間引き部１３１Ｂで画素を間引いた後に、フレーム間引き部１３１Ａでのフレーム間引き、または画素加算部１３１Ｃでの画素加算を行ってもよい。また、第１信号処理回路１３１は、フレーム間引く、画素を間引く、画素加算の全てを行わなくてもよい。第１信号処理回路１３１は、フレーム間引く、画素を間引く、画素加算の少なくとも１つを行っていればよい。そのため、第１信号処理回路１３１は、フレーム間引き部Ａと画素間引き部１３１Ｂと画素加算部Ｃとのうち少なくとも１つを有していればよい。

[0024] フレームを間引く処理や、画素を間引く処理や、画素加算の処理を施すのは、画像データ量削減や処理負荷低減のためである。ＬＶ画像は、高画質な画像を求められることが少ない。そのため、ＬＶ画像データは、撮像領域に含まれる複数の画素１１０から出力される画素信号（デジタル信号）を全て用いて生成する必要がない。一方、ＬＶ画像は、新しい画像を表示部５０に高速に表示することが求められる。そのため、撮像素子１００は、画像データを高速に出力することが求められる。同時に、制御部４０は、ＬＶ画像デ

ータを高速に生成することが求められる。撮像素子１００が上記の処理を行い、撮像素子１００内で画像データ量を減らすことで、撮像素子１００と制御部４０（画像生成部４２）との間の通信がインターフェース帯域の上限に律速されにくくなる。これにより、撮像素子１００は、画像データを高速に制御部４０に出力することができる。また、制御部４０は、画像データ量が少ないので、処理負荷が低減できるとともに、ＬＶ画像データを高速に生成することができる。

[0025] 第１信号処理回路１３１は、入力されたデジタル信号に第１信号処理を施した後、第１信号処理が施されたデジタル信号（フレーム）を第１出力回路１３２に出力する。第１出力回路１３２は、第１信号処理回路１３１から出力されたデジタル信号（フレーム）を画像生成部４２に出力する。第１レーンにおける以上の処理により、ＬＶ画像を生成するためのデジタル信号（フレーム）が画像生成部４２に出力される。

[0026] 第２信号処理回路１３３は、フレーム加算部１３３Ａを有する。第２信号処理回路１３３は、ＡＤコンバータ１２０から出力されたデジタル信号を処理する。第２信号処理回路１３３は、撮像素子１００の撮像領域に含まれる画素１１０に対応するデジタル信号が入力される。第２信号処理回路１３３は、フレーム加算部１３３Ａを用いて、入力されたデジタル信号に第２信号処理を施す。

[0027] フレーム加算部１３３Ａは、第２信号処理として、ＡＤコンバータ１２０から出力されたデジタル信号に加算処理を施す。換言すれば、フレーム加算部１３３Ａは、第２信号処理として、入力された複数のフレームに加算処理を施す。フレーム加算部１３３Ａは、複数の露光それぞれにおいて生成された複数のフレームを加算する。具体的に、第２信号処理回路１３３は、第１露光期間の露光により生成された第１フレームをＡＤコンバータ１２０から取得してメモリ１３４に出力する。メモリ１３４は、第２信号処理回路１３３から出力された第１フレームを格納する。第２信号処理回路１３３は、第１露光期間より後の第２露光期間の露光により生成された第２フレームをＡ

Ｄコンバータ１２０から取得する。その際、第２出力回路１３５は、第１フレームをメモリ１３４から読み出す。第２出力回路１３５は、読み出した第１フレームを第２信号処理回路１３３に出力する。フレーム加算部１３３Ａは、第１フレームと第２フレームとを加算する。第２信号処理回路１３３は、加算によって得られた第１加算フレームをメモリ１３４に出力する。メモリ１３４は、第２信号処理回路１３３から出力された第１加算フレームを格納する。第２信号処理回路１３３は、第２露光期間よりも後の第３露光期間の露光により生成された第３フレームをＡＤコンバータ１２０から取得する。その際、第２出力回路１３５は、第１加算フレームをメモリ１３４から読み出す。第２出力回路１３５は、読み出した第１加算フレームを第２信号処理回路１３３に出力する。フレーム加算部１３３Ａは、第１加算フレームと第３フレームとを加算する。第２信号処理回路は、加算によって得られた第２加算フレームをメモリ１３４に出力する。メモリ１３４は、第２信号処理回路１３３から出力された第２加算フレームを格納する。第２信号処理回路１３３及びメモリ１３４、第２出力回路１３５が上記の処理を繰り返すことにより、フレーム加算部１３３Ａは、複数の露光期間それぞれにおいて生成された複数のフレームを加算することができる。フレーム加算部１３３Ａは、制御部４０によって設定された露光回数分のフレームを加算する第２信号処理を施す。なお、露光期間および露光回数は、制御部４０によって制御される。

[0028] 第２信号処理回路１３３は、入力されたデジタル信号に第２信号処理を施した後、第２信号処理が施されたデジタル信号（加算されたフレーム）を第２出力回路１３５に出力する。第２出力回路１３５は、第２信号処理回路１３３から出力されたデジタル信号（加算されたフレーム）を画像生成部４２に出力する。第２レーンにおける以上の処理により、静止画像を生成するためのデジタル信号（フレーム）が画像生成部４２に出力される。

[0029] 図４は、第１実施形態に係る撮像素子１００の動作の一例を示す図である。図４は、ＬＶ画像データが出力されている間（表示部５０がＬＶ画像を表

示している間）に、静止画を撮影するためにレリーズボタンが押下された場合の静止画像データの出力について示している。

[0030] 図４に示す通り、ＬＶ画像データは一定の時間間隔で連続的に出力され、ＬＶ画像は一定の時間間隔で表示部５０に連続的に表示される。本実施形態に係る撮像素子１００は、例えば、８．３４ｍｓ間隔でＬＶ画像データを連続的に出力する。換言すれば、撮像素子１００は、１２０ｆｐｓ（ｆｒａｍｅｓ　ｐｅｒ　ｓｅｃｏｎｄ）のフレームレートでＬＶ画像データを生成するためのフレームを連続的に出力する。そのため、撮像素子１００は、一定の露光期間（例えば、４．１７ｍｓ）の露光／読出を、一定の時間間隔（８．３４ｍｓ）で繰り返し行う。換言すれば、撮像素子１００は、一定の露光期間の露光／読出を１２０ｆｐｓのフレームレートで繰り返し行う。上述した通り、ＬＶ画像は高画質であることを求められることが少ない。そのため、撮像素子１００は、撮像領域の一部の画素１１０からのみ画素信号を読み出して、ＡＤコンバータ１２０に出力する（画素間引き読出）。あるいは、撮像素子１００は、複数の画素１１０から出力される画素信号を加算してから読み出し、ＡＤコンバータ１２０に出力する（画素加算読出）。ＡＤコンバータ１２０に出力された画素信号は、第１信号処理回路１３１に出力される。第１出力回路１３２は、第１信号処理回路１３１から出力された信号を画像生成部４２に出力する。第１レーンは、ＬＶ画像を生成するための画像データを画像生成部４２に出力する。

[0031] なお、レリーズボタンが押下される前、第１信号処理回路１３１は、第１信号処理を画素信号に施さない。ただし、撮像素子１００は、画素間引き読出や画素加算読出を行わず、撮像領域に含まれる全ての画素１１０から画素信号をＡＤコンバータ１２０に出力してもよい。その場合、レリーズボタンが押下される前も、第１信号処理回路１３１（画素間引き部１３１Ｂまたは画素加算部１３１Ｃ）が第１信号処理（画素間引き処理または画素加算処理）を画素信号に施す。また、撮像素子１００は、２４０ｆｐｓのフレームレートでＬＶ画像データを生成するためのフレームを出力してもよい。その場

合、撮像素子１００は、一定の露光期間（例えば、４．１７ｍｓ）の露光／読出を、一定の時間間隔（例えば、４．１７ｍｓ）で繰り返し行う。その場合、第１信号処理回路１３１（フレーム間引き部Ａ）が第１信号処理（フレーム間引き処理処理）を施す。

[0032] 静止画像を撮影するためにレリーズボタンが押下されると、撮像素子１００は、ＬＶ画像データおよび静止画像データを生成するためのフレームを連続的に出力する。そのため、撮像素子１００は、一定の露光期間（例えば、４．１７ｍｓ）の露光／読出を、一定の時間間隔（例えば、４．１７ｍｓ）で繰り返して行う。換言すれば、撮像素子１００は、一定の露光期間の露光／読出を２４０ｆｐｓのフレームレートで繰り返し行う。また、レリーズボタンが押下されると、撮像素子１００は、撮像領域に含まれる全ての画素１１０から画素信号をＡＤコンバータ１２０に出力する。ＡＤコンバータ１２０に出力された画素信号は、第１信号処理回路１３１に出力される。第１出力回路１３２は、第１信号処理回路１３１から出力された信号を画像生成部４２に出力する。第１レーンは、ＬＶ画像を生成するための画像データを画像生成部４２に出力する。

[0033] なお、レリーズボタンが押下される前、第１信号処理回路１３１は、第１信号処理を画素信号に施さない。ただし、撮像素子１００は、画素間引き読出や画素加算読出を行わず、撮像領域に含まれる全ての画素１１０から画素信号をＡＤコンバータ１２０に出力してもよい。その場合、レリーズボタンが押下される前も、第１信号処理回路１３１（画素間引き部１３１Ｂまたは画素加算部１３１Ｃ）が第１信号処理（画素間引き処理または画素加算処理）を画素信号に施す。図４では、撮像素子１００が一定の露光期間の露光／読出を６回連続して行う例を示す。撮像素子１００は、６回の露光／読出を連続して行い、ＬＶ画像および静止画像を生成するための６つのフレームを順次出力する。また、レリーズボタンが押下されると、撮像素子１００は、撮像領域に含まれる全ての画素を露光して、画素信号を出力する。６つのフレームは、第１レーンと第２レーンとに順次出力される。

[0034] ここで、撮像素子１００が一定の露光期間の露光／読出を６回連続して行う理由について説明する。暗い被写体の静止画像を撮影しようとすると、撮像素子１００の露光期間がＬＶ画像を得るための露光期間よりも長くなることがある。静止画像を撮影するための露光期間が、例えば２５ｍｓとなると、撮像素子１００の露光期間はＬＶ画像を得るための露光期間（４．１７ｍｓ）よりも長くなる。露光期間がＬＶ画像を得るための露光期間より長くなると、撮像素子１００は、レリーズボタンの押下前のように、ＬＶ画像を得るために繰り返し行われる露光／読出ができなくなる。つまり、撮像素子１００はＬＶ画像データを一定の時間間隔（８．３４ｍｓ）で連続的に出力できなくなる。その結果、撮像装置１はＬＶ画像を表示部５０に連続的に表示できなくなる。または、撮像装置１がＬＶ画像を表示部５０に表示するフレームレート（１２０ｆｐｓ）が、レリーズボタンの押下前より遅くなってしまう。そこで、本実施形態では、露光期間が２５ｍｓに相当する静止画像を６つのフレーム（４．１７×６＝２５．０２ｍｓ）を加算することによって得るようにした。これにより、ＬＶ画像の表示を維持しつつ、静止画像を撮影することができる。なお、静止画像の露光期間や、加算するフレームの数はこれに限定されない。静止画像の露光期間や加算するフレームの数は、撮影条件（被写体の輝度等）に基づいて制御部４０が適宜設定する。

[0035] 第１レーンに順次出力された６つのフレームは、第１信号処理回路１３１（フレーム間引き部１３１Ａ、画素間引き部１３１Ｂ、画素加算部１３１Ｃ）により第１信号処理（フレーム間引き処理、画素間引き処理、画素加算処理）が施される。第１信号処理回路１３１は、入力された複数のフレームに第１信号処理を施し、第１出力回路１３２に出力する。第１出力回路１３２は、第１信号処理が施されたフレームを画像生成部４２に出力する。第１レーンは、ＬＶ画像を生成するための画像データを画像生成部４２に出力する。なお、第１レーンに順次出力された６つのフレームは、フレーム間引き部１３１Ａによって間引かれる。その結果、図４に示す通り、第１レーンに出力されたフレームは、レリーズボタンの押下前と同様に、１２０ｆｐｓのフ

レームレートで連続的に出力される。

[0036] 第２レーンに出力された６つのフレームは、第２信号処理回路１３３（フレーム加算部１３３Ａ）により第２信号処理（フレームの加算処理）が施される。第２信号処理回路１３３は、入力された複数のフレームに第２信号処理を施し、第２出力回路１３５に出力する。第２出力回路１３５は、第２信号処理が施されたフレームを画像生成部４２に出力する。第２レーンは、静止画像を生成するための画像データを画像生成部４２に出力する。

[0037] 第１実施形態によれば、撮像素子１００は、レリーズボタンが押下されても、押下前と同様の露光期間で露光／読出を繰り返し行う。これにより、撮像素子１００は、押下前と同様にＬＶ画像データを連続的に出力でき、撮像装置１はＬＶ画像を表示部５０に表示できる。

[0038] 第１実施形態によれば、撮像素子１００は、レリーズボタンが押下されると、フレーム間引き部１３１Ａによりフレーム間引き処理を施す。そのため、撮像素子１００の露光／読出が２４０ｆｐｓのフレームレートで行われても、撮像素子１００は、レリーズボタンの押下前と同様に、第１レーンに出力されたフレームを１２０ｆｐｓのフレームレートで連続的に出力することができる。したがって、制御部４０の処理負荷が低減できる。また、撮像素子１００は、レリーズボタンが押下されると、画素間引き部１３１Ｂまたは画素加算部１３１Ｃにより画素間引き処理または画素加算処理を施す。そのため、撮像素子１００の撮像領域に含まれる全ての画素が画素信号を出力しても、撮像素子１００は、レリーズボタンの押下前と同様の画像データ量で、第１レーンに出力されたフレームを高速に出力することができる。したがって、制御部４０の処理負荷が低減でき、制御部４０はＬＶ画像データを高速に生成できる。これにより、ＬＶ画像を表示している間に静止画像が撮影されても、表示部５０はＬＶ画像の表示を中断することなく、ＬＶ画像を高速に表示することができる。

[0039] 第１実施形態によれば、撮像素子１００は、フレーム加算部１３３Ａにより複数のフレームを加算する。これにより、撮像装置１は、被写体が暗くて

も、露光時間が長い静止画像に相当する画像を得られる。暗い被写体の静止画像を撮影するために、撮像素子１００の露光期間がＬＶ画像を得るための露光期間より長くなっても、撮像装置１は静止画像を撮影することができる。つまり、撮像装置１はＬＶ画像の表示を維持しつつ、静止画像を撮影することができる。

[0040] 第１実施形態によれば、撮像素子１００は、第１レーンと第２レーンとで、複数のフレームを並行に処理し、静止画像データとＬＶ画像データとを並行に出力する。これにより、撮像装置１は、レリーズボタンが押下されてもＬＶ画像の表示を中断することなく、レリーズボタンの押下前と同様にＬＶ画像を連続的に表示することができる。また、撮像装置１は、記録部３０に静止画像データを記録することができる。

[0041] 第１実施形態によれば、処理部１３０は、画像生成部４２ではなく、撮像素子１００に実装（オンチップ化）される。これにより、撮像素子１００がＬＶ画像データまたは静止画像データを画像生成部４２へ出力する前に、ＬＶ画像データまたは静止画像データのデータ量を撮像素子１００の内部で減らすことができる。したがって、ＬＶ画像データまたは静止画像データを出力する時間間隔が、撮像素子１００と画像生成部４２とのインターフェースの帯域の上限に律速されにくくなる。そのため、ＬＶ画像データおよび静止画像データを得るための、単位時間における露光回数（単位時間における撮像回数）を増加させることができる。単位時間における露光の回数が増加すれば、単位時間に出力されるフレームの数が増加するので、静止画像データを生成するための加算処理を高速化できる。

[0042] ＜第２実施形態＞

第１実施形態に係る撮像素子１００は、第１レーンおよび第２レーンに出力されたフレームのうち、第２レーンに出力される複数のフレームを加算することにより、ＬＶ画像の表示と静止画像データの記録とを両立させた。第２実施形態に係る撮像素子１００Ａは、第１レーンに出力されるフレームも加算する。

[0043] 図５は、第２実施形態に係る撮像素子１００Ａの処理部１３０の構成の一例を示す図である。第２実施形態において、処理部１３０の第２レーンの構成は、第１実施形態に係る処理部１３０の第２レーンの構成と同様である。一方、処理部１３０の第１レーンは、第１信号処理回路１３１と第１出力回路１３２に加えて、加算回路１３６とメモリ１３７とを更に有するものである。なお本実施形態では、第１レーンで処理されるフレームをＬＶ画像フレーム、第２レーンで処理されるフレームを静止画像フレームと称する。

[0044] 加算回路１３６は、第１信号処理回路１３１から出力されたＬＶ画像フレームに加算処理を施す。加算回路１３６は、複数の露光それぞれにおいて生成された複数のＬＶ画像フレームを加算する。具体的に、第１信号処理回路１３１は、第１露光期間の露光により生成された第１フレームをＡＤコンバータ１２０から取得して、第１信号処理を施す。第１信号処理回路１３１は、加算回路１３６を介して、第１信号処理を施した第１ＬＶ画像フレームをメモリ１３７に出力する。メモリ１３７は、第１信号処理回路１３１から出力された第１ＬＶ画像フレームを格納する。第１信号処理回路１３１は、第１露光期間より後の第２露光期間の露光により生成された第２フレームをＡＤコンバータ１２０から取得して、第１信号処理を施す。第１信号処理回路１３１は、第１信号処理を施した第２ＬＶ画像フレームを加算回路１３６に出力する。その際、第１出力回路１３２は、第１ＬＶ画像フレームをメモリ１３７から読み出す。第１出力回路１３２は、読み出した第１ＬＶ画像フレームを加算回路１３６に出力する。加算回路１３６は、第１ＬＶ画像フレームと第２ＬＶ画像フレームとを加算する。加算回路１３６は、加算によって得られた第１加算ＬＶ画像フレームをメモリ１３７に出力する。メモリ１３７は、加算回路１３６から出力された第１加算ＬＶ画像フレームを格納する。第１信号処理回路１３１は、第２露光期間よりも後の第３露光期間の露光により生成された第３フレームをＡＤコンバータ１２０から取得して、第１信号処理を施す。第１信号処理回路１３１は、第１信号処理を施した第３ＬＶ画像フレームを加算回路１３６に出力する。その際、第１出力回路１３２

は、第１加算ＬＶ画像フレームをメモリ１３７から読み出す。第１出力回路１３２は、読み出した第１加算ＬＶ画像フレームを加算回路１３６に出力する。加算回路１３６は、第１加算ＬＶ画像フレームと第３ＬＶ画像フレームとを加算する。加算回路１３６は、加算によって得られた第２加算ＬＶ画像フレームをメモリ１３７に出力する。メモリ１３７は、加算回路１３６から出力された第２加算ＬＶ画像フレームを格納する。第１信号処理回路１３１及び加算回路１３６及びメモリ１３７、第１出力回路１３２が上記の処理を繰り返すことにより、加算回路１３６は、複数の露光期間それぞれにおいて生成された複数のＬＶ画像フレームを加算することができる。加算回路１３６Ａは、制御部４０で設定された露光回数分のフレームを加算する処理を施す。なお、露光期間および露光回数は、制御部４０によって制御される。第１レーンにおける以上の処理により、ＬＶ画像を生成するための画像データが画像生成部４２に出力される。第２信号処理回路及びメモリ１３４、第２出力回路１３５は、第１実施形態と同様の処理を静止画像フレームに施す。

[0045] 図６は、第２実施形態に係る撮像素子１００Ａの動作の一例を示す図である。図６は、ＬＶ画像データが出力されている間（表示部５０がＬＶ画像を表示している間）に、レリーズボタンが押下された場合の静止画データの出力について示している。

[0046] 図６に示す通り、ＬＶ画像データは一定の時間間隔で連続的に出力され、ＬＶ画像は一定の時間間隔で表示部５０に連続的に表示される。本実施形態に係る撮像素子１００は、例えば、１６．６８ｍｓ間隔でＬＶ画像データを連続的に出力する。換言すれば、撮像素子１００は、６０ｆｐｓのフレームレートでＬＶ画像データを生成するためのフレームを連続的に出力する。そのため、撮像素子１００は、一定の露光期間（例えば、４．１７ｍｓ）の露光／読出を、繰り返し行う。換言すれば、撮像素子１００は、一定の露光期間の露光／読出を２４０ｆｐｓのフレームレートで繰り返し行う。加算回路１３６は、第１信号処理回路１３１から出力されたフレームを逐次加算する。第１出力回路１３２は、４つのフレームが加算されたフレームをＬＶ画像

データとして画像生成部４２に出力する。これは、暗い被写体の静止画像を撮影する場合、例えば、４．１７ｍｓなどの露光期間では、光電変換部１１２による電荷の蓄積が不足し、十分な画質のＬＶ画像が出力されない場合があるためである。第１実施形態と異なり、加算回路１３６が４つのフレームを加算し、ＬＶ画像として出力することによって、例えば、被写体が暗い場合であっても、高画質のＬＶ画像を表示させることができる。

[0047] 静止画像を撮影するためにレリーズボタンが押下されると、撮像素子１００は、静止画像データを生成するためのフレームを連続的に出力する。すなわち、撮像素子１００は、一定の露光期間（例えば、４．１７ｍｓ）ごとに露光／読出されたフレームのうち、６つのフレームを順次出力する。第２レーンに出力された６つのフレームは、第２信号処理回路１３３（フレーム加算部１３３Ａ）により第２信号処理（フレームの加算処理）が施される。第２信号処理回路１３３は、入力された複数のフレームに第２信号処理を施し、第２出力回路１３５に出力する。第２出力回路１３５は、第２信号処理が施されたフレームを画像生成部４２に出力する。第２レーンは、静止画像を生成するための画像データを画像生成部４２に出力する。

[0048] 第２実施形態によれば、撮像素子１００Ａは、ＬＶ画像を生成するためのフレームに加算処理を施す。これにより、ＬＶ画像データのノイズが平均化され、撮像装置１は、加算処理しないときよりもノイズが低減されたＬＶ画像データを得ることができる。そのため、表示部５０は高画質のＬＶ画像を表示することができる。

[0049] さらに、第２実施形態によれば、ＬＶ画像を生成するため用のフレームに加算処理を施すことにより、表示部５０はＬＶ画像データの信号値を増加させたＬＶ画像を表示することができる。そのため、暗い被写体であっても、ユーザは、ＬＶ画像で被写体を確認することができる。

[0050] ＜第３実施形態＞

第１実施形態に係る撮像素子１００及び第２実施形態に係る１００Ａは、操作部２０のレリーズボタンが押下（全押し）された後に、静止画像を生成

するためのフレームを第２レーンに出力し、加算処理を施している。しかし、実際の撮影場面において、ユーザが静止画像を撮影したいと感じたタイミングと、ユーザがレリーズボタンを全押ししたタイミングとの間にはタイムラグが生じることがある。すなわち、ユーザが静止画像を撮影したいと感じたタイミングは、ユーザがレリーズボタンを全押ししたタイミングよりも早い場合がある。第３実施形態に係る撮像素子１００Ｂは、レリーズボタンが半押されたことを検知して、レリーズボタンが全押しされたタイミングよりも所定期間前に出力された静止画像を生成するためのフレームに加算処理を施す。

[0051] 図７は、第３実施形態に係る撮像素子１００Ｂの処理部１３０の構成の一例を示す図である。第３実施形態において、処理部１３０の第１レーンの構成は、第１実施形態に係る処理部１３０の第１レーンの構成と同様である。一方、処理部１３０の第２レーンは、第２信号処理回路１３３と第２出力回路１３５とに加えて、書き込み回路１３８と、選択回路１３９と、メモリ１４０と、読み出し回路１４１とを更に有するものである。なお、操作部２０のレリーズボタンの半押し／全押しは、ユーザのレリーズボタンへの操作に基づいて、制御部４０が検知する。

[0052] 書き込み回路１３８は、レリーズボタンの半押しが検知されると、第２レーンに順次出力されたフレームを、選択回路１３９によって選択されたメモリ１４０に順次格納する。

[0053] メモリ１４０は、第２レーンに出力された複数のフレームを格納できる。メモリ１４０は、レリーズボタンが半押しされている間、第２レーンに出力されたフレームを、出力された順に格納する。読み出し回路１４１は、レリーズボタンの全押しが検知されると、全押しが検知されたタイミングよりも所定期間前に第２レーンに出力された複数のフレームをメモリ１４０から読み出す。読み出し回路１４１は、全押しが検知されたタイミングよりも所定期間前のタイミングと全押しが検知されたタイミングとの間に、第２レーンに出力され、メモリ１４０に格納された複数のフレームをメモリ１４０から

読み出す。読み出し回路１４１は、読み出した複数のフレームを第２信号処理回路１３３に出力する。

[0054] 第２信号処理回路１３３は、フレーム加算部１３３Ａを用いて、読み出し回路１４１から出力された複数のフレームに第２信号処理を施す。第２信号処理回路１３３は、第２信号処理として、読み出し回路１４１から出力された複数のフレームに加算処理を施す。フレーム加算部１３３Ａは、制御部４０で設定された枚数分のフレームを加算する第２信号処理を施す。第２信号処理回路１３３は、加算されたフレームを第２出力回路１３５に出力する。第２出力回路１３５は、第２信号処理回路１３３から出力されたフレームを画像生成部４２に出力する。第２レーンにおける以上の処理により、静止画像を生成するためのフレームが画像生成部４２に出力される。

[0055] 図８は、第３実施形態に係る撮像素子１００Ｂの動作の一例を示す図である。図８は、表示部５０がＬＶ画像を表示している間に、レリーズボタンが半押しされ、半押し状態が所定期間、継続された後に、静止画撮像のためにレリーズボタンが全押しされた場合の静止画像データの出力について示している。

[0056] なお、図８における撮像素子１００Ｂの動作は、レリーズボタンの半押しと全押しに関わる動作以外、第１実施形態に係る撮像素子１００と同様である。以下では、第１実施形態に係る撮像素子１００の動作と異なる点について説明する。

[0057] レリーズボタンの半押しが検知されると、撮像素子１００は、ＬＶ画像データおよび静止画像データを生成するためのフレームを連続的に出力する。連続的に出力されたフレームは、第１フレームと第２レーンとに順次出力される。第２レーンに出力された複数のフレームは、メモリ１４０に時系列に記憶される。なお、第１レーンに出力された複数のフレームについては第１実施形態と同様であるため説明は省略する。

[0058] レリーズボタンの半押し後、レリーズボタンの全押しが検知されると、読み出し回路１４１は、全押しが検知されたタイミングから３フレーム前のフ

レームを起点として、６つのフレームをメモリ１４０から読み出す。読み出し回路１４１は、読み出したフレームを第２信号処理回路１３３に出力する。第２信号処理回路１３３は、読み出し回路１４１から６つのフレームが入力されると、フレーム加算部１３３Ａにより６つのフレームを加算する。第２信号処理回路１３３は、加算によって得られたフレームを第２出力回路１３５に出力する。第２出力回路１３５は、第２信号処理回路１３３から入力されたフレームを画像生成部４２に出力する。

[0059] 第３実施形態によれば、撮像素子１００Ｂは、レリーズボタンの半押しが検知されると、半押しを検知したタイミングから複数のフレームをメモリ１４０に記憶する。その後、撮像素子１００Ｂは、レリーズボタンの全押しが検知されると、全押しが検知されたタイミングよりも所定期間前に出力されたフレームを起点として、メモリ１４０に記憶した複数のフレームを加算する。これにより、撮像装置１は、実際のレリーズタイミングと、ユーザが意図したレリーズタイミングとのタイムラグを解消した静止画像データを得ることができる。

[0060] ＜第３実施形態の変形例＞

第３実施形態に係る撮像素子１００Ｂの第２信号処理回路１３３は、読み出し回路１４１から複数のフレームが同時に入力され、フレーム加算部１３３Ａは、入力された複数のフレームを加算する。しかし、フレームの入力及び加算の方式はこのような構成に限定されない。第３実施形態の変形例に係る撮像素子１００Ｂは、第２信号処理回路１３３がメモリ１３３Ｂを備える。第２信号処理回路１３３は、読み出し回路１４１から順次入力された複数のフレームをメモリ１３３Ｂに格納することでフレームを加算する。

[0061] 図９は、第３実施形態の変形例に係る撮像素子１００の処理部１３０の構成の一例を示す図である。図９に示す通り、第３実施形態の変形例に係る撮像素子１００Ｂの読み出し回路１４１は、レリーズボタンの全押しが検知されると、全押しが検知されたタイミングよりも所定期間前に出力されたフレームを起点として、メモリ１４０から複数のフレームを順番に一つずつ読み

出す。読み出し回路１４１は、読み出したフレームを第２信号処理回路１３３に順番に入力する。第２信号処理回路１３３は、入力されたフレームを順番にメモリ１３３Ｂに格納して加算する。第２信号処理回路１３３は、メモリ１３３Ｂ上で加算されたフレームを第２出力回路１３５に出力する。このような構成によっても、第３実施形態と同様に、実際のレリーズタイミングと、意図したレリーズタイミングとのタイムラグを解消した静止画像データを得ることができる。

[0062] ＜第４実施形態＞

第１実施形態から第３実施形態においては、時分割露光時間ごとに第２レーンに出力されたフレームに逐次的な加算処理を施すことによって、表示部５０によるＬＶ表示を中断することなく、記録用の静止画像を生成している。第４実施形態は、ＬＶ表示の維持と静止画像の記録とを両立しつつ、余剰フレームを他の処理に活用するものである。

[0063] 図１０は、第４実施形態に係る撮像素子１００Ｃの処理部１３０の構成の一例を示す図である。第４実施形態において、処理部１３０の第１レーンの構成は、第１実施形態に係る処理部１３０の第１レーンの構成と同様である。一方、処理部１３０の第２レーンについては、第２信号処理回路１３３は、フレーム加算部１３３Ａに代えて、読み出し部１３３Ｃと、動きベクトル判別部１３３Ｄとを有する。

[0064] 読み出し部１３３Ｃは、メモリ１４０に格納されたフレームを所定のフレームレートで読み出し、読み出したフレームを第２出力回路１３５に出力する。第２出力回路１３５は、読み出し部１３３Ｃから受信したフレームを記録用の静止画像として画像生成部４２に出力する。動きベクトル判別部１３３Ｄは、メモリ１４０に格納されたフレームに基づいて、動きベクトルを判別し、当該動きベクトルに対応する画素領域を表す信号を第２出力回路１３５に出力する。第２出力回路１３５は、受信した当該信号を、部分拡大画像に対応するフレームとして、画像生成部４２に出力する。

[0065] 図１１は、第４実施形態に係る撮像素子１００Ｃの動作の一例を示す図で

ある。図１１に示す通り、撮像素子１００の各画素１１０は、一定の時分割露光時間（例えば、４．１７ｍｓ間隔）に分割して露光される。記録用の静止画像に対応するフレームは、第２レーンのメモリ１３４に出力され、２０ｆｐｓのフレームレートで読み出し部１３３Ｃによって読み出された後に、画像生成部４２に出力される。表示用のＬＶ画像に対応するフレームは、１６．７ｍｓ（＝４．１７×４）間隔で第１レーンに出力され、第１信号処理を施された後に、画像生成部４２に出力される。その他のフレームは、部分拡大画像に対応するフレームとして、第２レーンのメモリ１３４に出力され、動きベクトル判別部１３３Ｄによって動きベクトルが判別された後に、当該動きベクトルに対応する画素領域（図中、３０００ｐｘ×２０００ｐｘに対応する画素領域）を表すフレームが画像生成部４２に出力される。

[0066] 第４実施形態によれば、ＬＶ表示の維持と静止画像の記録とを両立しつつ、余剰フレームを他の処理に活用することができる。

[0067] ＜第４実施形態の変形例１＞

第４実施形態では、ＬＶ表示の維持と静止画像の記録とを両立しつつ、余剰フレームは、１か所の動き部分に関する部分拡大画像を生成するために用いられている。しかし、部分拡大画像の生成は、１か所の動き部分に限定されない。第４実施形態の変形例１は、ＬＶ表示の維持と静止画像の記録とを両立しつつ、２か所の動き部分に関する２枚の部分拡大画像を生成するものである。撮像素子１００の構成は、第４実施形態と同様であるため、図示を省略する。

[0068] 図１２は、第４実施形態の変形例に係る撮像素子１００Ｃの動作の一例を示す図である。図１２に示す通り、撮像素子１００の各画素１１０は、一定の時分割露光時間（例えば、２．０８ｍｓ間隔）に分割して露光される。記録用の静止画像に対応するフレームは、第２レーンのメモリ１３４に出力され、２０ｆｐｓのフレームレートで読み出し部１３３Ｃによって読み出された後に、画像生成部４２に出力される。表示用のＬＶ画像に対応するフレームは、１６．７ｍｓ（＝４．１７×４）間隔で第１レーンに出力され、第１

信号処理を施された後に、画像生成部４２に出力される。その他のフレームは、部分拡大画像に対応するフレームとして、第２レーンのメモリ１３４に出力され、動きベクトル判別部１３３Ｄによって２つの動きベクトルが判別された後に、当該２つの動きベクトルに対応する２つの画素領域（図中、１５００ｐｘ×１０００ｐｘに対応する２つの画素領域）を表すフレームが画像生成部４２に出力される。

[0069] 第４実施形態の変形例１によれば、ＬＶ表示の維持と静止画像の記録とを両立しつつ、複数枚の部分拡大画像を生成することができる。なお、本変形例では、２か所の動き部分に関する２枚の部分拡大画像を生成する場合について説明したが、本発明はそのような構成に限定されない。３か所以上の複数の動き部分に関する複数の部分拡大画像を生成する場合にも、部分拡大画像に対応するフレームを、所定のフレームレートで第２レーンのメモリ１３４に出力することにより、複数の動きベクトルに対応する複数の画素領域を表すフレームが画像生成部４２に出力される。

[0070] ＜第４実施形態の変形例２＞

第４実施形態および第４実施形態の変形例１では、ＬＶ表示の維持と静止画像の記録とを両立しつつ、余剰フレームを部分拡大画像の生成に用いるものである。しかし、余剰フレームの活用は、部分拡大画像の生成に限定されない。第４実施形態の変形例２は、ＬＶ表示の維持と静止画像の記録とを両立しつつ、フリッカーの検出を可能にするものである。第４実施形態の変形例２に係る撮像素子１００Ｃは、図１０に示した構成において、動きベクトル判別部１３３Ｄに代えて、フリッカー検出部を有する。

[0071] 図１３は、第４実施形態の変形例に係る撮像素子１００Ｃの動作の一例を示す図である。図１３に示す通り、撮像素子１００の各画素１１０は、一定の時分割露光時間（例えば、１．０４ｍｓ間隔）に分割して露光される。記録用の静止画像に対応するフレームは、第２レーンのメモリ１３４に出力され、２０ｆｐｓのフレームレートで読み出し部１３３Ｃによって読み出された後に、画像生成部４２に出力される。表示用のＬＶ画像に対応するフレー

ムは、１６．７ｍｓ（＝４．１７×４）間隔で第１レーンに出力され、第１信号処理を施された後に、画像生成部４２に出力される。その他のフレームは、フリッカー検出用画像に対応するフレームとして、第２レーンのメモリ１３４に出力される。フリッカー検出部は、当該フレームに基づいて光源の輝度変化の周期、すなわち、フリッカーを検出する。フリッカー検出部は、検出したフリッカーに対応する画素領域（図中、１５００ｐｘ×１０００ｐｘに対応する２つの画素領域）を表すフレームを第２出力回路１３５に出力する。第２出力回路１３５は、当該フリッカーを表すフレームを画像生成部４２に出力する。このとき出力されたフリッカーを表すフレームは、撮像素子１００の外部に配置された制御部にも出力され、制御部は、受信したフレームに基づいて、フリッカーを解消するように、例えば、シャッタースピードを調整するように撮像素子１００を制御してもよい。代替的に、フリッカーを表すフレームは、撮像素子１００の内部に設置された、例えば、垂直走査回路などの制御部にも出力され、制御部は、フリッカーを解消するように撮像素子１００を制御してもよい。

[0072] 第４実施形態の変形例２によれば、ＬＶ表示の維持と静止画像の記録とを両立しつつ、フリッカーを検出することができる。

[0073] ＜第４実施形態の変形例３＞

第４実施形態においては、静止画像を記録するための第２信号処理回路１３３が、ＡＤコンバータ１２０から余剰フレームを読み出し、部分拡大画像の生成やフリッカーの検出に用いていた。すなわち、第２信号処理回路１３３は、静止画像を記録するためのフレームと、部分拡大画像の生成やフリッカーの検出のための余剰フレームの双方を読み出していた。しかし、本発明はそのような構成に限定されず、第４実施形態の変形例３として、処理部１３０は、静止画像を記録するための第２信号処理回路１３３と、部分拡大画像の生成やフリッカーの検出のための第３信号処理回路を独立して備えてもよい。その場合、処理部１３０は、第３信号処理回路によって出力された信号を画像生成部４２に出力する第３出力部をさらに備えてもよい。

[0074] このとき、処理部１３０は、第１信号処理回路１３１と、第１出力回路１３２と、第２信号処理回路１３３と、第２出力回路１３５と、第３信号処理回路と、第３出力部と、を有するが、代替的に、処理部１３０は、静止画を記録するための第２信号処理回路１３３と第２出力回路１３５とを備えず、第１信号処理回路１３１と、第１出力回路１３２と、第３信号処理回路と、第３出力部とのみを備えてもよい。

[0075] なお、上記で説明した実施形態において、第１信号処理回路１３１は、第１信号処理として、ＡＤコンバータ１２０から出力された複数の信号のうち一部の信号を画像生成部４２に出力している。しかし、本発明はそのような構成に限定されず、第１信号処理回路１３１は、第１信号処理として、ＡＤコンバータ１２０から出力された複数の信号のうち一部の信号に所定の処理を実行してもよい。その場合、第１信号処理回路１３１は、第１信号処理として、当該一部の信号に対して、デベイヤー処理、色補間処理、諧調補正等の処理を実行してもよい。

[0076] さらに、上記で説明した実施形態において、第２信号処理回路１３３は、第２信号処理として、ＡＤコンバータ１２０から出力された複数の異なる露光期間におけるフレームを加算している。しかし、本発明はそのような構成に限定されず、第２信号処理回路１３３は、第２信号処理として、例えば、加算したフレームを記録回路に記録（出力）する処理を実行してもよい。さらに、第２信号処理回路１３３は、第２信号処理として、加算したフレームに対して、又は加算する前の複数のフレームに対して、デベイヤー処理、色補間処理、諧調補正等の処理を実行してもよい。

[0077] さらに、上記で説明した実施形態において、画素１１０及び処理部１３０の各構成要素は、単一の基板上に設けられている。しかし、本発明はそのような構成に限定されず、画素１１０及び処理部１３０の各構成要素は、互いに接合される複数の基板上にそれぞれ設けられてもよい。換言すれば、撮像素子１００は複数の基板が積層される積層構造を有してもよい。

[0078] 例えば、撮像素子１００は、複数の画素１１０が設けられる第１基板と、

第１基板と接合され、複数のＡＤコンバータ１２０と処理部１３０とが設けられる第２基板と、を有してもよい。または、撮像素子１００は、複数の画素１１０と複数のＡＤコンバータ１２０とが設けられる第１基板と、第１基板と接合され、処理部１３０とが設けられる第２基板と、を有してもよい。または、撮像素子１００は、複数の画素１１０と複数のＡＤコンバータ１２０と第１信号処理回路１３１と第１出力回路１３２とが設けられる第１基板と、第１基板と接合され、第２信号処理回路１３３と第２出力回路１３５とが設けられる第２基板と、を有してもよい。

[0079] さらに、撮像素子１００が有する積層構造は二層構造に限定されず、撮像素子１００は、三層、四層、またはそれ以上の積層構造を有してもよい。例えば、撮像素子１００は、複数の画素１１０が設けられる第１基板と、第１基板と接合され、複数のＡＤコンバータ１２０が設けられる第２基板と、第２基板と接合され、処理部１３０が設けられる第３基板と、を有してもよい。または、撮像素子１００は、複数の画素１１０と複数のＡＤコンバータ１２０とが設けられる第１基板と、第１基板と接合され、第１信号処理回路１３１と第１出力回路１３２とが設けられる第２基板と、第２基板と接合され、第２信号処理回路１３３と第２出力回路１３５とが設けられる第３基板と、を有してもよい。または、撮像素子１００は、複数の画素１１０が設けられる第１基板と、第１基板と接合され、複数のＡＤコンバータ１２０が設けられる第２基板と、第２基板と接合され、第１信号処理回路１３１と第１出力回路１３２とが設けられる第３基板と、第３基板と接合され、第２信号処理回路１３３と第２出力回路１３５とが設けられる第４基板と、を有してもよい。任意の数の基板に、画素１１０及び処理部１３０の各構成要素が任意の組み合わせで設けられてよい。

[0080] 以上、本発明を実施するための形態について実施形態を用いて説明したが、本発明はこうした実施形態に何等限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々の変形及び置換を加えることができる。

符号の説明

[0081] １０…撮像光学系、２０…操作部、３０…記録部、４０…制御部、４２…画像生成部、５０…表示部、１００…撮像素子、１１０…画素、１１２…光電変換部、１２０…ＡＤコンバータ、１３０…処理部、１３１…第１信号処理回路、１３１Ａ…フレーム間引き部、１３１Ｂ…画素間引き部、１３２…第１出力回路、１３３…第２信号処理回路、１３３Ａ…フレーム加算部、１３３Ｂ…メモリ、１３３Ｃ…読み出し部、１３３Ｄ…動きベクトル判別部、１３４…メモリ、１３５…第２出力回路、１３６…加算回路、１３７…メモリ、１３８…書き込み回路、１３９…選択回路、１４０…メモリ、１４１…読み出し回路

請求の範囲

[請求項1] 光電変換された電荷に基づく信号を出力する複数の画素と、

表示用の画像データを生成するための第１信号処理を前記画素から出力された信号に施す第１信号処理回路を有する第１信号処理部と、

記録用の画像データを生成するための第２信号処理を前記画素から出力された信号に施す第２信号処理回路と、前記第２信号処理が施された信号を記録する記録回路とを有する第２信号処理部と、

前記第１信号処理部から出力された信号を出力する第１出力部と、

前記第２信号処理部から出力された信号を出力する第２出力部と、

を備える撮像素子。

[請求項2] 請求項１に記載の撮像素子において、

前記第２信号処理部は、前記第１信号処理部が前記第１信号処理を前記画素から出力された信号に施している間に、前記第２信号処理を前記画素から出力された信号に施す撮像素子。

[請求項3] 請求項１に記載の撮像素子において、

前記第２信号処理部は、前記第１信号処理部が前記第１信号処理を前記画素から出力された信号に施している間に、前記第２信号処理を前記画素から出力された信号に施し、前記第２信号処理が施された信号を前記記録回路に記録する撮像素子。

[請求項4] 請求項１に記載の撮像素子において、

前記第２出力部は、前記記録回路に記録された信号を出力する撮像素子。

[請求項5] 請求項１に記載の撮像素子において、

前記第２出力部は、前記第１出力部が前記第１信号処理部から出力された信号を出力している間に、前記第２信号処理部から出力された信号を出力する撮像素子。

[請求項6] 請求項１に記載の撮像素子において、

前記画素は、第１期間において光電変換された電荷に基づく第１信

号と、前記第１期間より後の第２期間において光電変換された電荷に基づく第２信号とを出力し、

前記第２信号処理部は、前記第２信号処理として、前記第１信号と前記第２信号とを加算する撮像素子。

[請求項7] 請求項６に記載の撮像素子において、

前記第１信号処理部は、前記第１信号処理として、前記第１信号と前記第２信号とのうち前記第１信号を前記第１出力部に出力する撮像素子。

[請求項8] 請求項１に記載の撮像素子において、

前記画素は、第１期間において光電変換された電荷に基づく第１信号と、前記第１期間より前の第３期間において光電変換された電荷に基づく第３信号とを出力し、

前記第２信号処理部は、前記第２信号処理として、前記第１信号と前記第３信号とを加算する撮像素子。

[請求項9] 請求項６に記載の撮像素子において、

前記画素は、記録用の画像データを生成させるために操作される操作部で操作を受け付けてから開始する前記第１期間において光電変換された電荷に基づいて、前記第１信号を出力する撮像素子。

[請求項10] 請求項８に記載の撮像素子において、

前記第１信号処理部は、前記第１信号処理として、前記第１信号と前記第３信号とのうち前記第１信号を前記第１出力部に出力する撮像素子。

[請求項11] 請求項６に記載の撮像素子において、

複数の前記画素は、第１画素と第２画素とを有し、

前記第１信号処理部は、前記第１信号処理として、前記第１期間において、前記第１画素と前記第２画素とから出力された信号のうち前記第１画素から出力された信号を前記第１出力部に出力する撮像素子。

[請求項12] 請求項６に記載の撮像素子において、

複数の前記画素は、第１画素と第２画素とを有し、

前記第１信号処理部は、前記第１信号処理として、前記第１期間において、前記第１画素から出力された信号と前記第２画素から出力された信号とを加算する撮像素子。

[請求項13] 請求項１１または１２に記載の撮像素子において、

前記第１信号処理部は、前記第１信号処理が施された前記第１信号と前記第２信号とを加算する撮像素子。

[請求項14] 請求項１に記載の撮像素子において、

動画像データを生成するための第３信号処理を前記画素から出力された信号に施す第３信号処理回路を有する第３信号処理部と、

前記第３信号処理部から出力された信号を出力する第３出力部と、

を備え、

前記第１信号処理部は、第１領域と第２領域とに含まれる複数の前記画素から出力された信号に前記第１信号処理を施し、

前記第３信号処理部は、前記第１領域に含まれる複数の前記画素から出力された信号に前記第３信号処理を施す撮像素子。

[請求項15] 請求項１に記載の撮像素子において、

光源の輝度変化の周期を検出するための検出部と、

前記検出部の検出結果を出力する第３出力部と、

を備える撮像素子。

[請求項16] 請求項１５に記載の撮像素子において、

前記第１信号処理部は、第１領域と第２領域とに含まれる複数の前記画素から出力された信号に前記第１信号処理を施し、

前記検出部は、前記第１領域に含まれる複数の前記画素から出力された信号に基づいて、前記光源の輝度変化の周期を検出する撮像素子。

[請求項17] 請求項１に記載の撮像素子において、

複数の前記画素が設けられる第１基板と、

前記第１基板と接合され、前記第２信号処理部が設けられる第２基板と、

を備える撮像素子。

[請求項18] 請求項１に記載の撮像素子において、

複数の前記画素が設けられる第１基板と、

前記第１基板と接合され、前記記録回路が設けられる第２基板と、

前記第２基板と接合され、前記第２信号処理回路が設けられる第３基板と、

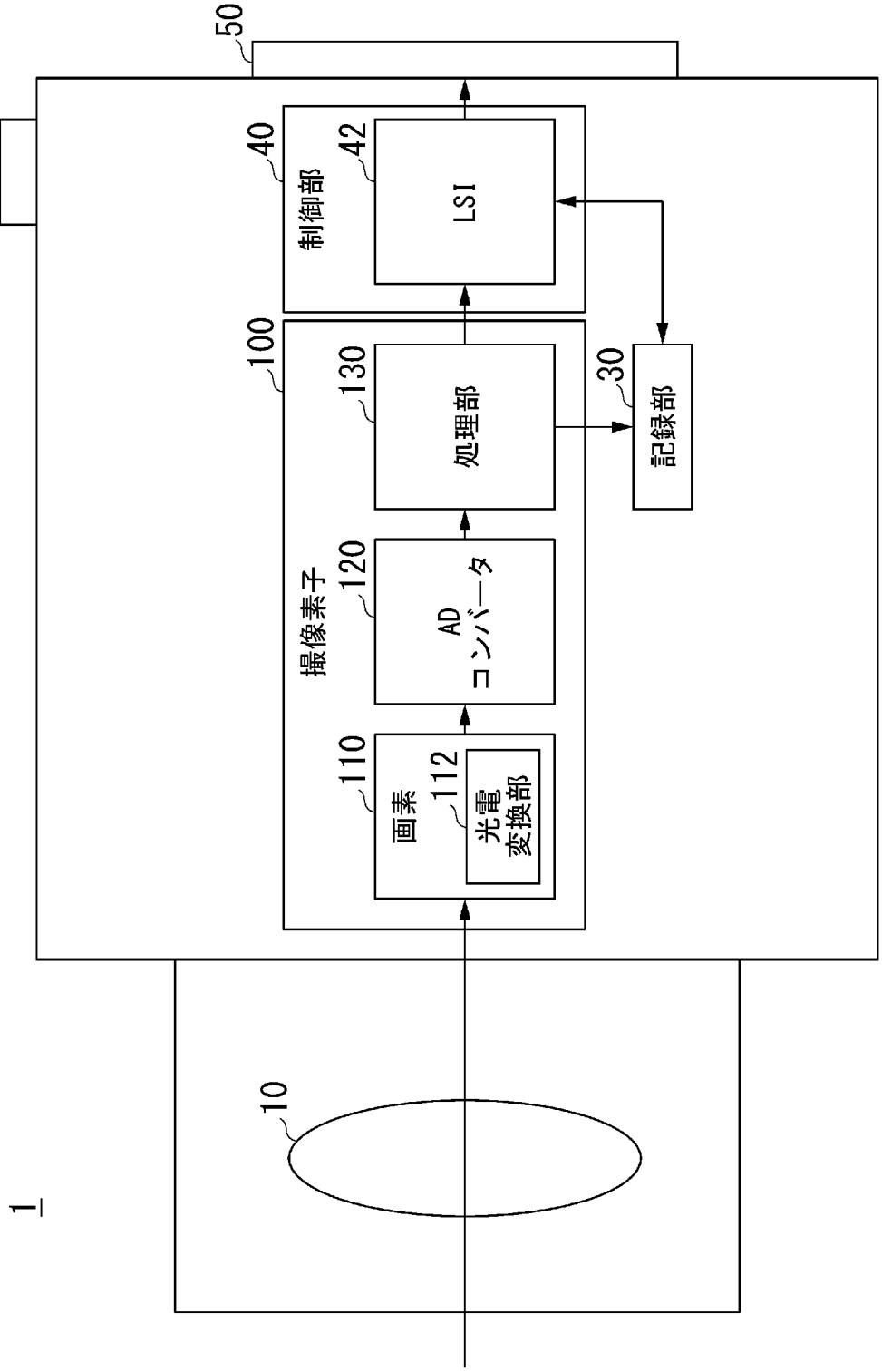
を備える撮像素子。

[請求項19] 請求項１に記載の撮像素子と、

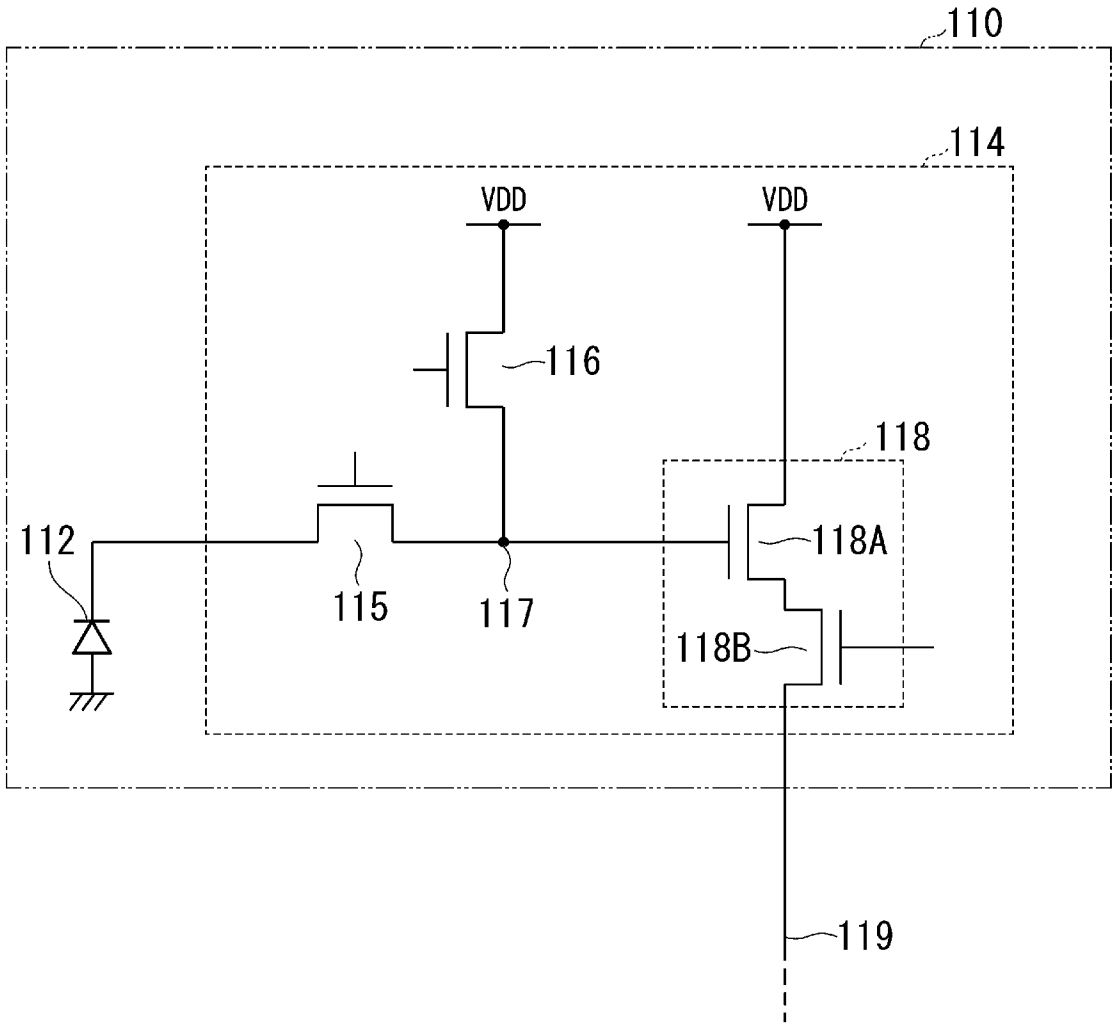
前記第１出力部から出力された信号または前記第２出力部から出力された信号に基づいて画像データを生成する生成部と、

を備える撮像装置。

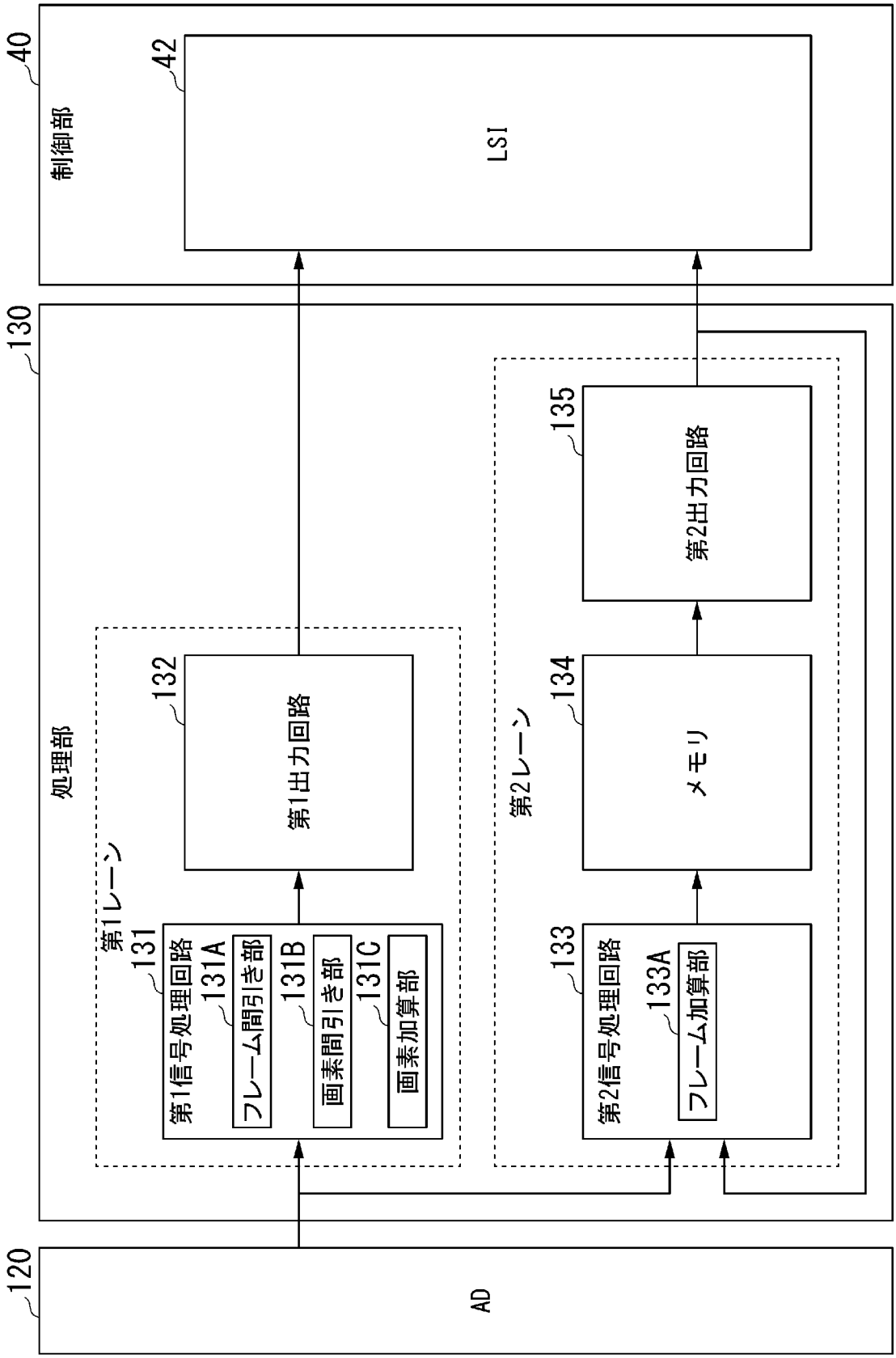
[図1]


50
20
40
制御部
42
LSI
100
130
処理部
30
記録部
撮像素子
120
AD
コンバータ
110
画素
112
光電
変換部
10
1

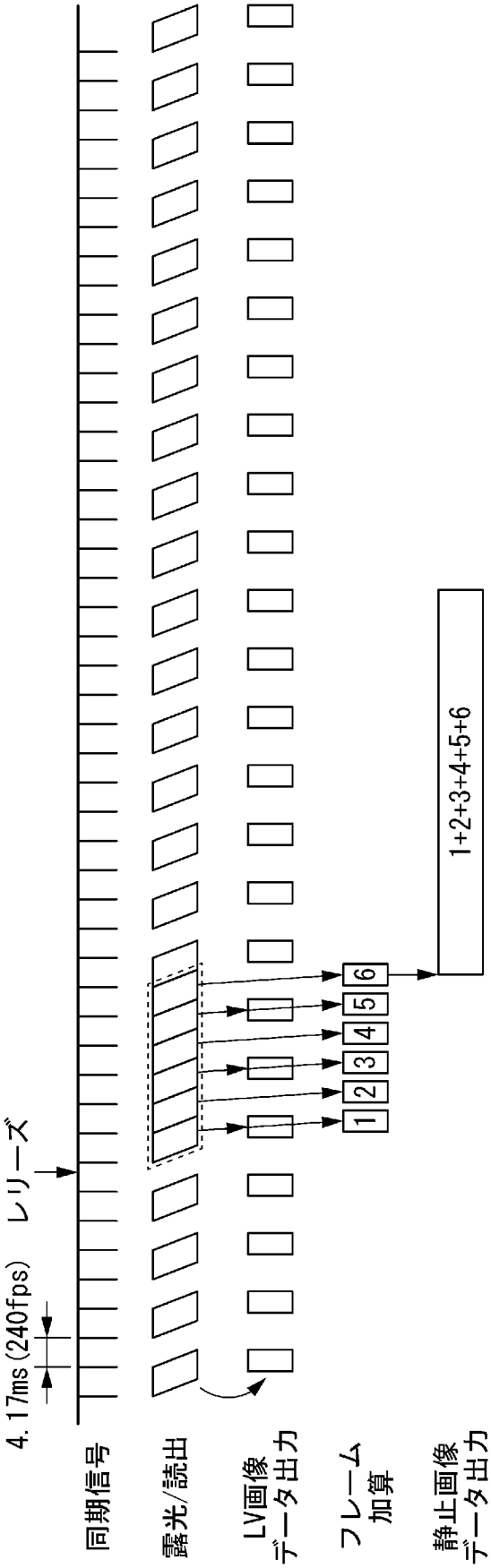
[図2]



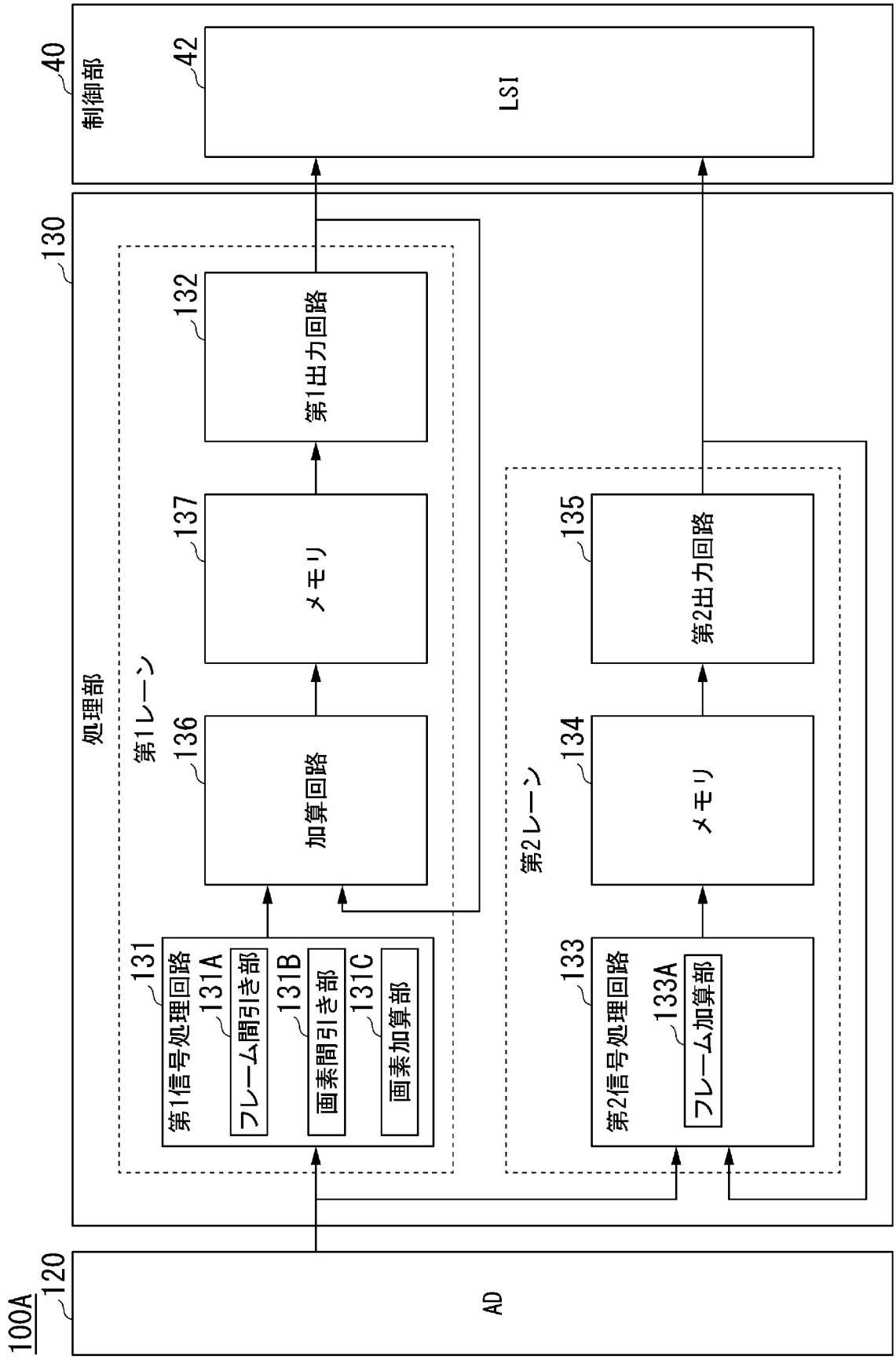
[図3]


40
制御部
42
LSI
130
処理部
第1レーン
131
第1信号処理回路
131A
フレーム間引き部
131B
画素間引き部
131C
画素加算部
132
第1出力回路
第2レーン
133
第2信号処理回路
133A
フレーム加算部
134
メモリ
135
第2出力回路
120
AD

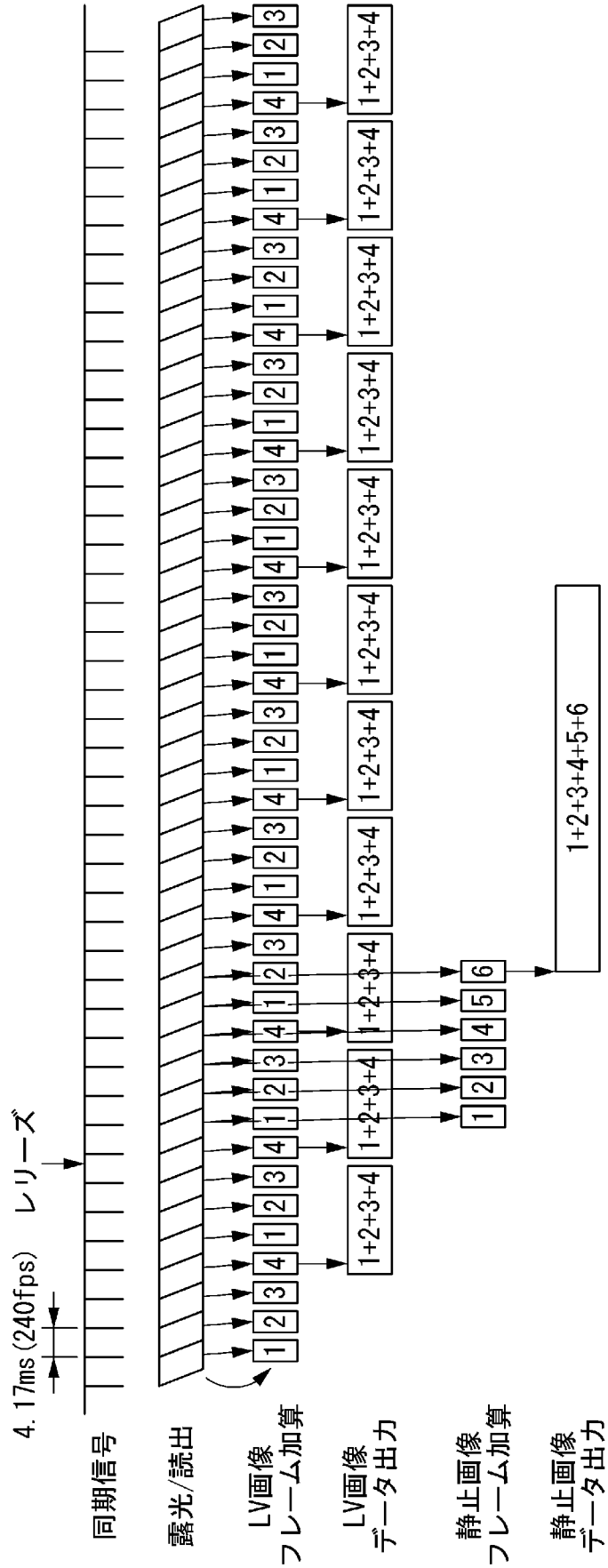
[図4]


4.17ms(240fps)
レリーズ
同期信号
露光/読出
LV画像
データ出力
フレーム
加算
静止画像
データ出力
1
2
3
4
5
6
1+2+3+4+5+6

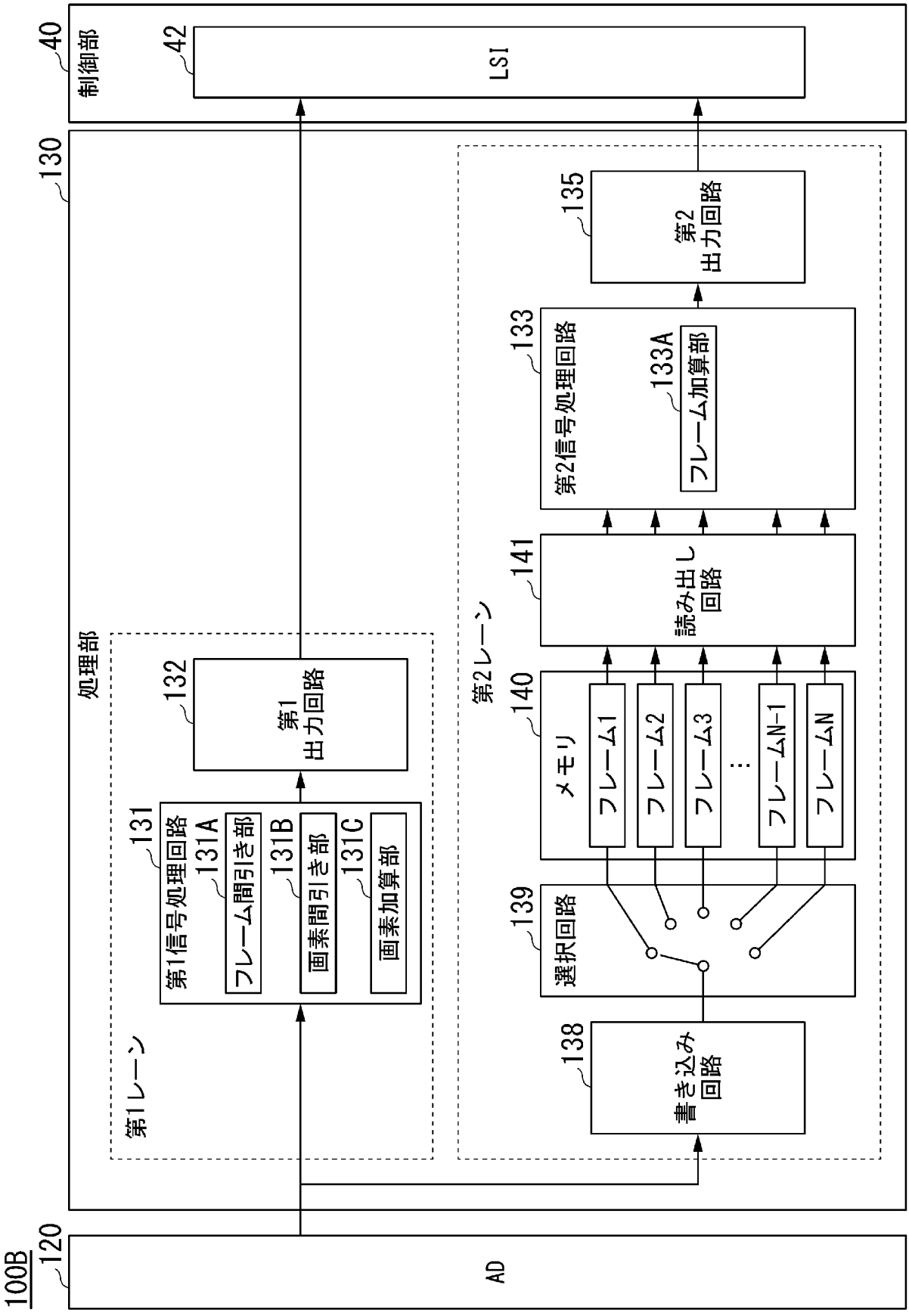
[図5]


100A
120
AD
130
処理部
第1レーン
131
第1信号処理回路
131A
フレーム間引き部
131B
画素間引き部
131C
画素加算部
136
加算回路
137
メモリ
132
第1出力回路
第2レーン
133
第2信号処理回路
133A
フレーム加算部
134
メモリ
135
第2出力回路
40
制御部
42
LSI

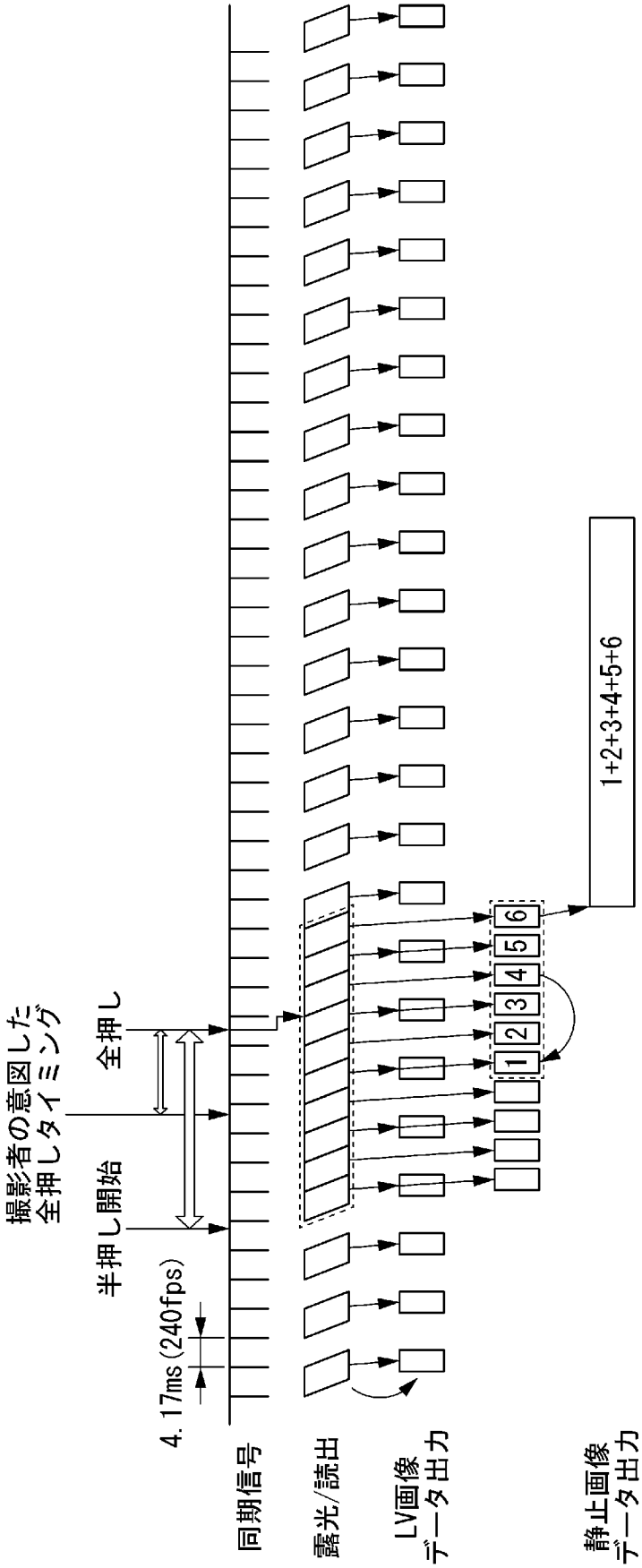
[図6]


4.17ms(240fps)
レリーズ
同期信号
露光/読出
LV画像
フレーム加算
LV画像
データ出力
静止画像
フレーム加算
静止画像
データ出力
1+2+3+4
1+2+3+4+5+6

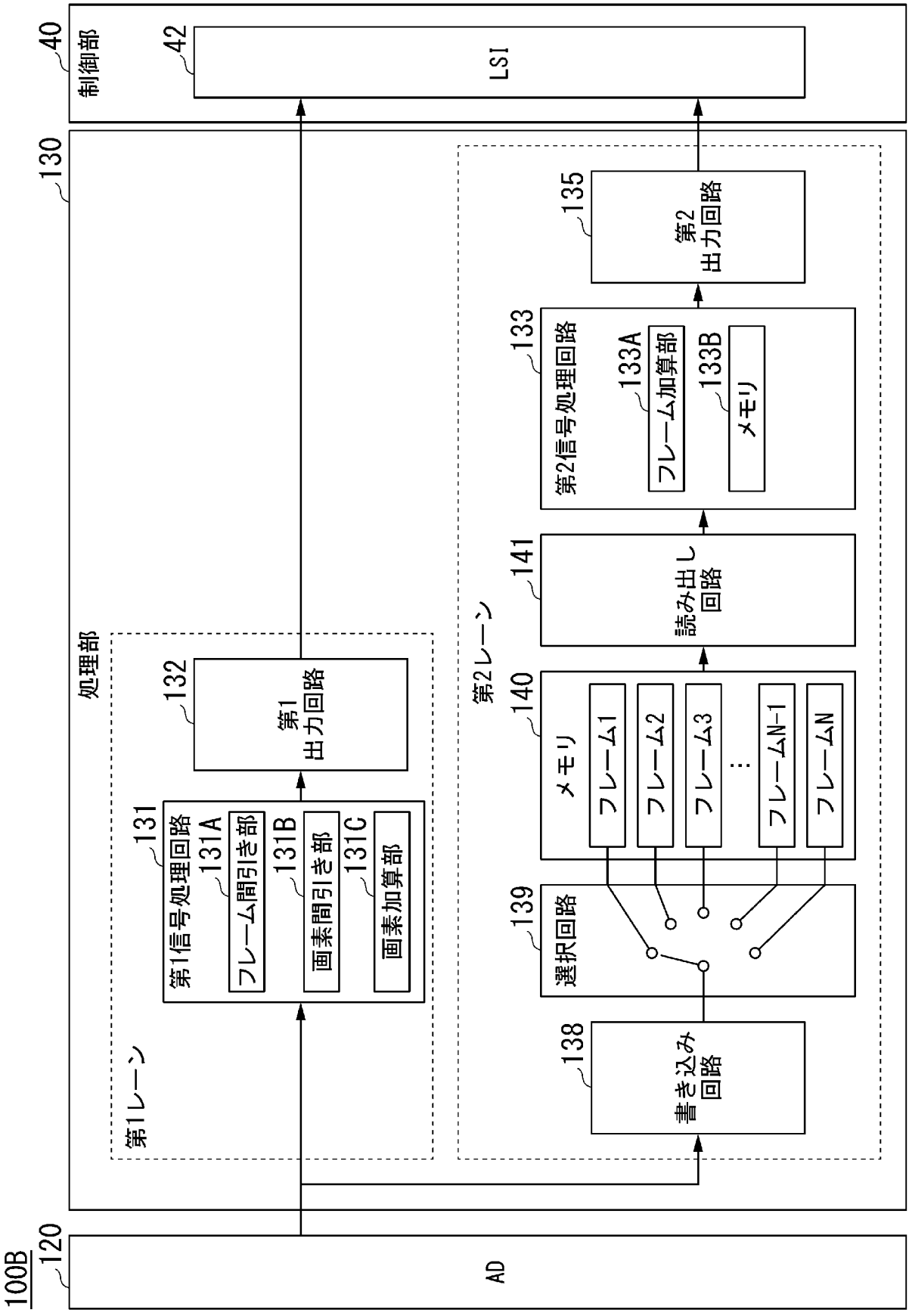
[図7]


100B
120
AD
130
処理部
第1レーン
第1信号処理回路
131
131A
フレーム間引き部
131B
画素間引き部
131C
画素加算部
132
第1
出力回路
第2レーン
138
書き込み
回路
139
選択回路
140
メモリ
フレーム1
フレーム2
フレーム3
フレームN-1
フレームN
141
読み出し
回路
第2信号処理回路
133
133A
フレーム加算部
135
第2
出力回路
40
制御部
42
LSI

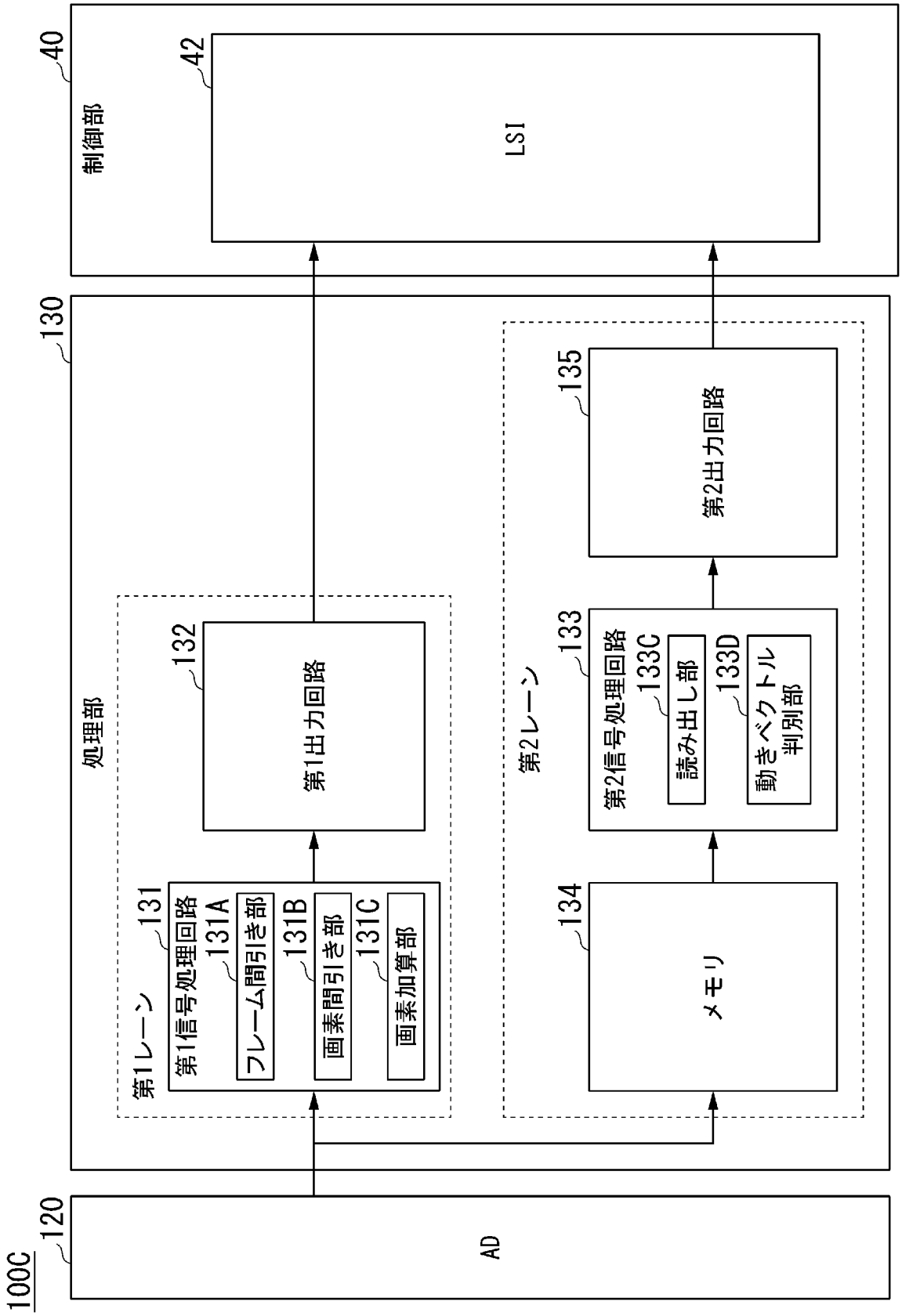
[図8]


撮影者の意図した
全押しタイミング
全押し
半押し開始
4.17ms(240fps)
同期信号
露光/読出
LV画像
データ出力
静止画像
データ出力
1
2
3
4
5
6
1+2+3+4+5+6

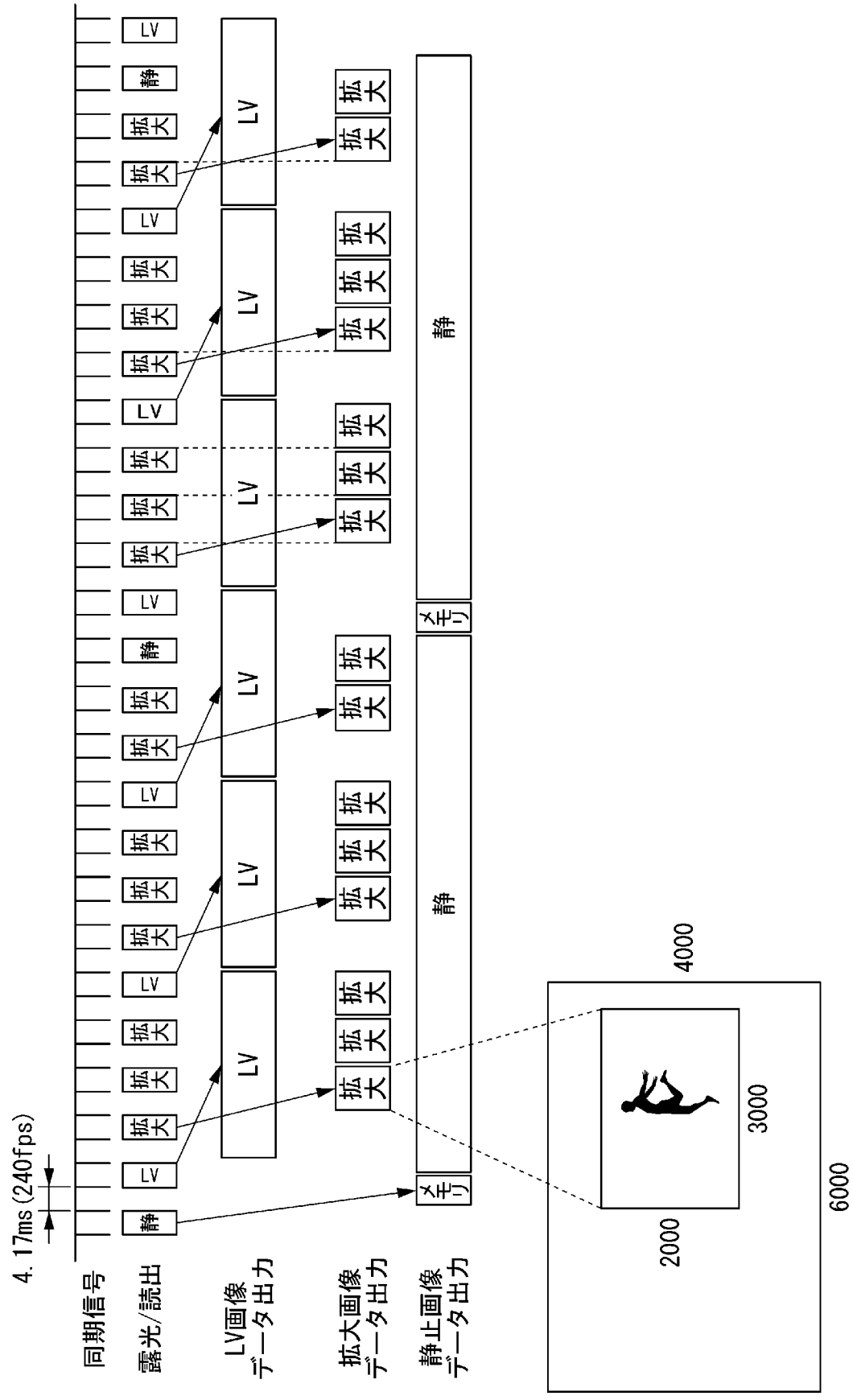
[図9]


100B
120
AD
130
処理部
第1レーン
131
第1信号処理回路
131A
フレーム間引き部
131B
画素間引き部
131C
画素加算部
132
第1
出力回路
第2レーン
133
第2信号処理回路
133A
フレーム加算部
133B
メモリ
135
第2
出力回路
140
メモリ
フレーム1
フレーム2
フレーム3
フレームN-1
フレームN
141
読み出し
回路
139
選択回路
138
書き込み
回路
40
制御部
42
LSI

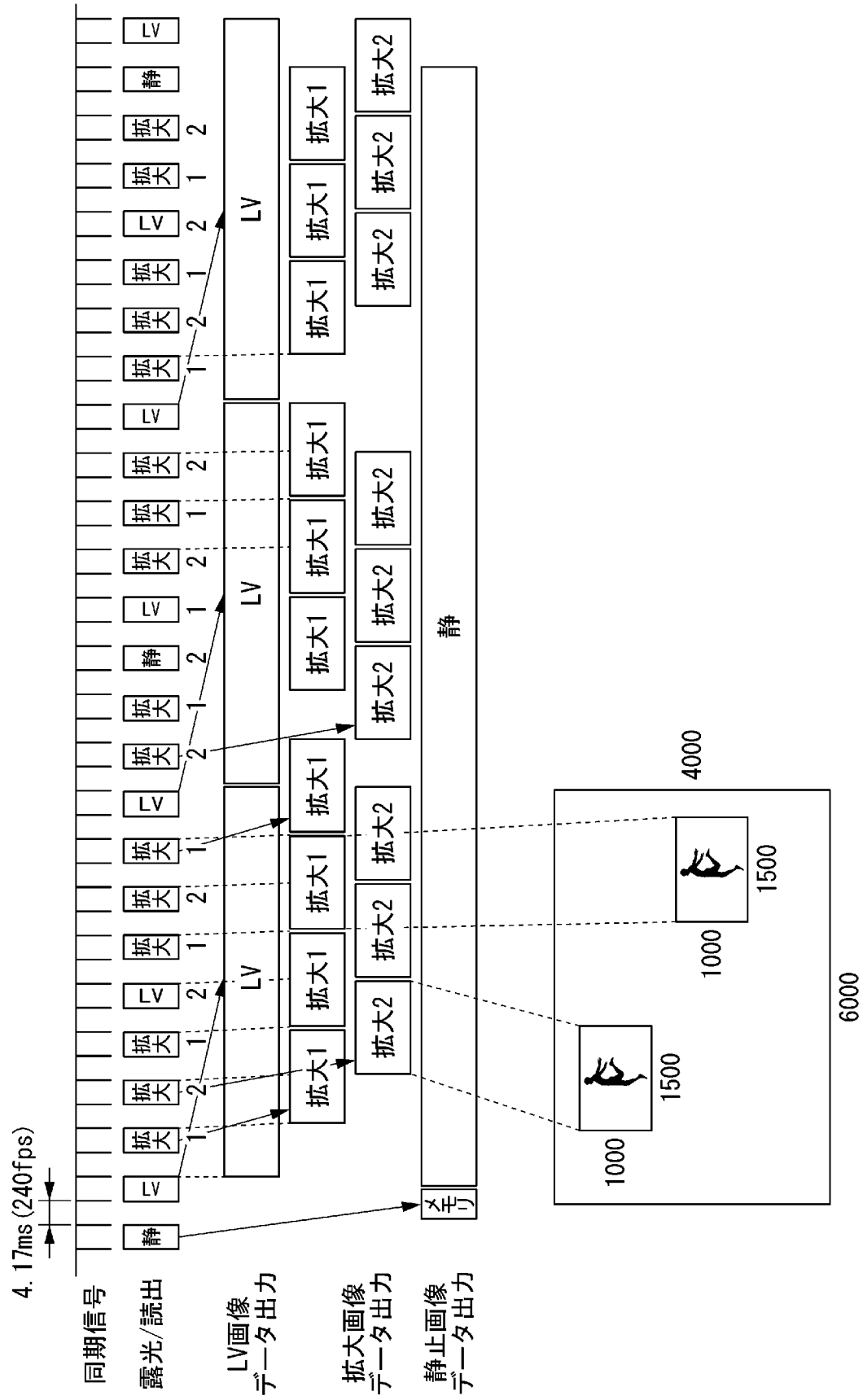
[図10]


100C
120
AD
130
処理部
第1レーン
131
第1信号処理回路
131A
フレーム間引き部
131B
画素間引き部
131C
画素加算部
132
第1出力回路
第2レーン
133
第2信号処理回路
133C
読み出し部
133D
動きベクトル判別部
134
メモリ
135
第2出力回路
40
制御部
42
LSI

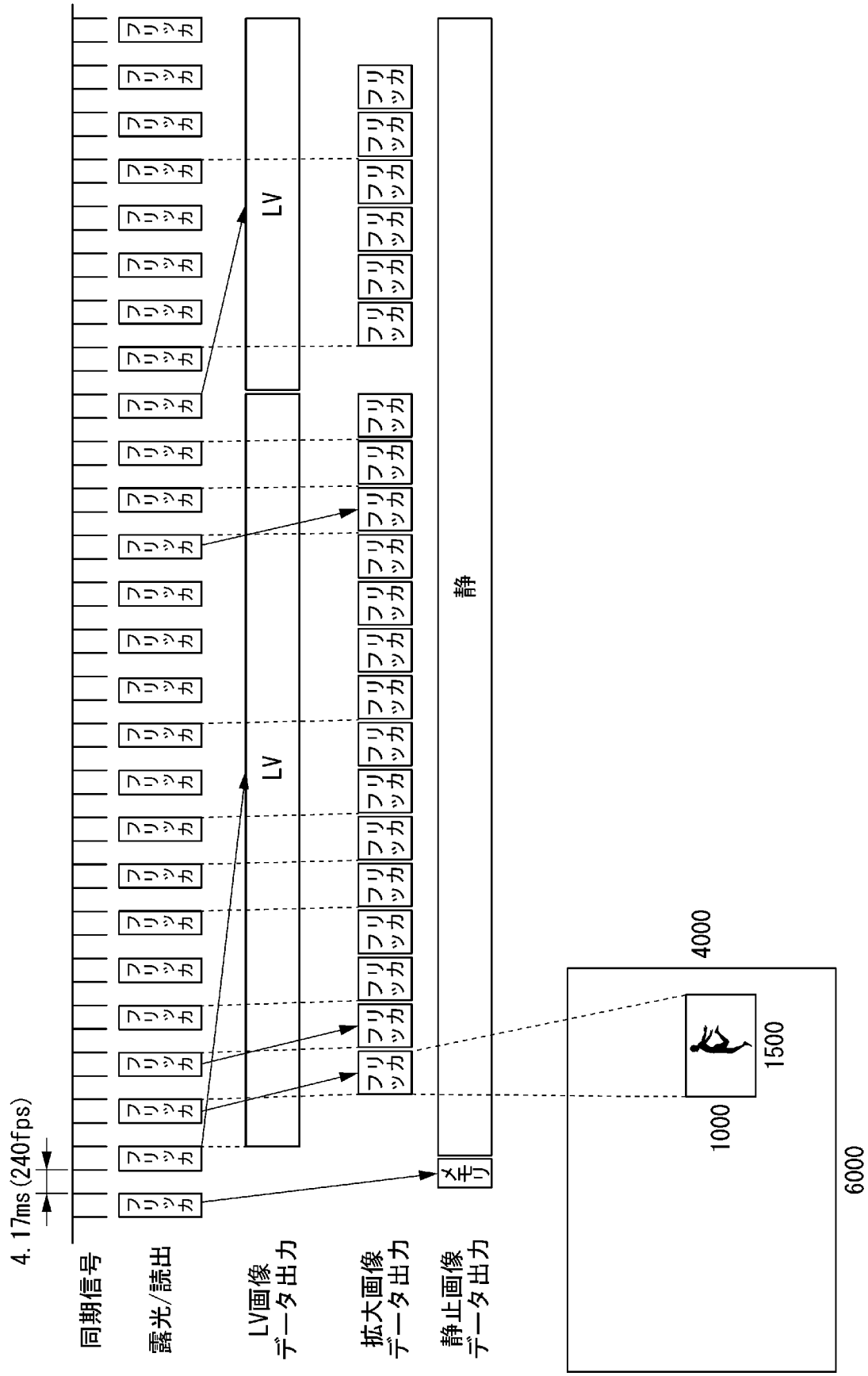
[図11]


4.17ms(240fps)
同期信号
露光/読出
LV画像データ出力
拡大画像データ出力
静止画像データ出力
静
LV
拡大
メモリ
4000
3000
2000
6000

[図12]


4.17ms(240fps)
同期信号
露光/読出
LV画像データ出力
拡大画像データ出力
静止画像データ出力
静
LV
拡大1
拡大2
メモリ
1000
1500
4000
6000

[図13]


4.17ms (240fps)
同期信号
露光/読出
LV画像
データ出力
拡大画像
データ出力
静止画像
データ出力
フリッカ
メモリ
LV
静
4000
1500
1000
6000

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/012785

A. CLASSIFICATION OF SUBJECT MATTER

H04N 25/70(2023.01)i; ***H04N 23/63***(2023.01)i; ***H04N 23/667***(2023.01)i
FI: H04N25/70; H04N23/63 110; H04N23/667

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/70; H04N23/63; H04N23/667

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2018/066306 A1 (FUJIFILM CORPORATION) 12 April 2018 (2018-04-12) paragraphs [0027], [0035], [0035]-[0135], fig. 1-4, in particular, paragraphs [0067]-[0081], fig. 4	1-4, 6-10, 17, 19
Y		5, 11-16, 18
Y	JP 2017-204784 A (CANON KABUSHIKI KAISHA) 16 November 2017 (2017-11-16) paragraphs [0015]-[0020], [0072], [0088]-[0090], [0096], fig. 1-3, 8, 11	5, 11-13
A		17
Y	JP 2020-98968 A (OLYMPUS CORPORATION) 25 June 2020 (2020-06-25) paragraphs [0036]-[0070], fig. 2-5, in particular, paragraph [0064]	11-14
Y	JP 2008-205620 A (CANON KABUSHIKI KAISHA) 04 September 2008 (2008-09-04) paragraphs [0010]-[0012]	13
Y	JP 2009-212909 A (SHARP KABUSHIKI KAISHA) 17 September 2009 (2009-09-17) paragraphs [0042]-[0048], fig. 1-5	15-16

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 May 2024	**04 June 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2015/022900 A1 (NIKON CORPORATION) 19 February 2015 (2015-02-19) paragraphs [0015]-[0021], fig. 1	18
Y	WO 2018/030137 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 15 February 2018 (2018-02-15) paragraphs [0182]-[0186], fig. 21-22	18

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/012785

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(Invention 1) Claims 1-4 and 19

Claims 1-4 and 19 lack novelty in light of document 1 (WO 2018/066306 A1 (FUJIFILM CORPORATION)) and thus do not have a special technical feature.

Claims 1-4 and 19 are classified as invention 1.

(Invention 2) Claim 5

It cannot be said that claim 5 has a special technical feature identical or corresponding to that of claims 1-4 and 19 classified as invention 1.

Also, claim 5 is dependent on claim 1 classified as invention 1, but the technical feature, added to claim 1, in which "the second output unit outputs signals output from the second signal processing unit while the first output unit outputs signals output from the first signal processing unit," has little technical relevance to the technical feature of claim 1. Accordingly, claim 5 is not considered to be inventively related to claim 1.

In addition, claim 5 is not substantially identical to or similarly closely related to any of the claims classified as invention 1.

Therefore, claim 5 cannot be classified as invention 1.

Also, claim 5 has the special technical feature described above and is thus classified as invention 2.

(Invention 3) Claims 6-13

It cannot be said that claims 6-13 have a special technical feature identical or corresponding to that of claims 1-4 and 19 classified as invention 1 or claim 5 classified as invention 2.

Also, claims 6-7, 9, and 11-13 are dependent on claim 1 classified as invention 1, but the technical feature, added to claim 1, in which "the pixel outputs a first signal based on electric charges photoelectrically converted during a first period and a second signal based on electric charges photoelectrically converted during a second period after the first period, and the second signal processing unit adds the first signal and the second signal as the second signal processing," has little technical relevance to the technical feature of claim 1. Accordingly, claims 6-7, 9, and 11-13 are not considered to be inventively related to claim 1.

Also, claims 8 and 10 are dependent on claim 1 classified as invention 1, but the technical feature, added to claim 1, in which "the pixel outputs a first signal based on electric charges photoelectrically converted during a first period and a third signal based on electric charges photoelectrically converted during a third period before the first period, and the second signal processing unit adds the first signal and the third signal as the second signal processing," has little technical relevance to the technical feature of claim 1. Accordingly, claims 8 and 10 are not considered to be inventively related to claim 1.

Also, claims 6-13 are not substantially identical to or similarly closely related to any of the claims classified as invention 1 or invention 2.

Herein, the technical feature of claims 6-7, 9, and 11-13 has significant technical relevance to the technical feature of claims 8 and 10.

Also, claims 6-13 have the special technical feature described above and are thus classified as invention 3.

(Invention 4) Claim 14

It cannot be said that claim 14 has a special technical feature identical or corresponding to that of claims 1-4 and 19 classified as invention 1, claim 5 classified as invention 2, or claims 6-13 classified as invention 3.

Also, claim 14 is dependent on claim 1 classified as invention 1, but the technical feature, added to claim 1, of "comprising: a third signal processing unit having a third signal processing circuit that performs third signal processing on the signal output from the pixel to thereby generate dynamic image data; and a third output unit that outputs the signal output from the third signal processing unit, wherein the first signal processing unit performs the first signal processing on the signals output from the plurality of pixels provided in a first region and a second region, and the third signal processing unit performs the third signal processing on the signals output from the plurality of pixels provided in the first region," has little technical relevance to the technical feature of claim 1. Accordingly, claim 14 is not considered to be inventively related to claim 1.

Also, claim 14 is not substantially identical to or similarly closely related to any of the claims classified as invention 1, invention 2, and invention 3.

Therefore, claim 14 cannot be classified as any of invention 1, invention 2, and invention 3.

Also, claim 14 has the special technical feature described above and is thus classified as invention 4.

(Invention 5) Claims 15 and 16

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/012785

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

It cannot be said that claims 15 and 16 have a special technical feature identical or corresponding to that of claims 1-4 and 19 classified as invention 1, claim 5 classified as invention 2, claims 6-13 classified as invention 3, or claim 14 classified as invention 4.

Also, claims 15 and 16 are dependent on claim 1 classified as invention 1, but the technical feature, added to claim 1, of "comprising: a detection unit for detecting the period of change in luminance of a light source; and a third output unit for outputting a detection result of the detection unit," has little technical relevance to the technical feature of claim 1. Accordingly, claims 15 and 16 are not considered to be inventively related to claim 1.

Also, claims 15 and 16 are not substantially identical to or similarly closely related to any of the claims classified as invention 1, invention 2, invention 3, and invention 4.

Therefore, claims 15 and 16 cannot be classified as any of invention 1, invention 2, invention 3, and invention 4.

Also, claims 15 and 16 have the special technical feature described above and are thus classified as invention 5.

(Invention 6) Claims 17 and 18

It cannot be said that claims 17 and 18 have a special technical feature identical or corresponding to that of claims 1-4 and 19 classified as invention 1, claim 5 classified as invention 2, claims 6-13 classified as invention 3, claim 14 classified as invention 4, or claims 15 and 16 classified as invention 5.

Also, claims 17 and 18 are dependent on claim 1 classified as invention 1, but the technical feature, added to claim 1, of "comprising: a first substrate on which the plurality of pixels are provided; and a second substrate which is bonded to the first substrate and on which the second signal processing unit is provided" (claim 17) and "comprising: a first substrate on which the plurality of pixels are provided; a second substrate which is bonded to the first substrate and on which the recording circuit is provided; and a third substrate which is bonded to the second substrate and on which the second signal processing circuit is provided" (claim 18), has little technical relevance to the technical feature of claim 1. Accordingly, claims 17 and 18 are not considered to be inventively related to claim 1.

In addition, claims 17 and 18 are not substantially identical to or similarly closely related to any of the claims classified as invention 1, invention 2, invention 3, invention 4, and invention 5.

Therefore, claim 15 and 16 cannot be classified as any of invention 1, invention 2, invention 3, invention 4, and invention 5.

Herein, the technical feature of claim 17 has significant technical relevance to the technical feature of claims 18.

Also, claims 17 and 18 have the special technical feature described above and are thus classified as invention 6.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☑ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/012785

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2018/066306 A1	12 April 2018	US 2019/0230268 A1 paragraphs [0038], [0046], [0046]-[0146], fig. 1-4, in particular, paragraphs [0078]-[0092], fig. 4 CN 109792494 A	
JP 2017-204784 A	16 November 2017	US 2017/0332027 A1 paragraphs [0028]-[0033], [0088], [0104]-[0108], [0115], fig. 1-3, 8, 11	
JP 2020-98968 A	25 June 2020	US 2020/0194484 A1 paragraphs [0041]-[0077], fig. 2-5, in partiuclar, paragraph [0071]	
JP 2008-205620 A	04 September 2008	(Family: none)	
JP 2009-212909 A	17 September 2009	(Family: none)	
WO 2015/022900 A1	19 February 2015	US 2016/0198115 A1 paragraphs [0031]-[0037], fig. 1 EP 3035667 A1 CN 105474627 A	
WO 2018/030137 A1	15 February 2018	US 2019/0280025 A1 paragraphs [0228]-[0232], fig. 21-22 CN 109716756 A	

国際調査報告

国際出願番号
PCT/JP2024/012785

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 25/70(2023.01)i; H04N 23/63(2023.01)i; H04N 23/667(2023.01)i
FI: H04N25/70; H04N23/63 110; H04N23/667

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N25/70; H04N23/63; H04N23/667

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2018/066306 A1 (富士フイルム株式会社) 12.04.2018 (2018-04-12) ［００２７］，［００３５］，［００３５］－［０１３５］及び図１－４，特に［００６７］－［００８１］及び図４	1-4, 6-10, 17, 19
Y		5, 11-16, 18
Y	JP 2017-204784 A (キヤノン株式会社) 16.11.2017 (2017-11-16) 【００１５】－【００２０】，【００７２】，【００８８】－【００９０】，【００９６】，図１－３，図８及び図１１	5, 11-13
A		17
Y	JP 2020-98968 A (オリンパス株式会社) 25.06.2020 (2020-06-25) 【００３６】－【００７０】及び図２－５，特に【００６４】	11-14
Y	JP 2008-205620 A (キヤノン株式会社) 04.09.2008 (2008-09-04) 【００１０】－【００１２】	13
Y	JP 2009-212909 A (シャープ株式会社) 17.09.2009 (2009-09-17) 【００４２】－【００４８】及び図１－５	15-16

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
21.05.2024	04.06.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

藏田　敦之 2V 9510

電話番号 03-3581-1101 内線 3271

国際出願番号
PCT/JP2024/012785

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2015/022900 A1 (株式会社ニコン) 19.02.2015 (2015-02-19) ［００１５］－［００２１］及び図１	18
Y	WO 2018/030137 A1 (ソニーセミコンダクタソリューションズ株式会社) 15.02.2018 (2018-02-15) ［０１８２］－［０１８６］及び図２１－２２	18

国際調査報告

国際出願番号
PCT/JP2024/012785

第Ⅲ欄　　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

（発明１）請求項１－４、１９
　請求項１－４、１９は、文献１(WO 2018/066306 A1（富士フイルム株式会社))により新規性が欠如しているため、特別な技術的特徴を有しない。
　請求項１－４、１９を発明１に区分する。

（発明２）請求項５
　請求項５は、発明１に区分された請求項１－４、１９と、同一の又は対応する特別な技術的特徴を有しているとはいえない。
　また、請求項５は、発明１に区分された請求項１の従属請求項であるが、請求項１に対して追加された技術的特徴である「前記第２出力部は、前記第１出力部が前記第１信号処理部から出力された信号を出力している間に、前記第２信号処理部から出力された信号を出力する」は、請求項１の技術的特徴と、技術的関連性が低い。このため、請求項５が請求項１に対して発明の連関性を有しているとは認められない。
　さらに、請求項５は、発明１に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
　したがって、請求項５は発明１に区分できない。
　そして、請求項５は、上記の特別な技術的特徴を有しているので、発明２に区分する。

（発明３）請求項６－１３
　請求項６－１３は、発明１に区分された請求項１－４、１９又は発明２に区分された請求項５と、同一の又は対応する特別な技術的特徴を有しているとはいえない。
　また、請求項６－７、９、１１－１３は、発明１に区分された請求項１の従属請求項であるが、請求項１に対して追加された技術的特徴である「前記画素は、第１期間において光電変換された電荷に基づく第１信号と、前記第１期間より後の第２期間において光電変換された電荷に基づく第２信号とを出力し、前記第２信号処理部は、前記第２信号処理として、前記第１信号と前記第２信号とを加算する」点は、請求項１の技術的特徴との関連性が低い。このため、請求項６－７、９、１１－１３が請求項１に対して発明の連関性を有しているとは認められない。
　また、請求項８、１０は、発明１に区分された請求項１の従属請求項であるが、請求項１に対して追加された技術的特徴である「前記画素は、第１期間において光電変換された電荷に基づく第１信号と、前記第１期間より前の第３期間において光電変換された電荷に基づく第３信号とを出力し、前記第２信号処理部は、前記第２信号処理として、前記第１信号と前記第３信号とを加算する」点は、請求項１の技術的特徴との関連性が低い。このため、請求項８、１０が請求項１に対して発明の連関性を有しているとは認められない。
　さらに、請求項６－１３は、発明１又は発明２に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
　ここで、請求項６－７、９、１１－１３の上記技術的特徴と、請求項８、１０の上記技術的特徴とは、関連性が高い。
　そして、請求項６－１３は、上記の特別な技術的特徴としているので、発明３に区分する。

（発明４）請求項１４
　請求項１４は、発明１に区分された請求項１－４、１９、発明２に区分された請求項５、発明３に区分された請求項６－１３と、同一の又は対応する特別な技術的特徴を有しているとはいえない。
　また、請求項１４は、発明１に区分された請求項１の従属請求項であるが、請求項１に対して追加された技術的特徴である「動画像データを生成するための第３信号処理を前記画素から出力された信号に施す第３信号処理回路を有する第３信号処理部と、前記第３信号処理部から出力された信号を出力する第３出力部と、を備え、前記第１信号処理部は、第１領域と第２領域とに含まれる複数の前記画素から出力された信号に前記第１信号処理を施し、前記第３信号処理部は、前記第１領域に含まれる複数の前記画素から出力された信号に前記第３信号処理を施す」点は、請求項１の技術的特徴との関連性が低い。このため、請求項１４が請求項１に対して発明の連関性を有しているとは認められない。
　さらに、請求項１４は、発明１、発明２及び発明３に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
　したがって、請求項１４は、発明１、発明２及び発明３のいずれにも区分できない。
　そして、請求項１４は、上記の特別な技術的特徴を有しているので、発明４に区分する。

（発明５）請求項１５－１６

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

請求項１５－１６は、発明１に区分された請求項１－４、１９、発明２に区分された請求項５、発明３に区分された請求項６－１３、発明４に区分された請求項１４と、同一の又は対応する特別な技術的特徴を有しているとはいえない。

また、請求項１５－１６は、発明１に区分された請求項１の従属請求項であるが、請求項１に対して追加された技術的特徴である「光源の輝度変化の周期を検出するための検出部と、前記検出部の検出結果を出力する第３出力部と、を備える」点は、請求項１の技術的特徴との関連性が低い。このため、請求項１５－１６が請求項１に対して発明の連関性を有しているとは認められない。

さらに、請求項１５－１６は、発明１、発明２、発明３及び発明４に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項１５－１６は、発明１、発明２、発明３及び発明４のいずれにも区分できない。

そして、請求項１５－１６は、上記の特別な技術的特徴を有しているので、発明５に区分する。

（発明６）請求項１７－１８

請求項１７－１８は、発明１に区分された請求項１－４、１９、発明２に区分された請求項５、発明３に区分された請求項６－１３、発明４に区分された請求項１４、発明５に区分された請求項１５－１６と、同一の又は対応する特別な技術的特徴を有しているとはいえない。

また、請求項１７－１８は、発明１に区分された請求項１の従属請求項であるが、請求項１に対して追加された技術的特徴である「複数の前記画素が設けられる第１基板と、前記第１基板と接合され、前記第２信号処理部が設けられる第２基板と、を備える」点（請求項１７）及び「複数の前記画素が設けられる第１基板と、前記第１基板と接合され、前記記録回路が設けられる第２基板と、前記第２基板と接合され、前記第２信号処理回路が設けられる第３基板と、を備える」点（請求項１８）は、請求項１の技術的特徴との関連性が低い。このため、請求項１７－１８が請求項１に対して発明の連関性を有しているとは認められない。

さらに、請求項１７－１８は、発明１、発明２、発明３、発明４及び発明５に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項１５－１６は、発明１、発明２、発明３、発明４及び発明５のいずれにも区分できない。

ここで、請求項１７と請求項１８とが有する技術的特徴は、関連性が高い。

そして、請求項１７－１８は、上記の特別な技術的特徴を有しているので、発明６に区分する。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

2. ☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/012785

引用文献	公表日	パテントファミリー文献	公表日
WO 2018/066306 A1	12.04.2018	US 2019/0230268 A1 ［００３８］，［００４６］，［００４６］－［０１４６］及び図１－４，特に［００７８］－［００９２］及び図４ CN 109792494 A	
JP 2017-204784 A	16.11.2017	US 2017/0332027 A1 ［００２８］－［００３３］，［００８８］，［０１０４］－［０１０８］，［０１１５］，図１－３，図８及び図１１	
JP 2020-98968 A	25.06.2020	US 2020/0194484 A1 ［００４１］－［００７７］及び図２－５，特に［００７１］	
JP 2008-205620 A	04.09.2008	（ファミリーなし）	
JP 2009-212909 A	17.09.2009	（ファミリーなし）	
WO 2015/022900 A1	19.02.2015	US 2016/0198115 A1 ［００３１］－［００３７］及び図１ EP 3035667 A1 CN 105474627 A	
WO 2018/030137 A1	15.02.2018	US 2019/0280025 A1 ［０２２８］－［０２３２］及び図２１－２２ CN 109716756 A	