

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-534897

(P2010-534897A)

(43) 公表日 平成22年11月11日(2010.11.11)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/406 (2006.01)	G 1 1 C 11/34 3 6 3 J	5 B 0 6 0
G 0 6 F 12/00 (2006.01)	G 0 6 F 12/00 5 5 0 B	5 M 0 2 4
	G 0 6 F 12/00 5 5 0 E	
	G 1 1 C 11/34 3 6 3 K	

審査請求 有 予備審査請求 未請求 (全 16 頁)

(21) 出願番号	特願2010-518407 (P2010-518407)	(71) 出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92 121-1714、サン・ディエゴ、モア ハウス・ドライブ 5775
(86) (22) 出願日	平成20年7月25日 (2008. 7. 25)		
(85) 翻訳文提出日	平成22年3月26日 (2010. 3. 26)		
(86) 国際出願番号	PCT/US2008/071153		
(87) 国際公開番号	W02009/015324		
(87) 国際公開日	平成21年1月29日 (2009. 1. 29)		
(31) 優先権主張番号	11/828, 569	(74) 代理人	100108855 弁理士 蔵田 昌俊
(32) 優先日	平成19年7月26日 (2007. 7. 26)	(74) 代理人	100091351 弁理士 河野 哲
(33) 優先権主張国	米国 (US)	(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 有効データインジケータの使用によってダイナミックRAM電力消費を減らすシステムおよび方法

(57) 【要約】

DRAMまたはSDRAMのコンポーネントは、行のような、DRAMアレイの独立してリフレッシュ可能なメモリ装置が有効データを含むかどうかを示すインジケータを維持する。リフレッシュ操作が関連するメモリに導かれるとき、メモリが有効データを含んでいない場合にリフレッシュ操作が抑えられる。著しい省電力は無効データに向けられたリフレッシュ操作を抑えることにより実現されるかもしれない。

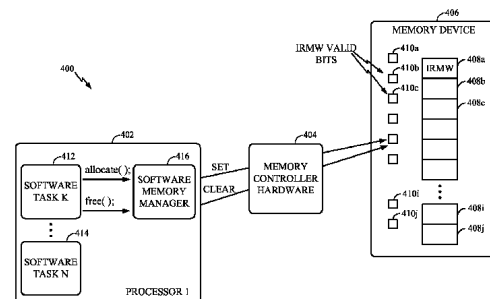


FIG. 4

【特許請求の範囲】**【請求項 1】**

それぞれ独立してリフレッシュ可能なメモリ装置にインジケータを関連させることと、
独立してリフレッシュ可能なメモリ装置にデータを書き込むことで、有効データを反映させるために関連するインジケータをセットすることと、
その関連するインジケータがメモリ装置に記憶された有効データを反映する、独立してリフレッシュ可能なメモリ装置だけをリフレッシュすることとを具備する
ダイナミックメモリをリフレッシュすることの方法。

【請求項 2】

前記独立してリフレッシュ可能なメモリ装置が行である請求項 1 の方法。

10

【請求項 3】

前記独立してリフレッシュ可能なメモリ装置が 2 つ以上のメモリバンクを通して行を具備する請求項 1 の方法。

【請求項 4】

前記インジケータが有効ビットである請求項 1 の方法。

【請求項 5】

前記有効ビットが D R A M アレイに記憶される請求項 4 の方法。

【請求項 6】

前記有効ビットがスタティックメモリに記憶される請求項 4 の方法。

20

【請求項 7】

前記有効ビットがレジスタに記憶される請求項 4 の方法。

【請求項 8】

有効データを反映させるために前記関連するインジケータをセットすることは、
前記関連する独立してリフレッシュ可能なメモリ装置にデータを書き込むことで前記インジケータを自動的にセットすることとを具備する請求項 1 の方法。

【請求項 9】

有効データを反映させるために前記関連するインジケータをセットすることは、
メモリコントローラからのコマンドで前記インジケータをセットすることとを具備する請求項 1 の方法。

30

【請求項 10】

有効データを反映するためにセットしたインジケータはリセットでクリアされる請求項 1 の方法。

【請求項 11】

有効データを反映するためにセットしたインジケータは、メモリコントローラからのコマンドでクリアされる請求項 1 の方法。

【請求項 12】

その関連するインジケータがメモリ装置に記憶された有効データを反映する、前記独立してリフレッシュ可能なメモリ装置だけをリフレッシュすることは、

その関連するインジケータがそこに記憶された有効データを反映する、前記独立してリフレッシュ可能なメモリ装置だけをセルフリフレッシュすることとを具備する請求項 1 の方法。

40

【請求項 13】

その関連するインジケータがメモリ装置に記憶された有効データを反映する、前記独立してリフレッシュ可能なメモリ装置だけをリフレッシュすることは、

その関連するインジケータがそこに記憶された有効データを反映する、前記独立してリフレッシュ可能なメモリ装置だけをオートリフレッシュすることとを具備する請求項 1 の方法。

【請求項 14】

その関連するインジケータがメモリ装置に記憶された有効データを反映する、前記独立してリフレッシュ可能なメモリ装置だけをリフレッシュすることは、

50

不連続の独立してリフレッシュ可能なメモリ装置を連続してリフレッシュすることを具備する請求項 1 の方法。

【請求項 1 5】

その関連するインジケータがメモリ装置に記憶された有効データを反映する、前記独立してリフレッシュ可能なメモリ装置だけをリフレッシュすることは、

リフレッシュコマンドを受け取ることと、

現在のリフレッシュアドレスに関連した前記インジケータを検査することと、

前記インジケータが有効データを反映する場合で、前記アドレスされた、独立してリフレッシュ可能なメモリ装置をリフレッシュすることを具備する請求項 1 の方法。

【請求項 1 6】

前記インジケータが無効データを反映する場合で、リフレッシュサイクルを抑えることをさらに具備する請求項 1 4 の方法。

【請求項 1 7】

前記インジケータが有効データを反映する場合で、有効データを反映する前記インジケータをもつ、前記次の独立してリフレッシュ可能なメモリ装置へのリフレッシュアドレスをインクリメントすることをさらに具備する請求項 1 4 の方法。

【請求項 1 8】

スキップされたリフレッシュアドレスの数に比例してリフレッシュ回数を縮小することをさらに具備する請求項 1 6 の方法。

【請求項 1 9】

データを記憶するのに作用し、複数の独立してリフレッシュ可能なメモリ装置として組織された D R A M アレイと、

各々独立してリフレッシュ可能なメモリ装置に関係していて、有効データが前記独立してリフレッシュ可能なメモリ装置に記憶されるかどうか示した複数のインジケータと、

前記インジケータを検査し、かつ有効データを記憶する独立してリフレッシュ可能なメモリ装置だけをリフレッシュするために制御信号とオペレイティヴ (operative) を受け取るコントローラと

を具備する D R A M コンポーネント。

【請求項 2 0】

前記 D R A M アレイの中の前記独立してリフレッシュ可能なメモリ装置のアドレスを生成するのに作用するリフレッシュカウンタをさらに具備する請求項 1 9 の D R A M コンポーネント。

【請求項 2 1】

データが、関連する独立してリフレッシュ可能なメモリ装置に書き込まれている場合にインジケータをセットするのに作用する回路をさらに具備する請求項 1 9 の D R A M コンポーネント。

【請求項 2 2】

前記インジケータが初期設定中にクリアされる請求項 1 9 の D R A M コンポーネント。

【請求項 2 3】

前記コントローラは、制御信号に応じて前記インジケータをセットするかクリアするのにさらに作用する請求項 1 9 の D R A M コンポーネント。

【請求項 2 4】

前記インジケータは、1 つ以上の独立してリフレッシュ可能なメモリ装置に記憶される請求項 1 9 の D R A M コンポーネント。

【請求項 2 5】

前記インジケータは、前記 D R A M アレイとは異なるメモリに記憶される請求項 1 9 の D R A M コンポーネント。

【請求項 2 6】

タスクにメモリを割り付けるソフトウェアタスクからのリクエストを受け取ることと、メモリ装置中の 1 つ以上の独立してリフレッシュ可能なメモリ装置からのタスクにメモ

10

20

30

40

50

リを割り付けることと、

前記独立してリフレッシュ可能なメモリ装置に向けられたリフレッシュ操作を抑えないために前記メモリ装置に向けられた、それぞれ独立してリフレッシュ可能なメモリ装置に関連したインジケータをセットすることとのステップを行なうのに作用する1つのメモリマネージャコンピュータプログラムを少なくとも含むコンピュータ読取可能媒体。

【請求項27】

前記メモリマネージャコンピュータプログラムは、

以前にタスクに割り付けられたメモリを開放するためにソフトウェアタスクからリクエストを受け取ることと、

以前に前記タスクに割り付けられたメモリを開放することと、

10

前記独立してリフレッシュ可能なメモリ装置中のメモリがすべて開放されている場合、その独立してリフレッシュ可能なメモリ装置に向けられた、リフレッシュ操作を抑えるようにメモリ装置に命令するために前記関連するインジケータをクリアすることとのステップを行なうのにさらに作用する請求項26のコンピュータ読取可能媒体。

【請求項28】

シングルプロセッサ上で実行する複数のソフトウェアタスクに前記メモリマネージャコンピュータプログラムがメモリを割り付ける請求項26のコンピュータ読取可能媒体。

【請求項29】

異なるプロセッサ上で各々実行する、2つ以上のソフトウェアタスクに前記メモリマネージャコンピュータプログラムがメモリを割り付ける請求項26のコンピュータ読取可能媒体。

20

【請求項30】

前記メモリマネージャコンピュータプログラムは、前記関連する独立してリフレッシュ可能なメモリ装置に最初にデータを書き込むことで、独立してリフレッシュ可能なメモリ装置インジケータをセットする請求項26のコンピュータ読取可能媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリの分野に一般に関係があり、システムヘダイナミックRAM電力消費を減らすためのシステム及び方法に特に関係がある。

30

【背景技術】

【0002】

ソリッドステートダイナミックランダムアクセスメモリ(DRAM)は、携帯用電子機器を含む、多くの現代のコンピューティングシステムのための資金効率の良い大容量メモリ装置ソリューションである。同期DRAM(SDRAM)を含むDRAMは、高位ビット密度、およびファスター(faster)と比較してビットあたりの比較的低いコスト、レジスタ、スタティックRAMなど(SRAM)のようなオンチップメモリ構造、および、ハードディスク、CD-ROMなどのような電氣的、磁氣的、または光学的・機械的な大容量ストレージより劇的に速いアクセス速度を提供する。

【0003】

40

図1は、代表的な512メガビットのDRAMアレイ100の論理的な見方を描く。アレイ100は、別々にアドレス指定できる複数のバンク102, 104, 106, 108として組織される。それぞれのバンクは、行(row)110の多数、例えば4096に分割される。それぞれの行110は、複数の列(column)(例えば512列)に分割され、また、それぞれの列はバイト群(例えば8バイト)として典型的に組織されて、多くのデータビットを含む。いくつかのデータアドレッシングスキームは従来から知られている。例えば、バンク、行、列(BRC)アドレッシングで、メモリアドレスは

【表 1】

表1

31-26	25-24	23-12	11-3	2-0
チップ 選択	バンク 選択	行(row)選択	列(column)選択	バイト 選択

10

【0004】

として解釈されるかもしれない。行、バンク、列(RBC)アドレッシングのような代替アドレススキームでは、メモリアドレスは

【表 2】

表2

31-26	25-14	13-12	11-3	2-0
チップ 選択	行(row)選択	バンク 選択	列(column)選択	バイト 選択

20

【0005】

として解釈されるかもしれない。

【0006】

DRAMメモリアレイは揮発性であり、その保全性を維持するためにDRAMアレイに記憶されたデータは周期的にリフレッシュされなければならない。DRAMリフレッシュ動作中に、多くのデータ保存場所は、アレイ100から同時に除かれ、充電される。因習的に、DRAMアレイは一行ずつリフレッシュされる。すなわち、行が、あるいは、いくつかのインプリメンテーションで、あらゆるバンクの中で同時に同じ行が選択され、また、行の内の全てのデータは単一の操作でリフレッシュされる。ここに使用されるように、用語“独立してリフレッシュ可能なメモリ装置”すなわちIRMUは、単一のリフレッシュ操作でリフレッシュされるデータの量を指す。本発明は一行ずつのリフレッシュ操作に制限されていないが、DRAMアレイのためのIRMUは典型的に行である。

30

【0007】

IRMUに向けられたリフレッシュ操作は、メモリアクセスで因習的に散りばめられ、また、時間が計られる、帯電減衰(charge decay)により失われた任意のデータに先立って全DRAMアレイがリフレッシュされるそのようなものである。もともとは、リフレッシュアドレス、すなわちそれぞれ独立してリフレッシュ可能なメモリ装置のアドレスは、プロセッサのようなメモリコントローラによって供給され、それは制御信号の個性的なコンビネーションによってリフレッシュ操作を指定する。現代のSDRAMコンポーネントは2つの付加的なリフレッシュモードである、セルフリフレッシュおよびオートリフレッシュを含むかもしれない。両方のモードにおいて、SDRAMコンポーネントは内部リフレッシュアドレスカウンタを含んでいる。セルフリフレッシュは、電力を保持するために“スリープ”モードを使用する、電池式の電子装置のような多くのシステムで利用される。セルフリフレッシュモードでは、SDRAMコンポーネントは保存またはデータ検索へアクセス可能ではなく、しかしながら、SDRAMは、記憶データの保全性を保証するために内部でリフレッシュ操作を行なう。オートリフレッシュモードでは、メモリコントローラはリフレッシュ操作を指定するが、リフレッシュアドレスを提供しない。もっと正確に言えば、SDRAMコンポーネントは、それは連続的な独立してリフレッシュ可能なメモ

40

50

リ装置（例えば行）アドレスを提供する内部リフレッシュアドレスカウンタをインクリメントする。

【 0 0 0 8 】

データが D R A M アレイから読まれ充電されるとともに、リフレッシュ操作はそれぞれ電力を消費する。しかしながら、特に下記パワーオンあるいはシステムリセット、D R A M アレイの中のほとんどのメモリ装置場所（locations）は有効データを含んでいない。

【 発 明 の 概 要 】

【 0 0 0 9 】

ここに示されてクレームされた 1 つ以上の実施形態によれば、メモリのリフレッシュ可能なセグメントが有効データを含むかどうかを示すインジケータが維持される。リフレッシュ操作が関連するメモリに向けられる際、メモリが有効データを含んでいない場合、リフレッシュ操作が抑えられる。著しい省電力は無効データに向けられたリフレッシュ操作を抑えることにより実現されるかもしれない。

【 0 0 1 0 】

1 つの実施形態はダイナミックメモリをリフレッシュする方法に関係がある。インジケータはそれぞれ独立してリフレッシュ可能なメモリ装置に関係している。独立してリフレッシュ可能なメモリ装置にデータを書き込む際、関連するインジケータは、有効データを反映する準備ができています。独立してリフレッシュ可能なメモリ装置だけがリフレッシュされ、その関連するインジケータは、そのメモリ装置に記憶した有効データを反映したものである。

【 0 0 1 1 】

1 つの実施形態は D R A M コンポーネントに関係がある。D R A M コンポーネントは、データを記憶するのに作用して、複数の独立してリフレッシュ可能なメモリ装置として組織された D R A M アレイを含んでいる。D R A M コンポーネントは、各々独立してリフレッシュ可能なメモリ装置に関係していて、独立してリフレッシュ可能なメモリ装置に有効データが保存されるかどうかを示した複数のインジケータをさらに含んでいる。D R A M コンポーネントは、インジケータを検査するため、かつ有効データを記憶する独立してリフレッシュ可能なメモリ装置のみをリフレッシュするために制御信号とオペレイティブ（operative）を受け取るコントローラをさらに含んでいる。

【 図 面 の 簡 単 な 説 明 】

【 0 0 1 2 】

【 図 1 】 図 1 は、D R A M アレイの中のデータ組織の機能ブロック図である。

【 図 2 】 図 2 は、それぞれ独立してリフレッシュ可能なメモリ装置に関連した、有効なインジケータあるいはビットを伴う D R A M アレイの中のデータ編成の機能ブロック図である。

【 図 3 】 図 3 は S D R A M コンポーネントの機能ブロック図である。

【 図 4 】 図 4 はシングルプロセッサコンピューティングシステムの機能ブロック図である。

【 図 5 】 図 5 は多重プロセッサコンピューティングシステムの機能ブロック図である。

【 図 6 】 図 6 は D R A M アレイをリフレッシュする方法のフローチャートである。

【 発 明 を 実 施 す る た め の 形 態 】

【 0 0 1 3 】

図 2 は、1 つの実施形態による D R A M アレイ 2 0 0 組織の論理的な視界を描く。アレイ 2 0 0 は、4 つのバンク 2 0 2 , 2 0 4 , 2 0 6 , 2 0 8 として論理上組織され、各バンクは 4 0 9 6 行を含む。代表的な行は 2 1 0 として描かれる。この実施形態では、行 2 1 0 は最も小さな独立してリフレッシュ可能なメモリ装置である。アレイ 2 0 0 中で行 2 1 0 に関係していたものは、行 2 1 0 が有効データを含んでいても含んでいなくても反映するインジケータ 2 1 1 である。描かれた実施形態では、それぞれのインジケータ 2 1 1 は、各行に関係する、有効ビットとしてここに参照されるシングルビットを具備する。図 2 は、それぞれ、バンク 2 0 2 , 2 0 4 , 2 0 6 , 2 0 8 で行に関連した各インジケータ

10

20

30

40

50

ビットである、インジケータビット 2 1 2 , 2 1 4 , 2 1 6 , 2 1 8 のセットを描く。最も小さな独立してリフレッシュ可能なメモリ装置が 4 つのバンク 2 0 2 , 2 0 4 , 2 0 6 , 2 0 8 すべてにまたがる行を具備する実施形態では、インジケータビット 2 1 2 の 1 つのセットのみが必要だろう。

【 0 0 1 4 】

リフレッシュ操作中に、例えば I R M U 2 1 0 といった、現在アドレス指定された独立してリフレッシュ可能なメモリ装置に関連した、例えばインジケータ 2 1 1 といった、インジケータあるいは有効ビットは検査される。インジケータビットがセットされる場合、関連する I R M U が有効データを含むことを示して、リフレッシュ操作はデータを維持するために I R M U 上で行なわれる。インジケータビットがセットされない場合、関連する I R M U を示すことは有効データを含まず、1 つの実施形態では、リフレッシュ操作は I R M U をリフレッシュする際にさもなければ消費される電力を保存することで抑えられる。したがって、有効データを含んでいる I R M U のみがリフレッシュされるだろう、そして初期化されなかった、あるいは “ don't care ” 状態でのアレイ中の I R M U はリフレッシュされない。リフレッシュアドレスはメモリコントローラによって供給されるかもしれない、あるいは例えばオートリフレッシュあるいはセルフリフレッシュの期間のように内部アドレスカウンタによって生成されるかもしれない。

【 0 0 1 5 】

インジケータビットは様々な方法で維持されるかもしれない。1 つの実施形態では、インジケータビットはメモリアレイ 2 0 0 の固定のまたはプログラム可能な部分で記憶される。この場合、アレイ 2 0 0 の使用可能なサイズは 0 . 0 0 3 % 減らされる。別の実施形態では、インジケータビットは、例えばスタティック R A M ストラクチャ中やレジスタ中などでのように、D R A M アレイ 2 0 0 以外のメモリ中の D R A M / S D R A M コンポーネントで記憶される。1 つの実施形態では、I R M U 有効インジケータメモリは、S D R A M コンポーネントのモードレジスタと拡張モードのレジスタアクセスシーケンスに似ている 2 サイクルシーケンスによってアクセスされる。

【 0 0 1 6 】

図 3 は、1 つの実施形態による S D R A M コンポーネント 3 0 0 の機能ブロック図である。S D R A M 3 0 0 は、4 つのバンク 3 0 2 , 3 0 4 , 3 0 6 , 3 0 8 として組織される D R A M アレイ 3 0 1 を含んでいる。それぞれのバンクは行デコーダ 3 1 2 , 列デコーダ 3 1 0 を含む。センスアンプ 3 1 4 は、I / O バッファ 3 1 6 に D R A M アレイ 3 0 1 からの読まれたデータを供給する。I / O バッファ 3 1 6 からの書込データ (write data) は入力バッファ 3 1 8 を通り、D R A M アレイ 3 0 1 に書き込む前にライトデータレジスタ 3 2 0 に保存される。

【 0 0 1 7 】

S D R A M コンポーネント 3 0 0 の動作はステートマシン 3 2 2 によって制御される。バンクとメモリアドレスはアドレスバッファ 3 2 4 へ入力されてアドレスレジスタ 3 2 6 に記憶され、するとそこで、それらが列プレデコーダ & カウンタ回路 (column pre-decoder and counter circuit) 3 2 8 を制御する。モードレジスタ 3 3 0 および拡張モードレジスタ 3 3 2 は、例えばカラム・アドレス・ストロープ (CAS) 遅れ、バースト長などのようなモード選択ビットを記憶し、そしてそれはバーストカウンタ 3 3 4 およびデータ出力制御回路 3 3 6 の動作を制御する。

【 0 0 1 8 】

リフレッシュロジック & タイマ回路 (refresh logic and timer circuit) 3 3 8 は、内部カウンタ 3 4 0 からの I R M U アドレス、および I R M U 有効メモリ 3 4 2 からの I R M U 有効ビットを受け取る。リフレッシュロジックは、行プレデコーダ (row pre-decoder) 3 4 4 に I R M U アドレスを出力する。I R M U 有効メモリ 3 4 2 が D R A M アレイ 3 0 1 から分離して区別された機能ブロックとして図 3 に描かれている間に、I R M U 有効インジケータの記憶装置に物理的に専用のメモリは、D R A M アレイ 3 0 1 の一部かもしれないし、あるいは個別の D R A M 、 S R A M 、レジスタあるいは他のメモリかもし

10

20

30

40

50

れないことに注意されたい。

【0019】

1つの実施形態中で、SDRAMコンポーネント300は、書込アドレス(write addresses)を自動的に監視し、また、それぞれの書込み操作(write operation)が向けられるIRMUに対応するIRMU有効インジケータをセットする。その後、リフレッシュロジック338は、各リフレッシュ操作でのIRMU有効メモリ342を検査し、有効データを含んでいないあらゆるIRMUに向けられたリフレッシュサイクルを抑える。これは、SDRAMコンポーネント300の電力消費を最小化するが、リフレッシュ抑制知識あるいはメモリコントローラまたはプロセッサによる関与を要求しない。DRAMアレイ301が、有効データの大部分が中身がない場合、主要な省電力化は、パワーオンあるいはリセ 10
ットに続いておそらく生じる。DRAMアレイ301の中のより多くのIRMUへのメモリコントローラ書込データ(memory controller writes data)として、より多くのIRMU有効ビットがセットされ、また、より少数のリフレッシュサイクルが抑えられる。この実施形態では、IRMUメモリ342は、電源投入からリセットに続くSDRAMコンポーネント300初期設定の部分として自動的にクリアされる。精巧なメモリ管理機能性を含んでいない既存のメモリコントローラおよびソフトウェアを利用している間、この実施形態は、システム設計者がSDRAMコンポーネント300のより低い電力消費を利用することを可能にする。

【0020】

1つの実施形態では、IRMUメモリ342は、例えば定義済みのモードレジスタ330あるいは拡張モードレジスタ332書込み操作かビットパターンのような、メモリコントローラからのコマンドによってクリアされるかもしれない。この実施形態は、ソフト(例えばソフトウェア初期化)リセットに続く、減らされたSDRAMコンポーネント300電力消費を考慮に入れ、しかしメモリコントローラがIRMUメモリ342クリアコマンドを出すことを要求する。 20

【0021】

図4は、DRAM電力消費を制御して減らすコンピューティングシステム400を描く。システム400は、例えばプロセッサ402、メモリコントローラハードウェア404(それはプロセッサに統合されてもよい)、およびSDRAMコンポーネント406のようなメモリ装置のようなメモリコントローラを含んでいる。SDRAMコンポーネント406内部のDRAMアレイは、独立してリフレッシュ可能なメモリ装置408a, 408b, 408c, ... 408jに論理的に分割される。例えばビット410a, 410b, 410c, ... 410jのようなIRMU有効インジケータが各IRMUに関係しており、そしてそれは関連するIRMUが有効データを含むかどうかを示す。 30

【0022】

複数のソフトウェアタスク412, 414はプロセッサ402で実行する。それぞれのソフトウェアタスクはデータ記憶のためにメモリを割り付けるかもしれない、また、もはや必要とされないメモリを開放するかもしれない。ソフトウェアメモリマネージャ416は、プロセッサ402用メモリを管理するソフトウェアモジュールである。ソフトウェアメモリマネージャ416はソフトウェアタスク412, 414からのメモリ“allocate”および/または“free”リクエストを受け取る。レスポンスで、ソフトウェアメモリマネージャ416は、タスク412, 414間のメモリを割り当てる、1以上の独立してリフレッシュ可能なメモリ装置408a, 408b, 408c, ... 408j(例えば行)に割り当てられたメモリを位置づけ、また、現在IRMU408a, 408b, 408c, ... 408jの中のデータのステータスを反映する、対応するIRMU有効インジケータ410a, 410b, 410c, ... 410jをセットしクリアする。1つの実施形態では、実際のメモリコントローラは独立したハードウェア要素404であり、別の実施形態では、メモリコントローラ機能はプロセッサ402へ統合される。SDRAMコンポーネント406は、無効データを含んでいるIRMU408a, 408b, 408c, ... 408jに向けられたリフレッシュ操作をすべて抑える。 40
50

【 0 0 2 3 】

図 5 は、メモリ割当てを制御して、SDRAM 電力消費を最小化するマルチプロセッサシステム 500 を描く。プロセッサ 502, 504 はシステムバス 506 を通って互いおよびメモリコントローラハードウェア 508 と通信する。既に知られているように、バス 506 も、スイッチング構成 (fabric)、クロスバースイッチなどとして実施されるかもしれない。1 つ以上のソフトウェアタスク 503, 516, 518 は、プロセッサ 502, 504 上で実行する。システム全体のソフトウェアメモリマネージャ 520 は、システムで実行するすべてのソフトウェアタスク 503, 516, 518 間でメモリを割り当てて、1 つのプロセッサ 504 上で実行する。プロセッサ 502 上で実行するいくつかのソフトウェアタスク 503 は、メモリ割り当て、バス 506 を通ったソフトウェアメモリマネージャ 520 へのフリークエストを送るかもしれない。上に述べられたように、ソフトウェアメモリマネージャ 520 は、タスク 503, 516, 518 間にメモリを割り当て、1 以上の独立してリフレッシュ可能なメモリ装置 512a, 512b, 512c, ... 512j に割り当てられたメモリを位置づけ、また、IRMU 514a, 514b, 514c, ... 514j に現在保存されたデータのステータスを反映するメモリコントローラハードウェア 508 による対応する IRMU 有効インジケータ 514a, 514b, 514c, ... 514j をセットしクリアする。SDRAM コンポーネント 510 は、無効データを含んでいる IRMU 512a, 512b, 512c, ... 512j に向けられたリフレッシュ操作を抑える。

10

【 0 0 2 4 】

20

従来のリフレッシュモード、オートリフレッシュモードあるいはセルフリフレッシュモードでは、SDRAM コンポーネント 300, 406, 510 はリフレッシュアドレス (メモリコントローラまたは内部カウンタによって供給された) を IRMU 有効メモリ 342, 410, 514 と比較し、有効データを含んでいない IRMU 408, 512 に向けられたリフレッシュ操作を抑える。1 つの実施形態では、ソフトウェアメモリマネージャ 416, 520 は活発にメモリを管理し、IRMU 有効ビット 410, 514 をセットする又はクリアし、システムはメモリリフレッシュをさらに最適化するかもしれない、物理メモリが割り当てからソフトウェアタスクまで開放されて “pool,” に返されるとともに、IRMU へのリフレッシュコマンドをダイナミックに抑えることにより、電力消費を最小化し、その場合には、そのデータ内容は適切ではない。

30

【 0 0 2 5 】

従来のリフレッシュモードでは、ソフトウェアメモリマネージャ 416, 520 は、有効データを含んでいる IRMU 408, 512 にのみにリフレッシュアドレスを提供するかもしれない。オートリフレッシュあるいはセルフリフレッシュモードでは、SDRAM コンポーネント 300, 406, 510 は、各リフレッシュ操作に続いて、有効データを含んでいる次の IRMU 408, 512 への、そのリフレッシュアドレスカウンタをインクリメントすることにより、無効のメモリを “スキップ” するかもしれない。いずれの場合も、メモリコントローラ 404, 508 は、リフレッシュ操作間の遅れを増加させるかもしれない、それは、有効データを含んでいる IRMU 408, 512 だけが最大のリフレッシュ周期ですべてリフレッシュされるほどのものである。この実施形態では、リフレッシュコマンドは SDRAM コンポーネント 300, 406, 510 によって抑えられない。これは、不必要なメモリコマンドサイクルの回避により、電力消費をさらに最適化し (さらにバス輻輳を減らす)、また、進行中のメモリアクセスに乗じる遅れリフレッシュコマンドを減らす。

40

【 0 0 2 6 】

図 6 は、1 つ以上の実施形態によるリフレッシュする DRAM の方法 600 を描く。初期設定に際して、すべての IRMU インジケータはクリアされる (ブロック 602)。その後、その方法は、リフレッシュ操作が行なわれることになっているかどうかチェックする (ブロック 604)。従来のリフレッシュモードでは、リフレッシュ操作は、メモリコントローラからの DRAM コンポーネントへ送られる制御信号によって示され、また、リ

50

フレッシュされる I R M U はアドレスバス上で示される。オートリフレッシュモードでは、リフレッシュ操作はメモリコントローラによって命令され、また、内部カウンタは I R M U リフレッシュアドレスを提供する。セルフリフレッシュモードでは、リフレッシュタイマーの終了は、リフレッシュ操作が必要であることを示し、また、内部カウンタは I R M U アドレスを提供する。

【 0 0 2 7 】

リフレッシュ操作が示される場合（ブロック 6 0 4）、現在の I R M U アドレス（例えば行アドレスのような）に関連した I R M U インジケータは検査される（ブロック 6 0 6）。I R M U が有効データを含むことを I R M U インジケータが示す場合（ブロック 6 0 8）、リフレッシュ操作はアドレス指定された I R M U 上で行なわれる（ブロック 6 1 0）。I R M U が有効データを含まないことを I R M U インジケータが示す場合（ブロック 6 0 8）、リフレッシュ操作は、無効の（あるいは、“don't care”）データのリフレッシュにより、さもなければ消費されると推測される電力を節約することで抑えられる。

【 0 0 2 8 】

セルフリフレッシュモードでは、S D R A M コンポーネントはリフレッシュアドレスカウンタの次の終了に関してブロック 6 0 4 で待機する。他のリフレッシュモード中で、リフレッシュ操作が命令されない場合（ブロック 6 0 4）、D R A M（あるいは S D R A M）コンポーネントは、またはメモリコントローラによって命令されるような、読み、書き、および / 又はレジスタアクセス操作を実行する（ブロック 6 1 2）。1つの実施形態中で、メモリ管理ソフトウェアモジュールがメモリブロックを割り付け、開放する場合には、メモリあるいはレジスタアクセス操作が、I R M U インジケータを読み、セットし、クリアする I R M U メモリに向けられた動作を含むかもしれない。1つの実施形態では、I R M U インジケータは、関連する I R M U に向けられた書込み操作で自動的にセットされる（ブロック 6 1 4）。この実施形態では、I R M U インジケータは初期設定で単にクリアされ（ブロック 6 0 2）、しかし有効データが多く I R M U に少なくとも一度書き込まれるまで著しい省電力を提供するかもしれない。

【 0 0 2 9 】

[0032] D R A M アレイの物理的なリフレッシュ操作に、メモリ管理のソフトウェアパラダイム（paradigm）（ここで、メモリは、タスクに割り付けられて、割り付けより前に又は開放された後に “don't care” 状態を仮定する場合に単に該当する）を適用することによって、著しい省電力は、有効データを保持しないメモリのセグメントに向けられた不必要なリフレッシュ操作を除くことにより実現されるかもしれない。1つの実施形態では、有効データのトラッキングは、関連する I R M U ビットのセットによって、自動的である。この実施形態では、本発明の省電力の利点は、選択的にリフレッシュ操作を抑える能力のソフトウェアメモリ管理が知識のないシステムにおいて有効である。他の実施形態では、I R M U メモリの直接制御は、精巧なメモリ管理および最大電力節約を考慮に入れる。

【 0 0 3 0 】

ここに使用されるように、用語 “独立してリフレッシュ可能なメモリ装置” すなわち I R M U は単一のリフレッシュ操作でリフレッシュされるデータの量を参照する。本発明はそのように制限されていないが、D R A M アレイのための I R M U は典型的に行である。ここに使用されるように、用語 “セット” は、データ（例えば 0、または 1、マルチビットパターン）の価値にかかわらず、有効データが関連する I R M U に記憶されることを示すために I R M U インジケータにデータを書き込むことを参照する。“クリア” は、データ（例えば 0、または 1、マルチビットパターン）の価値にかかわらず、有効データが関連する I R M U に記憶されないことを示すために I R M U インジケータにデータを書き込むことを指す。ここに使用されるように、“D R A M アレイ” はダイナミックランダムアクセスメモリアレイを参照し、それは D R A M および S D R A M 集積回路コンポーネントの両方にデータを記憶する。ここに使用されるように、用語 “D R A M” だけ、あるいは “D R A M コンポーネント” の範囲は、非同期 D R A M メモリコンポーネントおよび S D R A M コンポーネントの両方を含む。ここに使用されるように、用語 “allocate” はソフ

トウェアタスクに一連のメモリアドレスを割り当てることを参照し、また、用語“free”は割り当てを解除されたメモリのプール(pool)に、前に割り当てられたメモリアドレスを返すことを参照する。

【0031】

本発明は、その具体的特徴、局面および実施形態に関してここに記述されたが、多数の変形、改良および他の実施形態が本発明の広い範囲内で可能であることは明白であろうし、また、従って、全ての変形、改良および実施例は本発明の範囲内にみなされることである。したがって、現在の実施形態は、実例となり、限定的でないものとして、すべての局面の中で解釈されることであり、また、追加された請求項の意味および同等の範囲内に来る全ての変更は、そこに包含されるように意図される。

10

【図1】

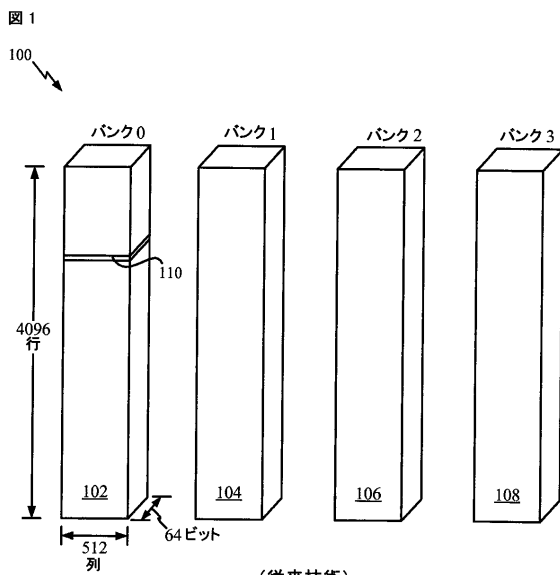


FIG. 1

【図2】

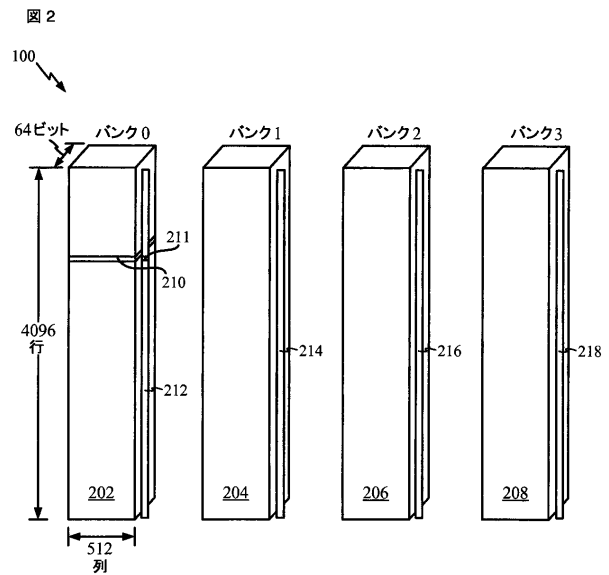


FIG. 2

【図 3】

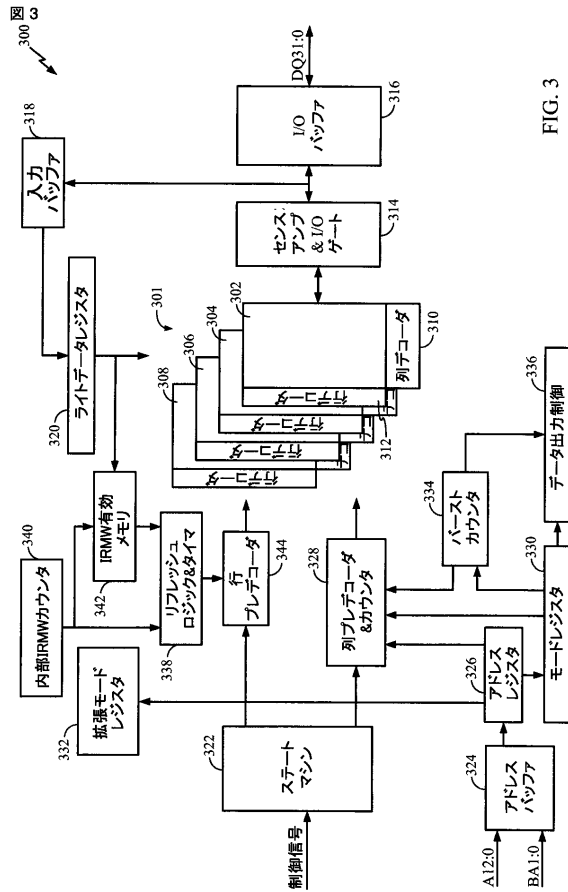


FIG. 3

【図 4】

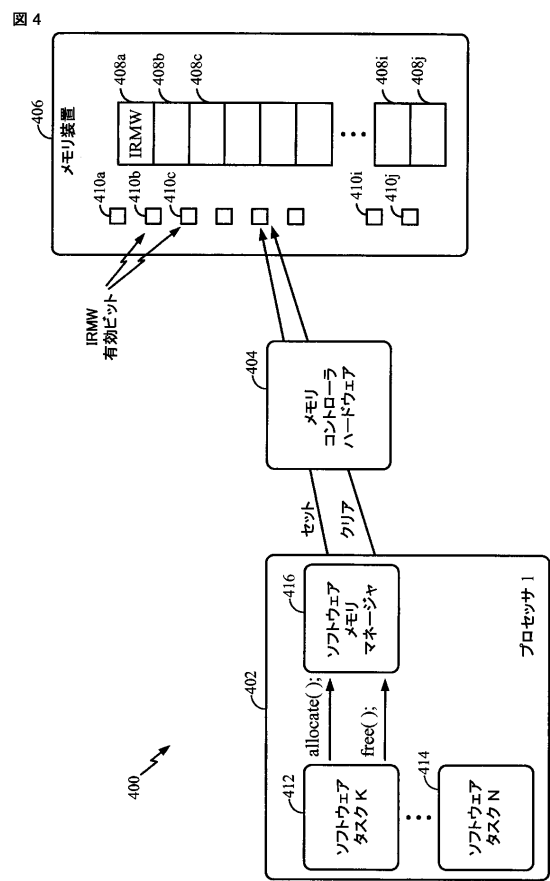


FIG. 4

【図 5】

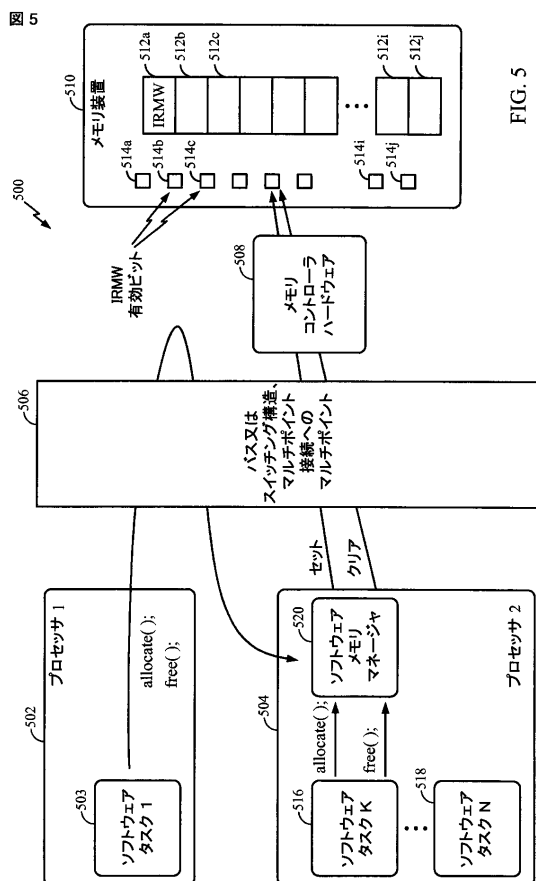


FIG. 5

【図 6】

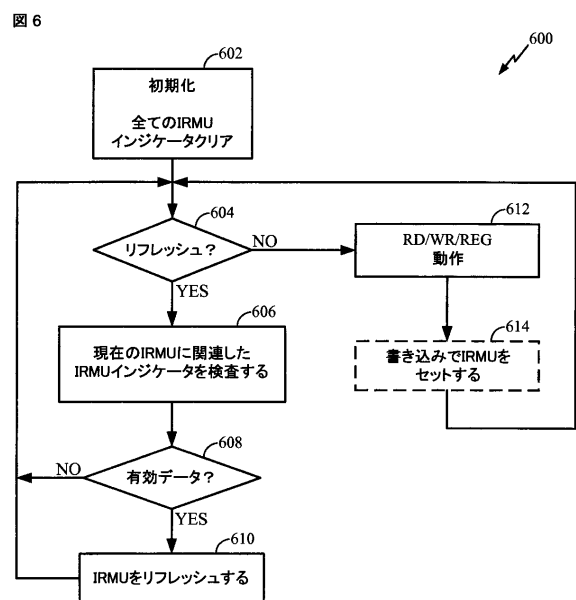


FIG. 6

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2008/071153A. CLASSIFICATION OF SUBJECT MATTER
INV. G11C11/406

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/023825 A1 (WOO STEVEN C [US] ET AL) 30 January 2003 (2003-01-30)	1-17, 19-30
Y	paragraphs [0047] - [0056]; figures 3,4	18
X	US 2002/191467 A1 (MATSUMOTO JUNKO [JP] ET AL) 19 December 2002 (2002-12-19)	1,19,26
Y	paragraphs [0101] - [0121], [0176] - [0183]; claims 1-4; figures 1-6,22,24	18
X	US 2003/217246 A1 (KUBOTA KENICHI [JP] ET AL) 20 November 2003 (2003-11-20)	1,19,26
	paragraphs [0013], [0025] - [0027], [0048] - [0055], [0059] - [0061], [0066] - [0075], [0080]; figures 3,4	
	-/-	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the International filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the International filing date but later than the priority date claimed

- "T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the International search

24 October 2008

Date of mailing of the International search report

12/11/2008

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040.
Fax: (+31-70) 340-3016

Authorized officer

Stocken, Christian

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2008/071153

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/093461 A1 (KIM TAE YUN [KR]) 13 May 2004 (2004-05-13) paragraphs [0022] - [0037], [0055] - [0068]; figures 1,3,5	1,19,26
X	US 2006/133173 A1 (JAIN SANDEEP K [US] ET AL) 22 June 2006 (2006-06-22) paragraphs [0004], [0005], [0017] - [0020], [0026] - [0029]; figure 1	1,19,26

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2008/071153

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2003023825 A1	30-01-2003	US 2004193829 A1	30-09-2004
US 2002191467 A1	19-12-2002	CN 1392565 A	22-01-2003
		DE 10221651 A1	02-01-2003
		JP 2002373489 A	26-12-2002
		KR 20030009125 A	29-01-2003
		TW 224337 B	21-11-2004
US 2003217246 A1	20-11-2003	EP 1408510 A2	14-04-2004
US 2004093461 A1	13-05-2004	KR 20040040579 A	13-05-2004
US 2006133173 A1	22-06-2006	JP 2008524774 T	10-07-2008
		KR 20070086472 A	27-08-2007
		US 2008056047 A1	06-03-2008
		WO 2006069356 A2	29-06-2006

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100095441

弁理士 白根 俊郎

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100119976

弁理士 幸長 保次郎

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100101812

弁理士 勝村 紘

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(74)代理人 100127144

弁理士 市原 卓三

(74)代理人 100141933

弁理士 山下 元

(72)発明者 ミカラック、ジェラルド・ポール

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 ウォルフォード、バリー・ジョー

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

F ターム(参考) 5B060 AA02 AA14

5M024 AA15 BB22 BB39 EE05 EE09 EE17 EE24 LL01 PP01