

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年11月16日(2006.11.16)

【公開番号】特開2001-111056(P2001-111056A)

【公開日】平成13年4月20日(2001.4.20)

【出願番号】特願平11-285269

【国際特許分類】

H 01 L 29/786 (2006.01)
H 01 L 27/08 (2006.01)
H 01 L 21/76 (2006.01)

【F I】

| | | |
|--------|-------|---------|
| H 01 L | 29/78 | 6 2 1 |
| H 01 L | 27/08 | 3 3 1 A |
| H 01 L | 27/08 | 3 3 1 E |
| H 01 L | 21/76 | M |

【手続補正書】

【提出日】平成18年9月29日(2006.9.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板と、埋込酸化膜と、半導体層からなるSOI基板を備え、
前記半導体層の主表面に配設された第1および第2の活性領域を取り囲み、前記埋込酸化膜と所定の距離を隔てて形成された第一の分離絶縁膜と、
前記第1の活性領域に形成された第1の能動素子と、
前記第2の活性領域に形成された第2の能動素子と、
前記埋込酸化膜との界面近傍の前記半導体基板の一主面に形成された不純物層と、
前記不純物層に接続する配線とを備えたことを特徴とする半導体装置。

【請求項2】

前記半導体層の主表面に配設された第3の活性領域を取り囲み、前記第3の活性領域を前記第1および第2の活性領域から分離する前記埋込酸化膜に到達する第2の埋込酸化膜を備えたことを特徴とする請求項1記載の半導体装置。

【請求項3】

不純物層および半導体層は第1の導電型であり、第1の能動素子は、第1の活性領域の主表面から埋込酸化膜に到達する第2導電型の第1のソース領域およびドレイン領域を有するMOS型トランジスタであり、第2の能動素子は、第2の活性領域の主表面から前記埋込酸化膜に到達する第2導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、前記不純物層および分離絶縁膜下の前記半導体層の電位が固定されていることを特徴とする請求項2記載の半導体装置。

【請求項4】

不純物層および半導体層は第1の導電型であり、第1の能動素子は、第1の活性領域の主表面から埋込酸化膜に到達する第2導電型の第1のソース領域およびドレイン領域を有するMOS型トランジスタであり、第2の能動素子は、第2の活性領域の主表面から前記埋込酸化膜に到達する第2導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、前記不純物層の電位が固定され、分離絶縁膜下の前記半導体層の

電位が固定されていないことを特徴とする請求項 2 記載の半導体装置。

【請求項 5】

半導体層は第 1 の導電型で、不純物層は第 2 の導電型であり、第 1 の能動素子は、第 1 の活性領域の主表面から埋込酸化膜と所定の距離を隔てて形成された第 2 導電型の第 1 のソース領域およびドレイン領域を有する M O S 型トランジスタであり、第 2 の能動素子は、第 2 の活性領域の主表面から前記埋込酸化膜と所定の距離を隔てて形成された第 2 導電型の第 2 のソース領域およびドレイン領域を有する M O S 型トランジスタであり、前記不純物層に印加される電圧は、半導体基板に対して逆バイアスであることを特徴とする請求項 2 記載の半導体装置。

【請求項 6】

分離絶縁膜下の半導体層表面から埋込酸化膜に到達し、互いに隣接して逆バイアスとなる電圧がそれぞれ印加される第 1 導電型の第 1 の不純物領域および第 2 の導電型の第 2 の不純物領域をさらに備え、第 1 の能動素子は、第 1 の活性領域の主表面から埋込酸化膜に到達し、いずれか一方が前記第 1 の不純物領域と隣接する第 2 導電型の第 1 のソース領域およびドレイン領域を有する M O S 型トランジスタであり、第 2 の能動素子は、第 2 の活性領域の主表面から前記埋込酸化膜に到達し、いずれか一方が前記第 2 の不純物領域と隣接する第 1 導電型の第 2 のソース領域およびドレイン領域を有する M O S 型トランジスタであり、不純物層に印加される電圧は、半導体基板に対して逆バイアスであることを特徴とする請求項 2 記載の半導体装置。

【請求項 7】

分離絶縁膜下の半導体層表面から埋込酸化膜に到達し、互いに隣接して逆バイアスとなる電圧がそれぞれ印加される第 1 導電型の第 1 の不純物領域および第 2 の導電型の第 2 の不純物領域をさらに備え、第 1 の能動素子は、前記第 1 の不純物領域と隣接する第 2 導電型の第 3 の不純物領域と、この第 3 の不純物領域に隣接する第 1 導電型の第 4 の不純物領域を備えたダイオードであり、第 2 の能動素子は、前記第 2 の不純物領域と隣接する第 1 導電型の第 5 の不純物領域と、この第 5 の不純物領域に隣接する第 2 導電型の第 6 の不純物領域を備えたダイオードであり、不純物層に印加される電圧は、半導体基板に対して逆バイアスであることを特徴とする請求項 2 記載の半導体装置。

【請求項 8】

不純物層が活性領域の下まで延在することを特徴とする請求項 1 ないし請求項 7 のいずれか一項に記載の半導体装置。

【請求項 9】

第 1 の能動素子および第 2 の能動素子が形成された機能ブロックと異なる機能ブロックをさらに備えたことを特徴とする請求項 1 ないし請求項 8 のいずれか一項に記載の半導体装置。

【請求項 10】

半導体基板表面上に埋込酸化膜を介して形成された半導体層を有する S O I 基板の前記半導体基板表面に不純物層を形成する工程と、前記半導体層の主表面に配設された第 1 および第 2 の活性領域を取り囲み、その下に前記半導体層の一部が残る分離絶縁膜を形成する工程と、前記第 1 の活性領域に、第 1 の能動素子を形成する工程と、前記第 2 の活性領域に、第 2 の能動素子を形成する工程と、前記不純物層に接続する配線を形成する工程とを備えた半導体装置の製造方法。

【請求項 11】

第 1 の能動素子と第 2 の能動素子は、同一導電型を有する M O S 型トランジスタであり、分離絶縁膜を形成する工程は、半導体層の活性領域表面上を覆うマスクを形成して前記半導体層主表面から底部を残してエッティングし、活性領域を取り囲む溝を形成する工程と、全面に絶縁膜を形成する工程と、前記マスク表面上の前記絶縁膜を除去する工程と、前記マスクを除去する工程とを備え、前記溝を形成する工程の後、前記絶縁膜を形成する工程の前に、前記溝下の前記半導体層中に前記半導体層と同一導電型で高濃度の不純物をイオン注入する工程をさらに備えたことを特徴とする請求項 10 記載の半導体装置の製造方

法。

【請求項 1 2】

第1の能動素子は第1の導電型を有するMOS型トランジスタで、第2の能動素子は第2の導電型を有するMOS型トランジスタであり、分離絶縁膜を形成する工程の後、第1の能動素子を形成する工程の前に、前記第1の能動素子の前記分離絶縁膜上に開口を有する第1のマスクを形成する工程と、全面に第2の導電型を有する不純物を全面にイオン注入して、前記第1の能動素子の前記分離絶縁膜下の半導体層に第1の不純物領域を形成する工程と、前記第1のマスクを除去する工程と、前記第1の能動素子の前記分離絶縁膜上に開口を有する第1のマスクを形成する工程と、全面に第2の導電型を有する不純物を全面にイオン注入して、前記第1の能動素子の前記分離絶縁膜下の半導体層に第1の不純物領域を形成し、前記第1のマスクを除去する工程と、前記第2の能動素子の前記分離絶縁膜上に開口を有する第2のマスクを形成する工程と、全面に第1の導電型を有する不純物を全面にイオン注入して、前記第2の能動素子の前記分離絶縁膜下の半導体層に第2の不純物領域を形成し、前記第2のマスクを除去する工程とを備えたことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項 1 3】

半導体基板表面上に埋込酸化膜を介して形成された半導体層の主表面に配設された第1および第2の活性領域表面上を覆うマスクを形成して前記半導体層主表面から底部を残してエッチングし、前記第1および第2の活性領域を取り囲む溝を形成する工程と、前記溝下の前記半導体基板中に不純物をイオン注入して、前記半導体基板の表面に不純物層を形成する工程と全面に絶縁膜を形成する工程と、前記マスク表面上の前記絶縁膜を除去する工程と、前記マスクを除去する工程と、前記第1の活性領域に、第1の能動素子を形成する工程と、前記第2の活性領域に、第2の能動素子を形成する工程と、前記不純物層に接続する配線を形成する工程とを備えた半導体装置の製造方法。

【請求項 1 4】

第1の能動素子と第2の能動素子は、同一導電型を有するMOS型トランジスタであり、溝を形成する工程の後、絶縁膜を形成する工程の前に、溝下の半導体層中に前記半導体層と同一導電型で高濃度の不純物をイオン注入する工程をさらに備えたことを特徴とする請求項13記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

【課題を解決するための手段】

この発明に係る半導体装置は、半導体基板と、埋込酸化膜と、半導体層からなるSOI基板を備え、半導体層の主表面に配設された第1および第2の活性領域を取り囲み、埋込酸化膜と所定の距離を隔てて形成された第一の分離絶縁膜と、第1の活性領域に形成された第1の能動素子と、第2の活性領域に形成された第2の能動素子と、埋込酸化膜との界面近傍の半導体基板の一主面に形成された不純物層と、不純物層に接続する配線とを備えたことを特徴とするものであり、不純物層が形成されているため、分離絶縁膜を介して隣接するトランジスタ間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができる。